



(12) 发明专利

(10) 授权公告号 CN 109524300 B

(45) 授权公告日 2021.08.03

(21) 申请号 201811432033.8

H01L 27/11568 (2017.01)

(22) 申请日 2018.11.28

(56) 对比文件

(65) 同一申请的已公布的文献号

US 2014349476 A1, 2014.11.27

申请公布号 CN 109524300 A

US 2014349476 A1, 2014.11.27

(43) 申请公布日 2019.03.26

US 2014213059 A1, 2014.07.31

US 2012193713 A1, 2012.08.02

(73) 专利权人 上海华力微电子有限公司

审查员 陈燕坤

地址 201203 上海市浦东新区张江高科技

园区高斯路568号

(72) 发明人 韩朋刚 许鹏凯

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 徐伟

(51) Int. Cl.

H01L 21/28 (2006.01)

H01L 27/11521 (2017.01)

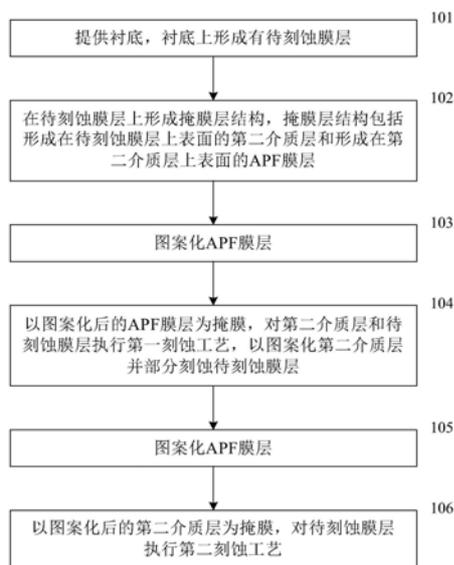
权利要求书1页 说明书8页 附图4页

(54) 发明名称

一种刻蚀方法及半导体器件

(57) 摘要

本发明属于半导体器件的刻蚀加工领域,具体公开了一种刻蚀方法及半导体器件。上述刻蚀方法包括:提供衬底,衬底上形成有待刻蚀膜层;在待刻蚀膜层上形成掩膜层结构,掩膜层结构包括形成在待刻蚀膜层上表面的介质层和形成在介质层上表面的APF膜层;图案化APF膜层;以图案化后的APF膜层为掩膜,对第二介质层和待刻蚀膜层执行第一刻蚀工艺,以图案化第二介质层并部分刻蚀待刻蚀膜层;去除图案化后的APF膜层;以及以图案化后的介质层为掩膜,对待刻蚀膜层执行第二刻蚀工艺。本发明能够避免多晶硅刻蚀过程中产生的聚合物在APF表面富集,从而消除半导体器件表面的聚合物壳层的缺陷。



1. 一种刻蚀方法,包括:
提供衬底,所述衬底上形成有待刻蚀膜层;
在所述待刻蚀膜层上形成掩膜层结构,所述掩膜层结构包括形成在待刻蚀膜层上表面的介质层和形成在介质层上表面的APF膜层;
图案化所述APF膜层;
以图案化后的APF膜层为掩膜,对所述介质层和所述待刻蚀膜层执行第一刻蚀工艺,以图案化所述介质层并部分刻蚀所述待刻蚀膜层;
原位去除所述图案化后的APF膜层;以及
以图案化后的介质层为掩膜,对所述待刻蚀膜层执行第二刻蚀工艺。
2. 如权利要求1所述的刻蚀方法,其特征在于,所述第一刻蚀工艺中采用的刻蚀工艺参数不同于所述第二刻蚀工艺中采用的刻蚀工艺参数;其中
所述刻蚀工艺参数为刻蚀气体、刻蚀气体流量、刻蚀功率、刻蚀腔体压力和刻蚀温度中的一者或多者。
3. 如权利要求2所述的刻蚀方法,其特征在于,采用对所述介质层和所述待刻蚀膜层低选择比的刻蚀气体执行所述第一刻蚀工艺;以及
采用对所述介质层和所述待刻蚀膜层高选择比的刻蚀气体执行所述第二刻蚀工艺。
4. 如权利要求2所述的刻蚀方法,其特征在于,所述第二刻蚀工艺进一步包括软着陆步骤和过刻蚀步骤;其中
所述软着陆步骤中采用的刻蚀工艺参数不同于所述过刻蚀步骤中采用的刻蚀工艺参数。
5. 如权利要求1所述的刻蚀方法,其特征在于,在所述待刻蚀膜层表面形成的所述介质层具有200-600埃的厚度。
6. 如权利要求1所述的刻蚀方法,其特征在于,所述掩膜层结构还包括位于所述掩膜层结构上部的介质抗反射层和底部抗反射层,所述介质抗反射层位于所述APF膜层和所述底部抗反射层之间。
7. 如权利要求6所述的刻蚀方法,其特征在于,图案化所述APF膜层进一步包括:
在所述掩膜层上方形成光刻胶图案;
以所述光刻胶图案刻蚀并过刻蚀所述介质抗反射层和所述底部抗反射层,以暴露所述APF膜层;以及
刻蚀所述APF膜层以形成图案化后的APF膜层。
8. 如权利要求1所述的刻蚀方法,其特征在于,采用灰化刻蚀去除所述图案化后的APF膜层。
9. 如权利要求1所述的刻蚀方法,其特征在于,所述刻蚀方法还包括:
在执行所述第二刻蚀工艺后,去除所述刻蚀后的介质层。
10. 如权利要求1所述的刻蚀方法,其特征在于,所述衬底上还形成有呈台阶状的栅极介质,所述待刻蚀膜层覆盖所述栅极介质和所述衬底;其中
所述待刻蚀膜层为多晶硅,用以在所述栅极介质上形成擦除栅极;以及
所述介质层为氧化硅或氮化硅。
11. 一种采用如权利要求1-10中任一项所述的刻蚀方法形成的半导体器件。

一种刻蚀方法及半导体器件

技术领域

[0001] 本发明涉及半导体器件的刻蚀加工领域,具体涉及一种刻蚀方法,以及一种上述刻蚀方法形成的半导体器件。

背景技术

[0002] 随着半导体工艺节点的不断缩小,硬掩膜刻蚀对于小尺寸多晶硅刻蚀的重要性日益凸显,APF硬掩膜刻蚀因其优异的线粗糙度(LER,Line Edge Roughness)性能,以及对常见刻蚀膜层的高选择比,被广泛应用于多晶硅刻蚀工艺中。

[0003] 在一种具有新型结构的闪存刻蚀工艺中,擦除栅极多晶硅(EP,Erase Polysilicon)刻蚀工艺以APF为硬掩膜,从而进行多晶硅刻蚀。由于刻蚀膜层结构中存在较高的台阶差,需要在部分区域具有较高的多晶硅刻蚀量。另外,为了保护下层多晶硅栅极及有源区,刻蚀过程需要对覆盖下层多晶硅及有源区的氧化硅具有较高的刻蚀选择比。

[0004] 现有的擦除栅极刻蚀工艺膜层从底到顶,依次为擦除栅极多晶硅(EP,Erase Polysilicon)、先进图形膜层(APF,Advanced Patterning Film)、介质抗反射层(Darc,Dielectric Anti Reflective Coating)、顶层氧化硅(Cap OX)、底部抗反射层(Barc,Bottom Anti Reflective Coating),以及光刻胶(PR,Photo Resist),其刻蚀工艺流程可以包括以下步骤:

[0005] 步骤1:以曝光显影后的PR为掩膜,采用对Barc和Darc低选择比的刻蚀气体对Barc和Darc进行同步刻蚀,并保证一定的过刻蚀量,从而将由光刻胶曝光定义的图形转移到Barc和Darc上;

[0006] 步骤2:采用对APF和EP poly高选择比的刻蚀气体,对前述步骤定义的刻蚀区域的APF掩膜,以及未曝光区的残余PR和Barc进行刻蚀,从而将前述步骤定义的刻蚀图形转移到APF掩膜上;

[0007] 步骤3:采用对Cap OX、Darc和EP poly低选择比的刻蚀气体,对前述步骤定义的刻蚀区域的EP poly进行一定厚度刻蚀,同时刻蚀掉未曝光区域APF顶部的Cap OX和Darc,并保留一定厚度的APF掩膜;

[0008] 步骤4:以剩余的APF为掩膜,采用对氧化硅和EP poly高选择比的气体对残留的EP poly进一步刻蚀,并保证一定的过刻蚀量及底部氧化硅损失,形成最终的EP poly图形;

[0009] 步骤5:进一步刻蚀,以去除残余的APF掩膜。

[0010] 由于上述刻蚀过程中产生聚合物的浓度较高,在现有的擦除栅极EP刻蚀工艺的步骤4的SL&OE(SL,Soft Landing;OE,Over Etch)刻蚀步骤后,上述聚合物会在APF表面富集,从而形成如图1所示的一层聚合物壳层8。由于上述聚合物壳层8无法在后续刻蚀及灰化工艺中去除,因此会成为后续工艺的缺陷源。

发明内容

[0011] 以下给出一个或多个方面的简要概述以提供对这些方面的基本理解。此概述不是

所有构想到的方面的详尽综览,并且既非旨在指出所有方面的关键性或决定性要素亦非试图界定任何或所有方面的范围。其唯一的目的是要以简化形式给出一个或多个方面的一些概念以为稍后给出的更加详细的描述之序。

[0012] 为了避免多晶硅刻蚀过程中产生的聚合物在APF表面富集,从而消除半导体器件表面的聚合物壳层的缺陷,本发明提供了一种刻蚀方法,以及一种上述刻蚀方法形成的半导体器件。

[0013] 本发明提供的上述刻蚀方法,可以包括步骤:

[0014] 提供衬底,上述衬底上形成有待刻蚀膜层;

[0015] 在上述待刻蚀膜层上形成掩膜层结构,上述掩膜层结构包括形成在待刻蚀膜层上表面的介质层和形成在介质层上表面的APF膜层;

[0016] 图案化上述APF膜层;

[0017] 以图案化后的APF膜层为掩膜,对上述介质层和上述待刻蚀膜层执行第一刻蚀工艺,以图案化上述介质层并部分刻蚀上述待刻蚀膜层,同时刻蚀掉未曝光区域APF顶部的介质抗反射层;

[0018] 去除上述图案化后的APF膜层;以及

[0019] 以图案化后的介质层为掩膜,对上述待刻蚀膜层执行第二刻蚀工艺。

[0020] 优选地,在本发明提供的上述刻蚀方法中,上述第一刻蚀工艺中采用的刻蚀工艺参数可以不同于上述第二刻蚀工艺中采用的刻蚀工艺参数;其中:

[0021] 上述刻蚀工艺参数可以为刻蚀气体种类、刻蚀气体流量、刻蚀功率、刻蚀腔体压力和刻蚀温度中的一者或多者。

[0022] 优选地,在本发明提供的上述刻蚀方法中,可以采用对上述介质层和上述待刻蚀膜层低选择比的刻蚀气体执行上述第一刻蚀工艺;以及

[0023] 可以采用对上述介质层和上述待刻蚀膜层高选择比的刻蚀气体执行上述第二刻蚀工艺。

[0024] 可选地,在本发明提供的上述刻蚀方法中,上述第二刻蚀工艺还可以进一步包括软着陆步骤和过刻蚀步骤;其中:

[0025] 上述软着陆步骤中可以采用的刻蚀工艺参数不同于上述过刻蚀步骤中采用的刻蚀工艺参数。

[0026] 可选地,在本发明提供的上述刻蚀方法中,在上述待刻蚀膜层表面形成的上述介质层的厚度可以为200-600埃米(Å)。

[0027] 可选地,在本发明提供的上述刻蚀方法中,上述掩膜层结构还可以包括位于上述掩膜层结构上部的介质抗反射层和底部抗反射层,上述介质抗反射层可以位于上述APF膜层和上述底部抗反射层之间。

[0028] 优选地,在本发明提供的上述刻蚀方法中,图案化上述APF膜层的步骤可以进一步包括步骤:

[0029] 在上述掩膜层上方形成光刻胶图案;

[0030] 以上述光刻胶图案刻蚀并过刻蚀上述介质抗反射层和上述底部抗反射层,以暴露上述APF膜层;以及

[0031] 刻蚀上述APF膜层以形成图案化后的APF膜层。

[0032] 可选地,在本发明提供的上述刻蚀方法中,还可以采用灰化刻蚀去除上述图案化后的APF膜层。

[0033] 可选地,在本发明提供的上述刻蚀方法中,上述刻蚀方法还可以包括步骤:

[0034] 在执行上述第二刻蚀工艺后,去除上述刻蚀后的介质层。

[0035] 可选地,在本发明提供的上述刻蚀方法中,上述衬底上还可以形成有呈台阶状的栅极介质,上述待刻蚀膜层覆盖上述栅极介质和上述衬底;其中:

[0036] 上述待刻蚀膜层可以为多晶硅,用以在上述栅极介质上形成擦除栅极;以及

[0037] 上述介质层可以为氧化硅或氮化硅。

[0038] 根据本发明的另一方面,本文还提供了一种采用上述中任一种刻蚀方法所形成的半导体器件,上述半导体器件的上述刻蚀区域的表面没有聚合物壳层。

附图说明

[0039] 在结合以下附图阅读本公开的实施例的详细描述之后,能够更好地理解本发明的上述特征和优点。在附图中,各组件不一定是按比例绘制,并且具有类似的相关特性或特征的组件可能具有相同或相近的附图标记。

[0040] 图1示出了现有的擦除栅极刻蚀工艺膜层的结构示意图。

[0041] 图2示出了本发明一实施例提供的擦除栅极刻蚀工艺的流程示意图。

[0042] 图3示出了本发明一实施例提供的擦除栅极刻蚀方法各阶段的器件结构示意图。

[0043] 图4示出了本发明一实施例提供的图案化APF膜层的流程示意图。

[0044] 附图标记:

- [0045] 1 衬底;
- [0046] 2 呈台阶状的栅极介质;
- [0047] 3 待刻蚀膜层;
- [0048] 41 第一介质层;
- [0049] 42 第二介质层;
- [0050] 5 APF膜层;
- [0051] 61 介质抗反射层;
- [0052] 62 底部抗反射层;
- [0053] 7 光刻胶;
- [0054] 8 聚合物壳层;
- [0055] 91 待刻蚀的半导体器件;
- [0056] 92 图案化PR的半导体器件;
- [0057] 93 图案化Barc和Darc的半导体器件;
- [0058] 94 图案化APF膜层的半导体器件;
- [0059] 95 第一刻蚀工艺后的半导体器件;
- [0060] 96 去除APF膜层的半导体器件;
- [0061] 97 图案化EP poly的半导体器件;
- [0062] 98 刻蚀后的半导体器件;
- [0063] 101-106 刻蚀方法的步骤;

[0064] 1031-1033 图案化APF膜层的步骤。

具体实施方式

[0065] 以下由特定的具体实施例说明本发明的实施方式，本领域技术人员可由本说明书所揭示的内容轻易地了解本发明的其他优点及功效。虽然本发明的描述将结合优选实施例一起介绍，但这并不代表此发明的特征仅限于该实施方式。恰恰相反，结合实施方式作发明介绍的目的是为了覆盖基于本发明的权利要求而有可能延伸出的其它选择或改造。为了提供对本发明的深度了解，以下描述中将包含许多具体的细节。本发明也可以不使用这些细节实施。此外，为了避免混乱或模糊本发明的重点，有些具体细节将在描述中被省略。

[0066] 在本发明的描述中，需要说明的是，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解，例如，可以是固定连接，也可以是可拆卸连接，或一体地连接；可以是机械连接，也可以是电连接；可以是直接相连，也可以通过中间媒介间接相连，可以是两个元件内部的连通。对于本领域的普通技术人员而言，可以根据具体情况理解上述术语在本发明中的具体含义。

[0067] 注意，在使用到的情况下，标志左、右、前、后、顶、底、正、反、顺时针和逆时针仅仅是出于方便的目的所使用的，而并不暗示任何具体的固定方向。事实上，它们被用于反映对象的各个部分之间的相对位置和/或方向。

[0068] 如本文使用的术语“在...上方(over)”、“在...下方(under)”、“在...之间(between)”和“在...上(on)”指的是这一层相对于其它层的相对位置。同样地，例如，被沉积或被放置于另一层的上方或下方的一层可以直接与另一层接触或者可以具有一个或多个中间层。此外，被沉积或被放置于层之间的一层可以直接与这些层接触或者可以具有一个或多个中间层。相比之下，在第二层“上”的第一层与该第二层接触。此外，提供了一层相对于其它层的相对位置(假设相对于起始基底进行沉积、修改和去除薄膜操作而不考虑基底的绝对定向)。

[0069] 能理解的是，虽然在此可使用用语“第一”、“第二”、“第三”等来叙述各种组件、区域、层和/或部分，这些组件、区域、层和/或部分不应被这些用语限定，且这些用语仅是用来区别不同的组件、区域、层和/或部分。因此，以下讨论的第一组件、区域、层和/或部分可在不偏离本发明一些实施例的情况下被称为第二组件、区域、层和/或部分。

[0070] 尽管为使解释简单化将上述方法图示并描述为一系列动作，但是应理解并领会，这些方法不受动作的次序所限，因为根据一个或多个实施例，一些动作可按不同次序发生和/或与来自本文中图示和描述或本文中未图示和描述但本领域技术人员可以理解的其他动作并发地发生。

[0071] 为了避免多晶硅刻蚀过程中产生的聚合物在APF表面富集，从而消除半导体器件表面的聚合物壳层的缺陷，本发明提供了一种刻蚀方法的实施例，以及一种上述刻蚀方法形成的半导体器件的实施例。

[0072] 如图2所示，本实施例提供的上述刻蚀方法可以包括步骤：

[0073] 101:提供衬底1,上述衬底1上形成有待刻蚀膜层3;

[0074] 102:在上述待刻蚀膜层3上形成掩膜层结构,上述掩膜层结构包括形成在待刻蚀膜层3上表面的第二介质层42和形成在上述第二介质层42上表面的APF膜层5;

[0075] 103:图案化上述APF膜层5;

[0076] 104:以图案化后的APF膜层5为掩膜,对上述第二介质层42和上述待刻蚀膜层3执行第一刻蚀工艺,以图案化上述第二介质层42并部分刻蚀上述待刻蚀膜层3;

[0077] 105:去除上述图案化后的APF膜层5;以及

[0078] 106:以图案化后的第二介质层42为掩膜,对上述待刻蚀膜层3执行第二刻蚀工艺。

[0079] 在本实施例提供的上述刻蚀方法中,上述步骤101主要是上述刻蚀方法的准备步骤。上述衬底1可以是硅(Si)衬底。上述待刻蚀膜层3可以通过喷涂、旋涂等工艺,覆盖在上述衬底1上的多晶硅膜层。

[0080] 如图3所示,上述硅衬底1的上方还可以根据半导体器件的实际功能,优选地设有呈台阶状的栅极介质2。上述多晶硅材质的待刻蚀膜层3可以覆盖上述栅极介质2和上述衬底1,用以在上述栅极介质2上形成擦除栅极(EP,Erase Polysilicon)。

[0081] 上述硅衬底1和上述栅极介质2的外表面还可以进一步优选地覆有第一介质层41,以对上述硅衬底1和上述栅极介质2进行保护。上述第一介质层41可以为对多晶硅有一定选择比的二氧化硅(SiO_2)或氮化硅(Si_3N_4)膜层。

[0082] 本领域的技术人员可以理解,上述硅衬底和多晶硅待刻蚀膜层只是本实施例的一种具体组合方案。在其他实施例中,上述衬底1也可以根据半导体器件的实际要求,选用蓝宝石(Al_2O_3)衬底、碳化硅(SiC)衬底等各种材料的衬底。上述待刻蚀膜层3也可以根据上述半导体器件的实际要求,选用其他材料的待刻蚀膜层。上述衬底1的材料和上述待刻蚀膜层3的材料可以根据上述半导体器件的实际要求任意组合。

[0083] 相应的,上述形成待刻蚀膜层3的方法也可以进一步包括适合上述待刻蚀膜层3材料特性的喷涂、旋涂、蒸镀、电镀、沉积等工艺中的一种或多种。上述第一介质层41也可以进一步包括对上述待刻蚀膜层3材料有一定选择比的其他材料的膜层。

[0084] 本领域的技术人员还可以理解,上述呈台阶状的栅极介质2只是根据本实施例的一种半导体器件的实际功能而优选的一种具体方案。在其他实施例中,上述硅衬底1的上方也可以根据半导体器件的实际功能,在不违反本发明的上述刻蚀方法构思的前提下,优选其他半导体结构的方案。

[0085] 在本实施例提供的上述刻蚀方法中,上述步骤102也主要是上述刻蚀方法的准备步骤。上述掩膜层可以包括第二介质层42和先进图形膜层(APF,Advanced Patterning Film)5。

[0086] 上述第二介质层42可以是在上述待刻蚀膜层3的上表面所形成的,对多晶硅有一定选择比的二氧化硅(SiO_2)或氮化硅(Si_3N_4)膜层。

[0087] 上述APF膜层5可以作为上述刻蚀方法中的一层硬掩膜。上述APF膜层5可以通过适合其具体材料特性的喷涂、旋涂、蒸镀、电镀、沉积等工艺中的一种或多种,在上述第二介质层42的上表面形成的。

[0088] 在本实施例提供的上述刻蚀方法中,上述步骤103主要用于将所需擦除栅极2的具体形状转移到上述APF膜层5。上述图案化APF膜层5的步骤可以优选地以光刻胶(PR,Photo Resist)7,通过光刻蚀的方法来实现。

[0089] 相应于上述光刻蚀的方法,上述掩膜层还可以进一步优选地包括位于上述掩膜层结构上部的介质抗反射层(Darc,Dielectric Anti Reflective Coating)61和底部抗反射

层(Barc, Bottom Anti Reflective Coating) 62,用以吸收曝光显影时产生的反射光,并减少驻波等问题。上述介质抗反射层61可以位于上述APF膜层5和上述底部抗反射层62之间。

[0090] 相应的,如图3所示,经过上述步骤101和上述步骤102的准备,可以获得待刻蚀的半导体器件91的优选的擦除栅极刻蚀工艺膜层。上述优选的擦除栅极刻蚀工艺膜层从下到上依次为:800Å厚度的多晶硅待刻蚀膜层3、200Å的厚度第二介质层42、2800Å厚度的APF膜层5、350Å厚度的Darc介质抗反射层61,以及800Å厚度的Barc底部抗反射层62。上述Darc介质抗反射层61和上述Barc底部抗反射层62之间可能还会存在50Å厚度的顶层氧化硅(Cap OX)(未绘示于图3)。

[0091] 如图4所示,上述图案化APF膜层5的步骤可以进一步优选地包括以下步骤:

[0092] 1031:在上述掩膜层上方形成光刻胶(PR)7图案;

[0093] 1032:以上述光刻胶(PR)7图案刻蚀并过刻蚀上述介质抗反射层(Darc)61和上述底部抗反射层(Barc)62,以暴露上述APF膜层5;以及

[0094] 1033:刻蚀上述APF膜层5以形成图案化后的APF膜层5。

[0095] 在上述步骤1031中,上述光刻胶(PR)7图案可以是以具有相应图案形状的掩膜版遮盖特定区域的上述光刻胶(PR)7,并曝光显影以去除未遮盖区域的上述光刻胶(PR)7后所获得的。

[0096] 如图3所示,经过上述曝光显影后,可以获得图案化PR的半导体器件92,上述图案化PR的半导体器件92上的光刻胶(PR)7具有所需擦除栅极EP的图案形状。以被上述图案化的光刻胶(PR)7覆盖的区域为未曝光区域,以未被上述图案化的光刻胶(PR)7覆盖的区域为刻蚀区域。

[0097] 在上述步骤1032中,可以以曝光显影后的上述图案化的光刻胶(PR)7为掩膜,采用对上述介质抗反射层(Darc)61和上述底部抗反射层(Barc)62具有低选择比的刻蚀气体(例如:CF₄或以CF₄为主刻蚀气体的组合),对上述介质抗反射层(Darc)61和上述底部抗反射层(Barc)62进行同步刻蚀,并保证一定的过刻蚀量,从而将上述图案化的光刻胶(PR)7曝光定义的上述所需擦除栅极EP的图案形状转移到上述介质抗反射层(Darc)61和上述底部抗反射层(Barc)62上,以获得图案化Barc和Darc的半导体器件93,暴露上述刻蚀区域中的上述APF膜层5。

[0098] 在上述步骤1033中,可以采用对上述APF膜层5和上述多晶硅待刻蚀膜层3具有高选择比的刻蚀气体(例如:SO₂和O₂),对上述刻蚀区域的上述APF膜层5进行刻蚀,以完全刻蚀掉上述刻蚀区域中的上述第二介质层42上部的全部APF膜层5,并同时刻蚀掉上述未曝光区域的残余光刻胶(PR)和底部抗反射层(Barc)62,从而获得图案化APF膜层的半导体器件94,将上述的刻蚀图案转移到上述APF膜层5上。

[0099] 本领域的技术人员可以理解,上述以光刻胶(PR)7,通过光刻蚀的方法,来将所需要的擦除栅极EP的具体形状转移到上述APF膜层5的方案,只是本实施例提供的一种具体方案。在其他实施例种,也可以通过其他方式来将上述APF膜层5图案化为所需要的具体形状。

[0100] 相应于不采用光刻蚀的方法来图案化上述APF膜层5的方案,上述待刻蚀的半导体器件91的擦除栅极刻蚀工艺膜层中,也可以不包含Darc介质抗反射层61、Barc底部抗反射层62,以及位于上述介质抗反射层(Darc)61和上述底部抗反射层(Barc)62之间的顶层氧化

硅 (Cap OX)。

[0101] 本领域的技术人员还可以理解,在上述优选的擦除栅极刻蚀工艺膜层中,上述每一层的具体厚度,只是本实施例的一种具体组合方案。在其他实施例中,上述擦除栅极刻蚀工艺膜层中的各层厚度,也可以根据上述半导体器件的实际功能需求,进行适当的改变。

[0102] 在本实施例提供的上述刻蚀方法中,上述步骤104主要用于图案化上述第二介质层42,并部分刻蚀上述多晶硅待刻蚀膜层3。

[0103] 上述第一刻蚀工艺可以优选地采用对上述第二介质层42和上述待刻蚀膜层3具有低选择比的刻蚀气体(例如:CF₄或以CF₄为主刻蚀气体的组合)来执行,其刻蚀工艺参数可以具体为:刻蚀气体流量60sccm(Standard Cubic Centimeters per Minute,每分钟标准立方厘米)~100sccm,刻蚀功率500W(Wat,瓦)~900W,刻蚀腔体压力5mT(millitor,毫托)~10mT,以及刻蚀温度40℃~60℃。

[0104] 上述第一刻蚀工艺可以同时刻蚀掉上述刻蚀区域中的上述第二介质层42和上述多晶硅待刻蚀膜层3的部分厚度,并保留一定厚度的上述APF膜层5,从而获得第一刻蚀工艺后的半导体器件95。上述第一刻蚀工艺对上述多晶硅待刻蚀膜层3进行主刻蚀(ME, Main Etch),以大致形成预期的图案。

[0105] 上述第一介质层41和上述第二介质层42还可以优选为不同材料的介质层,以便于在去除上述第二介质层42时,尽可能地减少对上述第一介质层41的伤害,从而保护上述半导体器件。

[0106] 上述第二介质层42的厚度可以优选为200Å—600Å,更优地,上述第二介质层42的厚度为400 Å,以更好地保护上述未曝光区域中的上述多晶硅待刻蚀膜层3,并提高上述步骤104的刻蚀效率。

[0107] 本领域的技术人员可以理解,采用对上述第二介质层42和上述多晶硅待刻蚀膜层3具有低选择比的刻蚀气体只是本实施例的一种具体方案。在相应于上述采用光刻蚀的方法来图案化上述APF膜层5的方案的实施例中,在上述步骤104中,还可以进一步优选地采用对上述顶层氧化硅(Cap OX)、上述介质抗反射层(Darc)61、上述第二介质层42和上述多晶硅待刻蚀膜层3都具有低选择比的刻蚀气体,以同时刻蚀上述刻蚀区域的上述第二介质层42和上述多晶硅待刻蚀膜层3,同时刻蚀掉上述未曝光区域的上述APF膜层5顶部的上述顶层氧化硅(Cap OX)和上述介质抗反射层(Darc)61,并保留一定厚度的上述APF膜层5。

[0108] 在本实施例提供的上述刻蚀方法中,上述步骤105主要用于去除上述图案化后的APF膜层5。上述图案化后的APF膜层5可以优选地通过原位刻蚀的方式去除,以获得去除APF膜层的半导体器件96。

[0109] 在本实施例提供的上述刻蚀方法中,上述步骤106主要用于形成最终的擦除栅极EP的图案。

[0110] 上述第二刻蚀工艺可以优选地采用的不同于上述第一刻蚀工艺的刻蚀工艺参数。上述刻蚀工艺参数可以包括刻蚀气体种类、刻蚀气体流量、刻蚀功率、刻蚀腔体压力和刻蚀温度中的一者或多者。

[0111] 上述第二刻蚀工艺还可以优选地包括软着陆步骤和过刻蚀步骤,上述软着陆步骤中采用的刻蚀工艺参数可以不同于上述过刻蚀步骤中采用的刻蚀工艺参数。

[0112] 上述第二刻蚀工艺还可以进一步优选地采用对上述第二介质层和上述多晶硅待

刻蚀膜层3具有高选择比的刻蚀气体(例如:HBr/O₂)来执行,其刻蚀工艺参数可以具体为:刻蚀气体流量:HBr流量在100sccm~300sccm,O₂流量在2sccm~4sccm,刻蚀功率500W~900W,刻蚀腔体压力6mT~10mT,以及刻蚀温度40℃~60℃。

[0113] 上述第二刻蚀工艺可以对上述刻蚀区域中残留的上述多晶硅待刻蚀膜层3执行进一步的刻蚀,以保证上述多晶硅待刻蚀膜层3具有一定的过刻蚀量,以及对上述第一介质层41形成一定的损失,从而获得具有最终的擦除栅极EP图案的图案化EP poly的半导体器件97。

[0114] 本领域的技术人员可以理解,采用不同刻蚀工艺参数的上述第一刻蚀工艺和上述第二刻蚀工艺只是本实施例的一种具体方案。在其他实施例中,上述第一刻蚀工艺和上述第二刻蚀工艺的具体刻蚀工艺参数也可以根据上述待刻蚀膜层3、第二介质层42,以及APF膜层5的具体材料和厚度而确定。

[0115] 本领域的技术人员还可以理解,采用对上述第二介质层和上述多晶硅待刻蚀膜层3具有高选择比的刻蚀气体来执行上述第二刻蚀工艺,只是本实施例的一种优选方案,用于提升上述第二刻蚀工艺的效率 and 效果。而在其他实施例中,不采用对上述第二介质层和上述多晶硅待刻蚀膜层3具有高选择比的刻蚀气体,也能实现刻蚀的基本效果。

[0116] 在本实施例提供的上述刻蚀方法中,还可以进一步优选地包括步骤:

[0117] 在执行上述步骤106的上述第二刻蚀工艺后,进一步去除上述刻蚀区域中的上述第二介质层42,以获得没有上述第二介质层42的刻蚀后的半导体器件98。

[0118] 本领域的技术人员可以理解,上述去除刻蚀区域中的第二介质层42的步骤,只是本实施例的一种优选方案。在其他实施例中,若上述第二介质层42的存在,不影响上述刻蚀后的半导体器件98的正常工作,也可以保留上述第二介质层42。

[0119] 基于以上描述,本实施例提供的上述刻蚀方法通过在上述多晶硅待刻蚀膜层3的表面生长一层上述第二介质层42;在多晶硅的主刻蚀步骤(上述步骤104)之后,进一步去除上述APF膜层5;并以增加的上述第二介质层42作为掩膜,进行后续多晶硅进一步刻蚀,从而避免了现有技术中的聚合物容易在APF表面的富集的问题,并消除了半导体器件表面的聚合物壳层的缺陷。

[0120] 根据本发明的另一方面,本文还提供了一种采用上述中任一种刻蚀方法所形成的半导体器件的实施例。

[0121] 如图3中的刻蚀后的半导体器件98所示,本实施例提供的上述半导体器件的上述刻蚀区域的表面没有聚合物壳层,消除了后续工艺的缺陷源。

[0122] 本领域的技术人员可以理解,上述具有呈台阶状的栅极介质2和擦除栅极EP的半导体器件,只是本实施例的一种具体方案。在其他实施例中,上述半导体器件还可以根据其实际功能需求,具有各种不同的其他功能性结构。

[0123] 提供对本公开的先前描述是为使得本领域任何技术人员皆能够制作或使用本公开。对本公开的各种修改对本领域技术人员来说都将是显而易见的,且本文中所定义的普适原理可被应用到其他变体而不会脱离本公开的精神或范围。由此,本公开并非旨在被限定于本文中所描述的示例和设计,而是应被授予与本文中所公开的原理和新颖性特征相一致的最广范围。

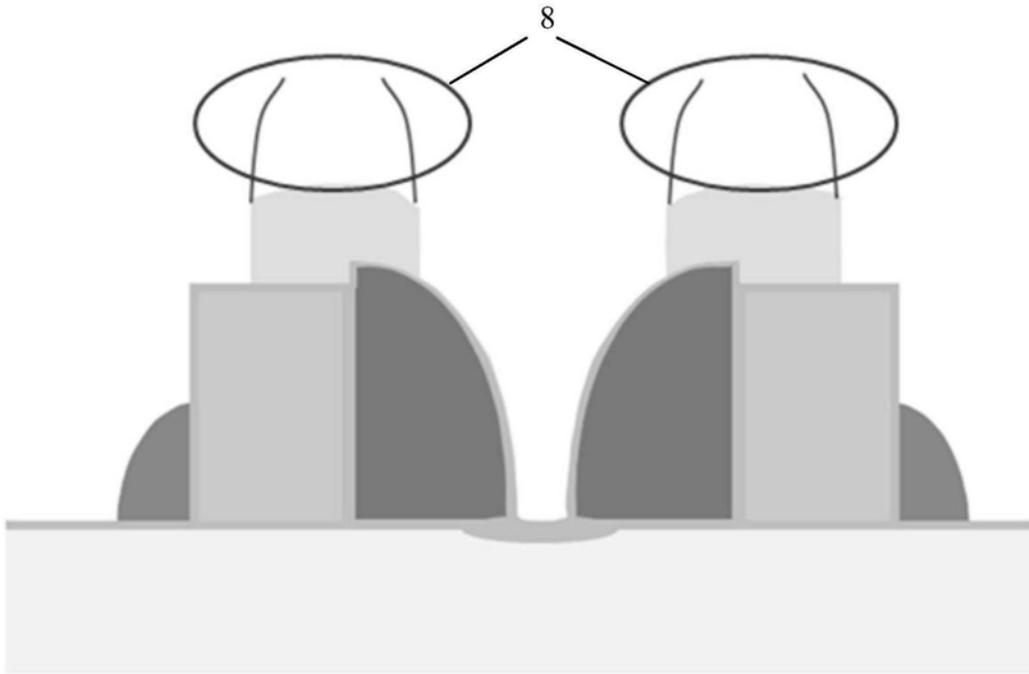


图1

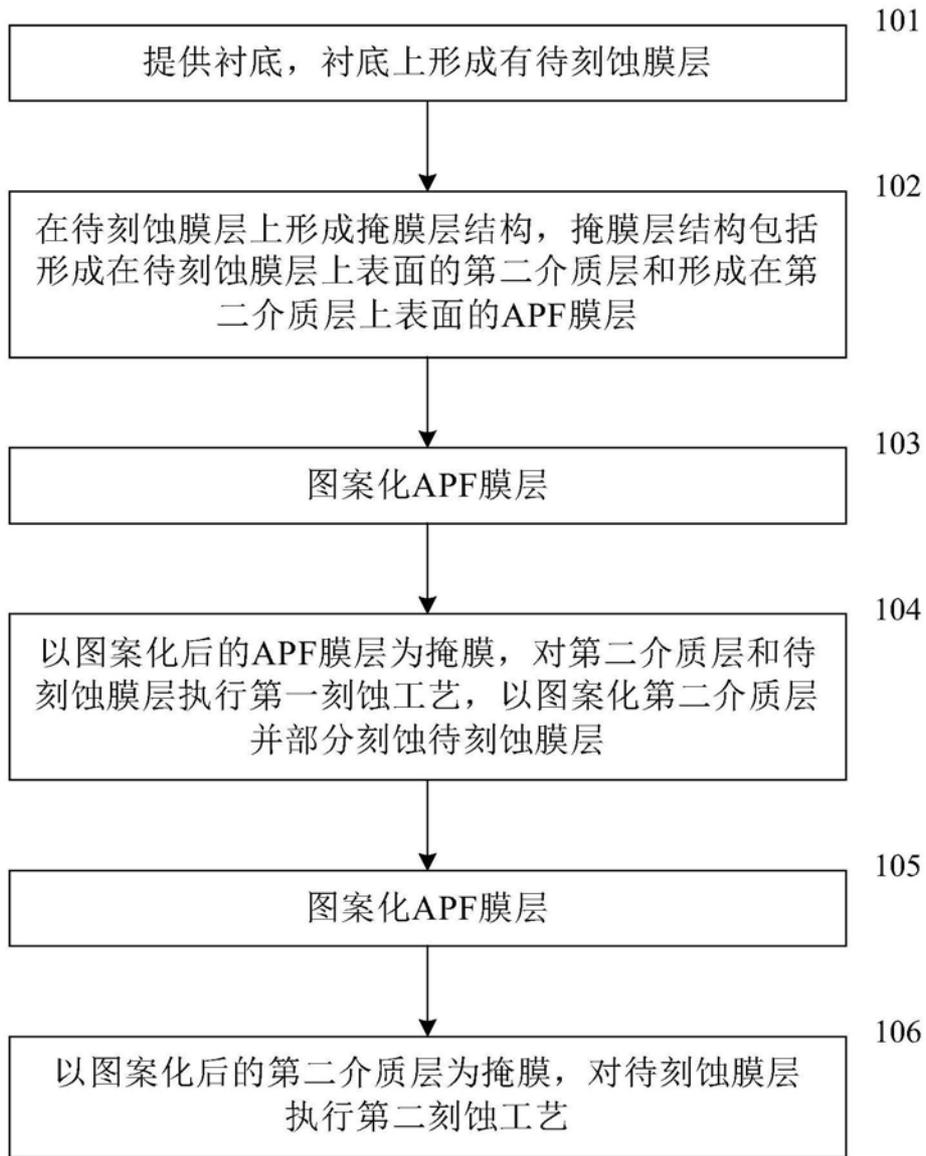


图2

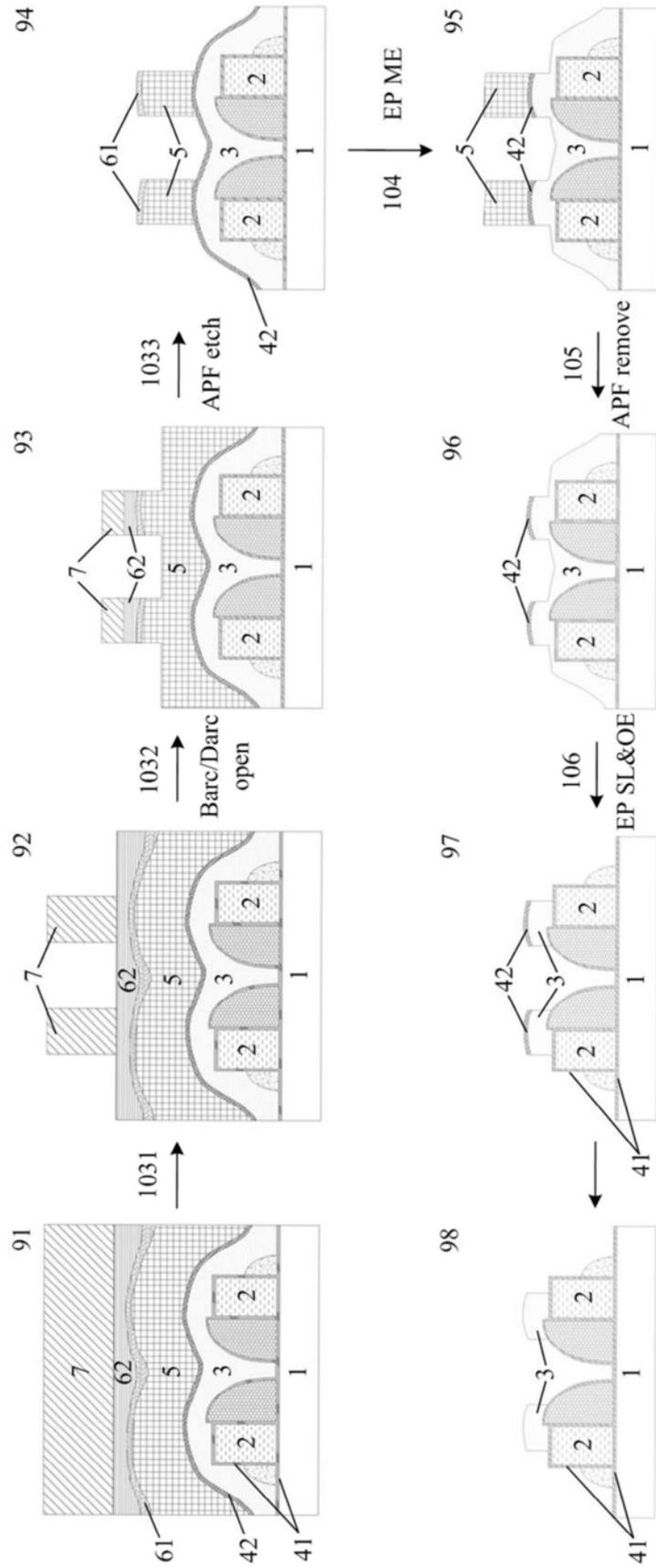


图3

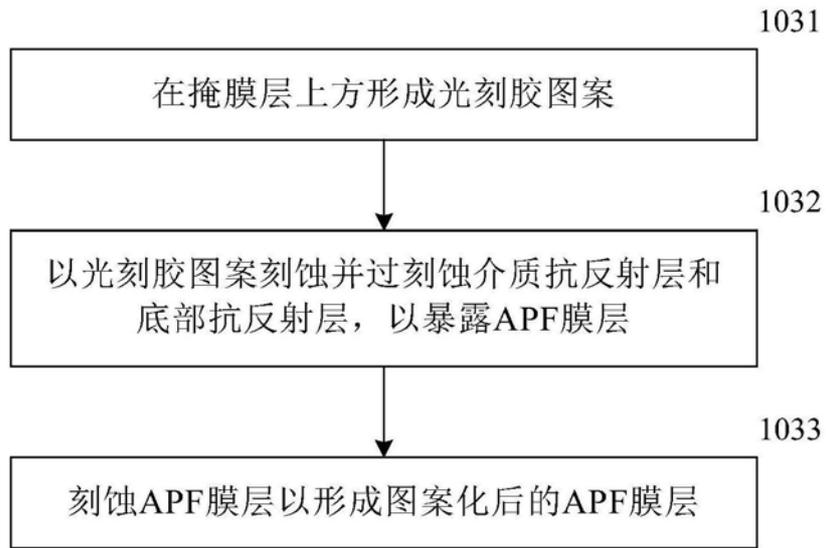


图4