



# (12)发明专利申请

(10)申请公布号 CN 111149213 A

(43)申请公布日 2020.05.12

(21)申请号 201880056697.0

(74)专利代理机构 永新专利商标代理有限公司  
72002

(22)申请日 2018.08.29

代理人 高迪

(30)优先权数据

2017-166883 2017.08.31 JP

(51)Int.Cl.

H01L 29/78(2006.01)

(85)PCT国际申请进入国家阶段日

H01L 21/205(2006.01)

2020.02.27

H01L 21/336(2006.01)

(86)PCT国际申请的申请数据

H01L 29/12(2006.01)

PCT/JP2018/032005 2018.08.29

(87)PCT国际申请的公布数据

W02019/044922 JA 2019.03.07

(71)申请人 株式会社电装

地址 日本爱知县

(72)发明人 梶爱子 竹内有一 箕谷周平

铃木龙太 山下侑佑

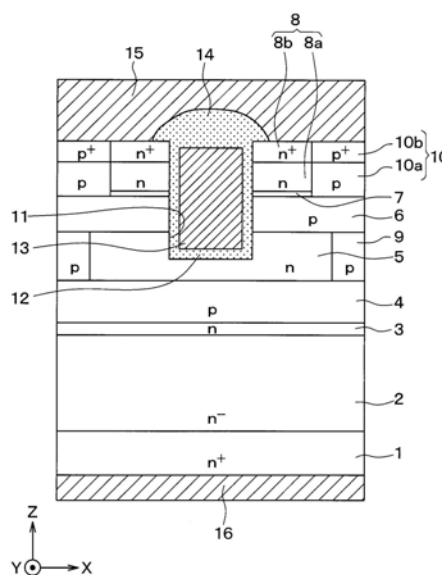
权利要求书2页 说明书12页 附图12页

## (54)发明名称

碳化硅半导体装置及其制造方法

## (57)摘要

第1导电型的源极区域(8)构成为,其第2导电型的基区(6)侧和其与源极电极(15)欧姆接触的表面侧相比杂质浓度低。例如,将源极区域(8)由设为较低浓度的第1源极区域(8a)和设为比其高浓度的第2源极区域(8b)构成。由此,能够减小负载短路时的饱和电流值,能够使SiC半导体装置的短路耐量提高。



1. 一种碳化硅半导体装置,具备反转型的半导体元件,  
上述半导体元件包括:  
第1或第2导电型的基板(1),由碳化硅构成;  
第1导电型的由碳化硅构成的漂移层(2、3、5),形成在上述基板之上,且与上述基板相比杂质浓度低;  
第2导电型的由碳化硅构成的基区(6),形成在上述漂移层之上;  
第1导电型的由碳化硅构成的源极区域(8),形成在上述基区之上,与上述漂移层相比第1导电型杂质浓度高;  
沟槽栅构造,构成为在从上述源极区域的表面形成得比上述基区深的栅极沟槽(11)内,具备覆盖该栅极沟槽的内壁面的栅极绝缘膜(12)和配置在该栅极绝缘膜之上的栅极电极(13),上述沟槽栅构造以一方向为长度方向,以条纹状排列有多条;  
层间绝缘膜(14),将上述栅极电极及上述栅极绝缘膜覆盖,并且形成有接触孔;  
源极电极(15),经由上述接触孔与上述源极区域欧姆接触;以及  
漏极电极(16),形成在上述基板的背面侧;  
上述源极区域构成为,上述源极区域的上述基区一侧与欧姆接触于上述源极电极的表面侧相比杂质浓度低。
2. 如权利要求1所述的碳化硅半导体装置,  
上述源极区域为具有位于上述基区一侧的第1源极区域(8a)和与上述源极电极欧姆接触的第2源极区域(8b)的结构。
3. 如权利要求2所述的碳化硅半导体装置,  
上述第2源极区域,其厚度为 $0.1\mu\text{m}$ 以上,并且第2导电型杂质浓度为 $1.0\times 10^{18}\sim 5.0\times 10^{19}/\text{cm}^3$ 。
4. 如权利要求2或3所述的碳化硅半导体装置,  
上述第1源极区域,其厚度为 $0.2\sim 0.5\mu\text{m}$ ,杂质浓度为 $2.0\times 10^{16}\sim 1.0\times 10^{17}/\text{cm}^3$ 。
5. 如权利要求1~4中任一项所述的碳化硅半导体装置,  
在上述基区与上述源极区域之间,具备载流子浓度为 $5.0\times 10^{15}/\text{cm}^3$ 以下的无掺杂层(7)。
6. 如权利要求5所述的碳化硅半导体装置,  
上述无掺杂层其厚度为 $0.05\sim 0.2\mu\text{m}$ 。
7. 如权利要求5或6所述的碳化硅半导体装置,  
上述无掺杂层及上述源极区域的合计膜厚为 $0.8\mu\text{m}$ 以下。
8. 一种碳化硅半导体装置的制造方法,是具备反转型的半导体元件的碳化硅半导体装置的制造方法,  
该方法包括:  
准备由碳化硅构成的第1或第2导电型的基板(1);  
在上述基板之上,形成第1导电型的由碳化硅构成的漂移层(2、3、5),该漂移层与上述基板相比杂质浓度低;  
在上述漂移层之上,形成第2导电型的由碳化硅构成的基区(6);  
在上述基区之上,形成第1导电型的由碳化硅构成的源极区域(8),该源极区域与上述

漂移层相比第1导电型杂质浓度高；

对于从上述源极区域的表面比上述基区深的栅极沟槽(11)以一方向为长度方向而以条纹状形成多条之后,在上述栅极沟槽的内壁面形成栅极绝缘膜(12),并且在上述栅极绝缘膜之上形成栅极电极(13),从而形成沟槽栅构造;

形成与上述源极区域电连接的源极电极(15);以及

在上述基板的背面侧形成漏极电极(16);

关于形成上述基区以及形成上述源极区域,将上述基区及上述源极区域通过外延生长而形成;

关于形成上述源极区域,从上述基区一侧将第1导电型杂质浓度不同的第1源极区域(8a)和欧姆接触于上述源极电极的第2源极区域(8b)依次通过外延生长而形成,将上述第1源极区域形成与上述第2源极区域相比杂质浓度低。

9.如权利要求8所述的碳化硅半导体装置的制造方法,

在形成上述基区以及形成上述源极区域之间,包括形成由碳化硅构成的无掺杂层(7);

通过连续地外延生长来进行形成上述基区、形成上述无掺杂层、以及形成上述源极区域;

关于形成上述无掺杂层,在停止了第1导电型掺杂剂及第2导电型掺杂剂的气体导入的状态下进行上述外延生长,从而将上述无掺杂层以厚度 $0.05\sim 0.2\mu\text{m}$ 形成。

10.如权利要求9所述的碳化硅半导体装置的制造方法,

包括:在形成上述无掺杂层、以及形成上述源极区域之后,从上述源极区域的表面侧离子注入第2导电型杂质,从而形成达到上述基区、将该基区与上述源极电极连结的第2导电型的连结层(10);

包括:关于形成上述连结层,将上述连结层中的相对于上述第1源极区域离子注入上述第2导电型杂质的部分作为第1区域(10a),将上述连结层中的相对于上述第2源极区域离子注入上述第2导电型杂质的部分作为第2区域(10b),在以上述第2源极区域的第1导电型杂质浓度的 $2\sim 10$ 倍的剂量来离子注入上述第2导电型杂质之后,用 $1500^{\circ}\text{C}$ 以上的热处理来进行活性化,从而形成上述第2区域。

## 碳化硅半导体装置及其制造方法

[0001] 相关申请的相互参照

[0002] 本申请基于2017年8月31日提出申请的日本专利申请第2017-166883号,在此通过参照引用其记载内容。

### 技术领域

[0003] 本公开涉及具有包括碳化硅(以下称作SiC)而构成的MOS构造的半导体元件的SiC半导体装置及其制造方法。

### 背景技术

[0004] 以往,作为提高沟道密度以流过大电流的构造,有具有沟槽栅构造的SiC半导体装置。该SiC半导体装置为在n型漂移层之上依次形成有p型基区和n<sup>+</sup>型源极区域、以从n<sup>+</sup>型源极区域的表面将p型基区贯通而达到n<sup>+</sup>型漂移层的方式形成有沟槽栅的构造。具体而言,在n型漂移层之上使p型基区外延生长后,通过将n型杂质对p型基区离子注入而打回,使p型基区的一部分反转为n型,形成n<sup>+</sup>型源极区域。例如,参照国际公开第2016/063644号论文。

### 发明内容

[0005] 但是,由于将n<sup>+</sup>型源极区域的全域用高浓度的n型杂质层形成,所以负载短路时的饱和电流值变大,不能得到SiC半导体装置的短路耐量。

[0006] 本公开的目的在于提供一种能够提高短路耐量的SiC半导体装置及其制造方法。

[0007] 本公开的一技术方案的SiC半导体装置具备半导体元件,所述半导体元件包括:由SiC构成的第1或第2导电型的基板;形成在基板之上、且与基板相比杂质浓度低的由第1导电型的SiC构成的漂移层;形成在漂移层之上、且由第2导电型的SiC构成的基区(基极区域);形成在基区之上、且与漂移层相比第1导电型杂质浓度为高的由第1导电型的SiC构成的源极区域;沟槽栅构造,构成为在从源极区域的表面形成得比基区深的栅极沟槽内、具备将该栅极沟槽的内壁面覆盖的栅极绝缘膜和配置在该栅极绝缘膜之上的栅极电极,沟槽栅构造以一方向作为长度方向,以条纹状排列有多个;层间绝缘膜,将栅极电极及栅极绝缘膜覆盖并形成有接触孔;源极电极,经由接触孔与源极区域欧姆接触;以及漏极电极,形成在基板的背面侧。并且,源极区域构成为其基区侧与欧姆接触于源极电极的表面侧相比杂质浓度低。

[0008] 这样,将源极区域中的基区侧设为低浓度,将源极电极侧设为比其高浓度。这样,通过在源极区域中的基区侧具备为低浓度的区域,能够减小负载短路时的饱和电流值,能够使SiC半导体装置的短路耐量提高。

[0009] 另外,对各构成要素等赋予的带括号的标号表示该构成要素等与在后述的实施方式中记载的具体的构成要素等的对应关系的一例。

### 附图说明

- [0010] 图1是有关第1实施方式的SiC半导体装置的剖视图。
- [0011] 图2是图1所示的SiC半导体装置的立体剖视图。
- [0012] 图3是表示通过模拟仿真来调查n型源极区域的全域为高浓度的情况下的电子电流密度的结果的图。
- [0013] 图4是表示通过模拟仿真调查将n型源极区域用第1源极区域及第2源极区域构成的情况下的电子电流密度的结果的图。
- [0014] 图5是表示使第1源极区域的杂质浓度变化、通过模拟仿真调查漏极电流的变化的结果的图。
- [0015] 图6是表示通过模拟仿真调查第1源极区域的n型杂质浓度与导通电阻的关系的结果的图。
- [0016] 图7是表示对于将n型源极区域的全域设为高杂质浓度的情况调查逆导通时的电压分布的结果的图。
- [0017] 图8是表示对于将第1源极区域形成为与p型基区接触的情况调查逆导通时的电压分布的结果的图。
- [0018] 图9是表示对于具备无掺杂层的情况调查逆导通时的电压分布的结果的图。
- [0019] 图10A是表示图1所示的SiC半导体装置的制造工序的立体剖视图。
- [0020] 图10B是表示接着图10A的SiC半导体装置的制造工序的立体剖视图。
- [0021] 图10C是表示接着图10B的SiC半导体装置的制造工序的立体剖视图。
- [0022] 图10D是表示接着图10C的SiC半导体装置的制造工序的立体剖视图。
- [0023] 图10E是表示接着图10D的SiC半导体装置的制造工序的立体剖视图。
- [0024] 图10F是表示接着图10E的SiC半导体装置的制造工序的立体剖视图。
- [0025] 图10G是表示接着图10F的SiC半导体装置的制造工序的立体剖视图。
- [0026] 图11是在其他实施方式中说明的SiC半导体装置的剖视图。

### 具体实施方式

[0027] 以下,基于附图对本公开的实施方式进行说明。另外,在以下的各实施方式彼此中,对于相互相同或等同的部分赋予相同的标号而进行说明。

[0028] (第1实施方式)

[0029] 对第1实施方式进行说明。有关本实施方式的SiC半导体装置,作为半导体元件,有形成有图1及图2所示的沟槽栅构造的反转型的纵型MOSFET。这些图中所示的纵型MOSFET被形成在SiC半导体装置中的单元格区域中,通过以将该单元格区域包围的方式形成外周耐压构造,从而构成SiC半导体装置,但这里仅图示了纵型MOSFET。另外,以下如图1及图2所示,将纵型MOSFET的宽度方向设为X方向,将相对于X方向交叉的纵型MOSFET的进深方向设为Y方向,将纵型MOSFET的厚度方向或深度方向、即相对于XY平面的法线方向设为Z方向而进行说明。

[0030] 如图1及图2所示,在SiC半导体装置中,使用包括SiC而构成的n<sup>+</sup>型基板1作为半导体基板。在n<sup>+</sup>型基板1的主表面形成有包括SiC而构成的n<sup>-</sup>型层2。n<sup>+</sup>型基板1其表面被设为(0001) Si面,例如n型杂质浓度为 $5.9 \times 10^{18}/\text{cm}^3$ ,厚度为100 $\mu\text{m}$ 。n<sup>-</sup>型层2例如n型杂质浓度为

$7.0 \times 10^{15} \sim 1.0 \times 10^{16}/\text{cm}^3$ , 厚度为  $8.0 \mu\text{m}$ 。

[0031] 在  $n^-$  型层 2 之上, 形成有包括 SiC 而构成的 JFET 部 3 和电场阻挡层 4,  $n^-$  型层 2 在从  $n^+$  型基板 1 离开的位置处与 JFET 部 3 连结。

[0032] JFET 部 3 和电场阻挡层 4 构成饱和电流抑制层, 都在 X 方向上延伸设置, 在 Y 方向上交替地反复排列而配置。即, 从相对于  $n^+$  型基板 1 的主表面的法线方向观察, JFET 部 3 的至少一部分和电场阻挡层 4 分别被做成多个短条状即条纹状, 为分别交替地排列的布局。

[0033] 另外, 在本实施方式的情况下, JFET 部 3 被形成到比电场阻挡层 4 靠下方。因此, JFET 部 3 中的呈条纹状的部分成为在电场阻挡层 4 的下方连结的状态, 但呈条纹状的各部成为分别被配置在多个电场阻挡层 4 之间的状态。

[0034] JFET 部 3 中的呈条纹状的部分的各部、即各短条状的部分的宽度例如为  $0.25 \mu\text{m}$ , 作为形成间隔的间距例如为  $0.6 \sim 2.0 \mu\text{m}$ 。此外, JFET 部 3 的厚度例如为  $1.5 \mu\text{m}$ ,  $n$  型杂质浓度被设为比  $n^-$  型层 2 高, 例如为  $5.0 \times 10^{17} \sim 2.0 \times 10^{18}/\text{cm}^3$ 。

[0035] 电场阻挡层 4 由 p 型杂质层而构成。如上所述, 电场阻挡层 4 为条纹状, 被做成条纹状的电场阻挡层 4 的各短条状的部分的宽度例如为  $0.15 \mu\text{m}$ , 厚度例如为  $1.4 \mu\text{m}$ 。此外, 电场阻挡层 4 例如 p 型杂质浓度为  $3.0 \times 10^{17} \sim 1.0 \times 10^{18}/\text{cm}^3$ 。在本实施方式的情况下, 电场阻挡层 4 在深度方向上 p 型杂质浓度为一定。此外, 电场阻挡层 4 其与  $n^-$  型层 2 相反侧的表面与 JFET 部 3 的表面为相同平面。

[0036] 进而, 在 JFET 部 3 及电场阻挡层 4 之上, 形成有包括 SiC 而构成的 n 型电流分散层 5。n 型电流分散层 5 是如后述那样使得经过沟道而流动的电流能够在 X 方向上扩散的层, 例如,  $n$  型杂质浓度被设为比  $n^-$  型层 2 高。在本实施方式中,  $n$  型电流分散层 5 朝向 Y 方向延伸设置,  $n$  型杂质浓度被设为与 JFET 部 3 相同或比其高, 例如厚度为  $0.5 \mu\text{m}$ 。

[0037] 另外, 这里为了方便而将漂移层分为  $n^-$  型层 2、JFET 部 3 及  $n$  型电流分散层 5 进行说明, 但它们都是构成漂移层的部分, 被相互连结。

[0038] 在  $n$  型电流分散层 5 之上形成有包括 SiC 而构成的 p 型基区 6。此外, 在 p 型基区 6 之上形成有包括 SiC 而构成的无掺杂层 7, 进而在其之上形成有  $n$  型源极区域 8。 $n$  型源极区域 8 被形成在 p 型基区 6 中的与  $n$  型电流分散层 5 对应的部分之上。

[0039] p 型基区 6 与电场阻挡层 4 相比厚度薄, 并且 p 型杂质浓度被设为较低, 例如 p 型杂质浓度为  $3 \times 10^{17}/\text{cm}^3$ , 厚度为  $0.4 \sim 0.6 \mu\text{m}$ 。

[0040] 无掺杂层 7 是没有掺杂杂质的层, 或者是通过将  $n$  型杂质及 p 型杂质都掺杂而使载流子浓度变低的层。无掺杂层 7 的厚度为  $0.05 \sim 0.2 \mu\text{m}$ 。无掺杂层 7 优选的是  $n$  型杂质及 p 型杂质都不被掺杂, 即使掺杂了, 也只要使载流子浓度为  $5.0 \times 10^{15}/\text{cm}^3$  以下就可以。例如, 无掺杂层 7 其氮 (N) 等的  $n$  型杂质为  $1.0 \times 10^{16}/\text{cm}^3$  以下, 优选的是为  $1.0 \times 10^{15}/\text{cm}^3$  以下。此外, 无掺杂层 7 其铝 (Al) 等的 p 型杂质为  $1.0 \times 10^{16}/\text{cm}^3$  以下, 优选的是为  $1.0 \times 10^{15}/\text{cm}^3$  以下。并且, 在仅掺杂了 p 型杂质和  $n$  型杂质的一方的情况下, 杂质浓度为  $5.0 \times 10^{15}/\text{cm}^3$  以下, 在掺杂了双方的情况下, 通过相互抵消而载流子浓度成为  $5.0 \times 10^{15}/\text{cm}^3$  以下。

[0041]  $n$  型源极区域 8 为  $n$  型杂质浓度在无掺杂层 7 及 p 型基区 6 侧和与其相反侧即元件表面侧不同的构造。具体而言,  $n$  型源极区域 8 为具有配置在无掺杂层 7 及 p 型基区 6 侧的第 1 源极区域 8a 和配置在元件表面侧的第 2 源极区域 8b 的结构。

[0042] 第 1 源极区域 8a 其  $n$  型杂质浓度比第 2 源极区域 8b 低, 在本实施方式的情况下与无

掺杂层7相接。第1源极区域8a例如n型杂质浓度为 $2.0 \times 10^{16} \sim 1.0 \times 10^{17}/\text{cm}^3$ 以下,厚度为 $0.2 \sim 0.5 \mu\text{m}$ ,优选的是 $0.3 \mu\text{m}$ 以上。

[0043] 第2源极区域8b是用来取得与后述的源极电极15的接触的区域,n型杂质为高浓度。第2源极区域8b例如n型杂质浓度为 $1.0 \times 10^{18} \sim 5.0 \times 10^{19}/\text{cm}^3$ ,厚度为 $0.1 \sim 0.2 \mu\text{m}$ 。

[0044] 此外,从p型基区6朝向下方,具体而言在从JFET部3和电场阻挡层4的表面到p型基区6之间、且没有形成n型电流分散层5的部分,形成有p型深层9。在本实施方式中,p型深层9为以相对于JFET部3中的条纹状的部分及电场阻挡层4的长度方向交叉的方向、这里以Y方向为长度方向的短条状,通过在X方向上排列多个而被布局为条纹状。经由该p型深层9,p型基区6及电场阻挡层4被电连接。p型深层9的形成间距与后述的作为沟槽栅构造的形成间隔的单元格间距配合,以便在相邻的沟槽栅构造之间配置p型深层9。

[0045] 进而,在p型基区6上之中的与p型深层9对应的位置、换言之与n型源极区域8不同的位置、且隔着n型源极区域8与沟槽栅构造相反的一侧的位置,形成有p型连结层10。p型连结层10是用来通过将p型基区6与后述的源极电极15连结从而进行电连接的层。在本实施方式中,p型连结层10为p型杂质浓度在p型基区6侧和其相反侧即元件表面侧不同的构造。具体而言,p型连结层10为具有配置在p型基区6侧的第1区域10a和配置在元件表面侧的第2区域10b的结构。

[0046] 第1区域10a构成为与第1源极区域8a相同程度或比其深,与第2区域10b相比p型杂质浓度低,为与p型基区6相接的构造。第1区域10a例如p型杂质浓度为 $2.0 \times 10^{17} \sim 1.0 \times 10^{19}/\text{cm}^3$ ,厚度为 $0.2 \sim 0.5 \mu\text{m}$ ,优选的是为 $0.3 \mu\text{m}$ 以上。但是,在本实施方式的情况下,由于通过向第1源极区域8a进行离子注入而形成第1区域10a,所以载流子浓度、即作为载流子发挥功能的p型杂质浓度为 $2.0 \times 10^{17} \sim 1.0 \times 10^{19}/\text{cm}^3$ 。

[0047] 第2区域10b构成与第2源极区域8b相同程度的深度,是用来取得与后述的源极电极15的接触的区域,p型杂质为高浓度。第2区域10b例如p型杂质浓度为 $2.0 \times 10^{18} \sim 1.0 \times 10^{20}/\text{cm}^3$ ,厚度为 $0.2 \sim 0.3 \mu\text{m}$ 。但是,在本实施方式的情况下,由于通过向第2源极区域8b进行离子注入而形成第2区域10b,所以载流子浓度、即作为载流子发挥功能的p型杂质浓度为 $2.0 \times 10^{18} \sim 1.0 \times 10^{20}/\text{cm}^3$ 。

[0048] 另外,如后述那样,在本实施方式中,通过向n型源极区域8离子注入p型杂质而形成p型连结层10。在此情况下,第1区域10a及第2区域10b的p型杂质浓度是指p型杂质中的作为载流子发挥功能的浓度。p型杂质中的与打入前的第1源极区域8a中包含的n型杂质抵消,不作为载流子发挥功能。因此,在通过离子注入而形成p型连结层10的情况下,增加活性化率,例如只要以第1源极区域8a或第2源极区域8b的n型杂质浓度的2~10倍的剂量注入p型杂质,则能得到上述的p型杂质浓度。

[0049] 进而,以将n型源极区域8及p型基区6贯通而达到n型电流分散层5的方式,形成有例如宽度为 $0.4 \mu\text{m}$ 、深度比p型基区6与n型源极区域8的合计膜厚深 $0.2 \sim 0.4 \mu\text{m}$ 的栅极沟槽11。以与该栅极沟槽11的侧面相接的方式配置有上述p型基区6、无掺杂层7及n型源极区域8。栅极沟槽11形成为以图2的X方向为宽度方向、以与JFET部3及电场阻挡层4的长度方向交叉的方向、这里是以Y方向为长度方向、以Z方向为深度方向的短条状的布局。并且,虽然在图1及图2中没有表示,但栅极沟槽11为在X方向上等间隔地配置有多条的条纹状,在各自之间配置有p型基区6、无掺杂层7及n型源极区域8。此外,在各栅极沟槽11的中间位置,配置有

p型深层9及p型连结层10。

[0050] 在该栅极沟槽11的侧面的位置,p型基区6及无掺杂层7形成在纵型MOSFET的动作时将n型源极区域8与n型电流分散层5之间相连的沟道区域。包括该沟道区域在内的栅极沟槽11的内壁面被栅极绝缘膜12覆盖。在栅极绝缘膜12的表面形成有由掺杂的Poly-Si构成的栅极电极13,由这些栅极绝缘膜12及栅极电极13将栅极沟槽11内完全填埋,构成沟槽栅构造。

[0051] 此外,在n型源极区域8的表面及栅极电极13的表面,经由层间绝缘膜14形成有源极电极15及未图示的栅极布线层等。源极电极15及栅极布线层由多种金属、例如Ni/Al等构成。并且,多种金属中的至少n型SiC、具体而言与n型源极区域8接触的部分由能够与n型SiC欧姆接触的金属构成。此外,多种金属中的至少p型SiC、具体而言与第2区域10b接触的部分由能够与p型SiC欧姆接触的金属构成。另外,源极电极15通过形成在层间绝缘膜14上而与SiC部分电绝缘,经由形成在层间绝缘膜14的接触孔与n型源极区域8及p型深层9电接触。

[0052] 另一方面,在n<sup>+</sup>型基板1的背面侧,形成有与n<sup>+</sup>型基板1电连接的漏极电极16。通过这样的构造,构成n沟道型的反转型的沟槽栅构造的纵型MOSFET。通过将这样的纵型MOSFET配置多个单元格,构成单元格区域。并且,通过这样以包围形成有纵型MOSFET的单元格区域的方式构成由未图示的保护环等形成的外周耐压构造,从而构成SiC半导体装置。

[0053] 具有这样构成的纵型MOSFET的SiC半导体装置例如通过在将源极电压V<sub>s</sub>设为0V、将漏极电压V<sub>d</sub>设为1~1.5V的状态下对栅极电极13施加20V的栅极电压V<sub>g</sub>而动作。即,纵型MOSFET通过被施加栅极电压V<sub>g</sub>,在与栅极沟槽11相接的部分的p型基区6及无掺杂层7中形成沟道区域。由此,n型源极区域8与n型电流分散层5之间导通。因而,纵型MOSFET进行使电流从n<sup>+</sup>型基板1经过由n<sup>-</sup>型层2和JFET部3及n型电流分散层5构成的漂移层、再从沟道区域经过n型源极区域8流到漏极-源极间这样的动作。

[0054] 此外,在将这样的半导体装置的纵型MOSFET对分别配置在上臂和下臂的逆变器电路等应用的情况下,内置在纵型MOSFET中的寄生二极管作为回流二极管起作用。具体而言,通过由n<sup>-</sup>型层2等构成漂移层的n型层和包括电场阻挡层4、p型基区6或p型深层9在内的p型层形成的PN接合,构成寄生二极管,它作为回流二极管起作用。

[0055] 逆变器电路等在使用直流电源并且对交流马达等的负载供给交流电流时使用。例如,逆变器电路等对直流电源并联连接多个将上臂和下臂串联连接的桥接电路,通过使各桥接电路的上臂和下臂交替地反复导通断开,从而对负载供给交流电流。

[0056] 具体而言,在逆变器电路等的各桥接电路中,通过将上臂的纵型MOSFET导通、将下臂的纵型MOSFET断开,从而对负载进行电流供给。然后,将上臂的纵型MOSFET断开,将下臂的纵型MOSFET导通,停止电流供给。此外,在各臂的纵型MOSFET的导通断开的切换时,被断开的一侧的纵型MOSFET中具备的寄生二极管作为回流二极管起作用,进行使回流电流流到源极-漏极间的逆导通时的动作。这样,进行基于逆变器电路等的负载的交流驱动。

[0057] 当进行这样的动作时,如果发生负载短路,则例如600~1200V或其以上的电压作为漏极-源极间电压V<sub>ds</sub>被施加在漏极。此时,如果n型源极区域8的全域由高浓度的n型杂质层构成,则负载短路时的饱和电流值变大,不再能够得到SiC半导体装置的短路耐量。但是,在本实施方式的SiC半导体装置中,由于将n型源极区域8由被设为较低浓度的第1源极区域8a和被设为比其高浓度的第2源极区域8b构成,所以能够使负载短路时的饱和电流值



变小。由此,能够使SiC半导体装置的短路耐量提高。

[0058] 这里,通过模拟仿真,对于将n型源极区域8的全域设为高浓度的情况、和如本实施方式那样由第1源极区域8a及第2源极区域8b构成的情况,分别调查电子电流密度。图3及图4是表示各个结果的图。越是图中阴影的间隔较窄的部分,表示电子电流密度越高。此外,使第1源极区域8a的杂质浓度变化,调查漏极电流的变化。图5表示了其结果。

[0059] 另外,在图3~图5的模拟仿真中,将源极电压 $V_s$ 设为0V,将栅极电压 $V_g$ 设为20V,将漏极电压 $V_d$ 设为750V。此外,在图3的模拟仿真中,将n型源极区域8的全域的n型杂质浓度设为 $1.0 \times 10^{19}/\text{cm}^3$ 。同样,在图4的模拟仿真中,将n型源极区域8用第1源极区域8a和第2源极区域8b构成,并将第1源极区域8a的n型杂质浓度设为 $1.0 \times 10^{16}/\text{cm}^3$ ,将第2源极区域8b的n型杂质浓度设为 $1.0 \times 10^{19}/\text{cm}^3$ 。在图5的模拟仿真中,将n型源极区域8用第1源极区域8a和第2源极区域8b构成,并将第2源极区域8b的n型杂质浓度设为 $1.0 \times 10^{19}/\text{cm}^3$ ,使第1源极区域8a的n型杂质浓度变化。

[0060] 如图3所示,在将n型源极区域8的全域的n型杂质浓度设为高浓度的情况下,可知在n型源极区域8的全域中电子电流密度变高。考虑这是因为,由于n型源极区域8被设为高浓度,所以几乎不发生耗尽化的区域,在n型源极区域8的全域中流过电流。

[0061] 另一方面,如图4所示,在将n型源极区域8用第1源极区域8a及第2源极区域8b构成的情况下,可知在第1源极区域8a中电子电流密度变小。考虑这是因为,由于第1源极区域8a被设为低浓度,所以发生耗尽化以进入第1源极区域8a的广域范围,在耗尽化的部分中不再流过电流。

[0062] 根据该模拟仿真结果也可以说,通过将n型源极区域8用第1源极区域8a及第2源极区域8b构成,能够减小负载短路时的饱和电流值。因而可知,通过本实施方式的构造,能够使SiC半导体装置的短路耐量提高。

[0063] 此外,关于第1源极区域8a,只要与第2源极区域8b相比n型杂质浓度低就可以,但是如果不是某种程度的浓度,则不能使饱和电流值下降到希望值。具体而言,如果使得负载短路时的漏极电流成为 $14000\text{A}/\text{cm}^2$ 以下,则能够得到希望的短路耐量。并且,如图5所示,负载短路时的漏极电流成为 $14000\text{A}/\text{cm}^2$ 以下,是第1源极区域8a的n型杂质浓度为 $1.0 \times 10^{17}/\text{cm}^3$ 以下的情况。因而,通过如本实施方式的SiC半导体装置那样将第1源极区域8a的n型杂质浓度设为 $1.0 \times 10^{17}/\text{cm}^3$ 以下,能够使短路耐量提高。

[0064] 但是,如果第1源极区域8a的n型杂质浓度过低,则第1源极区域8a的电阻值变得过大,使导通电阻 $R_{on}$ 增大。对第1源极区域8a的n型杂质浓度与导通电阻 $R_{on}$ 的关系进行了调查,为图6所示的结果。鉴于SiC半导体装置的高速开关动作,关于导通电阻 $R_{on}$ 优选的是 $1.2\text{m}\Omega\text{cm}^2$ 以下。根据图6的结果,如果第1源极区域8a的n型杂质浓度为不到 $2.0 \times 10^{16}/\text{cm}^3$ ,则导通电阻 $R_{on}$ 急剧地上升,但如果n型杂质浓度是其以上,则能够使导通电阻 $R_{on}$ 成为 $1.2\text{m}\Omega\text{cm}^2$ 以下。因而,通过如本实施方式的SiC半导体装置那样将第1源极区域8a的n型杂质浓度设为 $2.0 \times 10^{16}/\text{cm}^3$ 以上,能够抑制导通电阻 $R_{on}$ 的劣化。

[0065] 这样,通过将第1源极区域8a的n型杂质浓度设为 $2.0 \times 10^{16} \sim 1.0 \times 10^{17}/\text{cm}^3$ ,能够使短路耐量提高并抑制导通电阻 $R_{on}$ 的劣化。

[0066] 进而,在本实施方式的SiC半导体装置中,在p型基区6与第1源极区域8a之间具备无掺杂层7。因此,能得到能够抑制对栅极绝缘膜12的损害的效果。参照图7~图9对该效果

进行说明。另外,图7~图9分别表示对于如下情况调查逆导通时的电压分布的结果,所述情况为:将n型源极区域8的全域设为高杂质浓度的情况、将第1源极区域8a形成为与p型基区6相接的情况、具备无掺杂层7的本实施方式的构造的情况。作为逆导通时的条件,将栅极电压 $V_g$ 设为20V,将漏极-源极间电压 $V_{ds}$ 设为-5V。

[0067] 在逆通电时,基本上是,形成在纵型MOSFET的寄生二极管作为回流二极管起作用,经过寄生二极管流过回流电流。并且,从构成寄生二极管的PN接合的p型层侧扩散到n型层侧的空穴与n型层中的电子再结合。此时,由于再结合能量较大,所以由外延膜构成的n型层中的基底面错位(以下称作BPD)扩张,成为单肖克利堆积缺陷(以下称作SSSF)的层叠缺陷。由于BPD是线状缺陷,所以SiC半导体装置的单元格区域内的占用面积较狭小,几乎没有给元件动作带来的影响,但如果为SSSF,则因为层叠缺陷,所以单元格区域内的占用面积变宽大,给元件动作带来的影响变大。因此,如果在逆导通时也积极地施加栅极电压 $V_g$ 而形成沟道区域,使得回流电流也经过沟道区域流动,则能够将回流电流分散而减小再结合能量,所以能够抑制SSSF的发生。但是,由于发生经由沟道区域的回流电流的流动,所以在p型基区6与n型源极区域8之间作用较高的电场,产生热电子,发生给栅极绝缘膜12带来损害的现象。

[0068] 具体而言,如图7所示,在以与p型基区6相接的方式形成设为全域高浓度的n型源极区域8的情况下,在逆导通时,在PN接合部位发生电位分布,成为在n型源极区域8作用较高的电场的状态。在以与p型基区6相接的方式形成n型源极区域8的情况下,通过作用于n型源极区域8的电场,存在于n型源极区域8中的p型基区6相接的部分处的载流子被电场加速而成为热电子。产生其与栅极绝缘膜12碰撞而给栅极绝缘膜12带来损害的问题。特别是,如果在n型源极区域8的全域中使n型杂质浓度变高,则该问题变得显著。

[0069] 另一方面,即使不具备无掺杂层7,在n型源极区域8中具备第1源极区域8a的情况下,也由p型基区6和第1源极区域8a构成PN接合。这样,在具备第1源极区域8a的情况下,即使不具备无掺杂层7,也使第1源极区域8a的n型杂质浓度比较低,所以能够某种程度抑制作用于PN接合部的电场。即,如图8所示,与图7的情况相比,PN接合部处的等电位线的间隔变宽,具备第1源极区域8a的构造更能够在某种程度抑制电场。

[0070] 但是,在不形成无掺杂层7的情况下,由于构成基于p型基区6和第1源极区域8a的PN接合部,所以虽然比图7的情况减轻,但由于生成热电子也可能产生上述问题。

[0071] 相对于此,在如本实施方式那样在p型基区6与第1源极区域8a之间具备无掺杂层7的情况下,如图9所示,能够通过无掺杂层7接受等电位线,能够减弱n型源极区域8中的电场。并且,虽然在无掺杂层7中发生电场,但在无掺杂层7中几乎不存在载流子。因而,通过具备无掺杂层7,能够抑制由逆导通时的热电子带来的栅极绝缘膜12的损害。

[0072] 由此,在逆导通时,不仅是经过寄生二极管、还积极地使得经过沟道区域也流过回流电流,从而能够抑制SSSF的发生并且也抑制热电子的生成,能够抑制给栅极绝缘膜12带来损害。

[0073] 进而,在本实施方式的SiC半导体装置中,具备JFET部3及电场阻挡层4。因此,在纵型MOSFET动作时,JFET部3及电场阻挡层4作为饱和电流抑制层发挥功能,通过发挥饱和电流抑制效果,能够成为实现低导通电阻并且能够维持低饱和电流的构造。具体而言,由于为将JFET部3中的呈条纹状的部分与电场阻挡层4交替地反复形成的构造,所以进行以下所示

这样的动作。

[0074] 首先,在漏极电压 $V_d$ 为例如1~1.5V那样在通常动作时被施加的电压的情况下,从电场阻挡层4侧向JFET部3伸长的耗尽层仅以比JFET部3中的呈条纹状的部分的宽度小的宽度伸长。因此,即使耗尽层向JFET部3内伸长,电流路径也被确保。并且,由于JFET部3的n型杂质浓度比 $n^-$ 型层2高,能够将电流路径构成为低电阻,所以能够实现低导通电阻。

[0075] 此外,在由于负载短路等而漏极电压 $V_d$ 变得比通常动作时的电压高的情况下,从电场阻挡层4侧向JFET部3伸长的耗尽层相比JFET部3中的呈条纹状的部分的宽度更加伸长。并且,JFET部3比n型电流分散层5更先立即被夹断。此时,基于JFET部3中的呈条纹状的部分的宽度及n型杂质浓度,决定漏极电压 $V_d$ 与耗尽层的宽度的关系。因此,设定JFET部3中的呈条纹状的部分的宽度及n型杂质浓度,以使得当成为比通常动作时的漏极电压 $V_d$ 稍高的电压时JFET部3被夹断。由此,即使是较低的漏极电压 $V_d$ 也能够将JFET部3夹断。这样,当漏极电压 $V_d$ 变得比通常动作时的电压高时JFET部3立即被夹断,从而能够维持低饱和电流,能够进一步提高基于负载短路等的SiC半导体装置的耐受量。

[0076] 这样,JFET部3及电场阻挡层4作为饱和电流抑制层发挥功能,发挥饱和电流抑制效果,从而能够做成能够更兼顾低导通电阻和低饱和电流的SiC半导体装置。

[0077] 进而,以隔着JFET部3的方式具备电场阻挡层4,成为JFET部3中的呈条纹状的部分和电场阻挡层4被交替地反复形成的构造。因此,即使漏极电压 $V_d$ 成为高电压,从下方向 $n^-$ 型层2伸长的耗尽层的伸长也被电场阻挡层4抑制,能够防止延伸到沟槽栅构造。因而,发挥使作用于栅极绝缘膜12的电场下降的电场抑制效果,能够抑制栅极绝缘膜12被破坏,所以能够做成高耐压化、可靠性较高的元件。并且,由于这样防止耗尽层向沟槽栅构造的延伸,所以能够使构成漂移层的一部分的 $n^-$ 型层2及JFET部3的n型杂质浓度变得比较浓,能够实现低导通电阻化。

[0078] 由此,能够做成具有低导通电阻且高可靠性的纵型MOSFET的SiC半导体装置。

[0079] 接着,参照图10A~图10H所示的制造工序中的剖视图,对有关本实施方式的具备n沟道型的反转型的沟槽栅构造的纵型MOSFET的SiC半导体装置的制造方法进行说明。

[0080] (图10A所示的工序)

[0081] 首先,准备 $n^+$ 型基板1作为半导体基板。并且,通过使用了未图示的CVD(chemical vapor deposition、化学气相沉积)装置的外延生长,在 $n^+$ 型基板1的主表面上形成包括SiC而构成的 $n^-$ 型层2。此时,也可以使用在 $n^+$ 型基板1的主表面上预先使 $n^-$ 型层2生长的所谓外延基板。并且,使包括SiC而构成的JFET部3在 $n^-$ 型层2之上外延生长。

[0082] 另外,关于外延生长,除了通过导入作为SiC的原料气体的硅烷或丙烷以外,还导入作为n型掺杂剂的气体、例如氮气来进行。

[0083] (图10B所示的工序)

[0084] 在JFET部3的表面配置掩模17后,将掩模17布图,使电场阻挡层4的计划形成区域开口。并且,通过离子注入p型杂质,从而形成电场阻挡层4。然后,将掩模17除去。

[0085] 另外,这里通过离子注入而形成电场阻挡层4,但也可以通过离子注入以外的方法来形成电场阻挡层4。例如,通过将JFET部3有选择地进行各向异性蚀刻,在与电场阻挡层4对应的位置处形成凹部,在其上使p型杂质层外延生长后,在位于JFET部3之上的部分中使p型杂质层平坦化而形成电场阻挡层4。这样,也能够将电场阻挡层4通过外延生长而形成。在

使p型SiC外延生长的情况下,除了导入SiC的原料气体以外、还导入作为p型掺杂剂的气体例如三甲基铝(以下称作TMA)即可。

[0086] (图10C所示的工序)

[0087] 接着,通过在JFET部3及电场阻挡层4之上使n型SiC外延生长,形成n型电流分散层5。并且,在n型电流分散层5之上,配置p型深层9的计划形成区域开口的未图示的掩模。然后,通过从掩模之上离子注入p型杂质,形成p型深层9。另外,对于p型深层9也表示了通过离子注入而形成的例子,但也可以通过离子注入以外的方法来形成。例如,也可以与电场阻挡层4同样,在对n型电流分散层5形成凹部后,使p型杂质层外延生长、再进行p型杂质层的平坦化,从而形成p型深层9。

[0088] (图10D所示的工序)

[0089] 使用未图示的CVD装置,在n型电流分散层5及p型深层9之上使p型基区6和无掺杂层7及n型源极区域8依次外延生长。例如,在相同的CVD装置内,首先通过导入了作为p型掺杂剂的气体的外延生长而形成p型深层9。接着,在停止了p型掺杂剂和n型掺杂剂的双方的掺杂剂气体的导入的状态下连续地进行外延生长,从而形成无掺杂层7。并且,一旦无掺杂层7达到了规定膜厚,此次就通过导入了作为n型掺杂剂的气体的外延生长而形成n型源极区域8。此时,通过调整n型掺杂剂的导入量,进行调整以使第1源极区域8a和第2源极区域8b的n型杂质浓度成为希望的值。

[0090] 这样,能够以上述的杂质浓度及膜厚形成p型基区6和无掺杂层7及n型源极区域8。这里,对于各部的膜厚及杂质浓度如以下这样决定。

[0091] 首先,对于p型基区6,由于为设定沟道区域的部分,所以设定为在施加栅极电压 $V_g$ 时构成反转型沟道的杂质浓度,并且为规定沟道长的膜厚。因此,对于p型基区6,例如将p型杂质浓度设为 $3 \times 10^{17}/\text{cm}^3$ ,将厚度设为 $0.4 \sim 0.6 \mu\text{m}$ 。

[0092] 对于无掺杂层7,可以任意地设定膜厚,但如果过厚,则导通电阻 $R_{on}$ 变高。因此,设为 $0.05 \sim 0.2 \mu\text{m}$ 的厚度。此外,对于无掺杂层7,虽然优选的是使得基本上不存在杂质,但只要载流子浓度变低就可以。特别是,如果想要在p型基区6形成后连续地形成无掺杂层7,则有可能残留在气体环境中的p型杂质被导入、或存在于大气中的氮作为n型杂质被导入。即使是这样的情况,只要杂质浓度较低就可以。此外,在设想可能被导入一方的导电型的杂质的情况下,只要有意地导入另一方的导电型的杂质,通过双方被掺杂而相互抵消而载流子浓度变低就可以。例如,在仅掺杂了p型杂质和n型杂质的一方的情况下,杂质浓度被设为 $5.0 \times 10^{15}/\text{cm}^3$ 以下,在掺杂了双方的情况下,通过相互抵消,使得载流子浓度成为 $5.0 \times 10^{15}/\text{cm}^3$ 以下。

[0093] 对于n型源极区域8中的第1源极区域8a,设定膜厚及n型杂质浓度,以使得即使是在负载短路时被施加了较高的漏极电压 $V_d$ 的情况下,也能够减小饱和电流值并且抑制导通电阻 $R_{on}$ 变高。因此,对于第1源极区域8a,例如将n型杂质浓度设为 $2.0 \times 10^{16} \sim 1.0 \times 10^{17}/\text{cm}^3$ ,将厚度设为 $0.2 \mu\text{m}$ 以上。

[0094] 对于n型源极区域8中的第2源极区域8b,设定为使得成为与源极电极15欧姆接触的杂质浓度、并且不通过与源极电极15的化学反应而全域消失的程度的膜厚。对于第2源极区域8b的n型杂质浓度,越高则越容易欧姆接触。但是,也有如本实施方式那样使n型源极区域8外延生长后将p型杂质进行离子注入而形成p型连结层10的情况,在此情况下,n型源极

区域8的n型杂质浓度越高,越不能使p型连结层10成为希望的浓度。因此,在本实施方式的情况下,将第2源极区域8b的n型杂质浓度设为例如 $1.0 \times 10^{18} \sim 5.0 \times 10^{19}/\text{cm}^3$ 。

[0095] 此外,如上述那样,源极电极15包括多种金属而构成,与第2源极区域8b欧姆接触的部分例如由Ni构成。在此情况下,第2源极区域8b中的与Ni接触的部分通过成为硅化Ni而欧姆接触,但第2源极区域8b消失了相应于被硅化的量。并且,由于通过硅化反应而成为硅化Ni的是 $0.1\mu\text{m}$ 左右的厚度,所以将第2源极区域8b的厚度设为 $0.1\mu\text{m}$ 以上,以使得第2源极区域8b不会由于硅化反应而全域消失。

[0096] 但是,如果使第1源极区域8a或第2源极区域8b变厚,则相应地需要将沟槽栅构造形成得较深。因此,使第1源极区域8a的膜厚为 $0.5\mu\text{m}$ 以下,使第2源极区域8b的膜厚为 $0.2\mu\text{m}$ 以下。

[0097] 此外,在将p型基区6和无掺杂层7及n型源极区域8通过外延生长而形成的情况下,能够使各部的膜厚的偏差变小。并且,对于在形成沟道区域中使用的p型基区6,通过能够使膜厚偏差变小,能够精度良好地构建沟道长。由此,能够减小纵型MOSFET的阈值 $V_{th}$ 的偏差。

[0098] 例如,也可以在使p型基区6外延生长后,通过对p型基区6打入n型杂质而形成无掺杂层7及n型源极区域8。但是,在此情况下,对于外延生长时的p型基区6的膜厚,需要估计通过离子注入而形成的无掺杂层7及n型源极区域8的量的厚度而使其变厚。生长的膜厚越厚,外延生长时的膜厚偏差越大,但是由于离子注入的射程的偏差不怎么大,所以离子注入后的p型基区6的膜厚偏差为与外延生长的膜厚对应的偏差。因此,例如在将p型基区6设为 $1.4\mu\text{m}$ 的厚度的情况下的膜厚偏差是 $\pm 0.21\mu\text{m}$ 的情况下,即使在通过离子注入而形成无掺杂层7及n型源极区域8之后,p型基区6的膜厚偏差也为 $\pm 0.21\mu\text{m}$ 。

[0099] 相对于此,在如本实施方式那样将各部通过外延生长形成的情况下,p型基区6的膜厚偏差不为包括了无掺杂层7及n型源极区域8的膜厚量的偏差,而为仅与p型基区6的厚度对应的偏差。例如,在使p型基区6的膜厚为 $0.4 \sim 0.6\mu\text{m}$ 的情况下,膜厚偏差为 $\pm 0.06 \sim 0.09\mu\text{m}$ 。因此,将各部通过外延生长来形成,由此能够抑制p型基区6的膜厚偏差,能够精度良好地构建沟道长。

[0100] 此外,在通过外延生长将各部连续地形成的情况下,由于栅格常数有杂质种类、杂质浓度依存性,所以优选的是杂质种类及杂质浓度不急剧地变化。相对于此,如本实施方式那样在p型基区6之上隔着无掺杂层7形成n型源极区域8的情况,由于杂质种类不从p型立即变化为n型,所以能够使得杂质种类不急剧地变化。此外,在形成n型源极区域8时,也由于在形成较低浓度的第1源极区域8a后形成较高浓度的第2源极区域8b,所以能够使得杂质浓度不急剧地变化。

[0101] 因而,能够抑制在杂质种类或杂质浓度急剧地变化的情况下发生的结晶缺陷。

[0102] (图10E所示的工序)

[0103] 在n型源极区域8之上配置使p型连结层10的计划形成位置开口的未图示的掩模。并且,在从掩模之上将p型杂质进行离子注入后,为了活性化而进行 $1500^\circ\text{C}$ 以上的热处理。使用硼(B)和铝(Al)中的某一方或双方作为离子注入的元素。由此,能够将n型源极区域8通过p型杂质的离子注入而打回从而形成p型连结层10。此外,对于p型连结层10,由于需要使其连接到p型基区6,所以对无掺杂层7也打入p型杂质,使得该部分也成为p型连结层10。

[0104] 此时,对于p型连结层10中的第2区域10b,需要使得能够与源极电极15欧姆接触。

因此,以第2源极区域8b的n型杂质浓度的2~10倍的剂量进行离子注入。对于剂量,可以想到如果是第2源极区域8b的n型杂质浓度的2倍,则能够成为可与源极电极15进行欧姆接触的程度的载流子浓度,但考虑到活性化率,优选的是为2~10倍。

[0105] 由此,能够使得第2区域10b的载流子浓度、即除了在与第2源极区域8b之间被消除的量及没有活化了的量以外的作为载流子发挥功能的量的p型杂质浓度例如为 $2.0 \times 10^{18} \sim 1.0 \times 10^{20}/\text{cm}^3$ 。第2区域10b的杂质浓度越高,越容易取得与源极电极15的欧姆接触,但是对于形成第2区域10b之前的第2源极区域8b,也必须与源极电极15欧姆接触。此外,如果剂量较多,则成为由离子注入带来的结晶缺陷的生成的原因,所以需要抑制为某种程度的量。需要考虑到这些因素,来设定第2源极区域8b的n型杂质浓度和第2区域10b的p型杂质浓度。因此,使第2源极区域8b的n型杂质浓度及第2区域10b中的p型杂质浓度为例如 $1.0 \times 10^{18} \sim 5.0 \times 10^{19}/\text{cm}^3$ 。

[0106] 另一方面,对于第1区域10a,由于不是与源极电极15欧姆接触的部分,所以与第2区域10b相比p型杂质浓度可以较低。但是,这里考虑到活性化率,离子注入第1源极区域8a的2~10倍的剂量的p型杂质。

[0107] 另外,在将p型连结层10通过离子注入而形成的情况下,根据离子注入装置的输出的观点,优选的是使得被注入p型杂质的无掺杂层7及n型源极区域8的合计膜厚为 $0.8\mu\text{m}$ 以下。如果这样做,则即使是通用的离子注入装置的输出,也能够使p型连结层10形成为达到p型基区6,能够保障量产性。

[0108] (图10F所示的工序)

[0109] 在n型源极区域8等之上形成未图示的掩模后,使掩模中的栅极沟槽11的计划形成区域开口。并且,使用掩模进行RIE (Reactive Ion Etching) 等的各向异性蚀刻,从而形成栅极沟槽11。

[0110] (图10G所示的工序)

[0111] 然后,在将掩模除去后进行例如热氧化,由此形成栅极绝缘膜12,由栅极绝缘膜12将栅极沟槽11的内壁面上及n型源极区域8的表面上覆盖。并且,在将掺杂了p型杂质或n型杂质的Poly-Si沉积后,将其进行回蚀,通过至少在栅极沟槽11内残留Poly-Si而形成栅极电极13。由此,沟槽栅构造完成。

[0112] 虽然对于之后的工序没有图示,但进行以下这样的工序。即,形成例如由氧化膜等构成的层间绝缘膜14,以将栅极电极13及栅极绝缘膜12的表面覆盖。此外,使用未图示的掩模,在层间绝缘膜14形成使n型源极区域8及p型深层9露出的接触孔。并且,在层间绝缘膜14的表面上形成例如通过多种金属的层叠构造而构成的电极材料之后,将电极材料布图从而形成源极电极15及栅极布线层。进而,在n<sup>+</sup>型基板1的背面侧形成漏极电极16。这样,有关本实施方式的SiC半导体装置完成。

[0113] 如以上说明,在本实施方式的SiC半导体装置中,将n型源极区域8用设为较低浓度的第1源极区域8a和与其相比设为高浓度的第2源极区域8b构成。因此,能够减小负载短路时的饱和电流值,能够使SiC半导体装置的短路耐量提高。

[0114] 进而,在本实施方式的SiC半导体装置中,使得在p型基区6与第1源极区域8a之间具备无掺杂层7。因此,能得到如下的效果:能够抑制热电子的生成,能够抑制对栅极绝缘膜12的损害。

[0115] (其他实施方式)

[0116] 将本公开依据实施方式进行了记述,但本公开并不限于该实施方式,也包含各种的变形例或等同范围内的变形。除此以外,各种的组合或形态,进而在它们中仅包含一要素、其以上或其以下的其他的组合或形态也包含在本公开的范畴或思想范围中。

[0117] (1) 例如,在上述实施方式中,做成了具备JFET部3及电场阻挡层4并且具备n型电流分散层5、且为JFET部3及n型电流分散层5构成漂移层的一部分的构造。但是,这只不过是举出了纵型MOSFET的结构的一例,也可以是不具备JFET部3及电场阻挡层4的构造、不具备n型电流分散层5的构造、或者不具备它们两者的构造。

[0118] (2) 此外,在上述实施方式中,说明了将p型基区6和无掺杂层7及n型源极区域8通过外延生长而形成的情况,但是也可以通过其他方法来形成。例如,与上述实施方式相比,虽然沟道长的偏差可能变大,但也可以对p型基区6将n型杂质进行离子注入而形成无掺杂层7及n型源极区域8。此外,也可以对p型基区6之上添加相当于n型源极区域8的厚度量而使无掺杂层7外延生长,通过对无掺杂层7将n型杂质进行离子注入而形成n型源极区域8。

[0119] 但是,在将无掺杂层7及n型源极区域8通过离子注入而形成的情况下,发生栅极沟槽11的侧面相对于n型源极区域8的表面不成为垂直的部分。具体而言,当形成了栅极沟槽11时,根据需要而进行牺牲氧化或化学干式蚀刻,从而进行内壁面的缺陷除去等,但是如果有离子注入损害,则该部分比不受损害的部分更容易被除去。因此,在栅极沟槽11的入口侧,开口宽度变宽,栅极沟槽11的侧面相对于n型源极区域8的表面不成为垂直。从这一点看,也优选的是将无掺杂层7及n型源极区域8通过外延生长来形成。

[0120] (3) 此外,有关构成上述实施方式中所示的SiC半导体装置的各部的杂质浓度及厚度、宽度等的各种尺寸,仅是表示了一例。

[0121] (4) 此外,在上述实施方式中,将p型深层9和p型连结层10分别地构成,但也可以将它们用相同的p型层构成。例如,形成从n型源极区域8的表面贯通无掺杂层7、p型基区6及n型电流分散层5而达到电场阻挡层4的深沟槽,以埋入到该深沟槽内的方式形成p型层。如此这样,则能够由p型层构成p型深层9和p型连结层10。

[0122] (5) 此外,在上述实施方式中,说明了将n型源极区域8区划为杂质浓度不同的2个区域即第1源极区域8a和第2源极区域8b的构造,但也可以不是将它们明确地区划的构造。即,只要n型源极区域8中的p型基区6侧和与源极电极15接触的表面侧相比杂质浓度低、并且表面侧为使得对于源极电极15欧姆接触的高杂质浓度即可。

[0123] (6) 此外,在上述实施方式中,可以适当变更各杂质层的深度等。例如,如图11所示,也可以将第1区域10a形成到比第1源极区域8a深的位置、或将第2区域10b形成到比第2源极区域8b及无掺杂层7深的位置。

[0124] (7) 此外,在上述实施方式中,举出第1导电型为n型、第2导电型为p型的n沟道型的纵型MOSFET为例进行了说明,但也可以是使各构成要素的导电型反转的p沟道型的纵型MOSFET。此外,在上述说明中,作为半导体元件而举出纵型MOSFET为例进行了说明,但对于同样的构造的IGBT也能够应用本公开。在n沟道型的IGBT的情况下,相对于上述各实施方式只是将n<sup>+</sup>型基板1的导电型从n型变更为p型,关于其他的构造及制造方法与上述各实施方式相同。

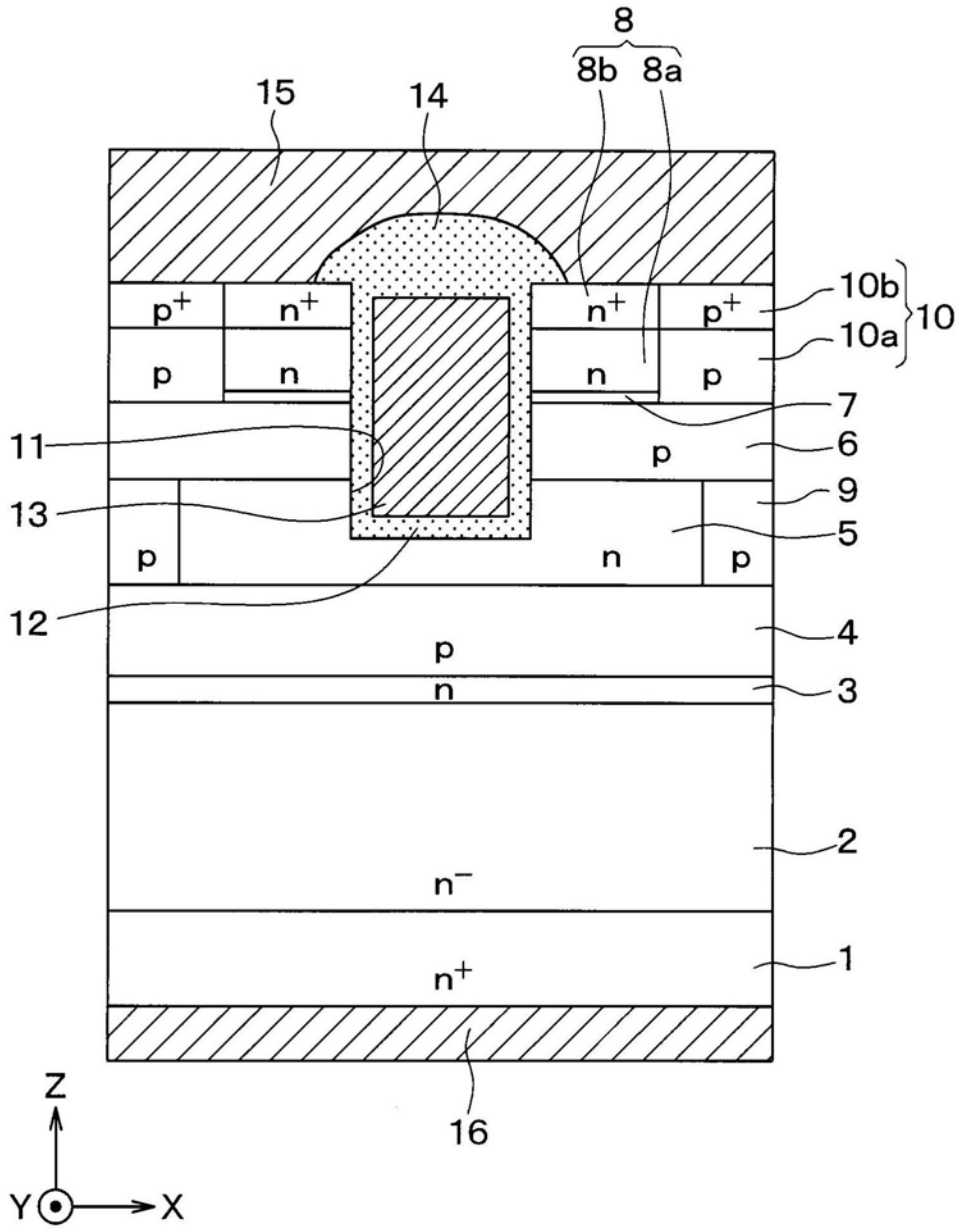


图1



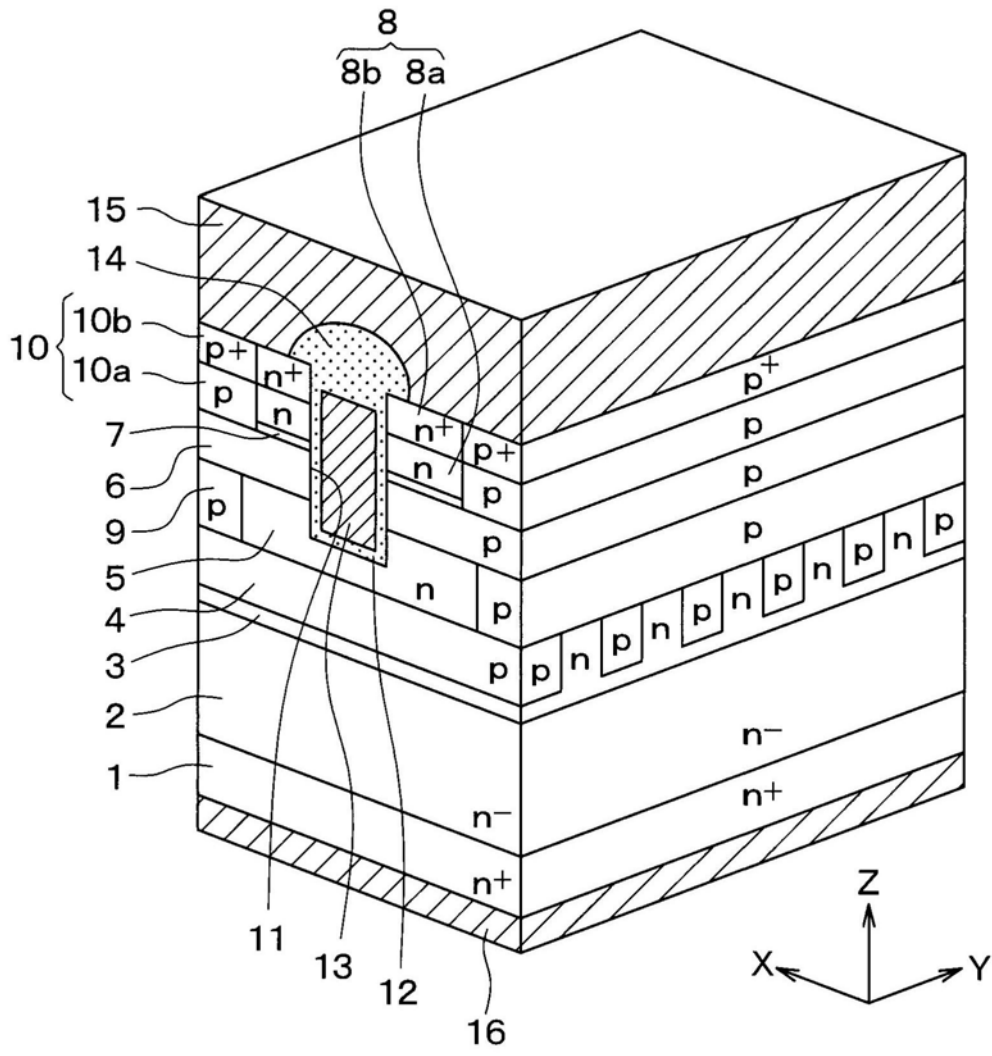


图2

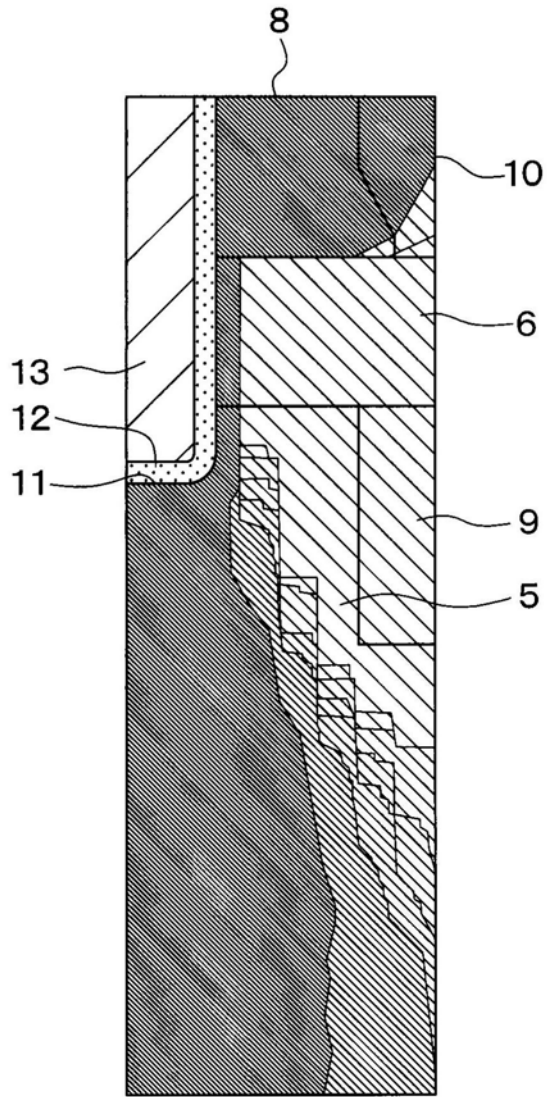


图3

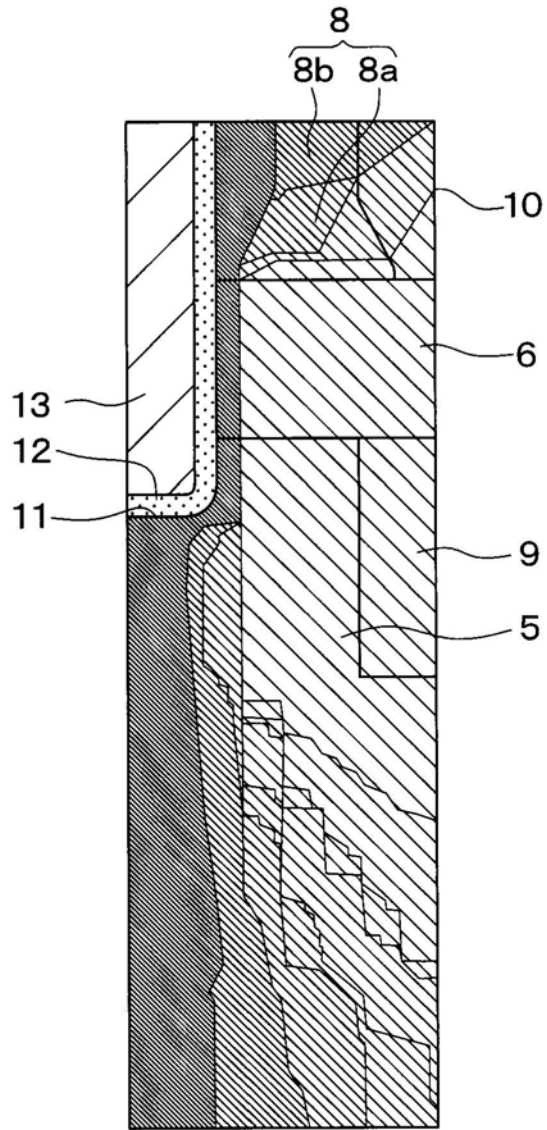


图4

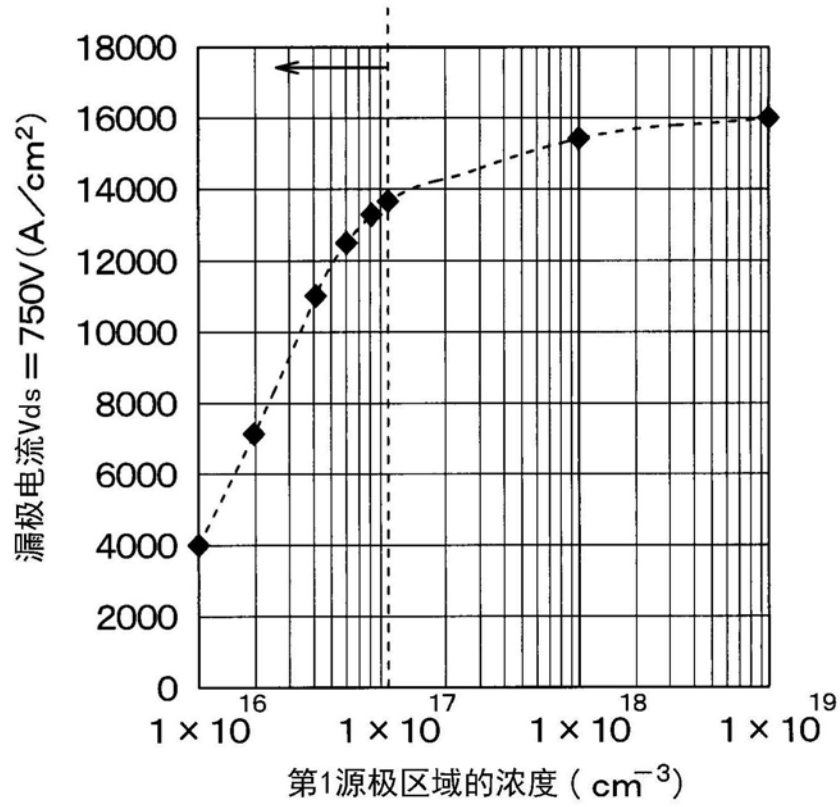


图5

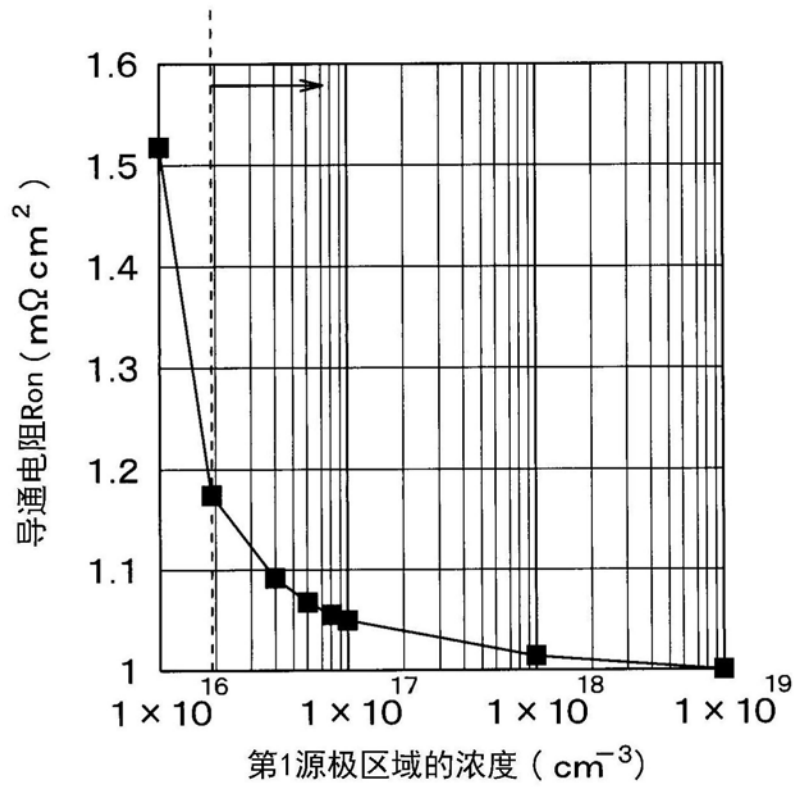


图6

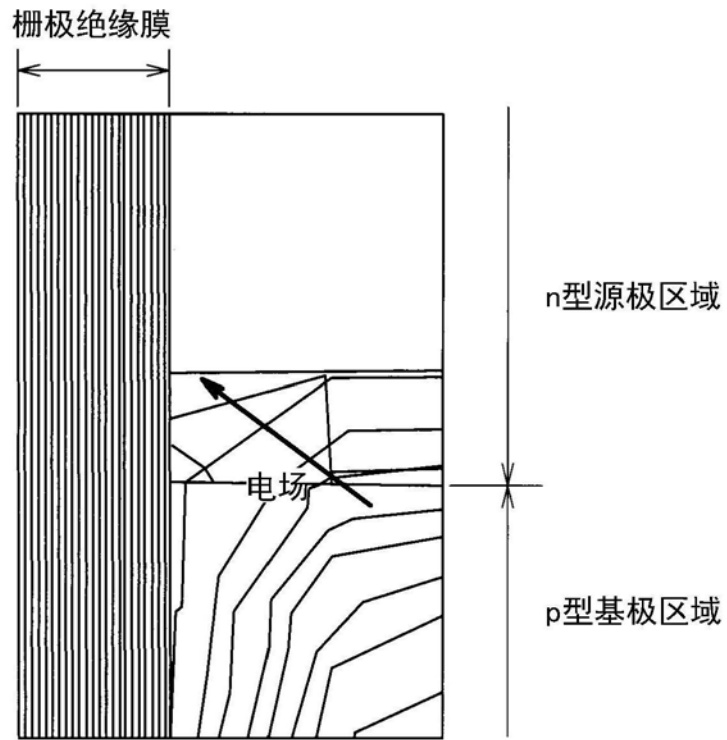


图7

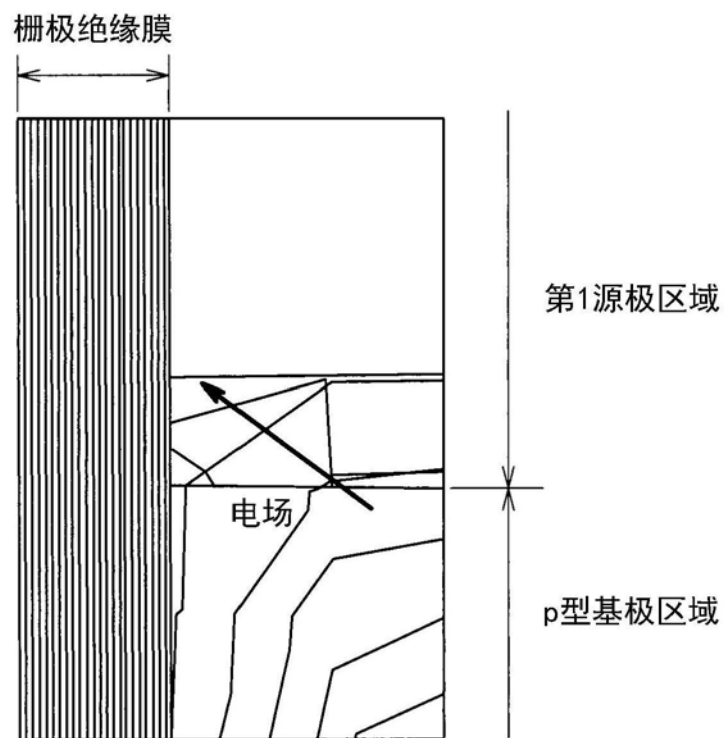


图8

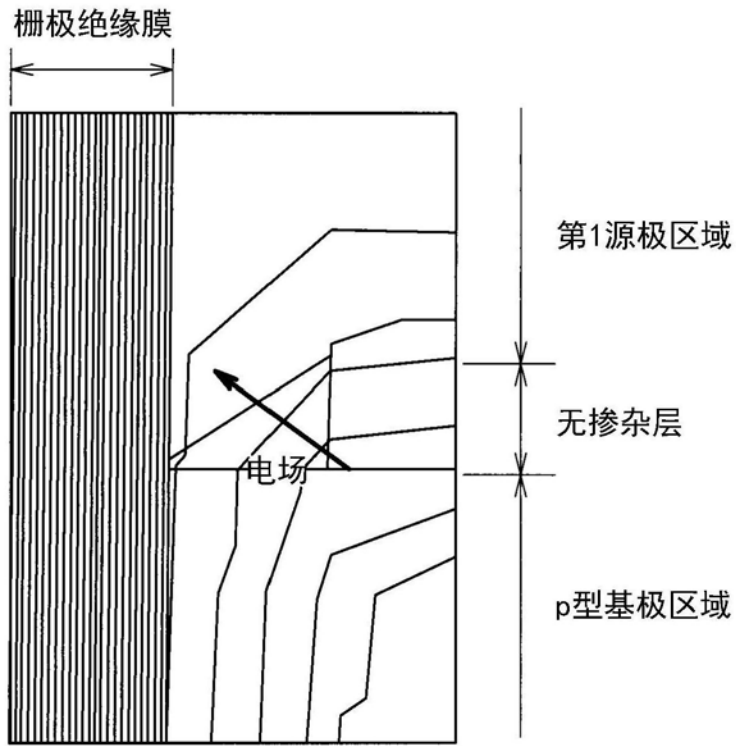


图9

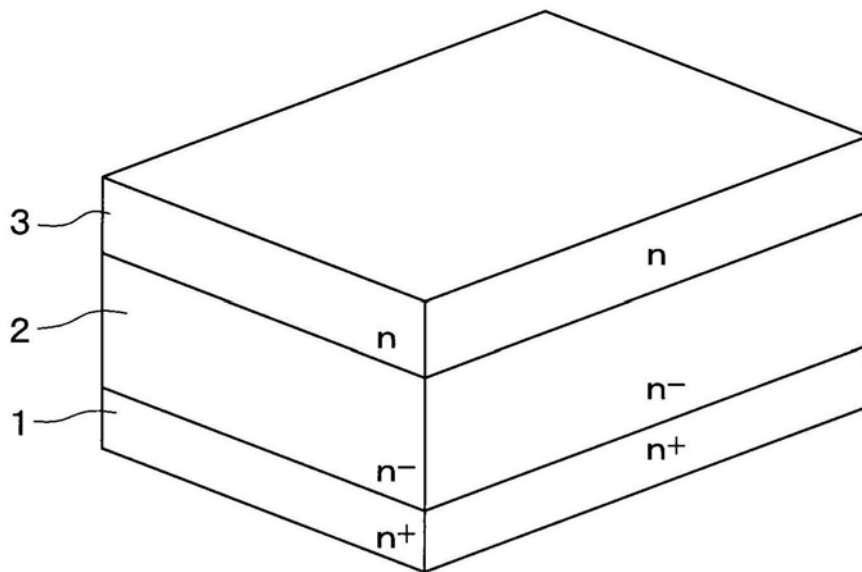


图10A

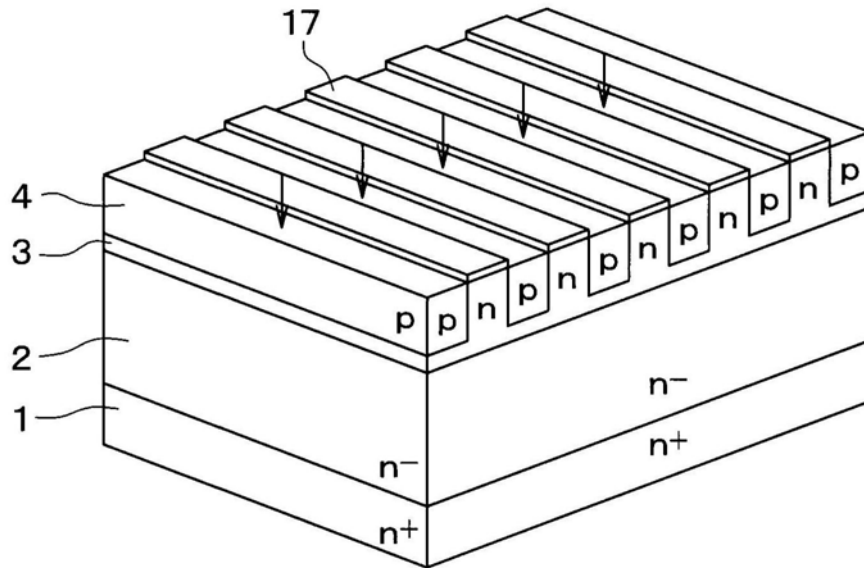


图10B

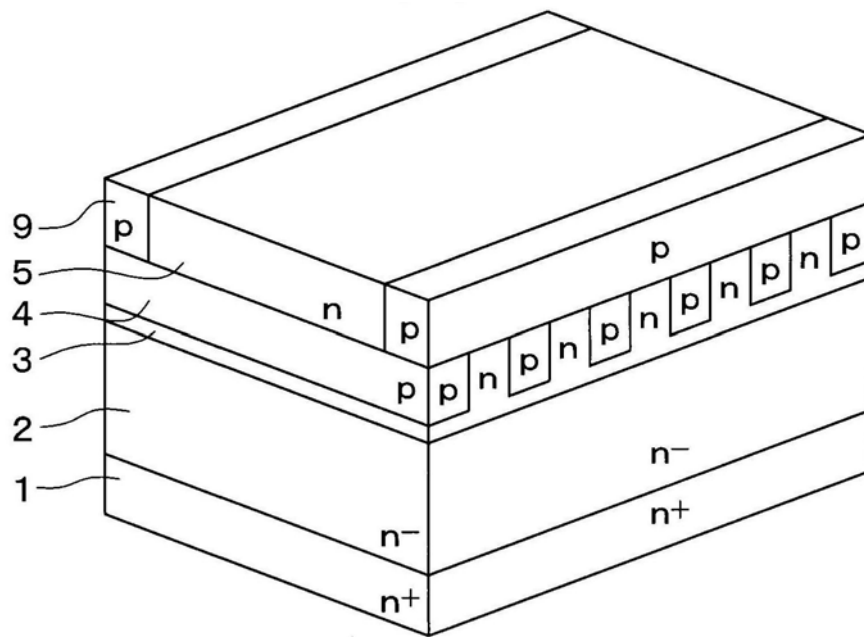


图10C

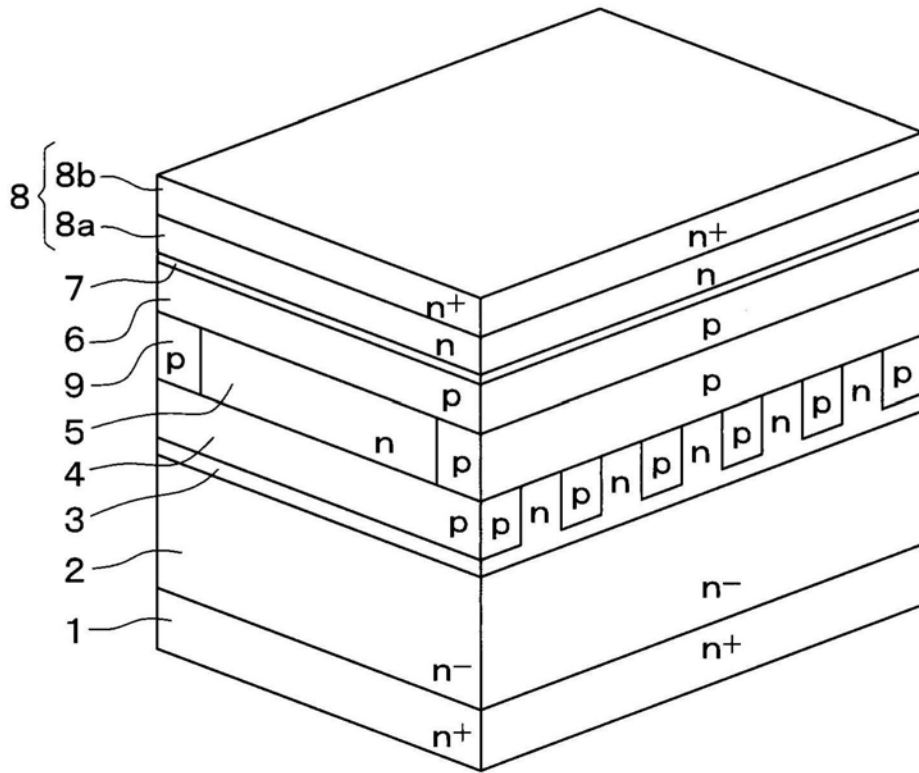


图10D

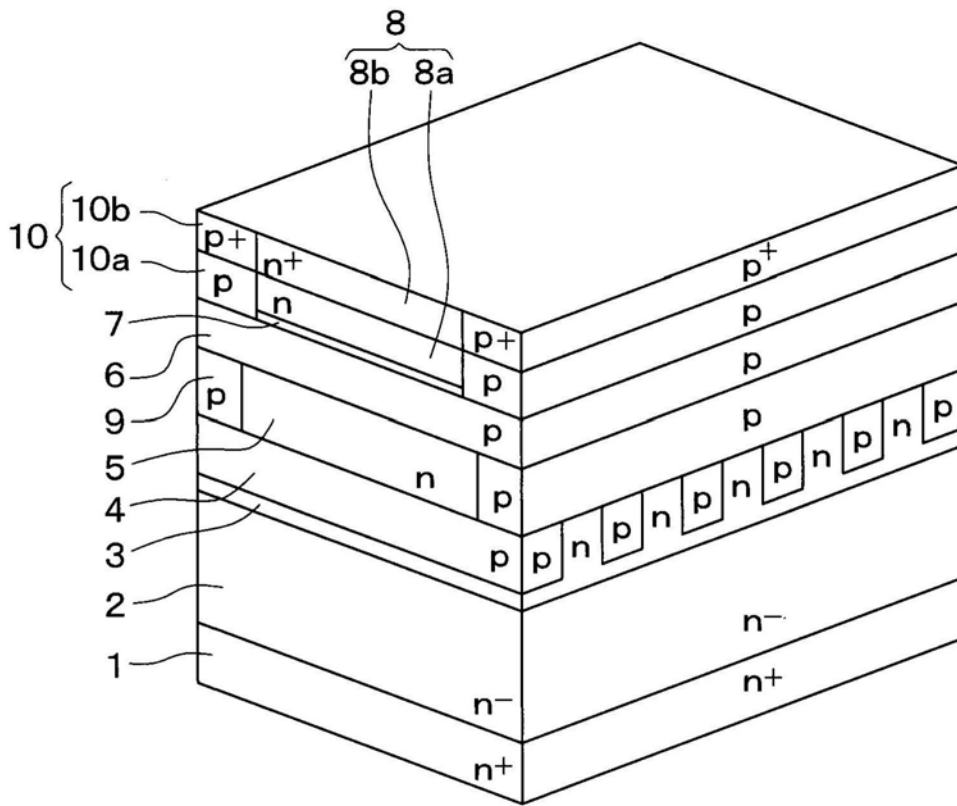


图10E



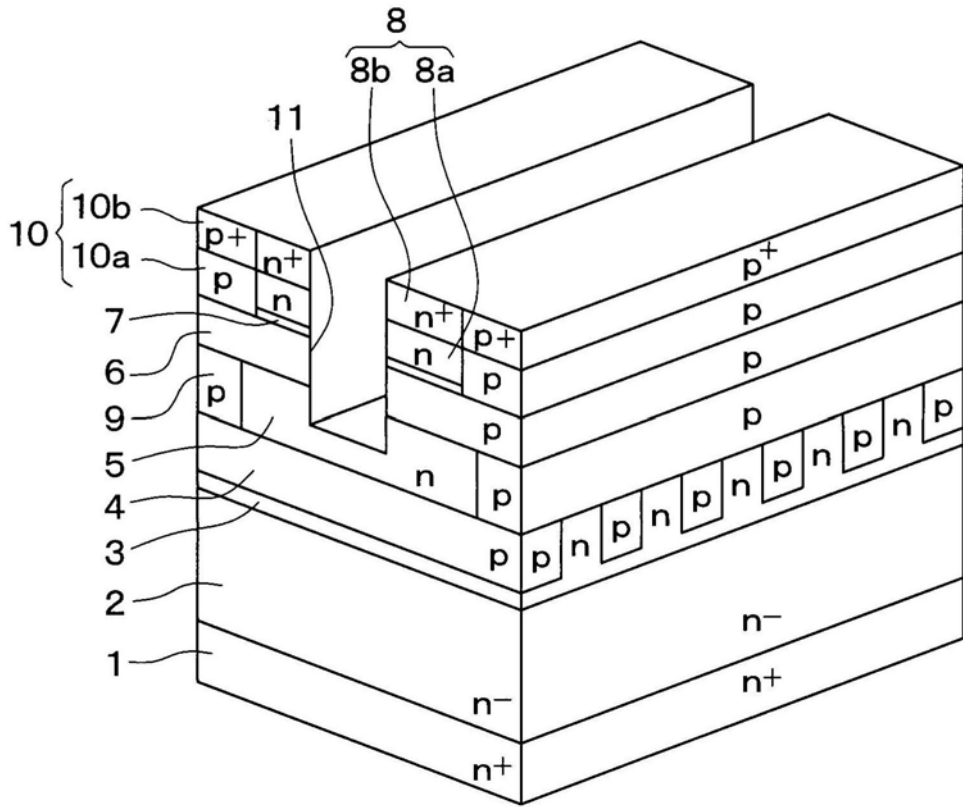


图10F



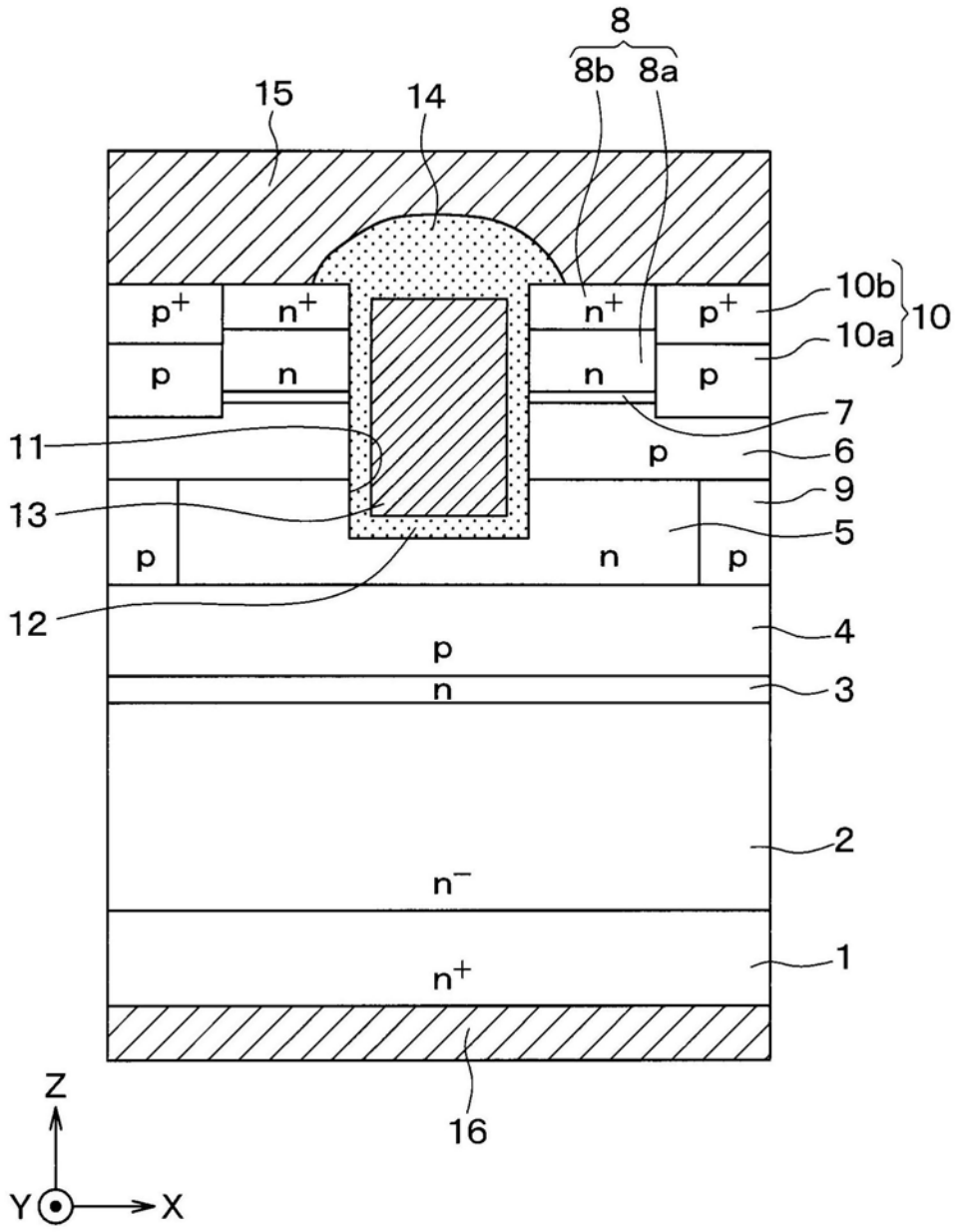


图11