



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0007760  
(43) 공개일자 2012년01월25일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2010-0068451

(22) 출원일자 2010년07월15일

심사청구일자 2010년07월15일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성2로 95 (농서동)

(72) 발명자

김일남

충청남도 천안시 서북구 번영로 467 (성성동)

박원상

충청남도 천안시 서북구 번영로 467 (성성동)

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 8 항

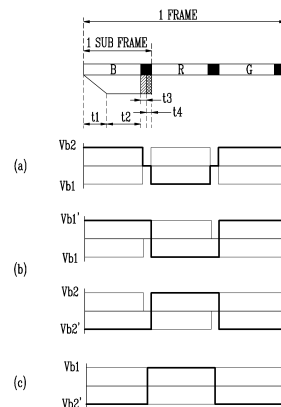
(54) 액정표시장치

(57) 요약

본 발명은 필드 순차 구동 방식의 액정표시장치에 구현되는 액정셀의 화소 구조 및 그 구동방법을 제공한다.

본 발명의 실시예에 의한 액정표시장치는, 복수의 주사선 및 데이터선과, 상기 주사선들 및 데이터선들과 연결되어 매트릭스 형태로 배열된 복수의 화소들이 포함되는 액정표시패널과; 상기 액정표시패널 내에 구비된 복수의 화소들에 각각 쓰기 제어신호 및 리셋 신호를 제공하는 제어신호 생성부와; 상기 각 화소들에 공통전압을 제공하는 공통전압 생성부와; 상기 각 화소들에 부스팅 전압을 제공하는 부스팅 전압 생성부가 포함되어 구성된다.

대표도 - 도4



(72) 발명자

**김민우**

충청남도 천안시 서북구 번영로 467 (성성동)

**김재경**

충청남도 천안시 서북구 번영로 467 (성성동)

**임동훈**

충청남도 천안시 서북구 번영로 467 (성성동)

## 특허청구의 범위

### 청구항 1

복수의 주사선 및 데이터선과, 상기 주사선들 및 데이터선들과 연결되어 매트릭스 형태로 배열된 복수의 화소들이 포함되는 액정표시패널과;

상기 액정표시패널 내에 구비된 복수의 화소들에 각각 쓰기 제어신호 및 리셋 신호를 제공하는 제어신호 생성부와;

상기 각 화소들에 공통전압을 제공하는 공통전압 생성부와;

상기 각 화소들에 부스팅 전압을 제공하는 부스팅 전압 생성부가 포함됨을 특징으로 하는 액정표시장치.

### 청구항 2

제 1항에 있어서,

상기 각 화소는,

게이트 전극이 주사선과 연결되고 소스 전극이 데이터선과 연결되는 제 1 박막트랜지스터와;

소스 전극이 제 1 박막트랜지스터의 드레인 전극과 연결되고 게이트 전극이 쓰기 제어 신호선과 연결되는 제 2 박막트랜지스터와;

게이트 전극이 리셋 제어 신호선과 연결되고 소스 전극이 제 2 박막트랜지스터의 드레인 전극과 연결되는 제 3 박막트랜지스터와;

상기 제 1 박막트랜지스터의 드레인 전극과 공통전압 사이에 구비되는 스토리지 캐패시터와;

제 1 전극이 상기 제 2 박막트랜지스터의 드레인 전극과 연결되는 액정 캐패시터와;

제 1 전극이 상기 제 3 박막트랜지스터의 소스 전극과 연결되는 부스팅 캐패시터가 포함됨을 특징으로 하는 액정표시장치.

### 청구항 3

제 2항에 있어서,

상기 액정 캐패시터의 제 2 전극으로 상기 공통전압이 인가되고, 상기 부스팅 캐패시터의 제 2 전극으로 부스팅 전압이 인가됨을 특징으로 하는 액정표시장치.

### 청구항 4

제 3항에 있어서,

상기 각 화소에 인가되는 부스팅 전압은 액정표시패널의 기수 및 우수 행 별로 동일하게 인가됨을 특징으로 하는 액정표시장치.

### 청구항 5

제 4항에 있어서,

상기 기수 행에 연결된 화소들에는 제 1 부스팅 전압이 인가되고, 우수 행에 연결된 화소들에는 제 2 부스팅 전압이 인가됨을 특징으로 하는 액정표시장치.

### 청구항 6

제 5항에 있어서,

상기 제 1 부스팅 전압과 제 2 부스팅 전압의 각 서브프레임 별로 극성은 서로 상이하게 인가됨을 특징으로 하는 액정표시장치.

**청구항 7**

제 2항에 있어서,

상기 부스팅 캐패시터의 제 2전극으로 부스팅 전압이 인가되고, 상기 액정 캐패시터의 제 2전극으로 위상 반전된 상기 부스팅 전압이 인가됨을 특징으로 하는 액정표시장치.

**청구항 8**

제 2항에 있어서,

상기 부스팅 캐패시터의 제 2전극으로 상기 공통전압이 인가되고, 상기 액정 캐패시터의 제 2전극으로 위상 반전된 상기 부스팅 전압이 인가됨을 특징으로 하는 액정표시장치.

**명세서**

**기술분야**

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 필드 순차(field sequential) 구동 방식의 액정표시장치에 관한 것이다.

**배경기술**

[0002] 액정표시장치는 두 기관 사이에 주입되어 있는 이방성 유전율을 갖는 액정 물질에 전기장(electric field)을 인가하고 이 전기장의 세기를 조절하여 외부의 광원(백라이트)으로부터 기관에 투과되는 빛의 양을 조절함으로써 원하는 화상 신호를 얻는 표시 장치이다.

[0003] 이러한 액정표시장치는 휴대가 간편한 평판 표시장치 중에서 대표적인 것으로서, 이 중에서도 박막 트랜지스터(thin film transistor: TFT)를 스위칭 소자로 이용한 TFT-LCD가 주로 이용되고 있다.

[0004] 상기 액정표시장치는 일반적으로 두 기관 중 하나의 기관에 레드(R), 그린(G), 블루(B)의 3원색으로 이루어진 컬러 필터층을 형성하고, 이 컬러 필터 층에 투과되는 양을 조절함으로써 원하는 화상을 표시한다. 즉, 기존의 컬러 필터 방식의 액정표시장치는 단일 광원으로부터 조사되는 빛을 R, G, B 컬러 필터층에 투과시키는데 있어서, R, G, B 컬러 필터층에 투과되는 빛의 양을 조절하여, R, G, B 색을 합성함으로써 원하는 화상을 표시한다.

[0005] 그러나, 이와 같이 단일 광원과 3색 컬러 필터 층을 이용하여 화상을 표시하는 액정표시장치는, R, G, B 각 영역마다 각각 대응하는 단위 화소가 필요하므로 흑백을 표시하는 경우보다 3배 많은 화소가 필요하게 된다. 따라서, 고해상도의 화상을 얻기 위해서는 액정 표시 장치 패널의 정교한 제조 기술이 요구된다. 또한, 이러한 액정 표시 장치는 기관에 별도의 컬러 필터 층을 형성해야 하는 제조상의 번거로움이 있으며, 컬러 필터 자체의 광 투과율이 낮으므로 휘도가 낮아지는 단점이 있다.

[0006] 이러한 단점을 극복하는 방안으로서 필드 순차(field sequential) 구동 방식의 액정표시장치가 제안되었다.

[0007] 상기 필드 순차 구동 방식의 액정표시장치는 R, G, B 각 색의 독립된 광원을 순차 주기적으로 점등하고, 그 점등 주기에 동기하여 각 화소에 대응하는 색 신호를 가함으로써 풀 컬러(full color)의 화상을 얻는 것으로, 이에 의할 경우 하나의 화소를 R, G, B 단위 화소로 분할하지 않고, 하나의 화소에 R, G, B 백라이트로부터 출력되는 R, G, B 3원색의 광을 시분할적으로 순차 표시함으로써 눈의 잔상 효과를 이용하여 화상을 표시할 수 있다.

[0008] 즉, 상기 필드 순차 구동 방식의 액정표시장치는 컬러 필터가 없으며, 적색(R), 녹색(G), 청색(B)의 색을 순차적으로 발광하는 순차 백라이트(sequential backlight)를 구비한다.

[0009] 또한, 이와 같은 필드 순차 구동 방식의 액정표시장치는 일반적으로 디지털 방식으로 구동되는데, 이는 하나의 필드 프레임(frame)을 적어도 세 개 이상의 서브 프레임(sub-frame)으로 시분할하고, 각각의 서브 프레임에서 적색광, 녹색광 및 청색광을 순차적으로 디스플레이하여 색을 표시하게 된다.

[0010] 이 때, 상기 서브 프레임은 각각의 액정셀 어레이를 어드레싱하는 구간, 액정셀을 인가된 영상신호로 충전시키는 구간, 백라이트를 조사하는 구간 및 액정셀을 리셋하는 구간으로 구분된다. 즉, 모든 셀(특히 마지막에 어드레스 되는 액정셀)에 영상신호 입력이 완료된 후에야 해당 백라이트를 조사할 수 있는 구조를 지니고 있다.

[0011] 이러한 구조적인 문제로 인하여 종래의 필드 순차 구동 방식의 경우 하나의 프레임이 3개의 서브 프레임으로 나뉘진 상태에서 모든 화소에 비디오 데이터를 전달하는 시간이 필요하므로 실제 밝기를 표현할 수 있는 시간에 있어 제한을 받게 된다.

[0012] 즉, 종래 필드 순차 구동 방식의 액정표시장치는 각 화소에 신호를 전달(addressing)하고 그 신호에 의하여 액정이 완전히 구동된 후에 광을 조사하여야 하므로 광이 조사되는 시간을 길게 하기 위한 별도의 액정셀의 구조 및 그 구동 방법이 필요하게 되었다.

**발명의 내용**

**해결하려는 과제**

[0013] 본 발명은 필드 순차 구동 방식의 액정표시장치에 구현되는 액정셀의 화소 구조 및 그 구동방법을 제공한다.

**과제의 해결 수단**

[0014] 본 발명의 실시예에 의한 액정표시장치는, 복수의 주사선 및 데이터선과, 상기 주사선들 및 데이터선들과 연결되어 매트릭스 형태로 배열된 복수의 화소들이 포함되는 액정표시패널과; 상기 액정표시패널 내에 구비된 복수의 화소들에 각각 쓰기 제어신호 및 리셋 신호를 제공하는 제어신호 생성부와; 상기 각 화소들에 공통전압을 제공하는 공통전압 생성부와; 상기 각 화소들에 부스팅 전압을 제공하는 부스팅 전압 생성부가 포함되어 구성된다.

[0015] 여기서, 상기 각 화소는, 게이트 전극이 주사선과 연결되고 소스 전극이 데이터선과 연결되는 제 1 박막트랜지스터와; 소스 전극이 제 1 박막트랜지스터의 드레인 전극과 연결되고 게이트 전극이 쓰기 제어 신호선과 연결되는 제 2박막트랜지스터와; 게이트 전극이 리셋 제어 신호선과 연결되고 소스 전극이 제 2박막트랜지스터의 드레인 전극과 연결되는 제 3박막트랜지스터와; 상기 제 1박막트랜지스터의 드레인 전극과 공통전압 사이에 구비되는 스토리지 캐패시터와; 제 1전극이 상기 제 2박막트랜지스터의 드레인 전극과 연결되는 액정 캐패시터와; 제 1전극이 상기 제 3박막트랜지스터의 소스 전극과 연결되는 부스팅 캐패시터가 포함된다.

[0016] 또한, 상기 액정 캐패시터의 제 2전극으로 상기 공통전압이 인가되고, 상기 부스팅 캐패시터의 제 2전극으로 부스팅 전압이 인가될 수 있다.

[0017] 이 때, 상기 각 화소에 인가되는 부스팅 전압은 액정표시패널의 기수 및 우수 행 별로 동일하게 인가되며, 상기 기수 행에 연결된 화소들에는 제 1부스팅 전압이 인가되고, 우수 행에 연결된 화소들에는 제 2부스팅 전압이 인가될 수 있다.

[0018] 또한, 상기 제 1부스팅 전압과 제 2부스팅 전압의 각 서브프레임 별로 극성은 서로 상이하게 인가된다.

[0019] 또는, 상기 부스팅 캐패시터의 제 2전극으로 부스팅 전압이 인가되고, 상기 액정 캐패시터의 제 2전극으로 위상 반전된 상기 부스팅 전압이 인가되거나, 상기 부스팅 캐패시터의 제 2전극으로 상기 공통전압이 인가되고, 상기 액정 캐패시터의 제 2전극으로 위상 반전된 상기 부스팅 전압이 인가될 수 있다.

**발명의 효과**

[0020] 이와 같은 본 발명에 의하면, 특정 색의 광에 해당하는 영상 데이터가 스토리지 캐패시터에 저장되는 동안 전 단계의 상이한 색의 광을 계속 백라이트를 통해 조사하여 휘도 향상을 구현할 수 있으며, 필드 순차 구동 방식에 적합한 액정셀의 화소 구조를 제안함으로써 다양한 반전 구동이 가능하다는 장점이 있다.

**도면의 간단한 설명**

[0021] 도 1은 본 발명의 실시예에 의한 액정표시장치의 구성을 나타내는 블록도.

도 2a 내지 도 2c는 본 발명의 실시예에 의한 화소회로의 실시예에 대한 등가 회로도.

도 3은 도 2에 도시된 화소에 인가되는 신호의 타이밍을 나타내는 타이밍도.

도 4는 본 발명의 실시예에 의한 필드 순차 구동 방식의 액정표시장치의 동작 타이밍도.

**발명을 실시하기 위한 구체적인 내용**

- [0022] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하도록 한다.
- [0023] 도 1은 본 발명의 실시예에 의한 액정표시장치의 구성을 나타내는 블록도이다.
- [0024] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시 패널(100), 주사 구동부(200), 데이터 구동부(300), 계조전압 발생부(400), 타이밍 제어기(500), R, G, B광을 출력하는 발광 다이오드(600a, 600b, 600c) 및 광원 제어기(700)를 포함한다.
- [0025] 또한, 본 발명의 실시예의 경우 상기 액정표시패널(100) 내에 구비된 복수의 화소들(110)에 각각 쓰기(Write) 제어신호(W1 내지 Wn) 및 리셋 신호(R1 내지 Rn)를 제공하는 제어신호 생성부(800)와; 상기 각 화소들(110)에 공통전압(Vcom)을 제공하는 공통전압 생성부(900)와; 상기 각 화소들(110)에 부스팅 전압(Vb1 또는 Vb2)을 제공하는 부스팅 전압 생성부(910)이 더 포함된다.
- [0026] 상기 액정표시패널(100)은 복수의 주사선 및 데이터선(S1-Sn, D1-Dm)과, 이에 연결되어 있으며 행과 열의 형태로 배열된 복수의 화소(110)를 포함한다.
- [0027] 이 때, 상기 화소들(110)은 상기 주사선 및 데이터선과 연결된 제 1박막트랜지스터(미도시)와 이에 연결된 액정 캐패시터(liquid crystal capacitor: Clc), 스토리지 캐패시터(storage capacitor: Cst)를 포함하며, 본 발명의 실시예의 경우 상기 액정 캐패시터와 연결되는 부스팅 커패시터(boosting capacitor: Cb) 및 상기 액정 캐패시터 및 스토리지 캐패시터 사이에 연결된 제 2박막트랜지스터(미도시)와; 상기 부스팅 커패시터와 연결된 제 3 박막트랜지스터(미도시)가 더 포함되어 구성된다.
- [0028] 상기 액정 캐패시터(ClC)는 각 화소의 화소 전극(미도시)과 공통 전극(미도시)을 두 전극으로 하며 상기 두 전극 사이의 액정층은 유전체로서 기능한다. 상기 화소 전극은 제 1박막트랜지스터의 드레인 전극에 연결되며, 상기 공통전극은 상기 공통 전압 생성부(900)에서 제공하는 공통전압(Vcom)을 인가 받을 수 있다.
- [0029] 또한, 스토리지 캐패시터(Cst)는 하부 전극(미도시)과 화소 전극이 중첩되어 이루어지며, 상기 하부 전극은 상기 공통전극과 전기적으로 연결되어 공통 전압(Vcom)이 인가될 수 있다.
- [0030] 단, 본 발명의 실시예의 경우 상기 액정 캐패시터(ClC)와 연결되는 부스팅 커패시터(boosting capacitor: Cb)는 화소 전극과 부스팅 전압이 인가되는 스토리지 라인(미도시)이 중첩되어 이루어지는 것으로, 상기 스토리지 라인으로는 앞서 언급한 바와 같이 부스팅 전압 생성부(910)에서 제공되는 부스팅 전압(Vb1 또는 Vb2)이 인가된다.
- [0031] 이 때, 상기 제 2박막트랜지스터는 앞서 언급한 제어신호 생성부(800)에서 출력되는 리셋 신호(R1 내지 Rn)에 의해 온 오프가 제어되며, 상기 제 3트랜지스터는 상기 쓰기 제어신호(W1 내지 Wn)에 의해 온 오프가 제어됨을 특징으로 하며, 상기 화소의 구체적인 구성 및 동작에 대해서는 이하 도 3 및 도 4를 통해 보다 상세히 설명하도록 한다.
- [0032] 또한, 상기 주사 구동부(200)는 주사선(S1-Sn)에 순차적으로 주사 신호를 인가하여, 주사 신호가 인가된 주사선에 게이트 전극이 연결되는 각 화소의 제 1박막트랜지스터를 턴온시킨다.
- [0033] 계조 전압 발생부(400)는 R, G, B 데이터에 해당하는 크기를 갖는 계조 전압을 생성하여 데이터 구동부(300)에 공급한다. 데이터 구동부(300)는 계조 전압 발생부(400)에 의해 출력되는 계조 전압을 해당 데이터선에 인가한다.
- [0034] 타이밍 제어기(500)는 외부의 그래픽 제어기(도시하지 않았음)로부터 R, G, B 영상신호(R, G, B DATA) 및 이의 표시를 제어하는 입력 제어신호, 예를 들면 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync) 등을 제공받는다.
- [0035] 타이밍 제어기(500)는 입력 영상 신호(R, G, B DATA)와 입력 제어신호를 기초로 영상 신호(R, G, B DATA)를 액정표시패널(100)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(Sg) 및 데이터 제어 신호(Sd), 광원 제어 신호(Sb) 등을 생성한 후, 게이트 제어 신호(Sg)를 주사 구동부(200)로 내보내고 데이터 제어 신호(Sd)를 데이터 구동부(300)로 내보내며, 처리한 영상 신호(R, G, B DATA)는 계조 전압 발생부(400)로 내보내고 광원 제어 신호(Sb)를 광원 제어기(700)로 내보낸다.
- [0036] 상기 발광 다이오드(600a, 600b, 600c)는 각각 R, G, B에 해당하는 광을 액정 표시 패널(100)에 출력하며, 광원 제어기(700)는 발광 다이오드(600a, 600b, 600c)의 점등(ON/OFF)을 제어한다.

- [0037] 도 2a 내지 도 2c는 본 발명의 실시예에 의한 화소회로의 실시예에 대한 등가 회로도이다.
- [0038] 단, 설명의 편의를 위해 도 2a 내지 도 2c에서는 n번째 주사선(Sn)가 m번째 데이터선에 접속된 화소를 그 예로 설명한다.
- [0039] 도 2a 내지 도 2c를 참조하면, 각 화소는 게이트 전극이 주사선(Sn)과 연결되고 소스 전극이 데이터선(Dm)과 연결되는 제 1 박막트랜지스터(TR1)와; 소스 전극이 제 1 박막트랜지스터(TR1)의 드레인 전극과 연결되고 게이트 전극이 쓰기 제어 신호선(Wn)과 연결되는 제 2박막트랜지스터(TR2)와; 게이트 전극이 리셋 제어 신호선(Rn)와 전기적으로 연결되고 소스 전극이 제 2박막트랜지스터의 드레인 전극과 연결되는 제 3박막트랜지스터와; 상기 제 1박막트랜지스터(TR1)의 드레인 전극과 공통전압(Vcom) 사이에 구비되는 스토리지 캐패시터(Cst)가 포함되어 구성된다.
- [0040] 또한, 각각의 실시예에서는 도시된 바와 같이 액정 캐패시터(C1c) 및 부스팅 캐패시터(Vb)가 더 구비되는데, 상기 액정 캐패시터(C1c) 및 부스팅 캐패시터(Vb)에 인가되는 전압이 상기 도 2a 내지 도 2c에 도시된 실시예 별로 상이하다.
- [0041] 먼저 도 2a에 도시된 실시예의 경우, 상기 액정 캐패시터(C1c)는 상기 제 2박막트랜지스터(TR2)의 드레인 전극과 공통전압(Vcom) 사이에 구비되고, 상기 부스팅 캐패시터(Cb)는 상기 제 3박막트랜지스터(TR3)의 소스 전극과 부스팅 전압(Vb1 또는 Vb2) 사이에 구비된다.
- [0042] 즉, 도 2a의 실시예에서는 상기 액정 캐패시터(C1c)의 제 2전극에 인가되는 전압이 제 1전압원 즉, 공통전압(Vcom)이고, 상기 부스팅 캐패시터(Cb)의 제 2전극에 인가되는 전압이 제 2전압원 즉, 부스팅 전압((Vb1 또는 Vb2)이 되는 것이다.
- [0043] 이 때, 상기 각 화소에 인가되는 부스팅 전압(Vb1, Vb2)은 기수 및 우수 행 별로 동일하게 인가됨을 특징으로 하는 것으로, 기수 행에 연결된 화소들에는 제 1부스팅 전압(Vb1)이 인가되고, 우수 행에 연결된 화소들에는 제 2부스팅 전압(Vb2)가 인가된다.
- [0044] 다음으로 도 2b에 도시된 실시예에서는, 상기 부스팅 캐패시터(Cb)는 도 2a와 동일하게 상기 제 3박막트랜지스터(TR3)의 소스 전극과 부스팅 전압(Vb1 또는 Vb2) 사이에 구비되나, 액정 캐패시터(C1c)의 제 2전극으로 공통전압(Vcom)이 아닌 위상 반전된 상기 부스팅 전압(Vb1' 또는 Vb2')가 인가됨을 특징으로 한다.
- [0045] 마지막으로 도 2c에 도시된 실시예에서는, 상기 부스팅 캐패시터(Cb)의 제 2전극으로는 상기 제 1전압원 즉, 공통전압(Vcom)이 인가되고, 상기 액정 캐패시터(C1c)의 제 2전극으로는 위상 반전된 상기 부스팅 전압(Vb1' 또는 Vb2')가 인가됨을 특징으로 한다.
- [0046] 도 3은 도 2에 도시된 화소에 인가되는 신호의 타이밍을 나타내는 타이밍도이다.
- [0047] 단, 도 3에서는 도 2의 각 실시예 별로 상이하게 인가되는 공통전압 및 부스팅 전압을 제외한 신호의 타이밍에 대해서만 먼저 설명한다.
- [0048] 도 2 및 도 3을 참조하여 본 발명의 실시예에 의한 각 화소의 동작에 대해 설명하면 다음과 같다.
- [0049] 먼저 프레임 개시 신호(Vsync)에 따라 R, G, B광 중 하나를 개시하기 위한 서브 프레임 개시 신호(Vsub\_sync)가 개시된다. 첫번째 행의 화소에 인가될 영상 데이터가 준비되고, 첫번째 행의 주사신호(S1)가 활성화된다.
- [0050] 첫 번째 행의 게이트 신호(S1)에 따라 첫 번째 행에 전기적으로 연결된 각 화소의 제 1박막트랜지스터(TR1)가 'on' 상태가 됨으로써, 영상 데이터는 스토리지 캐패시터(Cst)에 저장된다. 동일한 방법으로 순차적으로 마지막 게이트 신호(Sn)가 활성화되면 액정표시패널에 있는 모든 화소의 스토리지 캐패시터(Cst)에 영상 신호 전송이 완료된다.
- [0051] 다음으로 액정표시패널에 구비된 모든 화소의 액정을 동시 또는 순차적으로 리셋하게 된다. 이때 액정을 리셋한다는 것은 화소 전극에 남아 있는 전하를 공통 전극으로 흘러 보내는 것을 의미하며, 등가 회로적으로는 각 화소의 제 3박막트랜지스터(TR3)에 리셋 신호(R)를 인가하여 이를 'on'시키는 것을 의미한다.
- [0052] 마지막으로 액정표시패널에 있는 모든 화소에 쓰기(write) 제어신호(W)를 인가하면, 제 2박막트랜지스터(TR2)가

'on' 되면서, 스토리지 캐패시터(Cst)에 저장되어 있던 영상 신호가 액정 캐패시터(C1c) 및 부스팅 캐패시터(Cb)로 전송되게 된다.

- [0053] 즉, 상기 스토리지 캐패시터(Cst)에 저장된 각각의 영상 신호가 각 화소의 액정 캐패시터(C1c)에 전달된 이후, 해당되는 색상의 백라이트가 켜짐으로써 사용자의 눈에 정확한 영상을 나타낼 수 있게 되는 것이다.
- [0054] 그러나, 상기 스토리지 캐패시터(Cst)에 저장된 전압이 쓰기 제어신호(W)의 인가에 의해 상기 액정 캐패시터(C1c) 및 부스팅 캐패시터(Cb)로 전달될 때 전압 강하가 발생하는 문제가 있으며, 이와 같은 전압 강하에 의해 정확한 계조 표현이 안될 수 있다는 단점이 있다.
- [0055] 이에 본 발명의 실시예에서는 이와 같은 단점을 극복하기 위하여 상기 부스팅 캐패시터(Cb)에 부스팅 전압을 인가하거나, 또는 상기 액정 캐패시터(C1c)에 위상이 반전된 상기 부스팅 전압을 인가함으로써, 스토리지 캐패시터(Cst)에 저장된 전압 전달시 발생하는 전압 강하를 보상할 수 있음을 특징으로 한다.
- [0056] 도 4는 본 발명의 실시예에 의한 필드 순차 구동 방식의 액정표시장치의 동작 타이밍도이다.
- [0057] 단, 도 4에서는 앞서 도 2a 내지 도 2c의 실시예에 대응하여 각각 상이하게 인가되는 공통전압(Vcom), 부스팅 전압(Vb1, Vb2), 위상 반전된 부스팅 전압(Vb1', Vb2')의 타이밍도를 포함하여 설명한다.
- [0058] 또한, 도 4는 하나의 실시예로서 R 광을 조사하기 위한 타이밍에 대해서 설명하기로 하며, 나머지 G 광 및 B 광도 동일한 타이밍에 의해서 조사가 된다. 또한 도 4에 예시된 필드 순차 구동방식의 액정표시장치는 R, G, B 광 순서로 순차적으로 조사된다는 가정하에 설명하기로 한다.
- [0059] 먼저 't1' 어드레싱 시간 동안 각 주사선을 순차적으로 어드레싱하면서 각 주사선과 전기적으로 연결된 각 화소의 스토리지 캐패시터(Cst)에 R 광에 해당되는 영상 데이터를 입력한다.
- [0060] 다음으로 't2' 홀드 시간은 마지막 게이트 라인과 전기적으로 연결된 화소의 스토리지 캐패시터에 영상 데이터가 기입되는 시간과 전(前)단계의 광(도 7에서는 B 광)을 충분히 조사하기 위해 백라이트를 'on'시키는 시간 간격이다.
- [0061] 't2' 홀드 시간의 최소 간격은 마지막 게이트 라인과 전기적으로 연결된 화소의 스토리지 캐패시터에 영상 데이터가 기입되는 시간이 될 것이며, 최대 시간은 설계에 따라 달라질 수 있다.
- [0062] 이후 상기 't2' 홀드 시간이 지난 후에 액정표시패널의 모든 화소들을 't3' 리셋 시간 동안 리셋 시킨다. 이때 't3' 리셋 시작 전에 B광의 백라이트 조사를 종료하게 된다.
- [0063] 그 다음 상기 액정표시패널의 모든 화소에 대하여 't4' 쓰기(write) 시간 동안 R광 영상 데이터로 기입하게 된다. 이때 각 화소의 스토리지 캐패시터(Cst)에 축적된 전하가 액정 캐패시터(C1c) 및 부스팅 캐패시터(Cb)로 전송되게 되며, 상기 't4' 쓰기(write) 시간 후에 R 광에 해당하는 백라이트를 조사함으로써 R광의 조사가 시작된다.
- [0064] 그러나, 앞서 언급한 바와 같이 상기 스토리지 캐패시터(Cst)에 저장된 전압이 쓰기 제어신호(W1 내지 Wn)의 인가에 의해 상기 액정 캐패시터(C1c) 및 부스팅 캐패시터(Cb)로 전달될 때 전압 강하가 발생하는 문제가 있으며, 이와 같은 전압 강하에 의해 정확한 계조 표현이 안될 수 있다는 단점이 있다.
- [0065] 이에 본 발명의 제 1실시예는 도 2a 및 도 4의 (a) 과형을 참조하면, 상기 상기 't4' 쓰기(write) 시간 후에 부스팅 전압(Vb1 또는 Vb2)를 인가함으로써 상기 단점을 극복할 수 있다.
- [0066] 즉, 라인 인버전 구동 방식으로 구동됨을 가정할 때, 기수번째 행으로 양(+)의 데이터가 인가되는 경우라면 상기 기수번째 행에는 모두 동일하게 양(+)의 값을 갖는 제 1부스팅 전압(Vb1)이 상기 각 화소의 부스팅 캐패시터(Cb)의 제 2전극으로 인가되어 상기 액정 캐패시터(C1c)에 저장되는 화소 전압이 일정하게 부스팅됨으로써 상기 전압 강하에 의한 문제를 보상할 수 있게 되는 것이다.
- [0067] 마찬가지로 우수번째 행으로 음(-)의 데이터가 인가되는 경우라면 상기 우수번째 행에는 모두 동일하게 음(-)의 값을 갖는 제 2부스팅 전압(Vb2)이 상기 각 화소의 부스팅 캐패시터(Cb)의 제 2전극으로 인가되어 상기 액정 캐패시터(C1c)에 저장되는 화소 전압이 일정하게 부스팅됨으로써 상기 전압 강하에 의한 문제를 보상할 수 있게



된다.

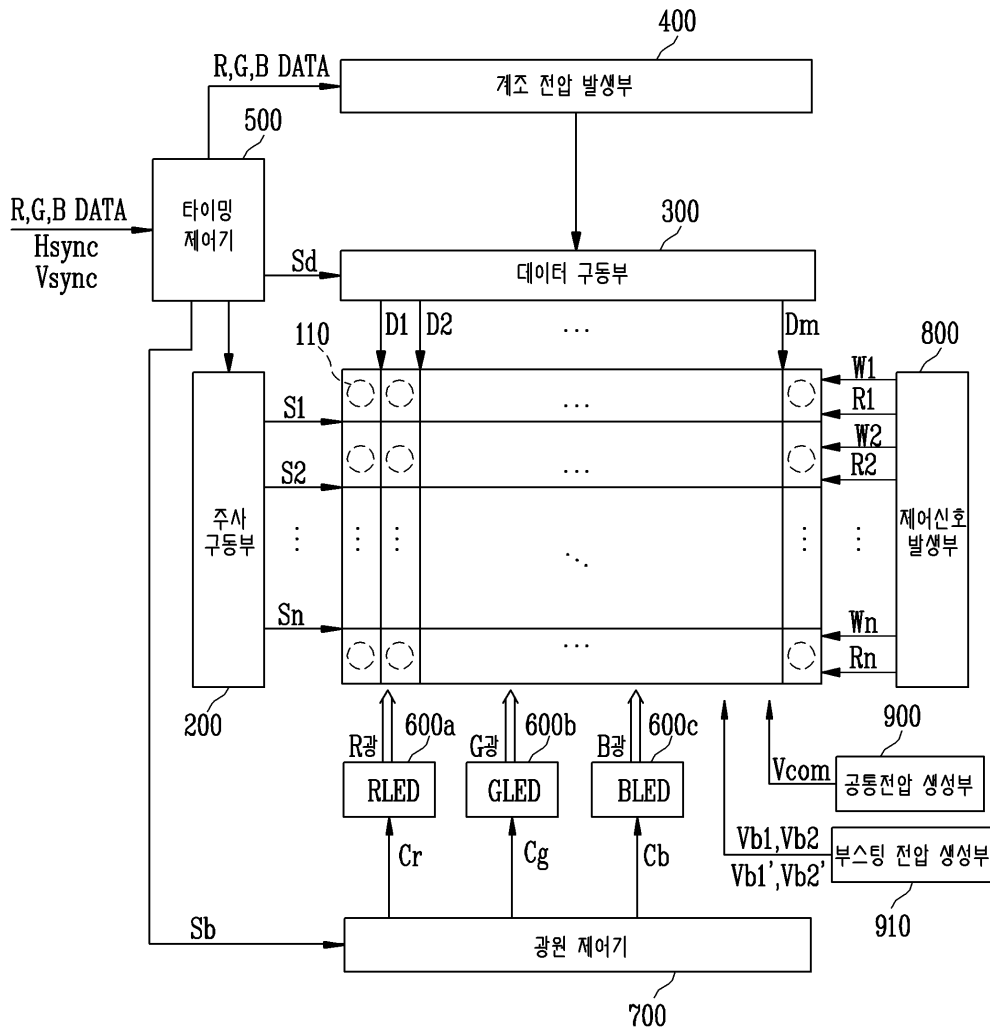
- [0068] 단, 상기 부스팅 전압(Vb1, Vb2)는 도시된 바와 같이 't1' 어드레싱 시간 및 't2' 홀드 시간에 대응하여 인가됨이 바람직하며, 공통전압(Vcom)은 도시된 바와 같이 DC 전압으로 인가될 수 있다.
- [0069] 또한, 본 발명의 제 2실시예는 도 2b 및 도 4의 (b) 과형을 참조하면, 상기 제 1실시예와 비교할 때 보다 작은 데이터 전압을 이용하여 액정에 인가되는 화소 전압을 더욱 크게 하기 위한 것으로, 상기 위상이 반전된 부스팅 전압(Vb1', Vb2')이 액정 캐패시터(C1c)의 제 2전극으로 인가됨을 특징으로 한다.
- [0070] 즉, 액정 캐패시터에 저장되는 화소 전압의 전압 범위를 최대화하기 위하여 라인 인버전 구동 방식으로 구동됨을 가정할 때, 기수번째 행으로 양(+)의 데이터가 인가되는 경우라면 상기 기수번째 행에는 모두 동일하게 양(+)의 값을 갖는 제 1부스팅 전압(Vb1)이 상기 각 화소의 부스팅 캐패시터(Cb)의 제 2전극으로 인가되고, 반대로 위상이 반전된 즉, 음(-)의 값을 갖는 제 1'부스팅 전압(Vb1')가 액정 캐패시터(C1c)의 제 2전극으로 인가됨으로써, 상기 전압 강하에 의한 문제를 보상할 수 있게 되는 것이다.
- [0071] 단, 상기 위상 반전된 부스팅 전압(Vb1', Vb2')는 도시된 바와 같이 't3' 리셋 시간 및 't4' 쓰기(write) 시간에 대해서도 인가될 수 있다.
- [0072] 또한, 본 발명의 제 3실시예는 도 2c 및 도 4의 (c) 과형을 참조하면, 상기 제 1, 2실시예와 비교할 때, 상기 위상이 반전된 부스팅 전압(Vb1', Vb2')이 액정 캐패시터(C1c)의 제 2전극으로 인가되고, 상기 부스팅 캐패시터(Cb)의 제 2전극으로는 공통전압(Vcom)이 인가됨을 특징으로 한다.
- [0073] 즉, 라인 인버전 구동 방식으로 구동됨을 가정할 때, 기수번째 행으로 양(+)의 데이터가 인가되는 경우라면 상기 기수번째 행에는 모두 동일하게 음(-)의 값을 갖는 위상 반전된 제 1부스팅 전압(Vb1')이 액정 캐패시터(C1c)의 제 2전극으로 인가됨으로써, 상기 전압 강하에 의한 문제를 보상할 수 있게 되는 것이다.
- [0074] 단, 상기 위상 반전된 부스팅 전압(Vb1', Vb2')는 도시된 바와 같이 't3' 리셋 시간 및 't4' 쓰기(write) 시간에 대해서도 인가될 수 있다.

**부호의 설명**

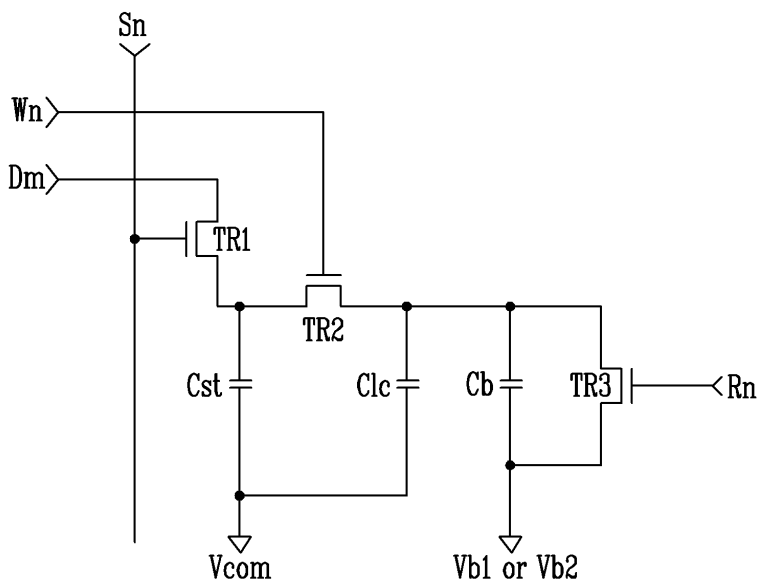
- [0075] 110: 화소 800: 제어신호 생성부
- 900: 공통전압 생성부 910: 부스팅 전압 생성부

도면

도면1

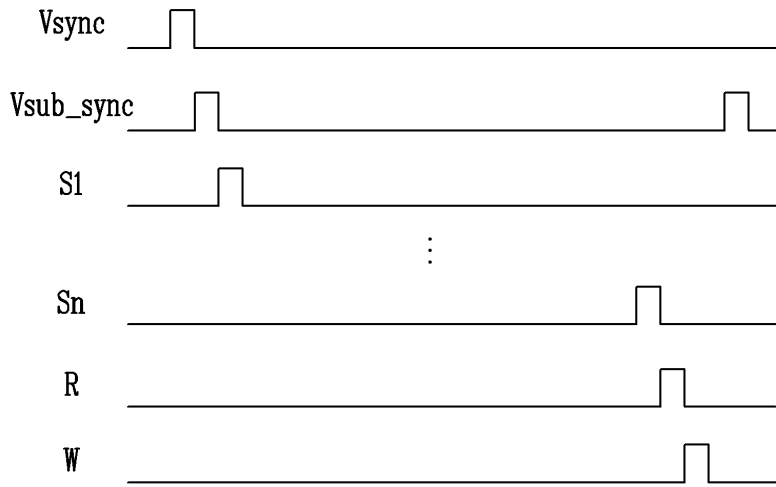


도면2a





도면3



도면4

