

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02004/047064

発行日 平成18年3月23日 (2006.3.23)

(43) 国際公開日 平成16年6月3日 (2004.6.3)

| (51) Int. Cl.                | F I            | テマコード (参考) |
|------------------------------|----------------|------------|
| <b>G09G 3/30 (2006.01)</b>   | G09G 3/30 J    | 3K007      |
| <b>G09G 3/20 (2006.01)</b>   | G09G 3/20 611H | 5C080      |
| <b>H01L 51/50 (2006.01)</b>  | G09G 3/20 624B | 5F110      |
| <b>H01L 29/786 (2006.01)</b> | G09G 3/20 642A |            |
|                              | G09G 3/20 670K |            |

審査請求 未請求 予備審査請求 未請求 (全 17 頁) 最終頁に続く

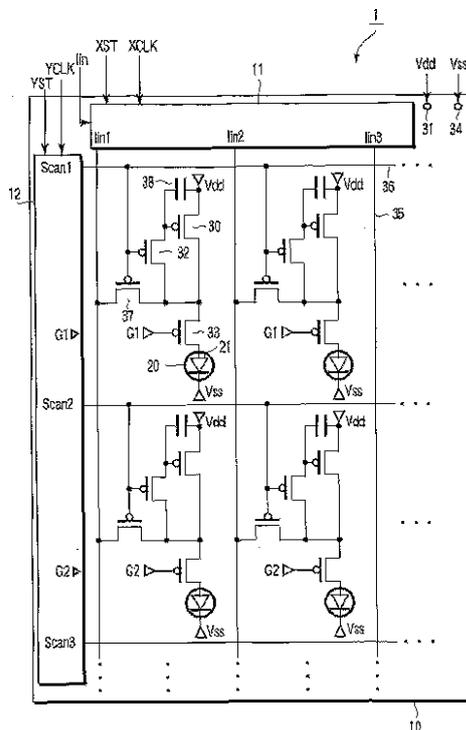
|  |                      |
|--|----------------------|
| 出願番号 特願2004-553200 (P2004-553200)  | (71) 出願人 302020207   |
| (21) 国際出願番号 PCT/JP2003/014705  | 東芝松下ディスプレイテクノロジー株式会社 |
| (22) 国際出願日 平成15年11月19日 (2003.11.19)  | 東京都港区港南4-1-8         |
| (31) 優先権主張番号 特願2002-336920 (P2002-336920)  | (74) 代理人 100058479   |
| (32) 優先日 平成14年11月20日 (2002.11.20)  | 弁理士 鈴江 武彦            |
| (33) 優先権主張国 日本国 (JP)   | (74) 代理人 100084618   |
| (81) 指定国 EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), CN, JP, KR, SG, US | (74) 代理人 100092196   |
|  | 弁理士 橋本 良郎            |
|  | (74) 代理人 100091351   |
|  | 弁理士 河野 哲             |
|  | (74) 代理人 100088683   |
|  | 弁理士 中村 誠             |

最終頁に続く

(54) 【発明の名称】 有機ELディスプレイ及びアクティブマトリクス基板

(57) 【要約】

電源端子(31)に接続された第1端子と制御端子と第2端子とを含んだ駆動制御素子(30)と、第2端子と電源端子(34)との間に接続された有機EL素子(20)と、制御端子に接続されたキャパシタ(38)と、映像信号入力端子35と第2端子とを信号書き込み期間において接続状態とするとともに発光期間において非接続状態とする切り替えを走査信号に応じて行う第1スイッチ(37)と、制御端子と第2端子とを信号書き込み期間において接続状態とするとともに第1スイッチ(37)が非接続状態となるより前に非接続状態とする切り替えを走査信号に応じて行う第2スイッチ(32)とを含んだアクティブマトリクス型有機ELディスプレイ(1)が提供される。



## 【特許請求の範囲】

## 【請求項 1】

第 1 電源端子に接続された第 1 端子と、映像信号入力端子から映像信号が供給される制御端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、

前記第 2 端子と第 2 電源端子との間に接続された有機 EL 素子と、

一方の電極が前記制御端子に接続され、前記制御端子と前記第 1 端子との間の電圧を前記映像信号に対応した大きさに維持可能なキャパシタと、

走査信号に応じて、信号書き込み期間において前記映像信号入力端子と前記第 2 端子とを接続状態とするとともに、前記信号書き込み期間に続く発光期間において前記映像信号入力端子と前記第 2 端子とを非接続状態とする切り替えを行う第 1 スイッチと、

前記走査信号に応じて、前記信号書き込み期間において前記制御端子と前記第 2 端子とを接続状態とするとともに、前記第 1 スイッチが非接続状態となるより前に前記制御端子と前記第 2 端子とを非接続状態とする切り替えを行う第 2 スイッチとを具備したアクティブマトリクス型有機 EL ディスプレイ。

10

## 【請求項 2】

第 1 電源端子に接続された第 1 端子と、制御端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、

前記第 2 端子と第 2 電源端子との間に接続された有機 EL 素子と、

定電位端子と前記制御端子との間に接続されたキャパシタと、

前記映像信号入力端子と前記第 2 端子との間に接続された第 1 スイッチと、

前記制御端子と前記第 2 端子との間に接続された第 2 スイッチとを具備し、

前記第 1 スイッチのスイッチングを制御する制御端子は前記第 2 スイッチのスイッチングを制御する制御端子に接続されており、前記第 1 スイッチの閾値は前記第 2 スイッチの閾値よりも浅いアクティブマトリクス型有機 EL ディスプレイ。

20

## 【請求項 3】

前記第 1 及び第 2 スイッチは第 1 導電型の薄膜トランジスタである請求項 1 または請求項 2 に記載のディスプレイ。

## 【請求項 4】

前記第 2 スイッチのチャンネル長は前記第 1 スイッチのチャンネル長よりも長い請求項 3 に記載のディスプレイ。

30

## 【請求項 5】

前記第 2 スイッチはマルチゲート構造を有している請求項 3 に記載のディスプレイ。

## 【請求項 6】

前記第 1 スイッチは、前記第 2 スイッチと比較して、チャンネル領域における第 1 導電型不純物の濃度がより高い請求項 3 に記載のディスプレイ。

## 【請求項 7】

前記駆動制御素子は第 1 導電型の薄膜トランジスタである請求項 3 に記載のディスプレイ。

## 【請求項 8】

前記第 1 スイッチの閾値と前記第 2 スイッチの閾値との差の絶対値は 0.2 V 乃至 1 V である請求項 1 または請求項 2 に記載のディスプレイ。

40

## 【請求項 9】

第 1 電源端子に接続された第 1 端子と、制御端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、

前記第 2 端子と第 2 電源端子との間に接続された有機 EL 素子と、

定電位端子と前記制御端子との間に接続されたキャパシタと、

制御信号入力端子に接続された入力端子と制御信号入力端子から供給される制御信号を出力する出力端子とを備えた遅延素子と、

前記映像信号入力端子と前記第 2 端子との間に接続された第 1 スイッチと、

50

前記制御端子と前記第 2 端子との間に接続された第 2 スイッチとを具備し、

前記第 1 スイッチのスイッチングを制御する制御端子は前記出力端子に接続され、前記第 2 スイッチのスイッチングを制御する制御端子は前記制御信号入力端子に接続されたアクティブマトリクス型有機 EL ディスプレイ。

【請求項 10】

前記遅延素子は抵抗素子である請求項 9 に記載のディスプレイ。

【請求項 11】

前記抵抗素子は、不純物を含有したポリシリコン層である請求項 10 に記載のディスプレイ。

【請求項 12】

前記遅延素子は、前記制御信号入力端子と前記第 1 スイッチの制御端子との間に接続されたダイオードである請求項 9 に記載のディスプレイ。

【請求項 13】

前記遅延素子は、前記制御信号入力端子と前記第 1 スイッチの制御端子との間に並列に接続された第 1 及び第 2 ダイオードを備え、前記第 1 ダイオードの順方向と前記第 2 ダイオードの順方向とは逆向きである請求項 9 に記載のディスプレイ。

【請求項 14】

有機 EL 素子が形成されるべきアクティブマトリクス基板であって、

電源端子に接続された第 1 端子と、映像信号入力端子から映像信号が供給される制御端子と、前記有機 EL 素子に接続されるとともに前記制御端子と前記第 1 端子との間の電圧

10

20

に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、  
一方の電極が前記制御端子に接続され、前記制御端子と前記第 1 端子との間の電圧を前記映像信号に対応した大きさに維持可能なキャパシタと、

走査信号に応じて、信号書き込み期間において前記映像信号入力端子と前記第 2 端子とを接続状態とするとともに、前記信号書き込み期間に続く発光期間において前記映像信号入力端子と前記第 2 端子とを非接続状態とする切り替えを行う第 1 スイッチと、

前記走査信号に応じて、前記信号書き込み期間において前記制御端子と前記第 2 端子とを接続状態とするとともに、前記第 1 スイッチが非接続状態となるより前に前記制御端子と前記第 2 端子とを非接続状態とする切り替えを行う第 2 スイッチとを具備したアクティブマトリクス基板。

30

【請求項 15】

画素電極と、

電源端子に接続された第 1 端子と、映像信号入力端子から映像信号が供給される制御端子と、前記画素電極に接続されるとともに前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、

一方の電極が前記制御端子に接続され、前記制御端子と前記第 1 端子との間の電圧を前記映像信号に対応した大きさに維持可能なキャパシタと、

走査信号に応じて、信号書き込み期間において前記映像信号入力端子と前記第 2 端子とを接続状態とするとともに、前記信号書き込み期間に続く発光期間において前記映像信号入力端子と前記第 2 端子とを非接続状態とする切り替えを行う第 1 スイッチと、

40

前記走査信号に応じて、前記信号書き込み期間において前記制御端子と前記第 2 端子とを接続状態とするとともに、前記第 1 スイッチが非接続状態となるより前に前記制御端子と前記第 2 端子とを非接続状態とする切り替えを行う第 2 スイッチとを具備したアクティブマトリクス基板。

【発明の詳細な説明】

【技術分野】

本発明は、アクティブマトリクス型ディスプレイ及びアクティブマトリクス基板に係り、特に、表示素子として有機 EL (Electro-Luminescent) 素子を含んだアクティブマトリクス型有機 EL ディスプレイ及びそれに使用可能なアクティブマトリクス基板に関する。

50

**【背景技術】**

液晶ディスプレイに代表されるフラットパネルディスプレイには、CRTディスプレイと比較して、薄型、軽量、低消費電力であるという特徴がある。これらの特徴により、フラットパネルディスプレイの需要は急速に伸びている。

アクティブマトリクス型のフラットパネルディスプレイでは、各画素に、オン画素とオフ画素とを電氣的に分離可能とするスイッチが設けられている。通常、この画素には、映像信号を保持するキャパシタがさらに設けられている。そのため、このディスプレイは、隣接画素間でのクロストークのない良好な表示品位を実現することができる。このような理由から、アクティブマトリクス型のフラットパネルディスプレイは、携帯情報端末を始めとする各種電子機器のディスプレイとして利用されるようになってきた。

10

近年、有機ELディスプレイの開発が盛んに行われている。有機ELディスプレイは、自己発光型のディスプレイであって、液晶ディスプレイと比較して、高速応答及び広視野角を実現するうえで有利である。

Knappらは、米国特許第6,373,454B1号において、有機ELディスプレイで使用可能な画素回路を開示している。

図1は、Knappらが開示する画素回路の等価回路図である。この回路の動作は2段階で行われる。なお、第1及び第2段階において、電源線31は電位V1に、電源線34は電位V1よりも高い電位V2に設定される。

第1段階では、まず、スイッチ33を開き(OFF)、スイッチ32及び37を閉じる(ON)。この状態で、信号電流を、入力信号として、映像信号配線35から有機EL素子20に供給する。トランジスタ30はスイッチ32によってダイオード接続されているため、キャパシタ38には、信号電流を流しているトランジスタ30のゲート-ソース間電圧と等しい電圧が蓄積される。その後、スイッチ32及び37を開く。

20

第2段階では、スイッチ33を閉じて、有機EL素子20とトランジスタ30のドレインとを接続する。キャパシタ38には入力信号に対応した電圧が蓄積されているので、有機EL素子20には入力信号とほぼ等しい電流が供給される。

この画素回路では、スイッチ32及び37のスイッチング、すなわちON/OFF動作は同時に行われる。そのため、スイッチ32及び37のスイッチングは同一制御線を用いて制御することができる。

しかしながら、これらの制御を同一制御線を用いて行うにも拘らず、画素回路パターン

30

の設計やプロセスに由来した特性の変動に起因して、スイッチ32及び37のスイッチングが同時に行われないことがある。

スイッチ32のOFF動作がスイッチ37のそれよりも後に行われる場合、スイッチ37のOFF動作からスイッチ32のOFF動作までの期間に、トランジスタ30のゲートからスイッチ32及びトランジスタ30を介して電源線31へと電流が流れる。その結果、トランジスタ30のゲート-ソース間電圧が低下する。そのため、この場合、階調つぶれが生じる可能性がある。特に、それらOFF動作の時間差が画素間でばらついていると、さらに、輝度の面内不均一が生じる可能性がある。

この問題は、スイッチ32用の制御線とスイッチ37用の制御線とをそれぞれ設け、後者にOFF信号を供給するよりも前に、前者にOFF信号を供給することによって回避可能である。しかしながら、この場合、画素の各列毎に制御線が1本増えることになる。そのため、画素レイアウトへの制約が厳しくなり、個々の有機EL素子の配置可能な面積が減少する。小さな有機EL素子で明るい表示を行うと、輝度寿命が短くなる。

40

**【発明の開示】**

本発明の目的は、比較的少ない配線数で優れた表示品位を実現可能なアクティブマトリクス型有機ELディスプレイ及びそれに使用可能なアクティブマトリクス基板を提供することにある。

本発明の第1側面によると、第1電源端子に接続された第1端子と、映像信号入力端子から映像信号が供給される制御端子と、前記制御端子と前記第1端子との間の電圧に対応した大きさの駆動電流を出力する第2端子とを備えた駆動制御素子と、前記第2端子と第

50

2 電源端子との間に接続された有機 EL 素子と、一方の電極が前記制御端子に接続され、前記制御端子と前記第 1 端子との間の電圧を前記映像信号に対応した大きさに維持可能なキャパシタと、走査信号に応じて、信号書き込み期間において前記映像信号入力端子と前記第 2 端子とを接続状態とするとともに、前記信号書き込み期間に続く発光期間において前記映像信号入力端子と前記第 2 端子とを非接続状態とする切り替えを行う第 1 スイッチと、前記走査信号に応じて、前記信号書き込み期間において前記制御端子と前記第 2 端子とを接続状態とするとともに、前記第 1 スイッチが非接続状態となるより前に前記制御端子と前記第 2 端子とを非接続状態とする切り替えを行う第 2 スイッチとを具備したアクティブマトリクス型有機 EL ディスプレイが提供される。

本発明の第 2 側面によると、第 1 電源端子に接続された第 1 端子と、制御端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、前記第 2 端子と第 2 電源端子との間に接続された有機 EL 素子と、定電位端子と前記制御端子との間に接続されたキャパシタと、前記映像信号入力端子と前記第 2 端子との間に接続された第 1 スイッチと、前記制御端子と前記第 2 端子との間に接続された第 2 スイッチとを具備し、前記第 1 スイッチのスイッチングを制御する制御端子は前記第 2 スイッチのスイッチングを制御する制御端子に接続されており、前記第 1 スイッチの閾値は前記第 2 スイッチの閾値よりも浅いアクティブマトリクス型有機 EL ディスプレイが提供される。

本発明の第 3 側面によると、第 1 電源端子に接続された第 1 端子と、制御端子と、前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、前記第 2 端子と第 2 電源端子との間に接続された有機 EL 素子と、定電位端子と前記制御端子との間に接続されたキャパシタと、制御信号入力端子に接続された入力端子と制御信号入力端子から供給される制御信号を出力する出力端子とを備えた遅延素子と、前記映像信号入力端子と前記第 2 端子との間に接続された第 1 スイッチと、前記制御端子と前記第 2 端子との間に接続された第 2 スイッチとを具備し、前記第 1 スイッチのスイッチングを制御する制御端子は前記出力端子に接続され、前記第 2 スイッチのスイッチングを制御する制御端子は前記制御信号入力端子に接続されたアクティブマトリクス型有機 EL ディスプレイが提供される。

本発明の第 4 側面によると、有機 EL 素子が形成されるべきアクティブマトリクス基板であって、電源端子に接続された第 1 端子と、映像信号入力端子から映像信号が供給される制御端子と、前記有機 EL 素子に接続されるとともに前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、一方の電極が前記制御端子に接続され、前記制御端子と前記第 1 端子との間の電圧を前記映像信号に対応した大きさに維持可能なキャパシタと、走査信号に応じて、信号書き込み期間において前記映像信号入力端子と前記第 2 端子とを接続状態とするとともに、前記信号書き込み期間に続く発光期間において前記映像信号入力端子と前記第 2 端子とを非接続状態とする切り替えを行う第 1 スイッチと、前記走査信号に応じて、前記信号書き込み期間において前記制御端子と前記第 2 端子とを接続状態とするとともに、前記第 1 スイッチが非接続状態となるより前に前記制御端子と前記第 2 端子とを非接続状態とする切り替えを行う第 2 スイッチとを具備したアクティブマトリクス基板が提供される。

本発明の第 5 側面によると、画素電極と、電源端子に接続された第 1 端子と、映像信号入力端子から映像信号が供給される制御端子と、前記画素電極に接続されるとともに前記制御端子と前記第 1 端子との間の電圧に対応した大きさの駆動電流を出力する第 2 端子とを備えた駆動制御素子と、一方の電極が前記制御端子に接続され、前記制御端子と前記第 1 端子との間の電圧を前記映像信号に対応した大きさに維持可能なキャパシタと、走査信号に応じて、信号書き込み期間において前記映像信号入力端子と前記第 2 端子とを接続状態とするとともに、前記信号書き込み期間に続く発光期間において前記映像信号入力端子と前記第 2 端子とを非接続状態とする切り替えを行う第 1 スイッチと、前記走査信号に応じて、前記信号書き込み期間において前記制御端子と前記第 2 端子とを接続状態とするとともに、前記第 1 スイッチが非接続状態となるより前に前記制御端子と前記第 2 端子とを

10

20

30

40

50

非接続状態とする切り替えを行う第2スイッチとを具備したアクティブマトリクス基板が提供される。

【図面の簡単な説明】

図1は、従来の画素回路の等価回路図；

図2は、本発明の第1態様に係る有機ELディスプレイを概略的に示す平面図；

図3は、図2に示す有機ELディスプレイの画素に採用可能な構造の一例を概略的に示す平面図；

図4は、図1の有機ELディスプレイの駆動方法の一例を示すタイミングチャート；

図5は、図3の画素構造の一変形例を概略的に示す平面図；

図6は、第2スイッチに採用可能な構造の一例を概略的に示す断面図；

10

図7は、第1スイッチに採用可能な構造の一例を概略的に示す断面図；

図8は、本発明の第2態様に係る有機ELディスプレイを概略的に示す平面図；

図9は、遅延素子に入力される信号及び遅延素子が入力する信号の波形の一例を示す図；

図10は、図8の有機ELディスプレイに採用可能な画素回路の一例を示す等価回路図；

図11は、図8の有機ELディスプレイに採用可能な画素回路の他の例を示す等価回路図；及び

図12は、図8の有機ELディスプレイに採用可能な画素回路のさらに他の例を示す等価回路図。

20

【発明を実施するための最良の形態】

本発明の幾つかの態様について、図面を参照しながら説明する。以下の各態様では、一例として、本発明を有機ELディスプレイに適用する。

図2は、本発明の第1態様に係る有機ELディスプレイを概略的に示す平面図である。

図3は、図2に示す有機ELディスプレイの画素に採用可能な構造の一例を概略的に示す平面図である。

この有機ELディスプレイ1は、例えばガラス等の絶縁基板10を含んでいる。基板10上には、マトリクス状に配列した複数の画素と、これら画素を駆動する駆動回路とが配置されている。

駆動回路は、映像信号線ドライバ11と、走査信号線ドライバ12と、映像信号線ドライバ11に接続された映像信号線35と、走査信号線ドライバ12に接続された走査信号線である制御線36と、第1電源線31と、第2電源線34とを含んでいる。この駆動回路は、外部から供給される制御信号YST, YCLK, XST及びXCLK、電源電位Vdd及びVss、並びにデータ信号Iinに基づいて、各画素回路を駆動する。

30

各画素は、表示素子20と、この表示素子20を駆動する画素回路とを含んでいる。画素回路と表示素子20とは、電位Vddに設定される第1電源端子と電位Vssに設定される第2電源端子との間で直列に接続されている。第1及び第2電源端子は、それぞれ、第1電源線31及び第2電源線34に接続されている。なお、ここでは、電位Vddは、電位Vssより高電位となるよう設定されている。

表示素子20は、対向した一对の電極と、それらの間に介在した活性層(active layer)とを含んでいる。なお、ここでいう「活性層」は、電極間に印加する電圧に応じて輝度や透過率などの光学特性が変化する層である。この例では、表示素子20は、有機EL素子であり、活性層として、有機発光層を含んだ有機物層を有している。

40

画素回路は、駆動制御素子30と、キャパシタ38と、第1スイッチ37と、第2スイッチ32と、第3スイッチ33とを含んでいる。駆動制御素子30及びスイッチ37, 32及び33としては、例えば、第1導電型の電界効果トランジスタを使用することができる。この例では、駆動制御素子30及びスイッチ37, 32及び33として、pチャネル薄膜トランジスタを使用している。

駆動制御素子30の第1端子、すなわちソース、は、電位Vddに設定される第1電源端子に接続されている。キャパシタ38は、一方の電極が駆動制御素子30の制御端子、

50

すなわちゲート，と接続され、映像信号に対応した駆動制御素子30の第1端子及び制御端子間の電位差を保つ。ここでは、キャパシタ38は、第1電源端子と駆動制御素子30の制御端子の間に接続されている。第1スイッチ37は、映像信号入力端子と駆動制御素子30の第2端子，すなわちドレイン，との間に接続されている。なお、映像信号入力端子は、映像信号線35に接続されている。第2スイッチ32は、駆動制御素子30のゲートとドレインとの間に接続されている。第1スイッチ37及び第2スイッチ32の制御端子，すなわちゲート，は、走査信号線である制御線36に接続されている。第3スイッチ33は、駆動制御素子30のドレインと表示素子20の第1電極21との間に接続されている。

この例では、第1電極21は陽極であり、表示素子20の第2電極は、電位 $V_{ss}$ に設定される第2電源端子に接続された陰極である。また、この例では、キャパシタ38を接続すべき定電位端子として第1電源端子を使用しているが、キャパシタ38は他の定電位端子と駆動制御素子30の制御端子との間に接続してもよい。

この有機ELディスプレイ1では、各画素列に含まれるスイッチ37の入力端子，すなわちソース，は、列毎に共通の1本の映像信号線35に接続されている。映像信号線35には、映像信号線ドライバ11から、入力信号或いは映像信号 $I_{in}$ として信号電流が供給される。

また、各画素行に含まれるスイッチ37及び32の制御端子，すなわちゲート，は、行毎に共通に1本の走査信号線36に接続されている。走査信号線36には、走査信号線ドライバ12から、走査信号 $S_{can}$ として電圧信号が順次供給される。

なお、この有機ELディスプレイ1から少なくとも表示素子20の一方の電極及び活性層を除いたものがアクティブマトリクス基板に相当する。このアクティブマトリクス基板は、絶縁基板10と、映像信号線35、走査信号線36及び電源線などの配線と、画素回路とを含む。また、このアクティブマトリクス基板は、任意に、映像信号線ドライバ11、走査信号線ドライバ12、及び表示素子20の第1電極21を含むことができる。

この有機ELディスプレイ1では、第1スイッチ37及び第2スイッチ32は、同一の積層構造を有することができ、同時に形成することができる。例えば、これら第1スイッチ37及び第2スイッチ32は、半導体層にポリシリコンを用いたトップゲート構造を有し且つ同時に形成した薄膜トランジスタである。

本態様では、第1スイッチ37と第2スイッチ32とは、第1スイッチ37のチャンネル長 $L_1$ を第2スイッチ32のチャンネル長 $L_2$ よりも短く設定すること以外は、互いに等しい構造を有するように設計する。これにより、より浅い閾値 $V_{th1}$ を有する第1スイッチ37と、より深い閾値 $V_{th2}$ を有する第2スイッチ32とを得る。

例えば、第1スイッチ37及び第2スイッチ32として、半導体層にポリシリコンを用いたトップゲート構造(コプラナ型)の薄膜トランジスタを使用する。これら第1スイッチ37及び第2スイッチ32には同一の積層構造を採用し、それらは同時に形成する。また、例えば、第1スイッチ37及び第2スイッチ32のチャンネル幅を何れも $3\mu m$ とし、第1スイッチ37及び第2スイッチ32のチャンネル長は、例えば、それぞれ $3\mu m$ 及び $4.5\mu m$ とする。こうすると、より浅い閾値 $V_{th1}$ を有する第1スイッチ37と、より深い閾値 $V_{th2}$ を有する第2スイッチ32とが得られる。

それぞれの画素回路において、第1スイッチ37及び第2スイッチ32のゲートは、同一の走査信号線36に接続されている。そのため、第1スイッチ37及び第2スイッチ32のゲートには、同一の制御信号が同時に供給される。

同一のOFF信号を第1スイッチ37及び第2スイッチ32のゲートに同時に供給した場合、より深い閾値 $V_{th2}$ を有する第2スイッチ32は、より浅い閾値 $V_{th1}$ を有する第1スイッチ37のOFF動作に先立って、OFF動作を開始する。すなわち、この有機ELディスプレイ1では、第1スイッチ37が非接続状態となる前に、第2スイッチ32を非接続状態とすることができる。

それゆえ、第2スイッチ32のOFF動作が第1スイッチ37のOFF動作に先行すること、及び、それに起因して駆動制御素子30のゲート-ソース間電圧が変動することを

10

20

30

40

50

防止することができる。したがって、階調つぶれや輝度の面内不均一が生じるのを抑制することが可能となり、比較的少ない配線数で優れた表示品位を実現することができる。

第1スイッチ32及び第2スイッチ37のチャンネル長は、画素回路に含まれる他のトランジスタ、キャパシタ、配線などの配置に支障をきたさない範囲で適宜設定することができる。

第3スイッチ33及び駆動制御素子30には、第1スイッチ32及び第2スイッチ37とほぼ等しい構造を有するように設計することができる。例えば、駆動制御素子30並びに第1乃至第3スイッチ32, 37及び33として、第1導電型の薄膜トランジスタを使用し、これらを同時に形成してもよい。この場合、比較的少ない工程で画素回路を形成することができる。

10

次に、この有機ELディスプレイ1の動作について、より詳細に説明する。

図4は、図1の有機ELディスプレイの駆動方法の一例を示すタイミングチャートである。

走査信号線ドライバ12は、第1スイッチ37及び第2スイッチ32を導通状態とする走査信号Scanを、走査信号線36に順次出力する。走査信号Scanの立上り及び立下りは、配線抵抗や容量に起因して緩やかになっている。例えば、図4に示すように、走査信号Scanの電位波形は、時定数分だけ鈍っている。

また、走査信号線ドライバ12は、第3スイッチ33を導通状態とする制御信号Gを、第3スイッチ33の行に順次出力する。発光期間は、第3スイッチ33が導通状態にある期間である。ここでは、行単位で映像信号の書き込みを行い、或る行の書き込みをしている期間を他の行の発光期間としている。通常、信号書き込み期間においては、第3スイッチ33は非導通状態とし、表示素子30と画素回路とを電氣的に絶縁しておく。

20

書き込み期間では、走査信号線36には、第1スイッチ37及び第2スイッチ32を導通状態とする走査信号Scanが供給される。これにより、まず、より浅い閾値Vth1を有する第1スイッチ37が導通状態となり、次いで、より深い閾値Vth2を有する第2スイッチ32が導通状態となる。この際、映像信号線ドライバ11から映像信号線35を介して画素回路に入力信号Inを供給する。すなわち、入力信号Inに対応した駆動電流を駆動制御素子に流す。これにより、駆動制御素子30のゲート電位は、入力信号Inに対応した値に設定される。

その後、走査信号線ドライバ12から走査信号線36に供給される走査信号Scanは、第1スイッチ37及び第2スイッチ32を導通状態とするON信号から、それらを非導通状態とするOFF信号へと変化する。これに伴い、まず、より深い閾値Vth2を有する第2スイッチ32が非導通状態となり、次いで、より浅い閾値Vth1を有する第1スイッチ37が非導通状態となる。そのため、キャパシタ38からの電荷のリークが防止され、駆動制御素子30のゲート電位は入力信号Inに対応した値に維持される。

30

発光期間では、第3スイッチ33は、これに供給される制御信号Gによって導通状態となる。駆動制御素子30のゲート電位は入力信号Inに対応した値に維持されているので、有機EL素子20には入力信号Inとほぼ等しい電流が流れる。すなわち、有機EL素子20は、入力信号Inに応じた輝度で発光する。

このように、本態様では、第2スイッチ32のチャンネル長L2を第1スイッチ37のチャンネル長L1よりも長く設定する。こうすると、第2スイッチ32の閾値Vth2は、第1スイッチ37の閾値Vth1よりも深くなる。その結果、第1スイッチ37及び第2スイッチ32のゲートに同一のOFF信号を供給した場合に、第1スイッチ37が非導通状態となるのに先立って、第2スイッチ32を非導通状態とすることができる。したがって、本態様によると、階調つぶれや輝度の面内不均一が抑制された有機ELディスプレイ1を実現することができる。

40

なお、上述の態様において、第1スイッチ37及び第2スイッチ32のそれぞれは、ソース及びドレイン間に1つのチャンネルを有しているが、これらスイッチは他の構造を有していてもよい。例えば、第1スイッチ37及び第2スイッチ32には、ソース及びドレイン間に複数のチャンネルを有するマルチゲート構造を採用してもよい。この場合、第2スイ

50

ツチ 3 2 の合計チャネル長  $L_2$  ( $= L_2' + L_2'' + \dots$ ) が、第 1 スイッチ 3 7 の合計チャネル長  $L_1$  ( $= L_1' + L_1'' + \dots$ ) よりも長ければ、先に説明したのと同様の効果を得ることができる。

図 5 は、図 3 の画素構造の一変形例を概略的に示す平面図である。マルチゲート構造は、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 の一方または双方に採用することができる。但し、OFF 電流が表示動作に与える影響を抑制する観点では、図 5 に示すように第 2 スイッチ 3 2 にマルチゲート構造を採用することが望ましい。

第 1 スイッチ 3 7 と第 2 スイッチ 3 2 との閾値の差は、0.2 V 乃至 1 V 程度であることが望ましい。この場合、より確実に、第 1 スイッチ 3 7 が非導通状態となるのに先立って、第 2 スイッチ 3 2 を非導通状態とすることができる。

上述の態様においては、チャネル長を利用して第 1 スイッチ 3 7 と第 2 スイッチ 3 2 とで閾値を異ならしめたが、それらの閾値は他の方法で異ならしめることもできる。例えば、チャネル数を利用して第 1 スイッチ 3 7 と第 2 スイッチ 3 2 とで閾値を異ならしめてもよい。すなわち、チャネル長の合計値が同一であっても、第 2 スイッチ 3 2 のチャネル数が第 1 スイッチ 3 7 のチャネル数よりも多い場合、第 2 スイッチ 3 2 の閾値は第 1 スイッチ 3 7 の閾値よりも深くなる。

或いは、第 1 スイッチ 3 7 と第 2 スイッチ 3 2 とで不純物のドーズ量を異ならしめてもよい。例えば、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 として p チャネル薄膜トランジスタを使用した場合、第 1 スイッチ 3 7 のチャネルへの p タイプドーパントのドーズ量が、第 2 スイッチ 3 2 のチャネルへの p タイプドーパントのドーズ量よりも多ければ、第 2 スイッチ 3 2 の閾値は第 1 スイッチ 3 7 の閾値よりも深くなる。

不純物のドーズ量が異なる第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 は、例えば、以下の方法で作製することができる。すなわち、薄膜トランジスタを形成する通常のプロセスにおいて、第 1 スイッチ 3 7 のチャネル領域に不純物をドーブする回数を、第 2 スイッチ 3 2 のチャネル領域に不純物をドーブする回数よりも多くする。例えば、まず、第 1 スイッチ 3 7 及び第 2 スイッチ 3 2 のチャネル領域に不純物をドーブする。次いで、フォトレジストを用いて、第 2 スイッチ 3 2 のチャネル領域をマスクする。続いて、第 1 スイッチ 3 7 のチャネル領域に不純物をさらにドーブする。こうすると、第 1 スイッチ 3 7 のチャネルへのドーパントのドーズ量は、第 2 スイッチ 3 2 のチャネルへの p タイプドーパントのドーズ量よりも多くなる。

不純物のドーズ量を利用して第 1 スイッチ 3 7 と第 2 スイッチ 3 2 とで閾値を異ならしめる場合、それらスイッチ間でドーズ量は  $1 \times 10^{11} \text{ cm}^{-2}$  乃至  $5 \times 10^{11} \text{ cm}^{-2}$  程度異なっていることが望ましい。この場合、より確実に、第 1 スイッチ 3 7 が非導通状態となるのに先立って、第 2 スイッチ 3 2 を非導通状態とすることができる。

第 1 スイッチ 3 7 の閾値と第 2 スイッチ 3 2 の閾値とは、さらに他の方法で異ならしめることができる。

図 6 は、第 1 スイッチに採用可能な構造の一例を概略的に示す断面図である。図 7 は、第 2 スイッチに採用可能な構造の一例を概略的に示す断面図である。

図 6 に示す第 1 スイッチ 3 7 は、トップゲート型の p チャネル薄膜トランジスタである。この薄膜トランジスタは、ソース S 及びドレイン D とそれらの間に介在したチャネル Ch とが形成された半導体層を含んでいる。チャネル Ch の上方には、ゲート絶縁膜 GI を介してゲート TG が配置されている。ゲート TG は層間絶縁膜 II で被覆されており、層間絶縁膜 II 上にはソース電極 SE 及びドレイン電極 DE が形成されている。これらソース電極 SE 及びドレイン電極 DE は、ゲート絶縁膜 GI 及び層間絶縁膜 II に形成されたスルーホールを介してソース S 及びドレイン D にそれぞれ接続されている。

図 7 に示す第 2 スイッチ 3 2 は、チャネル Ch の下方に絶縁膜 BI を介してバックゲート BG が配置されていること以外は、図 6 に示す第 1 スイッチ 3 7 と同様の構造を有している。このバックゲート BG には、第 2 スイッチ 3 2 の閾値を深くするバイアスを印加する。例えば、第 2 スイッチ 3 2 のバックゲート BG とソース S との間の電圧を、+ 0.2 V 乃至 + 1.0 V 程度に設定する。

10

20

30

40

50

第1スイッチ37及び第2スイッチ32に図6及び図7の構造をそれぞれ採用すると、第2スイッチ32の閾値は第1スイッチ37の閾値よりも深くなる。したがって、この場合も、第2スイッチ32を第1スイッチ37よりも先に非導通状態とすることができる。

なお、図6及び図7にはトップゲート型の薄膜トランジスタを例示したが、第1スイッチ37及び第2スイッチ32としては、ボトムゲート型の薄膜トランジスタを用いてもよい。この場合も、第2スイッチ32にバックゲート構造を採用すれば、第2スイッチ32の閾値は第1スイッチ37の閾値よりも深くなる。なお、ここでいうバックゲートとは、制御端子に対してゲート絶縁膜及び半導体層を介して対向配置されるゲートである。

第1態様で説明した技術は、互いに組み合わせることができる。すなわち、第1スイッチ37と第2スイッチ32とで閾値を異ならしめるために、チャンネル長を利用する方法、チャンネル数を利用する方法、不純物のドーザ量を利用する方法、及びバックゲート構造を利用する方法の2つ以上を組み合わせてもよい。

第1態様では、第2スイッチ32を第1スイッチ37よりも先に非導通状態とするために、第1スイッチ37及び第2スイッチ32の閾値を異ならしめた。このようなスイッチングの時間差は、他の方法でも生じさせることができる。

図8は、本発明の第2態様に係る有機ELディスプレイを概略的に示す平面図である。この有機ELディスプレイ1は、以下の構造を除き、図1の有機ELディスプレイ1と同様の構造を有している。すなわち、図8の有機ELディスプレイ1では、第1スイッチ37と第2スイッチ32とが同一の構造を有している。加えて、このディスプレイ1では、第1スイッチ37の制御端子が遅延素子39を介して走査信号線36に接続され、第2スイッチ32の制御端子は走査信号線36に直接接続されている。なお、図8の有機ELディスプレイ1は、第1態様で図4を参照しながら説明したのと同様の方法により駆動することができる。

図9は、遅延素子に入力される信号及び遅延素子が出力する信号の波形の一例を示す図である。

遅延素子39は、第1スイッチ37のスイッチングを遅らせる役割を果たす。例えば、図9に示すように、遅延素子39は、これに入力された走査信号Scanの立上がり及び立下りを緩やかにして第1スイッチ37の制御端子へと出力する。他方、第2スイッチ37の制御端子には、遅延素子39に入力されたのと同じの走査信号Scanが供給される。そのため、第1スイッチ37の閾値と第2スイッチ32の閾値とがほぼ等しければ、走査信号線ドライバ12から走査信号線36にOFF信号を供給した場合に、第2スイッチ32は第1スイッチ37よりも先に非導通状態となる。

このように、図8の有機ELディスプレイ1でも、第2スイッチ32を第1スイッチ37よりも先に非導通状態とすることができる。したがって、本態様によると、階調つぶれや輝度の面内不均一が抑制された有機ELディスプレイ1を実現することができる。

遅延素子39としては、様々な素子を利用することができる。

図10は、図8の有機ELディスプレイに採用可能な画素回路の一例を示す等価回路図である。

この画素回路では、遅延素子39として抵抗素子39Rを使用している。この場合、図9に示すように、第1スイッチ37の制御端子に供給される信号は、第2スイッチ32の制御端子に供給される信号に対して遅延する。

抵抗素子39Rとしては、例えば、ポリシリコン層を使用してもよい。抵抗素子39Rとして使用するポリシリコン層は、駆動制御素子30や各種スイッチのポリシリコン層と同時に形成することができる。

抵抗素子39Rには、ポリシリコン層として、例えば、 $n^+$ 型ポリシリコン層や $p^+$ 型ポリシリコン層や $i$ 型ポリシリコン層などを使用することができる。これらポリシリコン層の中でも、 $i$ 型ポリシリコン層は最も比抵抗が大きい。そのため、 $i$ 型ポリシリコン層を使用すると、抵抗素子39Rの寸法を小さくした場合でも、第1スイッチ37のスイッチングを第2スイッチ32のスイッチングに対して十分に遅延させることができる。例えば、抵抗素子39Rの面積を $400\mu\text{m}^2$ 乃至 $1000\mu\text{m}^2$ 程度とすることができる。

10

20

30

40

50

図 1 1 は、図 8 の有機 E L ディスプレイに採用可能な画素回路の他の例を示す等価回路図である。

この画素回路では、遅延素子 3 9 として、第 1 スイッチ 3 7 の制御端子から走査信号線 3 6 へと順方向電流を流すように接続されたダイオード 3 9 D を使用している。このような画素回路では、走査信号 S c a n が立下がると、ダイオード 3 9 D に順方向電流が流れる。そのため、走査信号 S c a n の立下がりから遅延することなく或いは僅かに遅延して、第 1 スイッチ 3 7 の制御端子に O N 信号が供給される。また、走査信号 S c a n が立上ると、逆バイアスがダイオード 3 9 D に加わり、ダイオード 3 9 D にリーク電流が流れる。そのため、走査信号 S c a n の立上がりから遅延して、第 1 スイッチ 3 7 の制御端子に O F F 信号が供給される。すなわち、図 1 1 の画素回路でも、第 1 スイッチ 3 7 の制御端子に供給される O F F 信号は、第 2 スイッチ 3 2 の制御端子に供給される O F F 信号に対して遅延する。

10

ダイオード 3 9 D としては、例えば、ダイオード接続された薄膜トランジスタを使用することができる。ここでは、図 1 1 に示すように、ダイオード 3 9 D として、第 1 スイッチ 3 7 の制御端子と走査信号線 3 6 との間に接続されるとともに、ゲートがドレインに接続された p チャネル薄膜トランジスタを使用している。このように接続されたトランジスタ 3 9 D は、ダイオードとして機能する。ダイオード 3 9 D としてダイオード接続された薄膜トランジスタを使用した場合、ダイオード 3 9 D は駆動制御素子 3 0 や各種スイッチと同時に形成することができる。

図 1 2 は、図 8 の有機 E L ディスプレイに採用可能な画素回路のさらに他の例を示す等価回路図である。この画素回路では、遅延素子 3 9 として、第 1 ダイオード 3 9 D 1 及び第 2 ダイオード 3 9 D 2 を使用している。これらダイオード 3 9 D 1 及び 3 9 D 2 は、第 1 スイッチ 3 7 の制御端子と第 2 スイッチ 3 2 の制御端子との間で並列に接続されている。また、第 1 ダイオード 3 9 D 1 の順方向と第 2 ダイオード 3 9 D 2 の順方向とは逆向きである。

20

このような画素回路では、走査信号 S c a n が立下がると、第 1 ダイオード 3 9 D 1 に順方向電流が流れる。すなわち、走査信号 S c a n が立下がりに伴い、第 1 スイッチ 3 7 の制御端子に O N 信号が供給される。また、走査信号 S c a n が立上ると、第 2 ダイオード 3 9 D 2 に順方向電流が流れる。第 2 ダイオード 3 9 D 2 の順方向抵抗は、走査信号 S c a n の立上がりから遅延して、第 1 スイッチ 3 7 の制御端子に O F F 信号が供給されるように設定する。このようにダイオード 3 9 D 1 及び 3 9 D 2 の順方向抵抗を設定すると、第 1 スイッチ 3 7 の制御端子に供給される O F F 信号は、第 2 スイッチ 3 2 の制御端子に供給される O F F 信号に対して遅延する。

30

図 1 2 の画素回路では、第 1 スイッチ 3 7 の制御端子に供給すべき O N 信号の遅延時間は、第 1 ダイオード 3 9 D 1 の順方向抵抗に応じて調節することができる。また、この画素回路では、第 1 スイッチ 3 7 の制御端子に供給すべき O F F 信号の遅延時間は、第 2 ダイオード 3 9 D 2 の順方向抵抗に応じて調節することができる。すなわち、O F F 信号の遅延時間を、O N 信号の遅延時間とは独立して設定することができる。そのため、画素回路に図 1 2 の構造を採用した場合、より高い自由度での設計が可能である。

ダイオード 3 9 D 1 及び 3 9 D 2 としては、例えば、ダイオード接続された薄膜トランジスタを使用することができる。ここでは、図 1 2 に示すように、第 1 ダイオード 3 9 D 1 として、第 1 スイッチ 3 7 の制御端子と走査信号線 3 6 との間に接続されるとともに、ゲートがドレインに接続された p チャネル薄膜トランジスタを使用している。また、第 2 ダイオード 3 9 D 2 としては、第 1 スイッチ 3 7 の制御端子と走査信号線 3 6 との間に接続されるとともに、ゲートがソースに接続された p チャネル薄膜トランジスタを使用している。このように接続されたトランジスタ 3 9 D 1 及び 3 9 D 2 は、順方向が逆向きのダイオードとして機能する。ダイオード 3 9 D 1 及び 3 9 D 2 としてダイオード接続された薄膜トランジスタを使用した場合、ダイオード 3 9 D 1 及び 3 9 D 2 は駆動制御素子 3 0 や各種スイッチと同時に形成することができる。

40

第 2 態様で説明した技術は、互いに組み合わせることができる。例えば、遅延素子 3 9

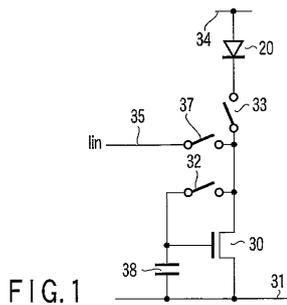
50

として、抵抗素子 39 R とダイオード 39 D とを直列に接続したものを使用してもよい。  
 或いは、遅延素子 39 として、抵抗素子 39 R とこれに並列に接続されたダイオード 39 D 1 及び D 2 とを使用してもよい。

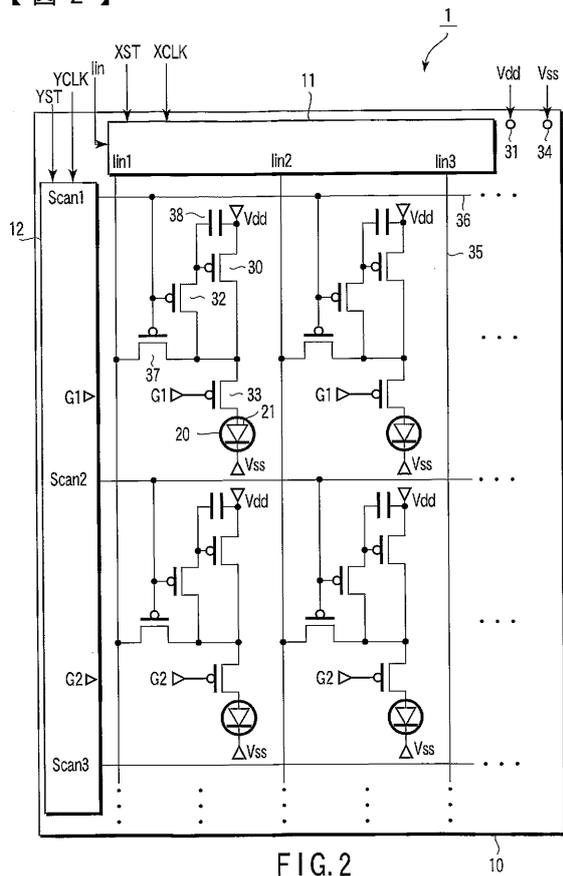
上述した第 1 態様及び第 2 態様の技術は、互いに組み合わせることができる。すなわち、第 1 態様で説明したように第 1 スイッチ 37 及び第 2 スイッチ 32 の閾値を異ならしめるとともに、画素回路に第 2 態様で説明した遅延素子 39 を設けてもよい。

さらなる利益及び変形は、当業者には容易である。それゆえ、本発明は、そのより広い側面において、ここに記載された特定の記載や代表的な態様に限定されるべきではない。したがって、添付の請求の範囲及びその等価物によって規定される本発明の包括的概念の真意または範囲から逸脱しない範囲内で、様々な変形が可能である。

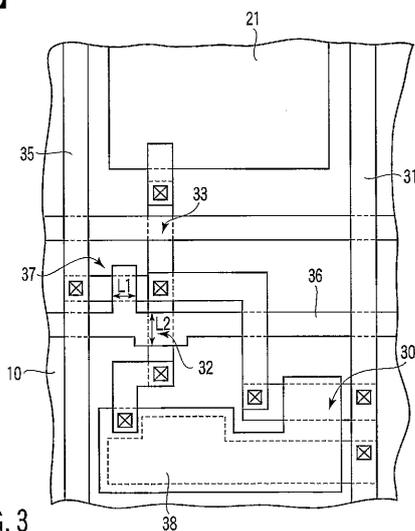
【 図 1 】



【 図 2 】



【 図 3 】



【 図 4 】

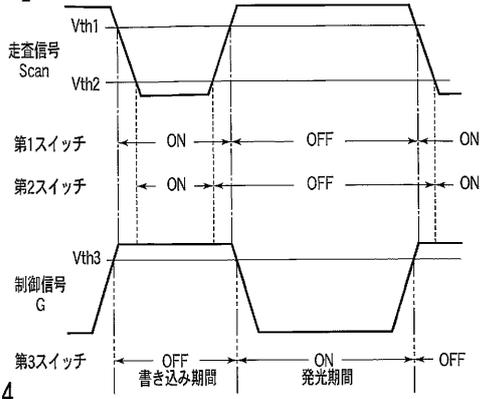


FIG.4

【 図 5 】

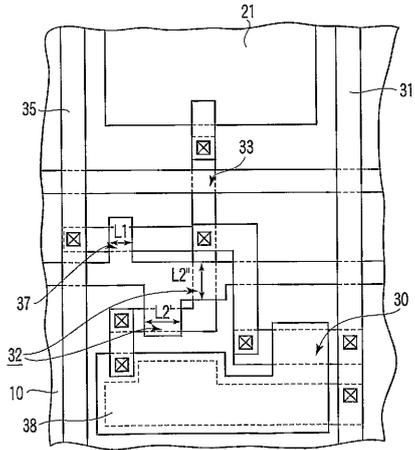


FIG.5

【 図 8 】

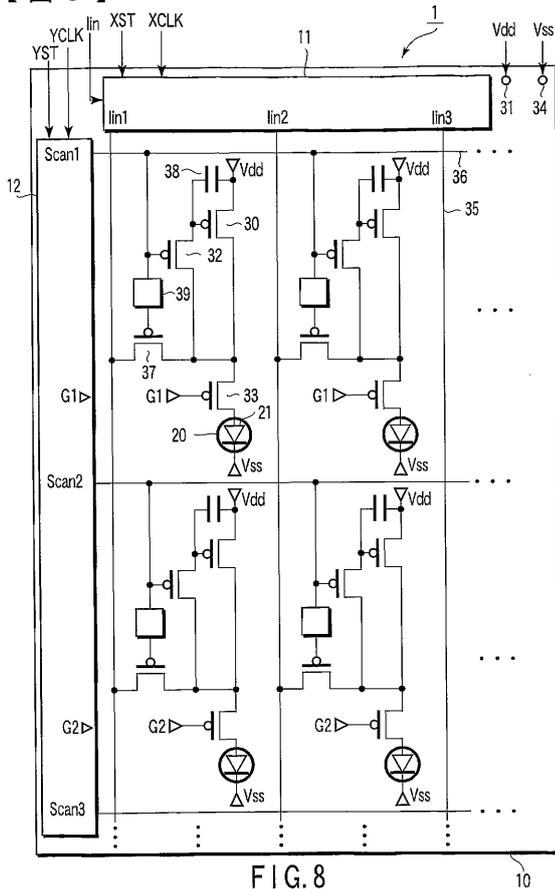


FIG.8

【 図 6 】

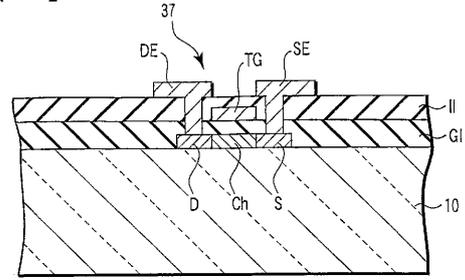


FIG.6

【 図 7 】

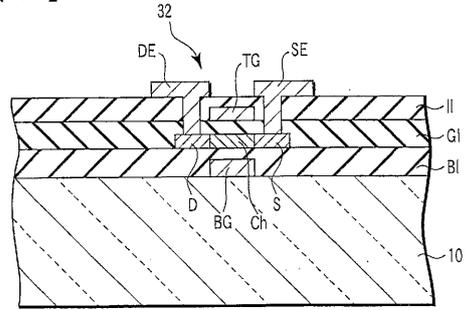


FIG.7

【 図 9 】

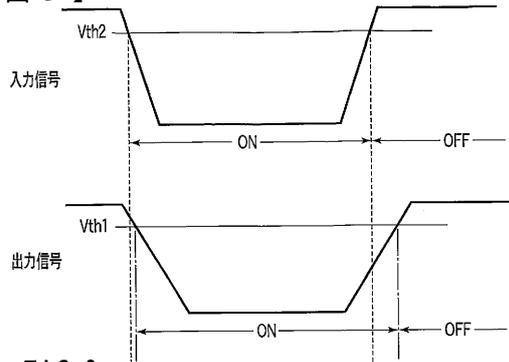


FIG.9

【 図 10 】

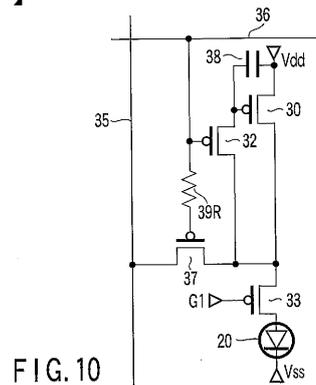


FIG.10



## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/JP03/14705

| A. CLASSIFICATION OF SUBJECT MATTER<br>Int.Cl. <sup>7</sup> G09G3/30, 3/20, G09F9/30, H05B33/14   |   |  |
|---|---|--|
| According to International Patent Classification (IPC) or to both national classification and IPC   |   |  |
| B. FIELDS SEARCHED<br>Minimum documentation searched (classification system followed by classification symbols)<br>Int.Cl. <sup>7</sup> G09G3/30, 3/20, G09F9/30, H05B33/14   |   |  |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched<br>Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004<br>Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004   |   |  |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)  |   |  |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT  |   |  |
| Category*   | Citation of document, with indication, where appropriate, of the relevant passages  | Relevant to claim No.  |
| Y   | JP 2002-514320 A (Sarnoff Corp.),<br>14 May, 2002 (14.05.02),<br>Page 12, lower right column, line 14 to page 17,<br>upper left column, line 11; Figs. 2 to 3<br>& WO 98/48403 A1 & EP 978114 A1<br>& US 9229506 B1 & KR 2001020114 A | 1, 14-15   |
| Y   | JP 2001-147659 A (Sony Corp.),<br>29 May, 2001 (29.05.01),<br>Par. Nos. [0023] to [0024]; Figs. 4 to 5<br>& EP 1102234 A2 & KR 2001051698 A<br>& US 6501466 B1  | 1, 14-15   |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.   |   |  |
| * Special categories of cited documents:<br>"A" document defining the general state of the art which is not considered to be of particular relevance<br>"E" earlier document but published on or after the international filing date<br>"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)<br>"O" document referring to an oral disclosure, use, exhibition or other means<br>"P" document published prior to the international filing date but later than the priority date claimed |   | "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention<br>"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone<br>"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art<br>"&" document member of the same patent family |
| Date of the actual completion of the international search<br>10 February, 2004 (10.02.04)   |   | Date of mailing of the international search report<br>24 February, 2004 (24.02.04)   |
| Name and mailing address of the ISA/<br>Japanese Patent Office  |   | Authorized officer   |
| Facsimile No.   |   | Telephone No.  |

| 国際調査報告   |   | 国際出願番号 PCT/JPO3/14705   |  |
|--|---|---|--|
| A. 発明の属する分野の分類 (国際特許分類 (IPC))  |   |   |  |
| Int. cl <sup>1</sup> G09G3/30, 3/20, G09F9/30, H05B33/14   |   |   |  |
| B. 調査を行った分野  |   |   |  |
| 調査を行った最小限資料 (国際特許分類 (IPC))   |   |   |  |
| Int. cl <sup>1</sup> G09G3/30, 3/20, G09F9/30, H05B33/14   |   |   |  |
| 最小限資料以外の資料で調査を行った分野に含まれるもの   |   |   |  |
| 日本国実用新案公報 1922-1996年<br>日本国公開実用新案公報 1971-2004年<br>日本国登録実用新案公報 1994-2004年<br>日本国実用新案登録公報 1996-2004年 |   |   |  |
| 国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)  |   |   |  |
| C. 関連すると認められる文献  |   |   |  |
| 引用文献の<br>カテゴリー*  | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示   | 関連する<br>請求の範囲の番号  |  |
| Y  | JP 2002-514320 A (サーノフ コーポレーション)<br>2002. 05. 14, 第12頁右下欄第14行~第17頁左上欄第11行<br>【図2】 ~ 【図3】 & WO 98/48403 A1 & EP 978114 A1<br>& US 6229506 B1 & KR 2001020114 A | I, 14-15  |  |
| Y  | JP 2001-147659 A (ソニー株式会社)<br>2001. 05. 29, 【0023】 ~ 【0024】 , 【図4】 ~ 【図5】<br>& EP 1102234 A2 & KR 2001051698 A & US 6501466 B1                                | I, 14-15  |  |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。  |   | <input type="checkbox"/> パテントファミリーに関する別紙を参照。                        |  |
| * 引用文献のカテゴリー   |   | の日の後に公表された文献  |  |
| 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの  |   | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |  |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの   |   | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |  |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)                                     |   | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |  |
| 「O」 口頭による開示、使用、展示等に言及する文献  |   | 「&」 同一パテントファミリー文献   |  |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願   |   |   |  |
| 国際調査を完了した日<br>10. 02. 2004   |   | 国際調査報告の発送日<br>24. 2. 2004   |  |
| 国際調査機関の名称及びあて先<br>日本国特許庁 (ISA/JP)<br>郵便番号 100-8915<br>東京都千代田区霞が関三丁目4番3号                            |   | 特許庁審査官 (権限のある職員)<br>濱本 禎広<br>2G 9509<br>電話番号 03-3581-1101 内線 3226   |  |

## フロントページの続き

| (51) Int.Cl. | F I           | テーマコード(参考) |
|--------------|---------------|------------|
|              | H 0 5 B 33/14 | A          |
|              | H 0 1 L 29/78 | 6 1 2 B    |
|              | H 0 1 L 29/78 | 6 1 7 N    |
|              | H 0 1 L 29/78 | 6 1 8 F    |

(72)発明者 澁沢 誠

日本国埼玉県深谷市上柴町東2-10-4 コーポ静203

Fターム(参考) 3K007 AB02 AB11 AB17 BA06 DB03 GA00 GA04

5C080 AA06 DD05 DD29 EE29 FF11 HH09 JJ02 JJ03 JJ04 JJ06

5F110 AA09 BB02 CC02 DD02 EE30 GG02 GG13 GG28 GG29 GG34

NN71 NN72

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。