

199938



申請日期	80.1.4
案號	80100079
類別	H:16 2 1/2

A4
C4

(以上各欄由本局填註)

(80100079)

發明
新型 專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 名稱	中文	一種在雙極性互補式金氧半製程中形成一厚層基極 氧化物之方法
	英文	A METHOD FOR FORMING A THICK BASE OXIDE IN A BICMOS PROCESS
二、發明 人	姓名	1 史考特 (SCOTT H. PRENGLE) 2 羅勃特 (ROBERT H. EKLUND)
	籍貫 (國籍)	1 - 2 美國
	住、居所	1 美國德州派拉諾市湖丘路1808號 1808 Lake Hill Lane, Plano, Texas 75023, USA 2 美國德州派拉諾市約書亞街1121號 1121 Joshua Tree Drive, Plano, Texas 75023, USA
三、申請人	姓名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	籍貫 (國籍)	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯城北中央高速道13500號 13500 North Central Expressway, Dallas, Texas 75265, U.S.A.
	代表人 姓名	麥雷斯 N. Rhys Merrett

經濟部中央標準局印製

五、發明說明(1)

本發明之領域係關於積體電路，尤指於同一積體電路上製造雙極性及互補式金氧半電晶體之方法。

發明之背景

如眾所周知，數位及線性功能經常係由使用雙極性或金氧半(MOS)技術之積體電路執行之。當然，雙極性積體電路能夠提供較MOS電路更快的操作速度及更大的驅動電流，惟須損失更高的功率消耗，尤其是與互補式金氧半(CMOS)電路比較的話。近來製造技術上的進步，已能容許將雙極性及互補式金氧半電晶體二者同時使用於同一積體電路中(通常稱為雙極性互補式金氧半裝置)。雙極性互補式金氧半導體之結構及製法之實例係說明於1987年1月30日申請之S.N. 008,910, 1987年12月7日申請之S.N. 129,261, 及1989年6月12日申請之S.N. 366,224申請案中，其中S.N. 366224號申請案係為1987年12月7日申請之S.N. 129,261號申請案(已放棄)之繼續申請案；該等申請案皆已讓渡給德州儀器公司。

雙極性互補式金氧半裝置(BiCMOS)之形成當然得經由下述完成：依習知技術將雙極式電晶體形成於裝置之選定區域中，依習知技術，將金氧半電晶體形成於裝置之選定區域中，以及使兩種型式之電晶體互連。然而，自製程觀點言，各型電晶體之某些特性使其不易與另一型式電晶體相容，而需要大量的製程步驟以形成各型電晶體。因此，於製造此等BiCMOS電路時以使用對兩種型式

五、發明說明(2)

電晶體皆有利之結構為宜，俾令製程複雜性及成本減低至最小程度。然而，此種結構組件與製程步驟之雙重利用通常會造成製程對雙極性電晶體，或對金氧半電晶體，或對二者言，並非最佳化。

於此種結構中形成雙極性電晶體之先前方法，例如前述 S.N. 008,910 號專利申請案所述之方法，係於擴散基極區與重疊射極電極（通常由聚矽形成）之間形成薄層氧化物。基極上方之薄層氧化物通常係於與金氧半電晶體之閘極氧化物之形成步驟相同之步驟中形成，因此其厚度通常為 20nm。

然而，使基極區與射極電極分開之薄層氧化物會引發某些問題。第一，雙極性電晶體之性能會劣化，因為射極基極間電容增大。當然，此種電容會因其間之介質厚度減小而增大，致使射極與基極區間之介質厚度以較厚為宜。此外，射極電極與基極區間之薄層介質先天上較不能耐受諸如接觸蝕刻，矽化、金屬沉積及燒結等隨後製程步驟所產生之應力。再者，薄層介質亦有促使形成於氧化物上之用以將重疊金屬化層連至射極電極之觸點漏電至基極區之虞。假如觸點過蝕刻貫穿射極電極，即會發生此種情形，其時射極電極下面之介質將進一步變薄，繼而進一步增大射極基極間電容。在極端情形下，介質可能被完全蝕刻貫穿，而使重疊金屬及射極電極對基極區形成短路。

五、發明說明(3)

上述 S.N. 008,910 號對照申請案所述之方法係於基極區上方使用薄層金氧半閘氧化物薄層介質，其係藉由使對聚矽射極電極之觸點形成於遠離對基極區之觸點之位置處，以防止應力及過蝕刻問題。此種組態並不能解決射極基極間之電容問題，而且增加了使射極電阻增大的缺點。

前述審查中之 S.N. 366,224 號申請案中所述之方法係揭示於 BiCMOS 製程中形成雙極性電晶體，其中同一聚矽層被用來形成射極電極及閘電極，惟厚層基極氧化物係設在射極電極下方而非設在閘極電極下面。此係藉由將阻止氧化用之材料如氮化矽放置在預備形成金氧半電晶體之區域上面，而非放置在基極區上面，而完成之。然後熱氧化物再形成在基極區上面至所欲厚度，並以氮化物於掩蔽該處之植入劑用之非基極區上面施行本質基極區植入步驟。將氮化物氧化光罩從金氧半區移開，並蝕刻觸點貫穿基極氧化物，作為射極觸點。藉由聚矽沉積步驟、繼而施行傳統的源極／吸極及外質基極植入與擴散步驟，可完成此種結構。

S.N. 366,224 號申請案所述方法係能有效地於射極電極下面形成較金氧半電晶體之閘氧化物厚的氧化物層，因而能提供較低的射極基極間電容，並使射極觸點能設於基極區中。然而，希望能就此種製程之各方面加以改善。首先，希望能減少植入摻雜劑以形成基極區後之高

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

溫加工，以便維持擴散區之最小深度，因為結構之尺寸乃規劃成較小幾何構形者。第二，希望能在與晶片表面上之其它結構（例如擴散區）無關之情形下，來控制基極區上面之氧化物厚度。第三，希望能簡化於BiCMOS結構中形成雙極性電晶體之製程。第四，希望能以不依賴界定觸點開口用之石版印刷術(lithographically)之方法，來規劃貫穿基極氧化物之射極觸點。

因此，本發明之目的在提供一種形成BiCMOS結構用之製程，此種結構之雙極性電晶體之基極與射極間有一沉積介質層，而且金氧半裝置之閘極下面有熱氧化物(thermal oxide)。

本發明之另一目的在提供一種製程，其係能於形成本質基極區後，以較少的熱加工提供較厚的介質層者。

本發明之又一目的在提供一種製程，其係能相對其它結構例如擴散深度而對基極氧化物提供獨立控制者。

本發明之再一目的在提供一種製程，其加工步驟之數目為比較簡單者。

本發明之再一目的在提供一種方法，其中射極觸點係能以非石版印刷法界定，俾得將結構規劃成較小的物理尺寸者。

對於精通本項技藝之人士，可由下列參照附圖之詳細說明，而對本發明之其它目的及優點臻於明瞭。

發明之概要

五、發明說明(5)

本發明之半導體裝置之製法，係藉由於雙極性電晶體之表面除去形成金氧半裝置之閘電極用之聚矽層，來界定雙極性電晶體之基極區。可於除去聚矽層之前或之後，將基極區植入成所欲的雜質濃度。沉積介質（例如由TEOS分解所形成之二氧化矽）再形成在基極區上面達至所欲厚度。然後將本質基極區以外的位置上之沉積介質移開，以便形成射極觸點。於其上形成第二聚矽層以形成射極電極，並與金氧半位置上之第一層合併。然後以石版印刷法來界定及蝕刻金氧半電晶體之閘極及射極電極，再以傳統方法來形成源極／吸極區，集極觸點及外質基極區。

圖式之簡單說明

圖1為本發明第一較佳實施例之BiCMOS半導體結構之橫斷面圖。

圖2a~2j為圖1所示BiCMOS半導體結構之橫斷面圖，顯示其製造過程中之各種不同狀態。

圖3為圖1所示BiCMOS半導體結構之平視圖。

圖4為本發明另一實施例之BiCMOS結構於其某一特殊製造點之橫斷面圖。

圖5為圖4所示實施例之BiCMOS結構於其製造過程之稍後階段中之橫斷面圖。

較佳實施例之詳細說明

參照圖1，來說明本發明較佳實施例之雙極性互補式

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

金氧半(BiCMOS)半導體結構。雖然此種結構包含雙極性及金氧半電晶體，而且下述說明係就雙極性及金氧半電晶體二者加以說明，惟應知在製造僅具有本發明之雙極性電晶體之積體電路時亦可獲致利益。

圖1以橫斷面顯示雙極性電晶體3、p通道金氧半電晶體5及n通道金氧半電晶體7。圖3為圖1之電晶體3、5及7之平視圖。結構係形成於基體2中，於實施例中之基體2為p-型矽。雙極性電晶體3中之埋入式n+區8係充作副集極，並依傳統方法以n+區52提供表面觸點。雙極性電晶體3中之N區20係為其集極區，且該N區20係配置在埋入式n+區8上方。如下文將說明的，n區20係為於供形成埋入式n+區8用之摻雜劑植入步驟之後，生長於基體2上之晶膜層。本質基極69係設於雙極性電晶體3之n區20內之p型區，而射極區80係設於本質基極區69中之n型區。本質基極區69係藉場氧化物32而與擴散集極觸點52隔離。於此實施例中，射極區80係以傳統方法由聚矽射極電極72e之n型摻雜劑擴散形成。外質基極區82為p型區，其摻雜程度較本質基極區69者大。如眾所周知，外質基極區82提供由結構表面至本質基極區69之較低串聯電阻觸點。

p通道金氧半電晶體5形成n型區20，依與雙極性電晶體3相同之方式設置於埋入式n+區8上方。利用相似之n型區20作為雙極性電晶體3之集極區及作為p通道

五、發明說明(7)

金氧半電晶體5之n井,能提供結構製造上之效率。於金氧半電晶體5之n井20下方設置n+區8係可提供遍及n井20之定偏壓,藉以減低結構進入閉鎖情況之趨勢。參照圖3,n+擴散區85得依與前述審查中之S.N. 366,224號申請案所述集極觸點52相似之方式設於n井20中,以便形成由表面至埋入式n+區8之觸點。此種觸點能將n井20偏壓至與電晶體之源極相同之電位。

閘電極72p係設於n井20上方,並藉閘氧化物62與後者隔離。p型源極/吸極區84係以傳統方法依自動對準方式配置於閘電極72p(而側壁氧化物絲極78沿其側邊配置)。為結構製造上之效率起見,p型源極/吸極區84得以與形成雙極性電晶體3之外質基極區82所用相同之離子植入法(及隨後之擴散法)形成。

N通道金氧半電晶體7之構造係與p通道金氧半電晶體5相似,惟當然具備有相反導電型摻雜區。埋入式p區12係依與形成雙極性電晶體3及p通道金氧半電晶體5之埋入式n+區8所用相似之方式形成於基體2中。如前述審查中之S.N. 366,224號申請案所述,雖然對形成動作電路言,埋入式p區12為可隨意選擇者,惟設置埋入式p區12係可減低結構之閉鎖靈敏度(latchup sensitivity)。p井24係依與n型區20相似之方式形成為基體2上方之晶膜層,其摻雜程度較埋入式p區12者輕微。參照圖3,若需要時,得設置p型井觸點區87,

五、發明說明(8)

俾使 p 井 24 之電位與 n 通道金氧半電晶體 7 之源極者相同。

聚矽閘電極 72n 係設置於 p 井 24 上方，並藉閘介質 62 與之隔離。N 型源極 / 吸極區 86 係以自動對準方式相對閘電極 72n 形成，其上形成有側壁氧化物絲極 78。於此實施例中，n 通道金氧半電晶體 7 包含輕度摻雜吸極延伸部，以形成漸變接面，例如如已讓渡給德州儀器公司之 1982 年 11 月 2 日及 1986 年 1 月 28 日頒發之第 4,356,623 及 4,566,175 號美國專利所述。當然，若需要時，n 通道金氧半電晶體 7 亦可設有陡接面。另外須注意的是，得使用可容摻雜劑由之擴散之其它材料作為射極電極 72e 及閘電極 72n、72p，此等材料包含如非晶質矽及沉積耐火金屬矽化物，諸如鉬、鎢或鈦矽化物。

電晶體 3、5、7 係藉場氧化物結構 32 相互隔離。雙極性電晶體 3 及 p 通道金氧半電晶體 5 之 n 型區 20 (及埋入式 n+ 區 8) 係藉 p 區 24' 下方之埋入式 p 區 12' 相互隔離，p 區 12' 及 24' 二者皆設於場氧化物結構 32 下方。如此，兩種電晶體之 n 型區 20 得處於不同電位。至於不同導電型之金氧半電晶體 5 與 7 間之隔離，由埋入式 n+ 區 8 與埋入式 p 區 12 間之反向偏壓 p-n 接面，以及位於場氧化物 32 下方之 n 井 20 與 p 井 24 間之接面所提供之接面隔離均極充分，只要井與井相互之間能有適當的偏壓即可。當然，其它之替代隔離方法，譬如已讓渡給德州儀器公司、1986 年 12 月 30 日及 1989 年 5 月 30 日核發之第

五、發明說明(9)

4,631,803及4,835,115號美國專利所述之溝槽隔離設計(trench isolation schemes)亦可等效地應用於本發明此一實施例。

本發明之結構包含一位於射極電極72e下方之介質層70。介質層70實質上較金氧半電晶體5、7之閘極72p、72n下方之閘介質層62厚。譬如，閘介質層62得以厚度約10~30nm之熱二氧化矽製成，而介質層70之厚度得約75~100nm。介質層70以沉積介質為宜，譬如藉LPCVD法所沉積之二氧化矽。

雙極性電晶體3中最好亦具有設於本質基極區69上方且處於介質層70下方之閘介質層62。設於此位置之閘介質62能保護本質基極區69之矽表面使免受污染；按於介質層之沉積過程當中或之後，沉積介質層70中可能會呈現污染。當然，最好將閘介質62留存於此一位置，俾無需額外之氧化物移除步驟。

如上所述，側壁氧化物絲極78係設於金氧半電晶體之閘電極72p、72n之側邊上，及由雙極性電晶體3之射極電極72e與介質層70所組成之堆疊部之側邊上。如下文所詳細說明的，圖1所示結構之形成方法之較佳實施例得產生一沿場氧化物32上方之介質層70之側邊延伸之聚矽絲極72f；側壁氧化物絲極78能使此絲極72f鈍化，俾使其無害於圖1所示結構之功能性及可靠性。當然，可使用二氧化矽以外的材料作為側壁絲極78，此等材料包

五、發明說明(10)

含矽氮化物及未摻雜多結晶矽。惟應知側壁絲極最好係以矽以外之材料製成，特別是假如表面區（諸如集極觸點 52，外質基極 82 及源極 / 吸極區 84、86）及聚矽結構 72e、72p、72n 之自動對準矽化步驟係以如已讓渡給德州儀器公司之 1983 年 5 月 17 日核發之第 4,384,301 號美國專利所述之方法實施時尤然。

射極電極 72e 下方之厚層介質 70 能對最終結構提供數項優點。第一，相對於假如射極電極 72e 下方使用較薄介質層（其厚度約相當於介質 62 之厚度）所產生之寄生電容而言，介質層 70 之厚度能提供較小的射極基極間電容。當然，此乃由於電容與介質厚度之間係成反比例關係，使得射極電極與基極區之間以具有較厚介質層為宜，以便減小此種電容。

第二，厚介質層 70 使得通至射極電極 72e 之觸點能以金屬或其它材料直接形成在射極區上，譬如設在圖 3 所示之位置 90 上。若使用較薄介質層，則此種觸點通常無法藉觸點蝕刻法直接形成在射極上，因為此種薄介質層先天上其耐受隨後製程步驟如觸點蝕刻、及金屬沉積與燒結等之應力之能力較弱。此種介質應力降級效應會使射極與基極之間漏電。假如觸點過蝕刻貫穿射極電極，此種漏電現象尤易產生問題，其時射極電極下方之介質將進一步變薄，繼而進一步增大射極基極間電容。於極端情形下，介質可能會被蝕刻而完全貫穿，使重疊金屬

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(11)

及射極電極與基極區短路。假如將與閘電極62同樣厚度之薄介質層設在射極電極72e下面，則通至射極電極72e之金屬觸點必須定位於遠離射極區80之位置處，譬如定位於場氧化物32上方之位置處，以防止此類問題。因此此種射極電極72e接觸需加大電晶體3之尺寸，從而限制了積體電路的密度。於射極電極72e下方設置比較厚的介質層70可容許將觸點直接設在射極區80上，而不會發生上述問題。

前述審查中之S.N. 366,224號申請案敘述一種解決上述問題之方法，其中較金氧半閘介質層厚的熱生長氧化物層係形成在基極區上。吾人發現：本發明之沉積介質層70可提供優於熱基極氧化物之優點。譬如，對於既定形成率而言，二氧化矽得於較其能熱生長之溫度為低之溫度下沉積。此種較低溫度使得沉積之期間當中結構內之摻雜劑擴散（深度及橫向）較少。就目前之較窄擴散深度及次微米橫向間隔之趨勢而言，更需要對摻雜劑擴散作更嚴密的控制。再者，由於低溫度處理，因而能在與其它變數如摻雜劑擴散無關之情形下，使介質層70之厚度最佳化。此外，如眾所周知，以傳統的局部氧化處理方法(LOCOS)，則熱生長氧化物會於氧化物與氧化光罩（如矽氮化物）間之介面形成著名的鳥嘴與鳥首。此類氧化人工製品可藉由減小熱生長氧化物厚度而減少。然而，沉積介質層70可沉積至所欲厚度而不會涉及此類

五、發明說明(12)

人工製品問題，因為於沉積過程當中並未消耗到矽；按此種矽消耗可能於光罩層角隅部分產生應力。

茲參照圖 2a~2j，來詳細說明本發明結構之製法。形成圖 2a 之結構之實例係敘述於前述審查中之 1987 年 12 月 7 日及 1988 年 10 月 30 日申請之 S.N. 366,224 及 S.N. 265,074 號申請案中；所述二申請案皆已讓渡給德州儀器公司，於此述及以供參考。概言之，埋入式 n+區 8 及埋入式 p 區 12 (及 12') 係藉光罩離子植入法形成於基體 2 中，之後再於其上形成一晶膜層。如該 S.N. 366,224 號申請案所述，晶膜層最好為輕度摻雜者，俾 n 通道金氧半電晶體 5 準備形成於其中之 p 井 24 實質上無須對 n 型材料反摻雜 (counterdope)；此種反摻雜會對電晶體通道中之載子移動率有不良衝擊作用。然而，假如希望單井植入，則可於其上形成厚重摻雜晶膜層 (以晶膜層充作供相反導電型金氧半電晶體用之井)。然後施行多數道光罩植入步驟，繼為退火步驟，以便形成 n 型區 20 及 p 型區 24 (及 24')。如需要時，得實施離子植入步驟及退火步驟，以便形成深的 n+集極觸點區 52，如該 S.N. 366,224 號申請案所述。

然後藉諸如 LOCOS 之傳統場氧化物形成技術來形成場氧化物區 32。1985 年 9 月 17 日核發、且已讓渡給德州儀器公司之第 4,541,167 號美國專利敘述一種特別有利的方法，可利用氧化光罩中之聚矽緩衝層來形成 LOCOS 結

五、發明說明(13)

構。其它隔離技術如前述之溝隔離結構，或如1986年4月8日核發且已讓渡給德州儀器公司之第4,580,330號美國專利所述之凹陷式隔離氧化物法，亦可用來形成此類隔離結構。為便利闡釋起見，本發明此實施例中係使用傳統的場氧化物結構32。

設於圖2a之結構表面之壕溝區（壕溝區係指沒有場氧化物32之表面部分，此等區域為準備形成有源元件之位置）上者係虛擬開氧化物34。與傳統者相似，設置開氧化物34係使離子植入步驟（為調整金氧半電晶體之臨限電壓之需要步驟）穿入壕溝區之深度不會“導致”非所欲之無法控制程度。虛擬開氧化物34係稱為“虛設的”，因為於 V_t 調節植入之後，其將以去釉劑（deglaze）除去，並以閘介質層62取代之，如圖2b所示。閘介質62係以供金氧半電晶體用之材料形成至傳統厚度。譬如，於此實施例中，閘介質層得以熱二氧化矽形成，厚度範圍為10nm~30nm。其它傳統介質材料如矽氮化物得用作為閘介質60，或者亦可由介質材料堆疊層形成，例如由氧化物／氮化物／氧化物之堆疊層形成。

於閘介質62形成之後，藉CVD法於結構表面上面沉澱一多結晶矽層68。此層得於沉積過程當中現場摻雜，或如下文所說明的，得藉由毯式或光罩離子植入步驟予以摻雜。此實施例中之聚矽層68之厚度為100~200nm，造成如圖2c之結構。

五、發明說明(14)

掩罩層 66，例如光阻抗膜層係置於結構上面，並藉光石版印刷術形成圖案及顯影，俾露出準備形成雙極性電晶體 3 之基極（即包含圖 1 之本質基極 69 及外質基極 82）之結構部分。待形成為兩種型式金氧半電晶體 5、7 之壕溝區係利用掩罩層 66 加以保護（集極觸點區 52 亦受到保護），如圖 2d 所示。在掩罩層 66 處於適當位置下，自本質基極 69 與外質基極 82 將被定位之位置來蝕刻聚矽層 68。得使用傳統的濕式或乾式聚矽蝕刻法；乾式聚矽蝕刻法之較佳實例係敘述於 1985 年 3 月 5 日核發且已讓渡給德州儀器公司之第 4,502,915 號美國專利中。

然後實施硼離子植入步驟，俾以本質基極植入劑來摻雜 n 區 20 之部分。於此實施例中，應知係於聚矽層 68 已經從雙極性電晶體 3 之壕溝區蝕刻而僅貫穿開介質層 62 之後，方實施本質基極植入步驟。另外之可行方式為，亦可於雙極性區域中之聚矽層 68 蝕刻貫穿開介質層 62 與聚矽層 68 之前，實施本質基極植入步驟。植入劑劑量及能量可由具一般技藝之人士決定，俾使所欲雙極性電晶體 3 之基極能達到所欲的雜質濃度。於此較佳實施例中（其中於聚矽層 68 蝕刻之後施行本質基極植入而僅貫穿開介質層 62），係於能量為 10 keV，硼劑量為 $7.0E13 \text{ cm}^{-2}$ 下施行基極植入，其中表面之 n 井雜質濃度為 $4E16 \text{ cm}^{-3}$ 。於基極植入之期間當中有約 125 nm 厚之聚矽層 68 保持於雙極性壕溝區上面之替代實施例中，本質基極

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(15)

植入實例係使用硼植入劑，劑量為 $5.8E13$ ，能量為 40 keV。

於聚矽層 68 蝕刻之後，將掩罩層 66 從結構移開。結果示於圖 2e 中，顯示植入硼 69 終將形成為雙極性電晶體 3 之本質基極區。然後再全部沉積介質層 70，如圖 2f 所示。介質層 70 得為任何傳統介質材料，惟最好係依傳統方法，於 LPCVD 條件下、由四乙基正態矽酸鹽 (tetraethyl orthosilicate) (TEOS) 分解而沉積之二氧化矽。如前所述，最好將閘介質 62 保留於雙極性區上面並於其上沉積介質層 70，俾不僅無需施行額外的氧化物移除步驟，而且使雙極性區之矽表面免於遭受污染物的污染，按介質層 70 中可能會有污染物，或於沉積過程當中出現污染物。介質層 70 (及其下方之閘介質 62) 將充作射極電極 72e 與本質基極區 69 間之介質，如圖 1 所示。因此，介質層 70 將沉積至此種結構所欲之厚度，以便將寄生射極基極間電容減少至最小程度，並提供所需之薄膜完整性，俾於需要時能於其上直接置設通至射極電極 72e 之金屬觸點。於此實施例中，介質層 70 之厚度為 50~150nm。

如前所述，本發明之優點之一在於：介質層 70 之厚度得在與其它製程變數 (如本質基極 69 之深度) 無關之情形下加以控制。如眾所周知，雙極性電晶體性能之一項重要參數為基極寬度。於如圖 1 之垂直式雙極性電晶體 3 中，基極寬度係由本質基極深度決定之。因此，重要

五、發明說明(16)

的是，圖 2f 之植入摻雜劑 69 (其將產生本質基極區 69) 之擴散須善加控制，俾使電晶體 3 之基極寬度及其性能最佳化。使上述之沉積介質層 70 可在較熱氧化所需溫度低的溫度下施行；譬如，由 TEOS 分解所產生之二氧化矽 LPCVD 製程可於 650~750℃ 之溫度範圍內施行。此種低溫將使植入硼 69 之擴散僅為最小程度，俾能於製程後藉單一退火步驟來控制本質基極區之深度。由於介質層 70 之 LPCVD 製程當中植入基極摻雜劑之擴散為最小程度，故介質層 70 之厚度得最佳化，以達所欲薄膜強度及減小寄生電容，而無需因熱顧慮 (thermal considerations) 而限制薄膜厚度。

若考慮於閘介質 62 形成之後，不論是在聚矽層 68 之蝕刻操作之前或之後，方實施本質基極植入步驟，則本發明能額外控制基極寬度。此可進一步減低植入基極摻雜劑之欠控制擴散情形，因為傳統所用之形成閘介質 62 之熱氧化製程當中並無摻雜劑。再者，於上述之任一替代實施例中，所施行之本質基極植入係貫穿較薄的閘介質層 62，此層通常受到良好控制，因為其通常係熱生長氧化物。因此，與本質基極植入為貫穿厚度約 140 nm 之較厚氧化物層之先前方法比較，本發明方法能進一步控制基極寬度，因為此種較厚氧化層之變異對於經由其中植入之摻雜劑之輪廓有更顯著的影響。

參照圖 2g，由光阻抗蝕劑所形成之另一掩罩層 73 係設

五、發明說明(17)

於介質層 70 上面。以石版印刷法使掩罩層 73 曝光及繼而顯影，俾於最終射極電極 72e 將重疊於本質基極區 69 之位置來保護該介質層 70。須注意的是，界定有將於此處形成射極區之開口 71。介質層 70 其位於本質基極區 69 上方之位置 74 係供形成最終外質基極區 82 之用，此部分亦受到保護，俾開極與射極電極 72 之形成步驟中所用之聚矽蝕刻劑不會蝕刻進入其處之單結晶矽中。

圖 2h 係顯示於施行氧化物蝕刻步驟以從未受掩罩層 72 保護之位置除去介質層 70，及移除該掩罩層 72 後之結構。最好使用能選擇性地相對矽來蝕刻二氧二矽之蝕刻法，俾使聚矽層 68 及 n 型區 20 之殘留部分於介質層 70 移除時實質上不會遭到蝕刻。此種蝕刻法之傳統實例為電漿蝕刻法，使用 CHF_3 ， C_2F_6 及氬作為活性種 (active species)。如圖 2h 所示，介質層 70 及閘介質 62 皆於位置 71 移除，此位置將形成為射極區。

再於整體上形成聚矽層 72，厚度為 100~300nm，最好藉 LPCVD 法形成，以產生如圖 2i 所示之結構。於聚矽層 68 仍將保留之位置，例如保留於將形成為金氧半電晶體 5，7 之壕溝位置上面之位置，兩個聚矽層 68 及 72 將有效地合併成單一層（下文稱為層 72）。於射極觸點之位置 71，該聚矽層 72 將與 n 區 20 接觸。於沉積聚矽層 72 之後，施行毯式 n 型植入，以供摻雜劑供入其上，此摻雜劑可擴散以形成雙極性電晶體 3 之射極區 80，並將增加金

五、發明說明 (18)

氧半電晶體 5、7 之閘電極 72 之傳導性。較佳之聚矽層 72 之植入方法實例係敘述於 1989 年 2 月 3 日申請，且已讓渡給德州儀器公司之待審定之 S.N. 306,439 號申請案中，其中設有狹窄射極接面，惟仍提供有高導電性聚矽射極電極。

上述毯式 n 型植入方法將造成所有的聚矽結構皆被重度 n 型摻雜。惟應知，假如希望聚矽層 72 之某些部分不被 n 型摻雜，譬如假如 p 通道金氧半電晶體 5 之閘電極 72p 被摻雜成 p 型，則可設置掩罩層，並施行圖 2i 所示之植入，而使層 72 之部分受到掩罩。

然後再於結構上面形成掩罩層（未圖示），以界定金氧半電晶體 5、7 之閘電極及雙極性電晶體 3 之射極電極之幾何構形。然後依與上述聚矽層 68 蝕刻相似之方式來實施聚矽蝕刻操作。最終結構示於圖 2j 中，其中射極電極 72e、及閘電極 72p、72n 皆形成於所欲位置上。應注意的是，聚矽層 68 之絲極（此絲極於圖 2j 中係稱為絲極 72f）可於聚矽蝕刻後保留，特別是假如所用之蝕刻實質上為異向性者尤然。應注意的是，絲極 72f 得被鈍化，以使其在電氣上無害，如下文所述。另外可行方式為，施行簡要等向聚矽蝕刻，譬如傳統的濕式聚矽蝕刻，以便於需要時移除絲極 72f。

如上所述，側壁絲極 78（最好由二氧化矽形成）最好係藉二氧化矽沉積，繼而施行異向性氧化物蝕刻，而形

五、發明說明(19)

成。於此實施例中，用以形成側壁絲極 78 之異向性氧化物蝕刻操作亦將介質層 70 及闌介質 62 從雙極性壕溝區之位置 74 移除。因而於此蝕刻操作之後，位置 74 處之本質基極區 69 之表面將露出，俾能藉由離子植入及擴散法來形成外質基極區 82。為能形成 n 型源極 / 吸極區 86 及形成 p 型源極 / 吸極區 84 與外質基極區 82，可依傳統方法施行離子植入步驟，繼而施行高溫退火，俾使植入單結晶矽及植入射極電極 72e 中之摻雜劑擴散至所欲深度。最終電晶體示於圖 1 及圖 3 中，此結構係參照彼等圖式說明如上。

參照圖 4，來說明形成射極電極 72e 之替代方法。於除本質基極區 69 上方之介質層 70 之外將所有位置上的介質層 70 移除之後，可能希望於圖 2h 所示之製程中將貫穿介質層 70 之射極開口 71 之尺寸狹窄化。當最終射極區 80 之尺寸較依傳統石版印刷及蝕刻製程所形成之尺寸小時，特別是欲將比較厚 (100 nm) 的介質層 70 蝕刻貫穿以形成射極開口 71 時，尤其如此。為能形成較小的射極開口 (及外質基極區 82)，可將側壁介質絲極 90 形成在雙極性電晶體 3 之殘餘介質層 70 之側邊上。絲極 90 之形成依傳統側壁絲極方式施行，亦即先沉積諸如二氧化矽之材料，繼而施行異向性蝕刻操作。圖 4 係顯示於製造過程中此點時形成於結構上之絲極 90。因而射極開口 71' 之寬度得較傳統石版印刷處理方法所產生者小。

五、發明說明(20)

於形成側壁絲極90之後，此替代實施例之製法將依與上述相同之方式完成。於圖5中以橫斷面表示之最終電晶體3'將具有較圖1所示電晶體3小之射極區80及外質基極區82。因此，當欲減小圖1所示結構之尺寸時，此替代實施例特別適用。就半導體製造業言，此種能規劃尺寸之能力將廣泛為人所樂見。

於完成上述方法之後，緊接著依傳統方法及前述審查中之S.N. 366,224號申請案所述之方式形成互連金屬積覆(interconnecting metallization)，以形成連至圖1與圖5之有源區之觸點。然後再使個別電路與基體部分20分離，並藉線接合、直接碰撞連接(direct bump connection)等習知方法來製作外部連接。然後個別電路得包裝成雙排包裝、晶片載體或其它型式包裝。此種包裝之實例敘述於1985年1月22日核發且已讓渡給德州儀器公司之第4,495,376號美國專利中。

雖然本發明已參照較佳實施例詳予說明，惟應知此說明僅藉資舉例而已，不應解釋為對本發明之限制；進一步應知，熟習本項技藝之人士可由參照此說明而明瞭及能製作本發明實施例之各種細節變更及本發明之額外實施例。此等變更及額外實施例悉仍應包括在下述所主張之本發明精神及範疇之內。

四、中文發明摘要(發明之名稱：一種在雙極性互補式金氧半製程中形成一厚層基極氧化物之方法)

本發明揭示一種雙極性互補式金氧半結構及其製法，其中射極電極(72e)與基極區(69)間之介質層(70)係由沉積介質所形成。於界定雙極性電晶體(3)與金氧半電晶體(5、7)之壕溝區後，將一聚矽層(68)沉積其上，並將之從雙極性區(3)移開。於聚矽層(68)蝕刻操作之前或之後，施行基極植入。將一TEOS氧化物層(70)形成於其上，並將之蝕刻使之保留於雙極性區之部分上，而使射極觸點(72e)貫穿其中及使一部分雙極性區露出；外質基極(82)係形成於露出之雙極性區。本發明之替代實施例係可藉由形成側壁氧化物絲極(90)來規劃射極觸點(72e)之尺寸。將第二聚矽層形成於其上，以形成射極電極(72e)，並與第一層合併以形成金氧半電晶體之閘極。隨後施行聚矽層之圖案形成及蝕刻操作，繼而施行側壁絲極形成步驟及源極/吸極摻雜步驟，以便完成結構。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

附註：本案已向 美 國(地區) 申請專利，申請日期：1989年7月21日 案號：383,960

四、~~本~~文發明摘要(發明之名稱): A method for forming a thick base oxide in a bicmos process

Abstract of the Disclosure

A BiCMOS structure and a method for making the same is disclosed, where the dielectric layer (70) between the emitter (72e) electrode and the base region (69) is formed of a deposited dielectric. After definition of the bipolar (3) and MOS (5, 7) moat regions, a layer of polysilicon (68) is deposited thereover, and removed from the bipolar (3) region. The base implant is performed either prior to or after the etch of the polysilicon layer (68). A layer of TEOS oxide (70) is formed thereover and is etched to remain in portions of the bipolar region, with an emitter contact (72e) therethrough and a portion of the bipolar region exposed at which the extrinsic base (82) is formed. An alternative embodiment of the invention includes scaling the emitter contact (72e) by forming sidewall oxide filaments (90) therewithin. A second layer of polysilicon is disposed thereover to form the emitter electrode (72e) and to merge with the first layer to form the gates of the MOS transistors. Subsequent patterning and etching of the polysilicon, followed by sidewall filament formation and source/drain doping, is performed to complete the structure.

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局印製

附註：本案已向

國(地區) 申請專利·申請日期：

案號：

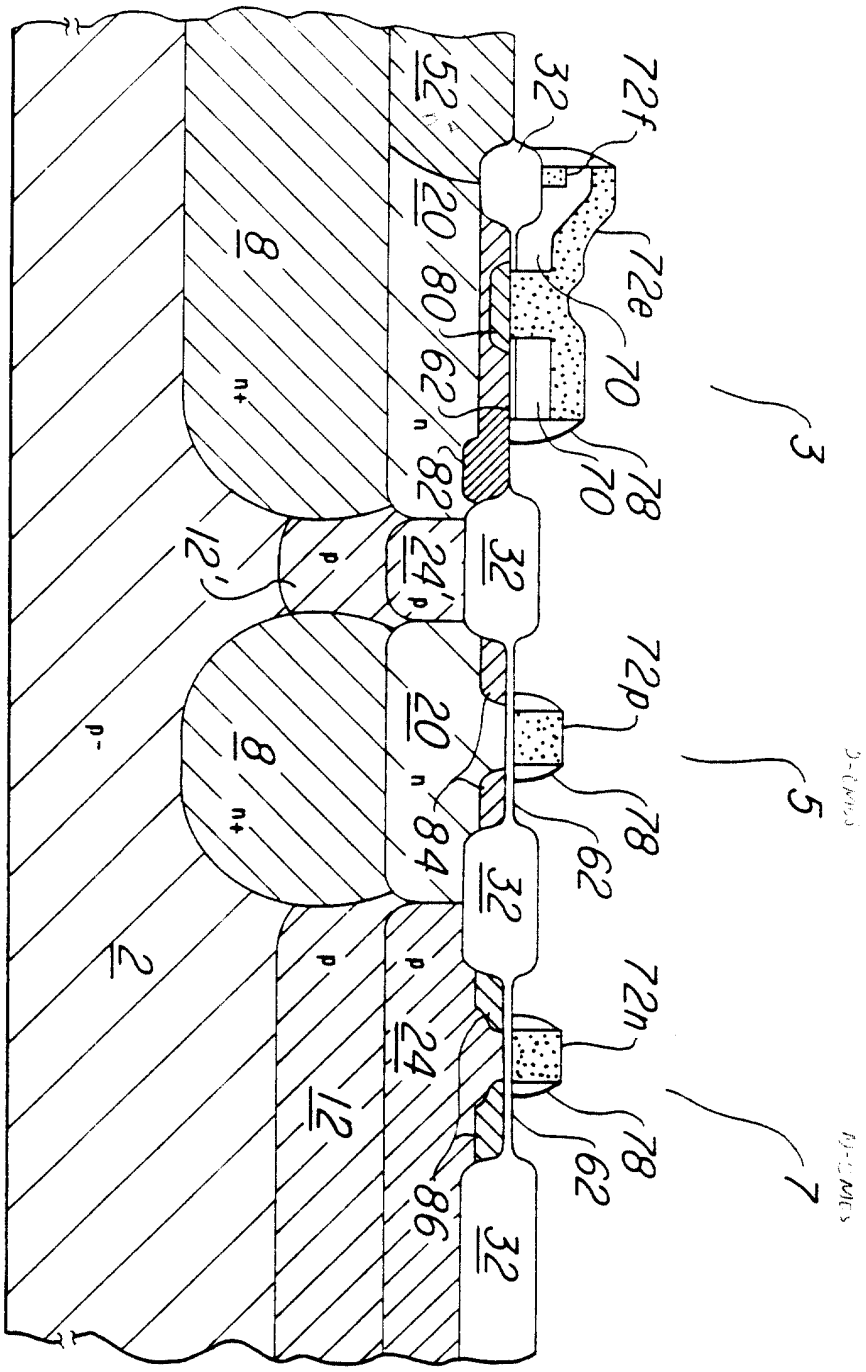


圖 1

199938

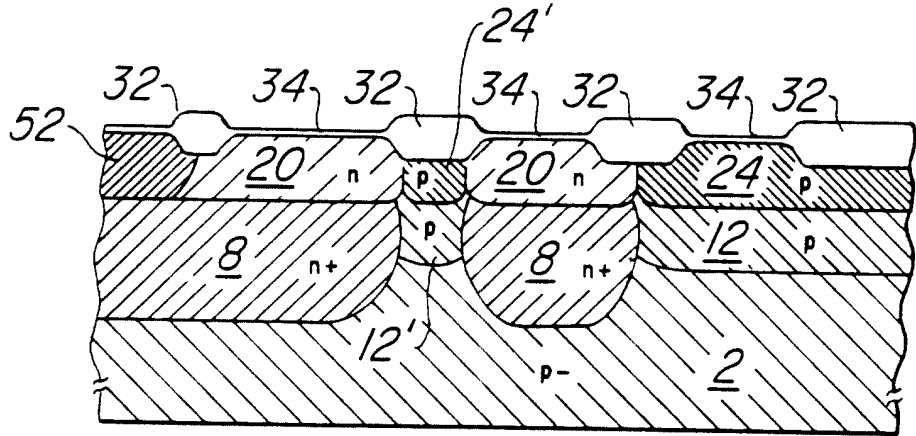


圖 2a

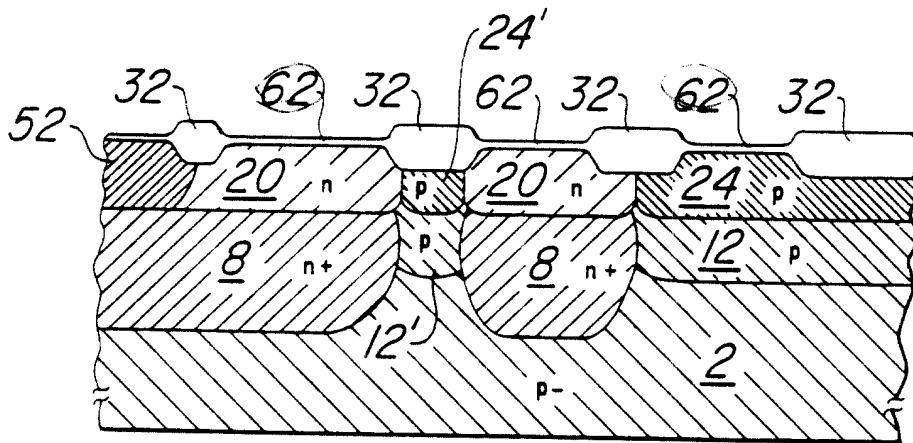


圖 2b

199938

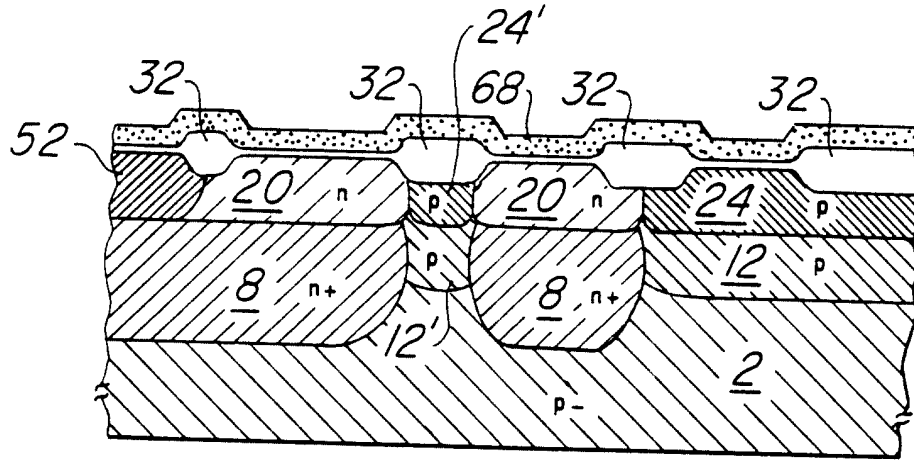


圖 2c

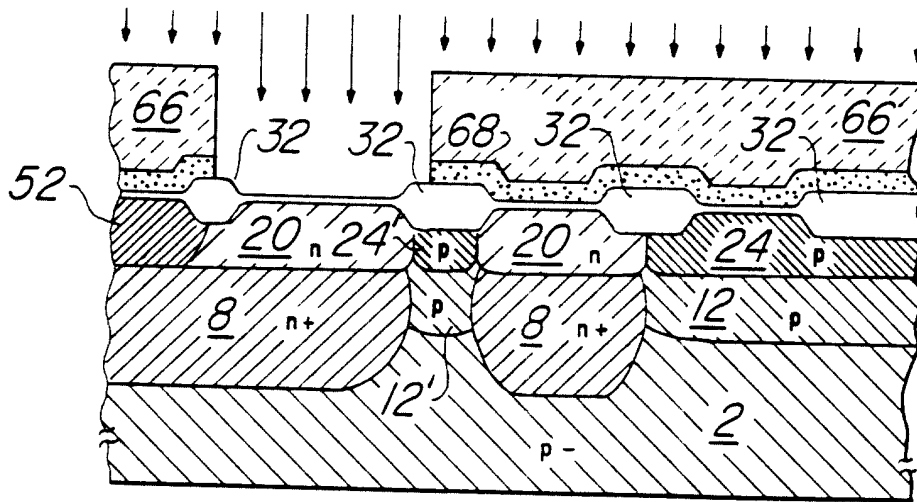


圖 2d

199938

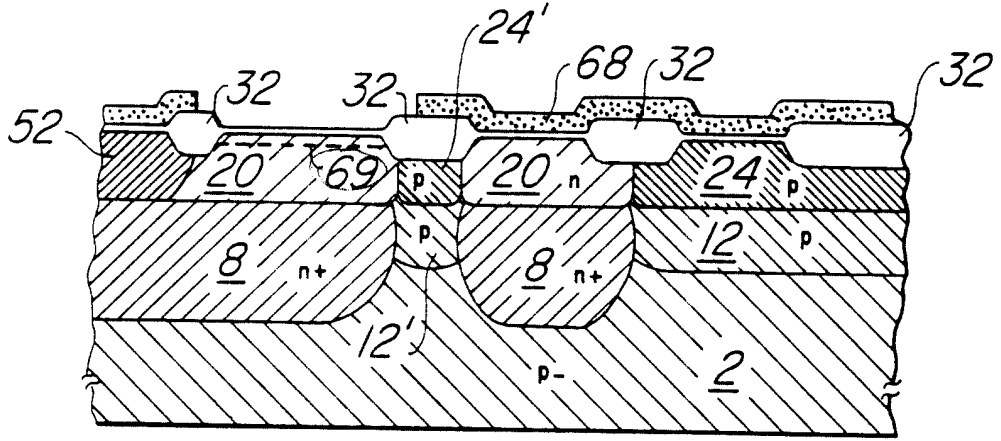


圖 2e

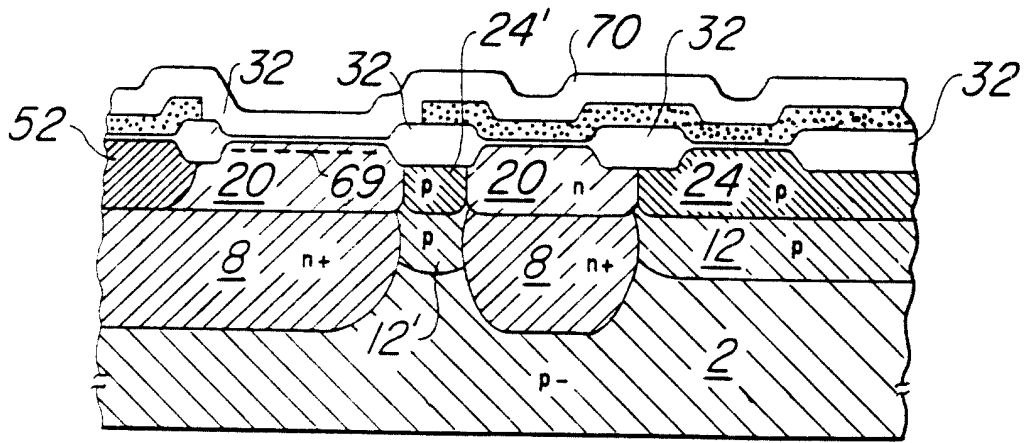


圖 2f

199938

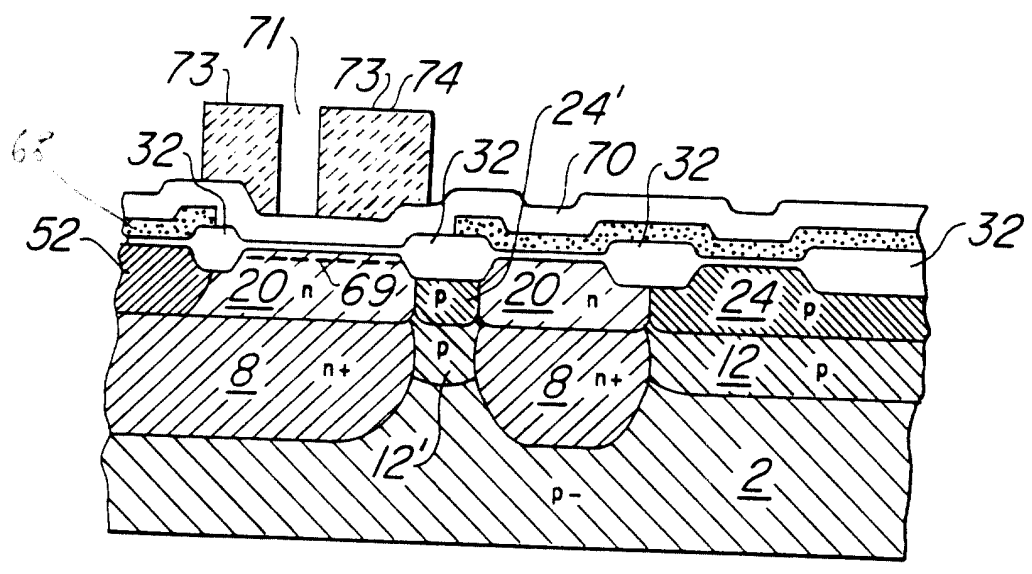


圖 2g

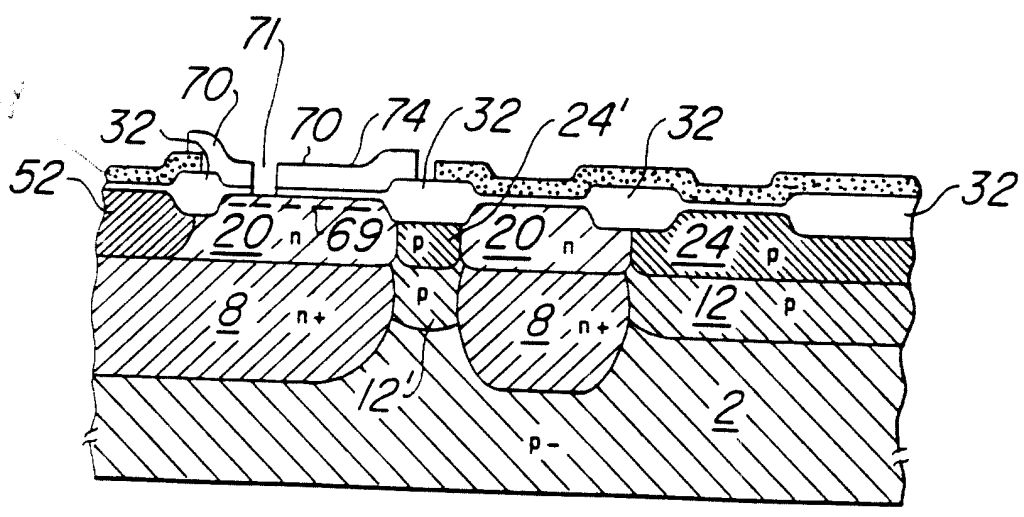


圖 2h

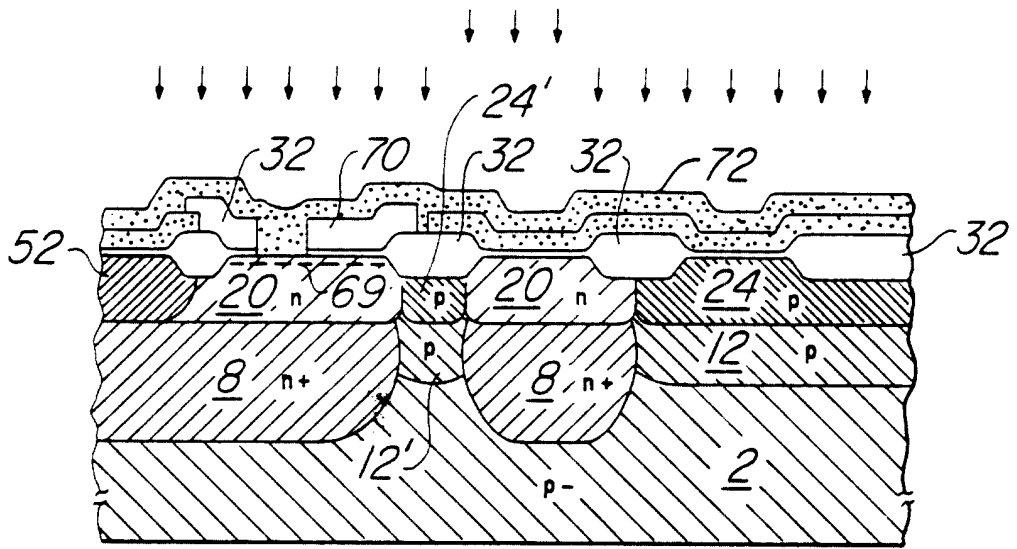


圖 2i

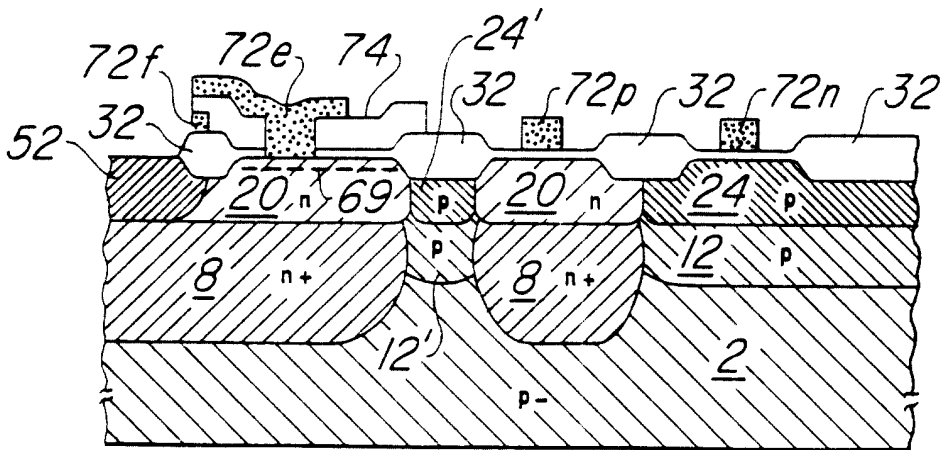


圖 2j

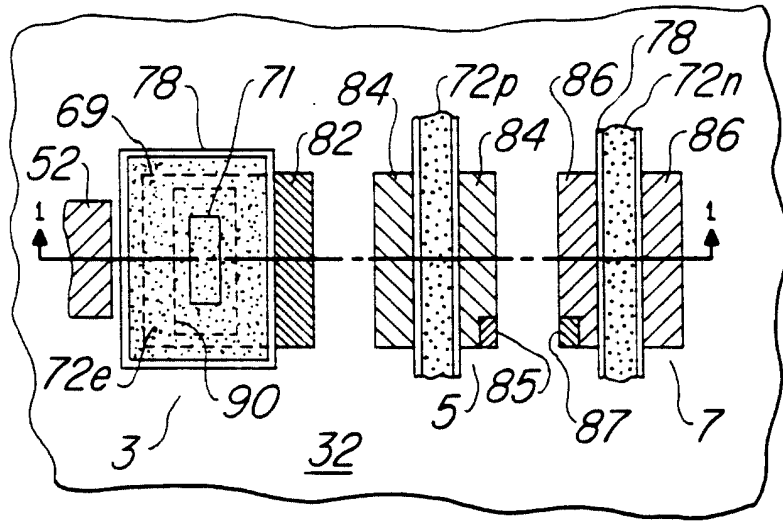


圖 3

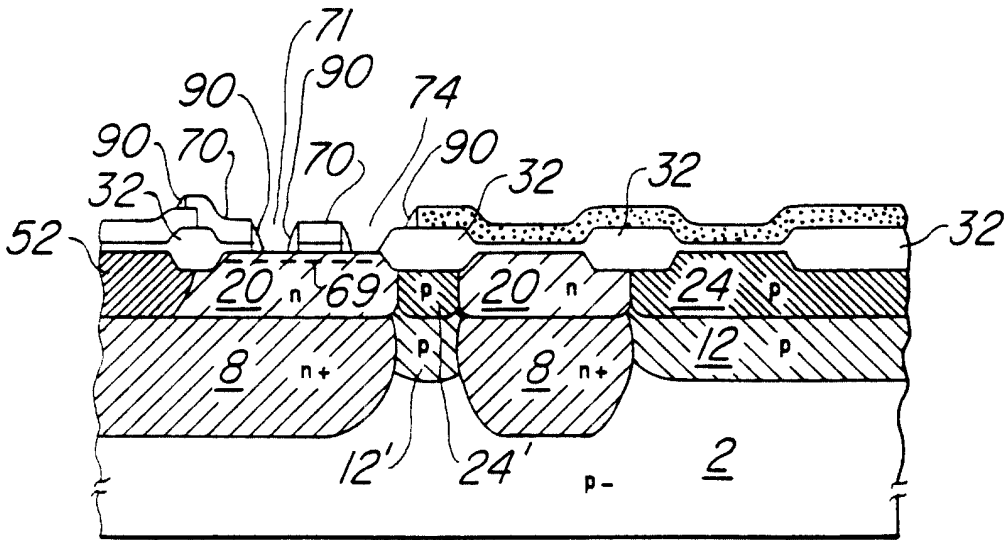


圖 4

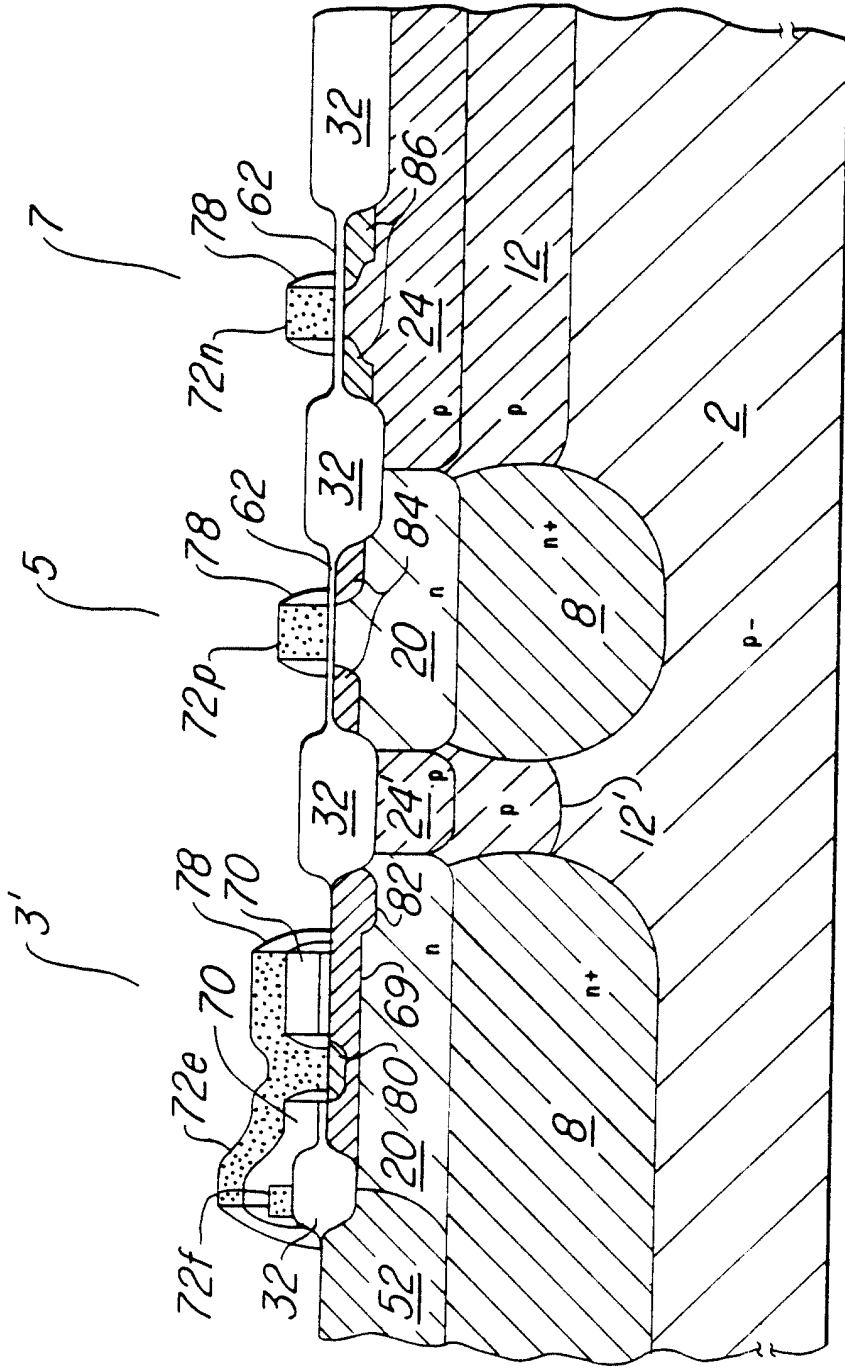


圖 5

199938

六、申請專利範圍

修正
本 年 月 日
補充

1. 一種積體電路之製造方法，包括下列步驟：

於本體之半導體表面上形成隔離結構，該等隔離結構界定有皆屬第一導電型之一雙極性區與一第一金氧半區，以及一第二導電型之第二金氧半區，該製造方法之特徵在於下列步驟：

於其上形成第一導電層，該第一導電層係與前述之第一及第二金氧半區隔離；

將屬第二導電型之基極摻雜劑引入該雙極性區中；

將該第一導電層從該雙極性區移除；

於其上形成一介質層，該介質層係於該金氧半區重疊該第一導電層、並重疊該雙極性區；

將該介質層之選定部分移除，以露出該雙極性區之一部分，並露出該金氧半區中之第一導電層；

於其上形成第二導電層，該第二導電層係與該雙極性區接觸，並與該金氧半區中之該第一導電層接觸；

於該第二導電層與該雙極性區接觸之位置處形成一射極區；以及

將該雙極性區中之該第二導電層之選定部分移除，以便界定出一射極電極，並且將該金氧半區中之該第一與第二導電層之選定部分移除，以便界定出開極電極。

2. 如申請專利範圍第1項之製法，其中該基極摻雜劑引入步驟係於將該第一導電層從該雙極性區移除之移除步驟之後實施。

六、申請專利範圍

3. 如申請專利範圍第1項之製法，其中該基極摻雜劑引入步驟係於將該第一導電層從該雙極性區移除之移除步驟之前實施。
4. 如申請專利範圍第1項之製法，其中該第二導電層包括非單結晶矽。
5. 如申請專利範圍第4項之製法，其中該射極區形成步驟包括：
將屬於第一導電型之摻雜劑引入該第二導電層中；
將結構加熱，俾使該第一導電型摻雜劑擴散進入該雙極性區中。
6. 如申請專利範圍第1項之製法，其中該介質層包括二氧化矽。
7. 如申請專利範圍第6項之製法，其中該介質層形成步驟包括沉積該二氧化矽。
8. 如申請專利範圍第7項之製法，其中該二氧化矽沉積步驟包括由四乙基正矽酸鹽(TEOS)分解之低壓化學蒸汽沉積法(LPCVD)。
9. 如申請專利範圍第1項之製法，進一步包括：
於該雙極性區下方形成一屬於第一導電型之副集極區。
10. 如申請專利範圍第1項之製法，進一步包括：
於鄰近該射極電極與該閘極電極之側邊形成側壁介質絲極；以及

六、申請專利範圍

於與鄰近該射極電極之一側壁絲極成對準之位置將該第二導電型摻雜劑引入該雙極性區中，以便形成一外質基極區。

11. 如申請專利範圍第10項之製法，其中該第二導電型摻雜劑引入步驟亦將該第二導電型摻雜劑於與鄰近閘極電極（設置於第一金氧半區上方）之側壁絲極成對準之位置引入該第一金氧半區中，以便於該第一金氧半區中形成源極／吸極區。

12. 如申請專利範圍第1項之製法，進一步包括：

於該介質層選定部分移除步驟之後，於鄰近該介質層之側邊部位形成側壁介質絲極，俾使由該射極電極通至該雙極性區之觸點面積減少量相當於該側壁介質絲極之面積。

13. 如申請專利範圍第12項之製法，其中該射極區形成步驟包括：

將該第一導電型摻雜劑引入該第二導電層中；以及將結構加熱，俾使該第一導電型摻雜劑擴散進入該雙極性區中。

14. 一種形成於本體之半導體表面上之積體電路結構，包括：

一雙極性電晶體，包括：

一第一導電型集極區；

一設於該表面上且置於集極區中之第二導電型本質基

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

六、申請專利範圍

極區；

一設於該表面上且置於該本質基極區中之第一導電型射極區，該積體電路結構之特徵在於：

一沉積介質層，係重疊於該本質基極區，並具有一貫穿其中而通至該射極區之觸點；以及

一射極電極，係設於該介質層上方，並藉該觸點而與該射極區接觸；

一絕緣開場效電晶體，包括：

一屬於該第一導電型之井區，具有與該集極區相同之雜質濃度；

一開介質，包括厚度實質上較該雙極性電晶體之介質層薄之熱二氧化矽，此開介質係設於該井區之一部分上方；

一開極電極，設置於該井區上方，並藉該開介質而與該井區絕緣；

屬於第二導電型之源極／吸極區，設置於該表面鄰近該開極電極並置於該井區內；以及

一設置於該表面上、介於該雙極性電晶體與該絕緣開場效電晶體間之隔離結構。

15. 如申請專利範圍第14項之積體電路結構，進一步包括：

側壁介質絲極，設置於鄰近該雙極性電晶體之射極電極與介質層之側邊，並鄰近該絕緣開場效電晶體之

六、申請專利範圍

閘極電極之側邊。

16. 如申請專利範圍第15項之積體電路結構，其中該射極電極及該閘極電極包括多結晶矽。

17. 如申請專利範圍第16項之積體電路結構，進一步包括：

一由多結晶矽所形成之絲極，設於該介質層下面位於該射極電極下方之位置處，該絲極之側邊係被該等側壁介質絲極中之一所密封。

18. 如申請專利範圍第14項之積體電路結構，進一步包括：

一設於該雙極性電晶體中之第二導電型外質基極區，該外質基極區係設置於該表面上位於與該射極電極及鄰接側壁介質絲極成對準之位置處。

19. 如申請專利範圍第14項之積體電路結構，其中該外質基極區之雜質濃度實質上係與該絕緣閘場效電晶體之源極／吸極區之雜質濃度相同。

20. 如申請專利範圍第14項之積體電路結構，進一步包括設置於該觸點中鄰近該沉積介質層之側壁介質絲極，該射極電極係於該觸點之該等側壁介質絲極間之位置處與該雙極性區接觸。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線