

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5439800号  
(P5439800)

(45) 発行日 平成26年3月12日 (2014. 3. 12)

(24) 登録日 平成25年12月27日 (2013. 12. 27)

(51) Int. Cl. F I  
 HO 2 J 7/00 (2006. 01) HO 2 J 7/00 S  
 HO 1 M 10/44 (2006. 01) HO 1 M 10/44 P

請求項の数 5 (全 17 頁)

<p>(21) 出願番号 特願2008-310105 (P2008-310105)                  (22) 出願日 平成20年12月4日 (2008. 12. 4)                  (65) 公開番号 特開2010-136533 (P2010-136533A)                  (43) 公開日 平成22年6月17日 (2010. 6. 17)                  審査請求日 平成23年9月15日 (2011. 9. 15)</p> <p>前置審査</p>	<p>(73) 特許権者 000006220                  ミツミ電機株式会社                  東京都多摩市鶴牧2丁目11番地2                  (74) 代理人 100107766                  弁理士 伊東 忠重                  (74) 代理人 100070150                  弁理士 伊東 忠彦                  (72) 発明者 武田 貴志                  東京都多摩市鶴牧2丁目11番地2 ミツミ電機株式会社内</p> <p>審査官 関口 明紀</p>
------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 二次電池保護用集積回路装置及びこれを用いた二次電池保護モジュール並びに電池パック

(57) 【特許請求の範囲】

【請求項1】

二次電池の放電電流を電圧値に変換して検出し、該電圧値が所定の短絡検出電圧以上であったときに、前記二次電池の短絡状態を検出する短絡検出回路と、

該短絡検出回路により前記短絡状態が検出されたときに、前記二次電池の放電を停止させる制御信号を出力する放電制御端子と、

前記二次電池の過充電を検出する過充電検出回路と、

前記短絡検出回路の出力に接続され、前記短絡検出回路の出力信号を所定の遅延時間だけ遅延させる遅延回路と、を有する二次電池保護用集積回路装置であって、

前記短絡検出回路は、前記過充電検出回路により前記過充電が検出されたときに、前記短絡検出電圧を変更する短絡検出電圧変更手段を備え、

前記過充電検出回路は、充電制御端子を介して前記二次電池の充電を制御する充電制御M O S トランジスタに接続され、前記二次電池の過充電を検出したときに前記充電制御端子に前記充電制御M O S トランジスタをオフとする制御信号を出力して前記二次電池への充電を停止させ、

前記短絡検出電圧変更手段は、前記過充電検出回路により前記過充電状態が検出されたときに、前記短絡検出電圧を前記充電制御M O S トランジスタの寄生ダイオードの順方向電圧よりも高い電圧値に変更する、ことを特徴とする二次電池保護用集積回路装置。

【請求項2】

前記短絡検出回路は、コンパレータを有し、

10

20

前記短絡検出電圧変更手段は、前記コンパレータの一方の入力端子に供給する前記短絡検出電圧を生成する分圧回路と、該分圧回路から前記コンパレータの前記入力端子に供給される前記短絡検出電圧を、前記過充電の検出に基づいて切り替えるスイッチと、を含むことを特徴とする請求項 1 に記載の二次電池保護用集積回路装置。

【請求項 3】

前記短絡検出回路は、CMOSインバータを有し、

前記短絡検出電圧変更手段は、前記CMOSインバータを構成するPチャネルMOSトランジスタの高電位側に接続された電流源と、該電流源の接続又は非接続を前記過充電の検出に基づいて切り替えるスイッチと、を含むことを特徴とする請求項 1 に記載の二次電池保護用集積回路装置。

10

【請求項 4】

請求項 1 乃至 3 のいずれか一項に記載の二次電池保護用集積回路装置と、

該二次電池保護用集積回路装置の放電制御端子に接続された放電制御MOSトランジスタと、を有することを特徴とする二次電池保護モジュール。

【請求項 5】

請求項 4 に記載の二次電池保護モジュールと、

該二次電池保護モジュールが接続された二次電池と、を有することを特徴とする電池パック。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、二次電池保護用集積回路装置及びこれを用いた二次電池保護モジュール並びに電池パックに関し、特に、二次電池の放電電流を電圧値に変換して検出し、該電圧値が所定の短絡検出電圧以上であったときに、前記二次電池の短絡状態を検出する短絡検出回路を有する二次電池保護用集積回路装置及びこれを用いた二次電池保護モジュール並びに電池パックに関する。

【背景技術】

【0002】

従来から、リチウムイオン電池等の二次電池を保護する二次電池用保護モジュールが知られている。図 8 は、従来の二次電池保護用集積回路装置 220 を含む二次電池保護モジュール 250 の一例を示した図である。図 8 において、従来の二次電池保護モジュール 250 は、二次電池CELLと並列に接続され、端子P+、P-に充電器が接続されるように、全体として電池パック300を構成している。二次電池保護モジュール250は、充電・放電制御FET(Field Effect Transistor、電界効果トランジスタ)として、オン抵抗数10[mΩ]程度のNチャネルMOS(Metal Oxide Semiconductor)トランジスタM1、M2が使用されており、この充電制御MOSトランジスタM1及び放電制御MOSトランジスタM2のオン抵抗により、充放電電流を電圧に変換してV-端子で検出している。充電制御MOSトランジスタM1は、COUT端子によってオン・オフ制御され、過充電状態又は異常充電器接続状態(充電過電流状態)でオフし、二次電池CELLを保護する。また、放電制御MOSトランジスタM2は、DOUT端子によってオン・オフ制

30

40

【0003】

このうち、過充電状態及び過放電状態は、VDD端子の電圧を監視し、過充電検出回路10及び過放電検出回路20により検出される。一方、充電過電流状態、放電過電流状態及び出力短絡状態は、V-端子の電圧を監視し、充電過電流検出回路40、放電過電流検出回路30及び短絡検出回路150により検出される。

【0004】

ここで、二次電池保護モジュール250は、充電制御MOSトランジスタM1のボディダイオードD1により、充電制御MOSトランジスタM1がオフであっても放電は可能で

50

あり、放電制御MOSトランジスタM2がオフであっても充電は可能に構成されている。そのため、過充電状態であっても、負荷が接続されると電池は放電し、過充電から復帰するようになっている。また、過放電状態であっても、充電器が接続されると、二次電池CELLは充電され、過放電状態から復帰するようになっている。

【0005】

図9は、充電制御MOSトランジスタM1及び放電制御MOSトランジスタM2に適用されている、一般的なNチャネルMOSトランジスタの断面構造の一例を示した図である。図9において、ドレインD-ソースS間のチャネルは、ゲートGに正電圧が印加されないと開かないが、ソースSと接続されているバックゲートBGとドレインD間は、P型基板を介してPN接合の寄生ダイオードD1により、順方向電流が流れるように構成されている。つまり、バックゲートBG(ソースS)からドレインDには、NチャネルMOSトランジスタ自体がオフとなっても、ソースSからドレインDの方向には、電流が流れることになる。なお、このとき、PN接合に順電流が流れているときにPN接合間に発生する電圧は、0.6~0.7[V]である。

10

【0006】

図8に戻る。図9において説明したように、充電制御MOSトランジスタM1がオフの場合であっても、二次電池CELLに負荷が接続されたら、ボディダイオードD1の順方向に放電電流が流れ、充電制御MOSトランジスタM1には、正電圧 $V_f$ (0.6[V])が印加される。同様に、放電制御MOSトランジスタM2がオフの場合であっても、P+、P-端子に充電器が接続されたら、ボディダイオードD2の順方向に充電電流が流れ、放電制御MOSトランジスタM2には負電圧が印加される。このため、電池パック300は、過充電中でも、負荷が接続されたら放電を行うことができ、過放電中であっても、充電器が接続されたら、充電を行うことができる。

20

【0007】

なお、2次電池保護用半導体装置であって、電流を電圧に変換して検出するための電流検出端子と、電流検出端子から放電過電流を検出する第1放電過電流検出回路と、電流検出端子から短絡電流を検出する第2放電過電流検出回路と、これらの放電過電流検出回路の出力を所定の遅延時間だけ遅延させる遅延回路と、電流検出端子に所定のマイナス電圧以下の電圧又は所定の電圧以上のプラス電圧以上が印加された場合に、遅延時間を所定の比率で短縮する遅延時間短縮信号を生成する短縮回路とを備え、電流検出端子の電位を何段階にも分けて検出し、それに応じて何種類もの遅延時間を設定する場合であっても、チップ面積を増加させずに複数種類の放電過電流に対応可能な2次電池保護用半導体装置が知られている(例えば、特許文献1参照)。

30

【特許文献1】特開2007-49796号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

しかしながら、上述の図8に示した従来技術の構成では、二次電池保護モジュール250が過充電検出中に負荷が接続され、二次電池CELLが放電した場合には、充電制御MOSトランジスタM1のボディダイオードD1によりV-端子は $V_f$ 分だけ電圧が増加し、ボディダイオードD1によるV-端子の電位上昇が短絡検出電圧以上になると、短絡保護機能が働いてしまうという問題があった。つまり、この場合、充電制御MOSトランジスタM1が過充電検出によりオフとなっているときに、放電制御MOSトランジスタM2もオフしてしまうと、充電も放電も出来ない状態になるという問題が生じた。

40

【0009】

例えば、V-端子の短絡検出電圧が0.5[V]に設定されている場合には、充電制御MOSFETトランジスタM1のオン抵抗が50[m]の場合には、10[A]以上の短絡電流で短絡保護が働くことになる。この場合、短絡電流自体の設定は適切であるが、短絡検出電圧が0.5[V]の設定では、ボディダイオードD1の順方向電圧 $V_f$ で、V-端子の電圧が約0.6[V]まで上昇するので、短絡保護機能が作用してしまうことに

50

なる。すると、過充電状態であるにも関わらず、放電制御MOSトランジスタM2がオフしてしまい、放電も充電も出来ない状態となってしまう。

【0010】

そこで、このような状態を回避する対策として、例えば、過充電検出状態では、短絡検出を行わないという対応が考えられる。しかしながら、この対応では、過充電状態で放電を行うことが出来るため、電池パック300の使い勝手は維持できるが、実際に過充電中に電池パック300が短絡した場合に、二次電池CELLを保護できず、二次電池CELLの保護機能としては致命的な問題が残ってしまう。

【0011】

また、他の対応としては、短絡検出電圧を、充電制御MOSトランジスタM1のボディダイオードD1の順方向電圧VfによるV-端子の増加分よりも大きくするという対応が考えられる。この場合、過充電状態で放電を行い、かつ過充電中の負荷短絡を保護することが可能となるが、今度は、通常時の短絡検出閾値が大きくなってしまおうという問題を生じた。つまり、短絡検出閾値が大き過ぎると、通常時の短絡保護の働く領域が狭くなってしまおうという点の問題が発生した。例えば、短絡検出電圧を0.6[V]よりも高い1.0[V]とすると、充電制御MOSトランジスタM1のオン抵抗が50[m]の場合、20[A]以上の短絡電流で短絡保護が動作することになるが、この電流値は大き過ぎ、もっと小さい短絡電流が流れた段階で短絡保護を動作させる必要があった。

【0012】

図10は、従来の電池パック300が短絡された状態を模式的に示した図である。図10において、電池パック300は、インピーダンスRL130の負荷により短絡された状態が示されている。図10に示すように、実際に電池パック300が短絡される場合、接触抵抗や破線抵抗、物理的な過電流保護のためのヒューズ140等によって、数100[m]程度のインピーダンスRLを有して短絡される。このときの短絡電流は、二次電池CELLの内部インピーダンスと、インピーダンスRL130によって制限される。よって、短絡保護が動作する電流設定が大き過ぎる場合には、必要なときに保護が動作しなくなるおそれがある。

【0013】

また、出力電流能力が小さく、内部インピーダンスの大きい二次電池CELLを用いた小型・低消費電流の機器では、短絡検出電圧を小さく設定することで安全性を高めている。よって、二次電池保護モジュール250の短絡検出電圧を、充電制御MOSトランジスタM1のボディダイオードD1による電圧上昇Vfよりも大きく設定すると、このような小型・低消費電流の機器の要求に対応できなくなってしまうという問題がある。

【0014】

また、上述の特許文献1に記載の構成では、放電過電流を数種類設定し、それに対応する遅延時間も種々設定できるが、検出時の遅延時間を検出電圧の大きさに応じて変化させるだけなので、上述の従来技術と同様の過充電時の短絡検出の問題は等しく残ってしまう。

【0015】

そこで、本発明は、過充電時においても、短絡検出を適切に行い、通常時・過充電時に関わらず、常に二次電池の短絡保護を確実に行うことができる二次電池保護用集積回路装置及びこれを用いた二次電池用保護モジュール並びに電池パックを提供することを目的とする。

【課題を解決するための手段】

【0016】

上記目的を達成するため、第1の発明に係る二次電池保護用集積回路装置(120、120a、120b)は、二次電池(CELL)の放電電流を電圧値に変換して検出し、該電圧値が所定の短絡検出電圧以上であったときに、前記二次電池の短絡状態を検出する短絡検出回路(50、50a、50b)と、

該短絡検出回路(50、50a、50b)により前記短絡状態が検出されたときに、前

10

20

30

40

50

記二次電池（CELL）の放電を停止させる制御信号を出力する放電制御端子（DOU）と、

前記二次電池（CELL）の過充電を検出する過充電検出回路（10）と、

前記短絡検出回路（50、50a、50b）の出力に接続され、前記短絡検出回路（50、50a、50b）の出力信号を所定の遅延時間だけ遅延させる遅延回路（60）と、  
を有する二次電池保護用集積回路装置（120、120a、120b）であって、

前記短絡検出回路（50、50a、50b）は、前記過充電検出回路（10）により前記過充電が検出されたときに、前記短絡検出電圧を変更する短絡検出電圧変更手段（57、57a、57b）を備えることを特徴とする。

【0017】

これにより、過充電時には、短絡検出電圧を変更し、通常時と異なる条件であっても、適切に短絡状態を検出し、二次電池を保護することができる。

【0018】

第2の発明は、第1の発明に係る二次電池保護用集積回路装置（120、120a、120b）において、

前記過充電検出回路（10）は、充電制御端子（COU）を介して前記二次電池（CELL）の充電を制御する充電制御MOSトランジスタ（M1）に接続され、前記二次電池（CELL）の過充電を検出したときに前記充電制御端子（COU）に前記充電制御MOSトランジスタ（M1）をオフとする制御信号を出力して前記二次電池（CELL）への充電を停止させ、

前記短絡検出電圧変更手段（57、57a、57b）は、前記過充電検出回路（10）により前記過充電が検出されたときに、前記短絡検出電圧を前記充電制御MOSトランジスタ（M1）の寄生ダイオード（D1）の順方向電圧（Vf）よりも高い電圧値に変更することを特徴とする。

【0019】

これにより、充電制御MOSトランジスタのボディダイオードにより、短絡検出端子で検出する電圧の上昇があっても、これに対応させて短絡検出電圧を増加させ、真の短絡状態のみを短絡状態として検出することができる。

【0020】

第3の発明は、第1又は第2の発明に係る二次電池保護用集積回路装置（120、120a、120b）において、

前記短絡検出回路（50、50a、50b）は、コンパレータ（CMP）を有し、  
前記短絡検出電圧変更手段（57、57a、57b）は、前記コンパレータ（CMP）の一方の入力端子に供給する前記短絡検出電圧を生成する分圧回路（55、55a）と、該分圧回路（55、55a）から前記コンパレータ（CMP）の前記入力端子に供給される前記短絡検出電圧を、前記過充電の検出に基づいて切り替えるスイッチ（SW）と、を含むことを特徴とする。

【0021】

これにより、短絡電圧の変更は、スイッチ及び分圧回路を用いて容易に行うことができ、簡素な構成で短絡検出電圧変更手段を構成できるので、チップ面積等を増加させずに、低コストで容易に短絡検出電圧の変更を実現できる。また、分圧回路を用いるので、短絡電圧の変更設定を正確に行うことができる。

【0022】

第4の発明は、第1又は第2の発明に係る二次電池保護用集積回路装置（120、120a、120b）において、

前記短絡電圧検出回路（50、50a、50b）は、CMOSインバータ（INV）を有し、

前記短絡検出電圧変更手段（57、57a、57b）は、前記CMOSインバータ（INV）を構成するPチャネルMOSトランジスタ（PM）の高電位側に接続された電流源（Is）と、該電流源（Is）の接続又は非接続を前記過充電の検出に基づいて切り替え

10

20

30

40

50

るスイッチ（SW）と、を含むことを特徴とする。

【0023】

これにより、更に簡素な構成で短絡検出電圧変更手段を設けることができ、素子を組み込む面積を小さくし、コンパクトな構成で短絡検出電圧変更手段を実現できる。

【0024】

第5の発明に係る二次電池保護モジュール（150）は、第1～4のいずれかの発明に係る二次電池保護用集積回路装置（120、120a、120b）と、

該二次電池保護用集積回路装置（120、120a、120b）の放電制御端子（DOUT）に接続された放電制御MOSトランジスタ（M2）と、を有することを特徴とする。

10

【0025】

これにより、過充電時の短絡検出が信頼性高く確実に行うことができるとともに、外付けの放電制御MOSトランジスタを接続して、確実に放電制御を行うことができ、二次電池の保護機能が高い高性能な二次電池保護モジュールとすることができる。

【0026】

第6の発明に係る電池パックは、第5の発明に係る二次電池保護モジュール（150）と、

該二次電池保護モジュール（150）が接続された二次電池（CELL）と、を有することを特徴とする。

【0027】

これにより、過充電時も適切に短絡状態を検出できる高性能な電池パックとすることができる。

20

【0028】

なお、上記括弧内の参照符号は、理解を容易にするために付したものであり、一例に過ぎず、図示の態様に限定されるものではない。

【発明の効果】

【0029】

本発明によれば、過充電時も含めて、高い信頼性で短絡検出及び短絡保護を行うことができる。

【発明を実施するための最良の形態】

30

【0030】

以下、図面を参照して、本発明を実施するための最良の形態の説明を行う。

【実施例1】

【0031】

図1は、本発明を適用した実施例1に係る二次電池保護用半導体集積回路装置120、二次電池保護モジュール150及び電池パック200の全体構成を示した図である。図1において、図8及び図10の構成要素と同様の構成要素については、図8及び図10と同一の参照符号を付している。

【0032】

実施例1に係る電池パック200は、二次電池CELLと、二次電池保護モジュール150と、接続端子P+、P-とを備える。二次電池保護モジュール150は、二次電池保護用集積回路装置120と、外付けの抵抗R1、R2、コンデンサC1、充電制御MOSトランジスタM1及び放電制御MOSトランジスタM2と、を備える。

40

【0033】

二次電池CELLは、種々の二次電池が適用されてよく、例えば、リチウムイオン二次電池、リチウムポリマ二次電池等が適用されてよい。

【0034】

二次電池保護用集積回路装置120は、過充電、過放電、放電過電流、短絡等の二次電池CELLの異常状態を検出し、二次電池CELLを保護する機能を有するIC（Integrated Circuit、集積回路）である。二次電池保護用集積回路装置120は、保護回路が形

50

成された半導体基板をパッケージ内に収容し、外部に保護回路と接続された端子を設けることにより、ICとして構成されてよい。二次電池保護用集積回路装置120は、外付けMOSトランジスタM1、M2をオフすることにより、二次電池CELLを保護する。

#### 【0035】

外付け抵抗R1、外付けコンデンサC1は、二次電池保護用集積回路装置120の電源変動を抑制するための素子である。また、外付け抵抗R1、R2は、電池パック200を逆充電した時や、二次電池保護用集積回路装置120の絶対定格以上の電圧の充電器を接続したときに電流制限抵抗となる。

#### 【0036】

外付けの充電制御MOSトランジスタM1は、COUT端子からの信号により制御され、過充電時にはオフとなり、二次電池CELLへの充電を停止させるスイッチング素子である。充電制御MOSトランジスタM1は、例えば、NチャンネルMOSトランジスタが適用されてよい。充電制御MOSトランジスタM1は、ドレインが二次電池CELLの負極側、ソースが接続端子P-側に接続され、ゲートがCOUT端子に接続される。そして、充電制御MOSトランジスタM1には、ソースからドレインが順方向となるボディダイオードD1が寄生的に形成される。なお、COUT端子は、充電制御端子であり、ハイレベル又はローレベルの電圧信号を出力し、充電制御MOSトランジスタM1のオン・オフを制御する。

#### 【0037】

外付けの放電制御MOSトランジスタM2は、DOUT端子からの信号により制御され、過放電時又は短絡時にはオフとなり、二次電池CELLからの放電を停止させるスイッチング素子である。放電制御MOSトランジスタM2は、例えば、NチャンネルMOSトランジスタが適用されてよい。放電制御MOSトランジスタM2は、ドレインが充電器接続端子P-側、ソースが二次電池CELLの負極側に接続され、ゲートはDOUT端子に接続される。また、放電制御MOSトランジスタM2には、ソースからドレインが順方向となるボディダイオードD2がやはり寄生的に形成される。なお、DOUT端子は、放電制御端子であり、ハイレベル又はローレベルの電圧信号を放電制御信号として出力し、放電制御MOSトランジスタM2のオン・オフを制御する。

#### 【0038】

次に、二次電池保護用集積回路装置120の構成要素について説明する。二次電池保護用集積回路装置120は、過充電検出回路10と、過放電検出回路20と、放電過電流検出回路30と、充電過電流検出回路40と、短絡検出回路50と、遅延回路60と、論理回路70、80と、過充電検出信号出力手段81と、レベルシフト回路90と、カウンタ100と、発振器110と、VDD端子と、VSS端子と、DS端子と、DOUT端子と、COUT端子と、V-端子とを備える。

#### 【0039】

過充電検出回路10は、二次電池CELLの充電時に、VDD端子が所定の過充電検出電圧よりも高くなると、二次電池CELLの過充電状態を検出する回路である。過充電検出回路10は、過充電状態を検出したときには、論理回路80、レベルシフト回路90を経て、COUT端子からローレベルを出力し、充電制御MOSトランジスタM1をオフとする。

#### 【0040】

論理回路80は、種々の入力に対して論理回路演算を行い、レベルシフト回路90に演算結果信号を出力するロジック回路である。入力は、過充電検出回路10、充電過電流検出回路40及びカウンタ100からの入力信号が入力されるようになっている。また、本実施例に係る二次電池保護モジュール150においては、論理回路80の演算結果のうち、過充電検出回路10により過充電を検出した場合には、過充電検出信号を短絡検出回路50に出力する過充電検出信号出力手段81を備える。本実施例に係る二次電池保護モジュール150においては、過充電状態を検出したときに、短絡検出回路50の短絡検出電圧の設定を変更するので、過充電を検出したときには、過充電検出信号が短絡検出回路5

10

20

30

40

50

0 に出力されるような構成となっている。なお、レベルシフト回路 90 は、論理回路 80 の出力を、NチャネルMOSトランジスタM1、M3を駆動制御するのに必要な電圧レベルに変換する回路である。

【0041】

過放電検出回路20は、二次電池CELLの放電時に、VDD端子が所定の過放電検出電圧以下になると、二次電池CELLの過放電状態を検出する回路である。過放電検出回路20は、過放電を検出したときには、論理回路70を介して、DOUT端子からローレベルを出力して放電制御MOSトランジスタM2をオフとし、二次電池CELLの放電を停止させる。

【0042】

放電過電流検出回路30は、二次電池CELLが充放電可能状態のときに、V-端子が所定の放電過電流検出電圧以上になると、放電過電流状態を検出する回路である。放電過電流検出回路30が、放電過電流状態を検出したときには、論理回路70を経て、DOUT端子にローレベルの電圧を出力し、放電制御MOSトランジスタM2をオフにして、放電を停止させ、回路に大電流が流れることを防ぐ。なお、論理回路70は、NチャネルMOSトランジスタM4の制御も行う。また、V-端子は、電池パック200の回路を流れる電流を、電圧に変換して検出する電流検出端子である。VSS端子が接地電位なので、このV-端子の電圧を検出することにより、回路を流れる電流を検出することができる。V-端子は、充電電流及び放電電流の双方を検出できる。V-端子は、充電電流を検出するときには、負電圧が検出され、放電電流を検出するときには、正電圧が検出される。

【0043】

短絡検出回路50は、二次電池CELLが充放電可能状態のときに、V-端子が所定の短絡検出電圧以上になると、短絡状態を検出する回路である。短絡は、急減な放電状態であるので、短絡検出電圧は、正電圧が検出される。短絡検出回路50が短絡状態を検出したときには、遅延回路60及び論理回路70を経て、DOUT端子にローレベルの電圧を出力し、放電制御MOSトランジスタM2をオフにして、放電を停止させ、回路に短絡による大電流が流れることを防ぐ。DOUT端子は、上述のように、放電制御端子として機能し、放電を停止させる制御信号と放電を行わせる制御信号を放電制御MOSトランジスタM2に対して出力し、二次電池CELLの放電を制御する。また、本実施例に係る短絡検出回路50においては、短絡検出電圧を、過充電検出時とそれ以外の通常時とで設定を変更し、短絡状態の検出を、二次電池CELLの状態を考慮して適切に行う。なお、この動作を行うための具体的な構成及び動作の詳細は後述する。

【0044】

放電過電流検出回路30と、短絡検出回路50は、その検出方法と制御方法はほぼ同一であるが、その検出電圧と設定された遅延時間等が異なる。また、本実施例に係る二次電池保護モジュール150においては、放電過電流検出電圧は一定であるが、短絡検出電圧は、過充電時とそれ以外の時とで設定を変更する点で、両者は異なっている。

【0045】

充電過電流検出回路40は、充放電可能状態のときに、異常な電圧又は電流の充電器接続等によって、V-端子電圧が充電過電流検出電圧以下になると、充電過電流状態を検出する回路である。充電過電流検出回路40は、充電過電流状態を検出すると、論理回路80及びレベルシフト回路90を経て、COUT端子からローレベルを出力し、充電制御MOSトランジスタM1をオフにし、大電流が回路による充電を防ぐ。

【0046】

DS端子は、電池パック200の検査時に、遅延時間を短縮するための端子である。また、発振器110は、所定の周波数の発振を生成するための手段であり、カウンタ100は、クロック信号の周波数変換を行う手段である。また、遅延回路60は、所定の遅延時間を生成するための回路である。

【0047】

次に、図2を用いて、実施例1に係る二次電池保護用集積回路装置120の主要構成要

10

20

30

40

50



素である短絡検出回路50の内部構成の詳細説明を行う。図2は、実施例1に係る二次電池保護用集積回路装置120の短絡検出回路50の内部構成を示した図である。

【0048】

図2において、実施例1に係る短絡検出回路50は、短絡検出電圧変更手段57と、コンパレータCMPとを備える。短絡検出電圧変更手段57は、分圧回路55と、スイッチSWとを含む。分圧回路55は、抵抗R51、R52、R53の直列接続で構成され、二次電池保護用集積回路装置120の内部の基準電圧Vrefから、短絡検出電圧を生成している。分圧回路55の抵抗R53の分圧 $(R53 \times Vref) / (R51 + R52 + R53)$ は、端子Aに出力され、抵抗 $(R52 + R53)$ の分圧 $(R52 + R53) \times Vref / (R51 + R52 + R53)$ は、端子Bに出力されるように構成されている。例えば、抵抗R53の両端の電圧が0.5[V]となるように設定しておけば、端子Aには0.5[V]が出力される。また、抵抗 $(R52 + R53)$ の両端の電圧が1.0[V]となるように設定しておけば、端子Bには、1.0[V]が出力されることになる。この接続を、スイッチSWで切り替えれば、分圧回路55により、Vfよりも電圧の大きい1.0[V]と、Vfよりも電圧の小さい0.5[V]の2種類の短絡検出電圧を生成することができる。

10

【0049】

ここで、スイッチSWの一端は、端子Aと端子Bの接続が切り替えられるように構成されており、スイッチSWの他端は、コンパレータCMPの一方の入力端子に接続されている。また、コンパレータCMPの他端は、V-端子に接続されている。よって、コンパレータCMPにより、V-端子で検出された電圧と、分圧回路55で生成された短絡検出電圧を比較する。なお、コンパレータCMPの出力端子には、遅延回路60が接続され、遅延回路60には、論理回路70が接続されている。そして、論理回路70からの出力は、DOU T端子に出力され、放電制御MOSトランジスタM2をオフとすることが可能に構成されている。この点は、図1で説明した構成と同様である。なお、スイッチSWは、種々の接続切替手段が適用されてよく、例えば、簡素なアナログスイッチが適用されてもよいし、MOSトランジスタ等の半導体スイッチング素子や、リレー手段等が適用されてもよい。

20

【0050】

次に、短絡検出電圧変更手段57の動作について説明する。まず、過充電検出回路10により、過充電が検出されていないときには、過充電検出信号出力手段81から、過充電検出信号は出力されず、この場合には、スイッチSWは、端子Aに接続される。過充電状態ではないので、短絡検出電圧を低く設定し、小電流の機器についても、短絡状態を確実に検出できる状態とすることが好ましいからである。過充電状態でないときには、充電制御MOSトランジスタM1はオンであり、そのオン抵抗は数10[m]であるから、充電制御MOSトランジスタM1のオン抵抗により、V-端子の電位上昇に与える影響は無視できる程に小さい。よって、通常通りのVfよりも低い短絡検出電圧、例えば0.5[V]程度に設定してよい。

30

【0051】

一方、過充電検出回路10により、過充電が検出されたときには、過充電検出信号出力手段81から、スイッチSWに過充電検出信号が出力される。これにより、スイッチSWは、接続を端子Aから端子Bに切り替える。これにより、短絡検出電圧は、Vfよりも高い電圧、例えば1.0[V]程度に設定される。そして、V-端子から検出される電圧が、抵抗 $(R53 + R52)$ の分圧回路で設定された電圧を超えない限りは、短絡が検出されない状態となる。過充電状態では、V-端子の電圧は、充電制御MOSトランジスタM1のボディダイオードD1によるPN接合の順方向電圧により、短絡電流や過放電電流が何も流れていない状態で0.6[V]に上昇しているため、短絡検出電圧が1.0[V]に設定されれば、実質的には、 $1.0 - 0.6 = 0.4$ [V]に設定されていることになり、適切に短絡状態を検出することができる。

40

【0052】

50

このように、実施例 1 に係る二次電池保護用集積回路装置 1 2 0 によれば、分圧回路 5 5、スイッチ S W、過充電検出信号を短絡検出回路 5 0 に出力する簡素な構成で、過充電検出状態又は過充電未検出状態のいずれであっても、確実にかつ適切に短絡状態を検出することができる。

#### 【 0 0 5 3 】

図 3 は、実施例 1 に係る二次電池保護用集積回路装置 1 2 0 を含む二次電池保護モジュール 1 5 0 の動作のタイミングチャートの一例を示した図である。図 3 ( a ) は、V D D 端子の電圧変化を示した図であり、図 3 ( b ) は、V - 端子の電圧変化を示した図である。また、図 3 ( c ) は、C O U T 端子の電圧変化を示した図であり、図 3 ( d ) は、充電電流と放電電流の変化を示した図である。なお、図 3 ( b ) においては、実線で本実施例

10

#### 【 0 0 5 4 】

図 3 ( a ) において、V D D 端子の電圧が上昇してゆき、時刻  $t_1$  で過充電検出電圧  $V_{DET1}$  に達し、遅延時間  $t_{VDET1}$  が経過すると、過充電検出回路 1 0 は、時刻  $t_2$  で過充電を検出する。このとき、図 3 ( b ) においては、過充電を検出するまでは、V - 端子における短絡検出電圧は、 $V_{DET3}$  であったが、過充電を検出した後、つまり時刻  $t_2$  で短絡検出電圧を  $V_{DET3}$  よりも大きい  $V_{DET4}$  に引き上げている。これにより、過充電検出時には、短絡検出電圧を上昇させ、ボディダイオード D 1 の順方向電圧  $V_f$

20

#### 【 0 0 5 5 】

次に、充電停止状態が保たれると、二次電池 C E L L の端子電圧は一定に保たれ、時刻  $t_3$  で負荷が接続されると、電圧は低下する。図 3 ( a ) に示すように、端子 V D D の電圧は、時刻  $t_3$  で負荷が接続されてから時刻  $t_4$  で充電復帰電圧  $V_{REL1}$  にまで低下し、所定の遅延時間  $t_{VREL1}$  が経過し、時刻  $t_5$  になると、充電再開状態となる。このとき、図 3 ( b ) に示すように、短絡検出電圧は、時刻  $t_5$  まで  $V_{DET4}$  であるが、過充電状態でなくなると、通常の短絡検出電圧  $V_{DET3}$  に戻る。これにより、過充電以外の通常の状態では、小電流の機器をも対象とした短絡検出電圧を設定することができる。また、このとき、図 3 ( c ) においては、時刻  $t_5$  で C O U T 端子はハイレベルの信号を出力し、充電制御 M O S トランジスタ M 1 をオンとし、充電を再開させた動作が示されている。また、図 3 ( d ) においては、負荷が接続された時刻  $t_4$  に、電流は放電電流に切り替わり、過充電状態からの放電が適切に行われていることが示されている。

30

#### 【 0 0 5 6 】

このように、図 3 ( b ) に示すように、過充電検出時に、短絡検出電圧を引き上げることにより、図 3 ( d ) に示すように、充放電が適切に実行されることが分かる。

40

#### 【実施例 2】

#### 【 0 0 5 7 】

図 4 は、本発明を適用した実施例 2 に係る二次電池保護用集積回路装置 1 2 0 a の短絡検出回路 5 0 a の構成を示した図である。実施例 2 に係る二次電池保護用集積回路装置 1 2 0 a、二次電池保護モジュール及び電池パックの全体構成は、実施例 1 の図 1 と同様であるので、その説明を省略する。実施例 2 に係る二次電池保護用集積回路装置 1 2 0 a においては、短絡検出回路 5 0 a の短絡検出電圧変更手段 5 7 a の構成のみが、実施例 1 に係る二次電池保護用集積回路装置 1 2 0 及び二次電池保護モジュール 1 5 0 と異なっている。

50

## 【0058】

図4において、実施例2に係る二次電池保護用集積回路装置120aの短絡検出回路50aは、分圧回路55a及びスイッチSWを含む短絡検出電圧変更手段57aと、コンパレータCMPとを備える点では、実施例1に係る短絡検出回路50と同様である。実施例2に係る短絡検出回路50aにおいては、短絡検出電圧変更手段57aのスイッチSWの位置が、分圧回路55aの抵抗R51aを短絡するか否かの切り替えを行うためのスイッチSWとして設けられている点で、実施例1に係る短絡検出回路50の短絡検出電圧変更手段57と異なっている。

## 【0059】

分圧回路55aは、抵抗R51a、52a、53aの直列接続で構成され、抵抗R53aの電位がコンパレータCMPの一方の入力端子に入力されるように固定接続されている。一方、抵抗R51aには、並列にスイッチSWが接続され、スイッチSWをオンとすると抵抗R51aを短絡し、スイッチSWをオフとすると、抵抗R51aが分圧回路55aの一部として直列接続され、分圧回路55aを構成する状態となる。分圧回路55aに印加される電圧はVrefで一定であるので、スイッチSWのオン・オフにより、コンパレータCMPに入力される短絡検出電圧の設定を異ならせることができる。また、スイッチSWには、過充電検出信号出力手段81から情報が送られ、過充電検出信号が出力されるようになっている。過充電検出信号出力手段81から、過充電検出信号が出力されたときには、スイッチSWをオンとして抵抗R51aを短絡し、コンパレータCMPに入力される分圧を高くするようにする。一方、過充電検出信号が出力されないときには、スイッチSWをオフとし、コンパレータCMPに入力される分圧が低くなるようにする。なお、スイッチSWのオン・オフで、コンパレータCMPに入力される短絡検出電圧は、実施例1と同様に、過充電が検出されたときには、ボディダイオードD1の順方向電圧Vfよりも高くなり、過充電が検出されないときには、ボディダイオードD1の順方向電圧Vfよりも低くなるように、分圧回路55aの抵抗R51a、52a、53aを調整する。

## 【0060】

また、コンパレータCMPの他方の入力端子には、V-端子が接続され、出力端子には、遅延回路60及び論理回路70が接続され、論理回路70の先には放電制御端子であるDOUT端子が接続されている点は、実施例1に係る短絡検出回路50及び二次電池保護用集積回路装置120と同様である。

## 【0061】

実施例2に係る二次電池保護用集積回路装置120aによれば、実施例1に係る二次電池保護用集積回路装置120と同様に、分圧回路55a及びスイッチSWという簡素な構成を有する短絡検出電圧変更手段57aを用いて、正確に短絡検出電圧の変更設定を行うことができる。

## 【実施例3】

## 【0062】

図5は、本発明を適用した実施例3に係る二次電池保護用集積回路装置120bの短絡検出回路50bの構成の一例を示した図である。実施例3に係る二次電池保護用集積回路装置120bは、短絡検出回路50bに、分圧回路55、55aの代わりに、電流源IsとインバータINVを用いた点において、実施例1及び実施例2に係る二次電池保護用集積回路装置120、120aと異なっている。なお、二次電池保護用集積回路120b、二次電池保護モジュール150及び電池パック200の全体構成は、図1と同様の構成であってよいので、その説明を省略する。

## 【0063】

図5において、実施例3に係る短絡検出回路50bは、短絡検出電圧変更手段57bと、インバータINVとを備える。短絡検出電圧変更手段57bは、電流源Isと、スイッチSWとを含む。また、スイッチSWには、過充電検出信号出力手段81から、過充電検出信号が出力されるように構成されている。実施例3に係る短絡検出回路50bにおいては、インバータINVの閾値電圧を過充電検出又は過充電未検出に応じて変更することで

10

20

30

40

50

、インバータINVからの出力電圧を変更し、短絡検出電圧の設定を変更する。

【0064】

図6は、図5に示した実施例3の短絡検出回路50bを、より詳細に示した図である。図6において、インバータINVは、CMOS (Complementary Metal Oxide Semiconductor) インバータとして構成され、高電位側のPチャンネルMOSトランジスタPMと、NチャンネルMOSトランジスタNMのドレイン同士が接続されて構成されている。PチャンネルMOSトランジスタPMのソースは電源VDDに接続され、NチャンネルMOSトランジスタNMのソースは接地されている。また、PチャンネルMOSトランジスタPM及びNチャンネルMOSトランジスタNMのゲートは、インバータINVの共通入力を構成し、ドレインは、共通出力を構成する。更に、PチャンネルMOSトランジスタPMのドレインと電源VDDとの間に電流源Isが接続され、電流源Isに並列にスイッチSWが接続されており、短絡検出電圧変更手段57bを構成している。

10

【0065】

かかる短絡検出回路50bにおいて、スイッチSWがオンとなり、電流源Isが短絡されている場合には、インバータINVの閾値電圧は、 $VDD/2$ となる。一方、スイッチSWをオフとし、電流源IsをインバータINVに接続した場合には、インバータINVの閾値電圧は、NチャンネルMOSトランジスタのスレッシュホールド電位 $V_{th}$ に切り替わる。

【0066】

図7は、図5及び図6に示した実施例3の短絡検出回路50bの動作の一例を説明するための図である。図7(a)は、インバータINVの入力電圧の変化の一例を示した図であり、図7(b)は、図7(a)に対応したインバータINVの出力電圧を示した図である。

20

【0067】

図7(a)において、まず、短絡検出回路50bのスイッチSWがオンであり、インバータINVの閾値電圧が $VDD/2$ に設定されている場合を考える。図7(a)において、インバータINVへの入力電圧が徐々に上昇した場合に、閾値電圧 $VDD/2$ に到達する時刻 $t_2$ までは、ローレベルの入力電圧が印加されているので、図7(b)に示すように、インバータINVに接続はハイレベルHの電圧を出力する。そして、入力電圧が $VDD/2$ に到達した時刻 $t_2$ で、NチャンネルMOSトランジスタNMがオンし、出力電圧がハイレベルに切り替わる。図7(b)においては、時刻 $t_2$ で、出力電圧 $V_{out}$ がハイレベルHからローレベルLに切り替わった状態が示されている。 $VDD$ が、例えば、4[V]であれば、 $VDD/2$ は2[V]となるので、高い閾値電圧を短絡検出電圧として設定することができる。

30

【0068】

一方、スイッチSWがオフであり、電流源IsがインバータINVに接続されている場合には、インバータINVの閾値電圧は、NチャンネルMOSトランジスタNMのスレッシュホールド電位 $V_{th}$ である。この場合、図7(a)に示されるように、インバータINVの入力電圧が徐々に上昇した場合には、時刻 $t_1$ でスレッシュホールド電位 $V_{th}$ に達し、図7(b)において示されるように、出力電圧が時刻 $t_1$ でハイレベルHからローレベルLに切り替わる。ここで、NチャンネルMOSトランジスタNMのスレッシュホールド電位 $V_{th}$ も約0.6[V]であるので、通常の短絡検出電圧の設定と近い値となる。

40

【0069】

図5に戻る。図5において、過充電検出信号出力手段81から、過充電検出信号が出力された場合には、スイッチSWはオンとなり、インバータINVの閾値電圧を $VDD/2$ に引き上げ、短絡検出電圧を $VDD/2$ に設定する。これにより、短絡検出電圧を、ボディダイオードD1の順方向電圧 $V_f$ よりも高い1[V]以上、例えば2[V]程度に設定することができる。一方、過充電検出信号出力手段81から、過充電検出信号が出力されないときには、スイッチSWをオフとし、電流源Isを接続して、NチャンネルMOSトランジスタNMのスレッシュホールド電位 $V_{th}$ をインバータINVの閾値電圧に設定する。こ

50

れにより、短絡検出電圧を、0.6〔V〕程度に設定することができ、小電流で動作する機器に対しても、十分に対応して短絡状態を検出することができる。

【0070】

なお、インバータINVの入力には、V-端子が接続され、インバータINVの出力には遅延回路60及び論理回路70が接続され、論理回路70の演算結果は、DOU T端子に出力されて、放電制御信号を出力する点は、実施例1及び実施例2と同様である。

【0071】

このように、実施例3に係る二次電池保護用集積回路装置120bのように、インバータINVを出力素子とし、インバータINVの出力電圧を切り替える短絡検出電圧変更手段57bを電流源Is及びスイッチSWで構成し、短絡検出電圧変更手段により、インバータINVの閾値電圧を切り替えて短絡検出電圧の設定を切り替えるようにしてもよい。インバータINVと、電流源Isは、抵抗で構成された分圧回路55、55aよりも、半導体基板上に省スペースで構成することができるので、チップ面積を殆ど増加させることなく短絡検出回路50bを半導体基板上に構成することができる。実施例3に係る二次電池保護用集積回路装置120bによれば、省スペースで、短絡検出を的確に行う二次電池保護用集積回路装置120bとすることができる。

【0072】

以上、本発明の好ましい実施例について詳説したが、本発明は、上述した実施例に制限されることなく、本発明の範囲を逸脱することなく、上述した実施例に種々の変形及び置換を加えることができる。

【図面の簡単な説明】

【0073】

【図1】実施例1に係る二次電池保護用半導体集積回路装置120、二次電池保護モジュール150及び電池パック200の全体構成図である。

【図2】実施例1の短絡検出回路50の内部構成の一例を示した図である。

【図3】実施例1に係る二次電池保護用集積回路装置120のタイミングチャートである。

【図4】実施例2の短絡検出回路50aの構成の一例を示した図である。

【図5】実施例3の短絡検出回路50bの構成の一例を示した図である。

【図6】実施例3の短絡検出回路50bを、より詳細に示した図である。

【図7】実施例3の短絡検出回路50bの動作の一例を説明するための図である。図7(a)は、インバータINVの入力電圧の変化の一例を示した図である。図7(b)は、図7(a)に対応したインバータINVの出力電圧を示した図である。

【図8】従来の二次電池保護モジュールの一例を示した図である。

【図9】一般的なNチャンネルMOSトランジスタの断面構造の一例を示した図である。

【図10】従来の電池パック300が短絡された状態を模式的に示した図である。

【符号の説明】

【0074】

- 10 過充電検出回路
- 20 過放電検出回路
- 30 放電過電流検出回路
- 40 充電過電流検出回路
- 50、50a、50b、150 短絡検出回路
- 55、55a 分圧回路
- 57、57a、57b 短絡検出電圧変更手段
- 60 遅延回路
- 70、80 論理回路
- 81 過充電検出信号出力手段
- 90 レベルシフト回路
- 100 カウンタ

10

20

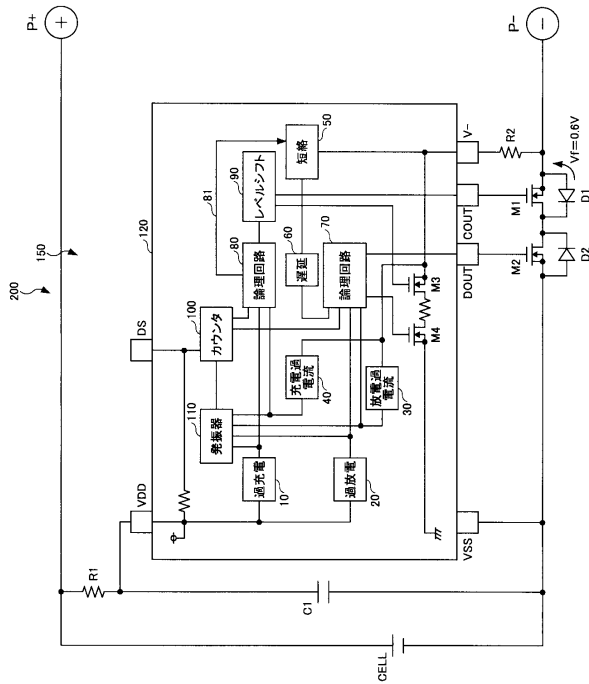
30

40

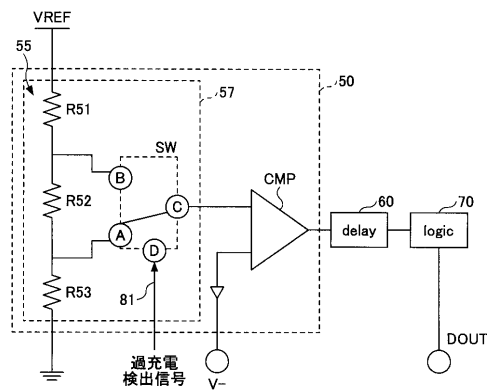
50

- 1 1 0 発振器
- 1 2 0、1 2 0 a、1 2 0 b 二次電池保護用集積回路装置
- 1 5 0、2 5 0 二次電池保護モジュール
- 2 0 0、3 0 0 電池パック
- D O U T 放電制御端子
- M 1 充電制御M O S トランジスタ
- M 2 放電制御M O S トランジスタ
- D 1、D 2 ボディダイオード
- R 5 1、R 5 1 a、R 5 2、R 5 2 a、R 5 3、R 5 3 a 抵抗
- C M P コンパレータ
- S W スイッチ
- I N V インバータ
- I s 電流源
- P M PチャネルM O S トランジスタ
- N M NチャネルM O S トランジスタ

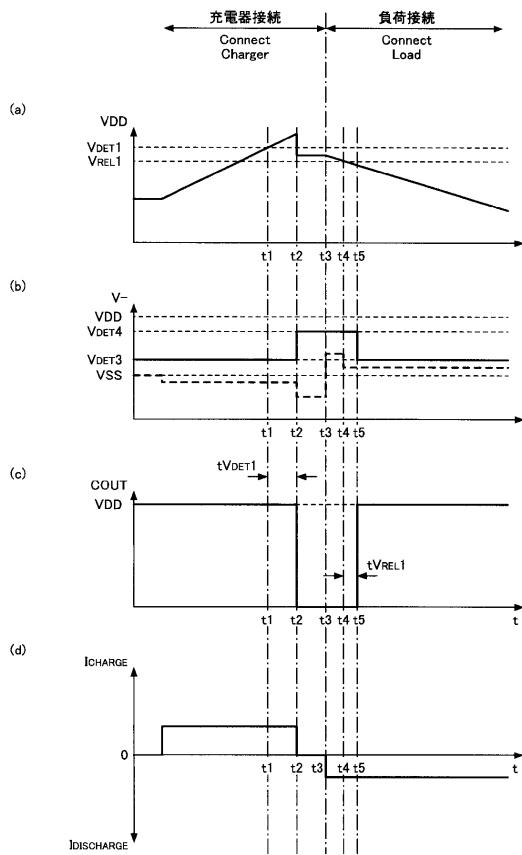
【図1】



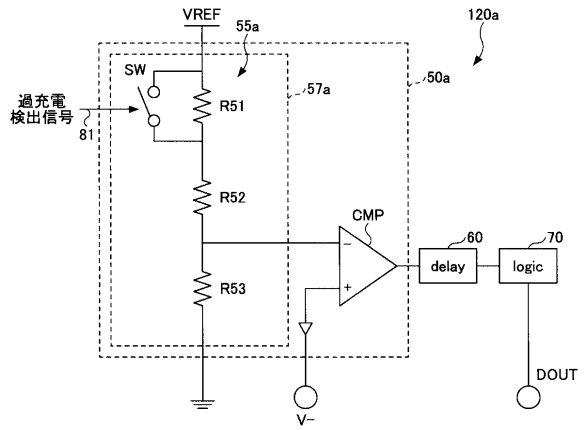
【図2】



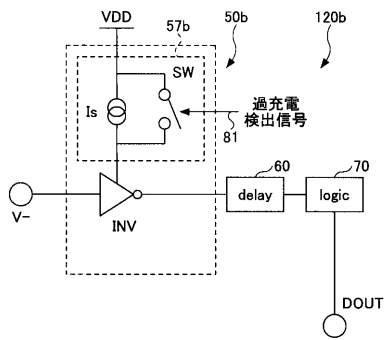
【 図 3 】



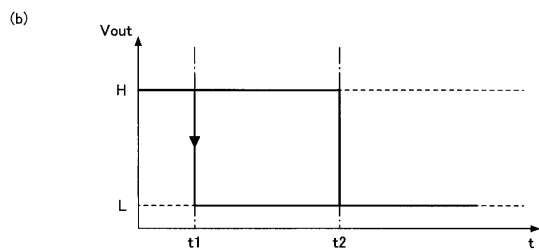
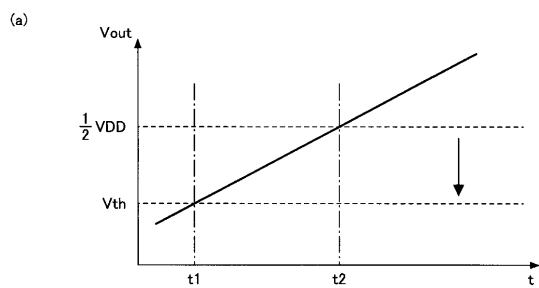
【 図 4 】



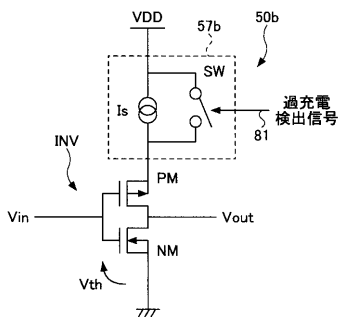
【 図 5 】



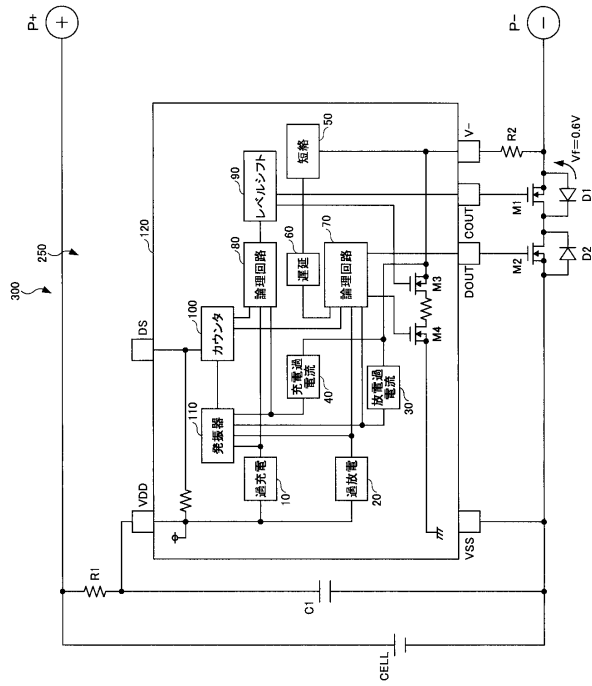
【 図 7 】



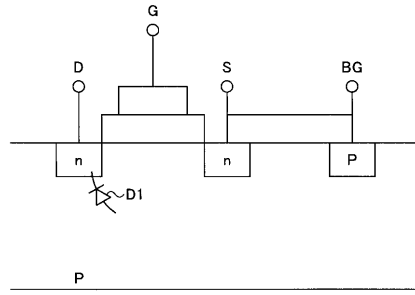
【 図 6 】



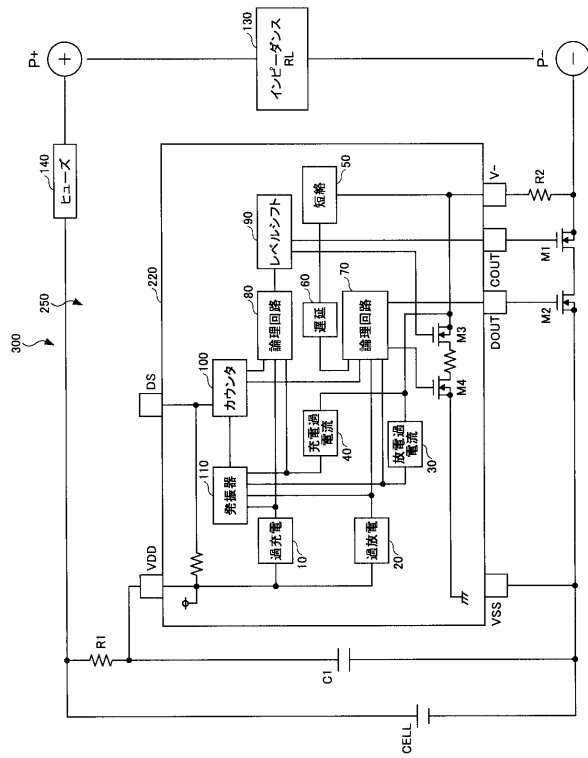
【図 8】



【図 9】



【図 10】





---

フロントページの続き

(56)参考文献 特開2003-169422(JP,A)  
特開平10-229636(JP,A)  
特開平04-200009(JP,A)  
特開2007-028898(JP,A)  
特開2007-49796(JP,A)  
特開2005-12852(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01M 10/42 - 10/48、

H02J 7/00 - 7/12、 7/34 - 7/36