

(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
H01L 21/8242

(11) 공개번호 10-2005-0068389
(43) 공개일자 2005년07월05일

(21) 출원번호 10-2003-0099741
(22) 출원일자 2003년12월30일

(71) 출원인 주식회사 하이닉스반도체
경기 이천시 부발읍 아미리 산136-1

(72) 발명자 정진기
경기도이천시부발읍신하리신한아파트101-105

(74) 대리인 특허법인 신성

심사청구 : 없음

(54) 반도체 소자의 커패시터 형성 방법

요약

본 발명은 클리닝 케미컬을 사용하여 커패시터의 표면적을 증가시켜 소자의 특성을 향상시킬 수 있도록한 반도체 소자의 커패시터 형성 방법에 관한 것으로, 스토리지 노드 콘택에 연결되도록 제1폴리실리콘층을 형성하는 단계, 상기 제1폴리실리콘층 상에 세정액에 영향을 받는 제1물질층과 영향을 받지 않는 제2물질층을 적층 형성하는 단계, 스토리지 노드 마스크를 이용하여 상기 적층 형성된 제1,2물질층을 선택적으로 패터닝하는 단계, 세정 공정을 진행하여 상기 제1물질층의 측면이 일부 식각되도록 하는 단계, 상기 측면이 일부 식각된 제1물질층을 포함한 전면에 제2폴리실리콘층을 형성하는 단계, 상기 제1,2폴리실리콘층을 식각하여 상기 제1,2물질층에 의해 굴곡을 갖는 스토리지 노드를 형성하는 단계, 및 상기 제1,2물질층을 제거하는 단계를 포함한다.

대표도

도 2c

색인어

커패시터, 아민계 솔벤트, Ti, ACT

명세서

도면의 간단한 설명

도 1a는 비트 라인 형성을 위한 식각 공정후의 SEM 사진,

도 1b는 비트 라인 형성을 위한 식각 공정후에 진행되는 솔벤트 세정후의 SEM 사진,

도 1c는 도 1b의 단면 구조를 나타낸 구성도,

도 2a 내지 도 2f는 본 발명의 제 1 실시예에 따른 반도체 소자의 커패시터 형성을 위한 공정 단면도,

도 3a 및 도 3b는 본 발명의 제 2 실시예에 따른 반도체 소자의 커패시터 형성을 위한 공정 단면도.

*도면의 주요 부분에 대한 부호의 설명

20 : 스토리지 노드 콘택 21 : 층간 절연층

22 : 제 1 폴리 실리콘층 22a : 제 2 폴리 실리콘층

23 : Ti층 24 : 희생 물질층

25 : 스토리지 노드 마스크

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조에 관한 것으로, 특히 클리닝 케미컬을 사용하여 커패시터의 표면적을 증가시켜 소자의 특성을 향상시킬 수 있도록한 반도체 소자의 커패시터 형성 방법에 관한 것이다.

DRAM 개발에 있어서의 최대 관점은 미세 패턴을 형성하는데 필요한 포토 및 에치 등의 공정 기술 개발 이외에도 정보 전하를 저장할 기억 소자를 효율적으로 축소시키는 것이 중요하다.

하지만 기억 소자 크기 감소에 따라 커패시터가 차지하고 있는 영역이 축소되어 기억된 정보의 유지를 위한 충분한 충전 용량을 확보하는데 있어 심각한 제약이 따른다.

종래 기술에서 커패시터 용량을 증가시키는 방법으로 다음과 같은 방법이 사용된다.

먼저, 커패시터 상,하부 전극 사이에 구성되는 유전체막을 고유전을 박막(ϵ)을 사용하여 커패시턴스를 증대시키는 것이다.

이 방법은 커패시터 용량을 증가시킬수는 있지만, 고유전을 박막으로 갈수록 에너지 밴드 갭(energy band gap)이 작아져 누설전류 특성이 나빠지는 문제가 있다.

그리고 커패시터 상,하부 전극 사이에 구성되는 유전 박막의 두께(d)를 감소시키는 것이다. 그러나 이 방법 역시 누설전류가 증가하는 방향이므로 바람직하지 않다.

그리고 커패시터의 상,하부 전극의 표면적을 증가시켜 커패시턴스를 증가시키는 방법이 있다.

이 방법은 기존의 dielectric 물질과 두께를 동일하게 하고서도 커패시터 용량을 증가시킬 수 있어 널리 사용중에 있다.

이중에서 커패시터 면적을 증가시키는 방법은 커패시터를 3차원으로 셀 디자인하여 적층구조(stacked structure) 또는 홈구조(trench structure)로 만들므로써 소자의 면적과 간격을 확보하는 것이다.

그리고 전하저장의 표면에 요철을 주어 유효 면적을 증가시키켜 커패시턴스를 확보하는 방법으로 준안정성 폴리실리콘막(Metastable PolySilicon:MPS) 그레인(Grain)을 전극 표면에 증착하는 방법이다.

MPS는 LPCVD(low pressure chemical vaper deposition) 시스템에서 실리콘을 580 °C 근방에서 증착할 때, 폴리실리콘 표면이 반구형되면서 증착되는 것으로, HSG(hemispherical shaped grains)라고도 한다.

580 °C의 온도는 증착된 실리콘의 구조가 비정질에서 다결정으로 변하는 천이 구역에 해당되며, 이 천이 구역은 온도와 압력, 시드 물질(Seed material)로 사용되는 SiH_4 의 유속 등의 증착 변수 함수이다.

그러나 이와 같은 MPS를 이용한 커패시턴스 증대 방법은 디바이스가 고집적화 됨에 따라 MPS 성장공정시 공정 마진이 아주 작다.

또한, 웨이퍼 전면에 균일하게 증착시키기 어렵고, 국부적으로 비성장 영역이 발생하며, 스토리지 노드(Storage Node:SN)간 전기적 브릿지(bridge) 발생 가능성, SN 산화막간 홈(hole) 발생 등의 문제가 있어 커패시턴스 증대에 제약이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 이와 같은 종래 기술의 반도체 소자의 커패시터 제조 공정의 문제를 해결하기 위하여 제안된 것으로, 클리닝 케미컬을 사용하여 커패시터의 표면적을 증가시켜 소자의 특성을 향상시킬 수 있도록한 반도체 소자의 커패시터 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

이와 같은 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 커패시터 형성 방법은 스토리지 노드 콘택에 연결되도록 제1폴리실리콘층을 형성하는 단계, 상기 제1폴리실리콘층 상에 세정액에 영향을 받는 제1물질층과 영향을 받지 않는 제2물질층을 적층 형성하는 단계, 스토리지 노드 마스크를 이용하여 상기 적층 형성된 제1,2물질층을 선택적으로 패터닝하는

단계, 세정 공정을 진행하여 상기 제1물질층의 측면이 일부 식각되도록 하는 단계, 상기 측면이 일부 식각된 제1물질층을 포함한 전면에 제2폴리실리콘층을 형성하는 단계, 상기 제1,2폴리실리콘층을 식각하여 상기 제1,2물질층에 의해 굴곡을 갖는 스토리지 노드를 형성하는 단계, 및 상기 제1,2물질층을 제거하는 단계를 포함하는 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

도 1a는 비트 라인 형성을 위한 식각 공정후의 TEM 사진이다.

그리고 도 1b는 비트 라인 형성을 위한 식각 공정후에 진행되는 솔벤트 세정후의 TEM 사진이고, 도 1c는 도 1b의 단면 구조를 나타낸 구성도이다.

본 발명은 커패시터 용량을 증대시키기 위하여 커패시터 표면적을 증가시키는 방법으로, Ti가 Amine-based 솔벤트 세정 케미컬(solvent cleaning chemical) 예를 들어, ACT 솔벤트 처리시 어택을 받아 습식 형태의 식각이 이루어지는 것을 이용하여 커패시터 표면적을 증가시킬 수 있도록한 것이다.

본 발명에 사용되는 솔벤트 세정 케미컬에 의한 Ti의 패터닝에 관하여 설명한다.

도 1a는 비트 라인 식각후 아민계(amine-based) 솔벤트 세정 케미컬 전의 TEM 사진을 나타낸 것이고, 도 1b는 비트 라인 식각후 ACT 솔벤트 처리를 10분간 실시한 후의 TEM 사진이다.

사진에서 보면 비트 라인 배리어 메탈로 사용되는 TiN/Ti 중 Ti가 측면(side) 당 20nm 정도씩 습식 식각된 것(가)을 확인할 수 있다.

도 1c는 도 1b의 단면 구성을 도시한 것으로, 산화막(1), 비트 라인 배리어층으로 사용되는 Ti/TiN(2)(3), 그리고 비트 라인으로 사용되는 W(4), 비트 라인 하드 마스크층으로 사용되는 나이트라이드층(5)이 적층된 구조이다.

여기서, 산화막(1) 상부 Ti(2)가 아민계(amine-based) 솔벤트 세정 케미컬에 의해 어택을 받는 것을 알 수 있다.

본 발명은 이와 같은 원리를 이용하는 것으로 ACT 솔벤트 처리시에 Ti 부분만 어택을 받는 것을 이용하여 커패시터 면적 증가에 적용한 것이다.

본 발명에 따른 커패시터 형성 공정은 다음과 같다.

도 2a내지 도 2f는 본 발명의 제 1 실시예에 따른 반도체 소자의 커패시터 형성을 위한 공정 단면도이다.

먼저, 도 2a에서와 같이, 셀 트랜지스터(도시하지 않음)가 형성된 전면에 층간 절연층(21)을 형성하고 스토리지 노드 콘택(Storage Node Contact)(20)을 형성한다.

그리고 스토리지 노드를 형성하기 위한 제1폴리실리콘(22)을 증착시킨 후, Ti(23)와 ACT 솔벤트에 어택을 받지 않는 물질로 예를 들어, TiN, W 또는 산화막 중에서 선택된 하나를 전극 패턴을 형성하기 위한 희생물질층(24)으로 형성한다.

이어, 상기 희생물질층(24) 상에 스토리지 노드 마스크(25)를 형성한다.

그리고 도 2b에서와 같이, 스토리지 노드 마스크(25)를 이용하여 ACT 솔벤트에 어택을 받지 않는 희생 물질층(24)과 Ti(23)를 차례로 플라즈마 식각하여 스토리지 노드를 형성하기 위한 희생물질층패턴(24a)과 Ti 층(23a)을 형성한다.

이어, 도 2c에서와 같이, ACT 솔벤트 처리를 일정시간 실시하여 Ti 패턴층(23b)을 형성한다.

여기서, Ti 패턴층(23b)은 ACT 솔벤트의 어택을 받아 측면으로 일정 부분 치고 들어가는 것을 알 수 있다. 이때 ACT 솔벤트 딥 타임을 증가시키는 것에 의해 Ti 어택 정도는 증가하게 되므로 표면적이 증가한다.

그리고 도 2d에서와 같이, 일정 두께의 제2폴리실리콘(22a)을 전면에 증착시킨다.

여기서, 폴리 실리콘은 균일하게 증착되는 특성을 갖고 있어 ACT 솔벤트 어택에 의해 측면에 치고 들어간 형태의 Ti 패턴층(23b)의 측면에도 증착이 된다.

이어, 도 2e에서와 같이, 제1,2폴리실리콘(22)(22a)을 일정 타겟으로 블랭킷(blanket)으로 플라즈마 식각을 한다. 이때 충분한 오버 에치를 실시하여 상부에 있는 ACT 솔벤트에 어택을 받지 않는 물질 즉, 희생 물질층(24a)과 하부의 층간 절연층(21)이 노출되도록 한다.

그리고 도 2f에서와 같이, ACT 솔벤트에 어택을 받지 않는 물질로 구성된 스토리지 노드를 형성하기 위한 패턴(23a)(24a)과 Ti 패턴층(23b)을 습식 케미컬로 제거하여 제 1 폴리 실리콘 패턴층과 제 2 폴리 실리콘 패턴층으로 이루어진 표면적이 증가된 스토리지 노드(22b)를 형성한다.

여기서, ACT 솔벤트에 어택을 받지 않는 물질이 W 또는 TiN일 경우 하부 Ti는 모두 SPM(Sulfuric acid Hydrogen Peroxide Mixture) 또는 APM(Ammonia Hydrogen Peroxide Mixture)을 사용하여 모두 제거할 수 있다.

ACT 솔벤트에 attack을 받지 않는 물질이 산화막일 경우에는 HF가 포함되어 있는 습식 케미컬(BOE)을 이용하여 산화막을 먼저 제거하고 하부 Ti는 SPM 또는 APM 케미컬을 이용하여 제거 가능하다.

이 단계에서 SPM, APM 그리고 BOE에 의한 폴리 실리콘의 손상은 없다.

그리고 본 발명에 따른 제 2 실시예에 따른 커패시터 형성 공정을 설명하면 다음과 같다.

도 3a와 도 3b는 본 발명의 제 2 실시예에 따른 반도체 소자의 커패시터 형성을 위한 공정 단면도이다.

커패시터 용량을 더욱더 증가가 필요할 시에는 추가로 Ti와 ACT 솔벤트에 어택을 받지 않는 물질을 증착하여 다층 구조를 갖도록 형성한 후에 후속 공정을 진행한다.

도 3a에서와 같이, 층간 절연층(31)의 콘택홀내에 스토리지 노드 콘택(30)을 형성시키고 전극용으로 제 1 폴리 실리콘(32a)을 증착시킨 후, Ti와 ACT 솔벤트에 어택을 받지 않는 물질을 반복하여 증착한다.

그리고 SNC 마스크 작업을 하여 플라즈마 식각을 한후에 ACT 솔벤트 처리를 하고 제 2 폴리 실리콘층(32b)을 증착한다.

그리고 제 1,2 폴리 실리콘층(32a)(32b)을 블랭킷 식각하여 스토리지 노드의 패터닝을 한다.

그리고 도 3b에서와 같이, 제 1,2 Ti층(33a)(33b) 그리고 ACT 솔벤트 처리에 어택을 받지 않는 제 1,2 물질층(34a)(34b)을 제거하여 스토리지 노드(35)를 형성한다.

이와 같은 본 발명은 커패시터 용량 증가를 위하여 ACT 솔벤트의 어택에 선택비를 갖는 물질층을 교대로 증착하고 패터닝한 후에 ACT 솔벤트 처리를 하여 스토리지 노드의 굴곡을 크게 하여 표면적을 증가시킨 것이다.

이와 같이 커패시터 표면적을 증가시키는 것에 의해 커패시터 용량을 증가시킬 수 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

발명의 효과

상술한 본 발명은 커패시터 용량 증가를 위하여 ACT 솔벤트의 어택에 선택비를 갖는 물질층을 교대로 증착하고 패터닝한 후에 ACT 솔벤트 처리를 하여 스토리지 노드의 굴곡을 크게 하여 표면적을 증가시킬 수 있다.

이는 단순한 공정으로 커패시터 표면적을 증가시키는 것에 의해 커패시터 용량을 효과적으로 증가시켜 소자의 동작 신뢰성 및 소자 제조 공정의 용이성을 확보하는 효과를 갖는다.

(57) 청구의 범위

청구항 1.

스토리지 노드 콘택에 연결되도록 제1폴리실리콘층을 형성하는 단계;

상기 제1폴리실리콘층 상에 세정액에 영향을 받는 제1물질층과 영향을 받지 않는 제2물질층을 적층 형성하는 단계;

스토리지 노드 마스크를 이용하여 상기 적층 형성된 제1,2물질층을 선택적으로 패터닝하는 단계;

세정 공정을 진행하여 상기 제1물질층의 측면이 일부 식각되도록 하는 단계;

상기 측면이 일부 식각된 제1물질층을 포함한 전면에 제2폴리실리콘층을 형성하는 단계;

상기 제1,2폴리실리콘층을 식각하여 상기 제1,2물질층에 의해 굴곡을 갖는 스토리지 노드를 형성하는 단계; 및

상기 제1,2물질층을 제거하는 단계

를 포함하는 반도체 소자의 커패시터 형성 방법.

청구항 2.

제1항에 있어서,

상기 제1물질층을 Ti로 형성하고, 상기 제2물질층을 TiN, W 또는 산화막 중에서 어느 하나를 사용하는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

청구항 3.

제1항에 있어서,

상기 세정 공정시에 ACT 솔벤트를 사용하는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

청구항 4.

제1항에 있어서,

상기 스토리지 노드를 형성하기 위한 제1,2폴리실리콘층의 식각 공정을 상기 제2물질층의 상부 표면이 노출되도록 블랭킷 식각하는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

청구항 5.

제2항에 있어서,

상기 제2물질층이 W 또는 TiN이고, 상기 제1물질층이 Ti일 경우,

상기 제1물질층인 Ti를 SPM 또는 APM을 사용하여 모두 제거하는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

청구항 6.

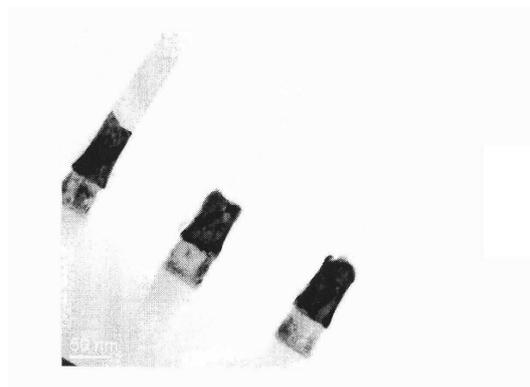
제2항에 있어서,

상기 제2물질층이 산화막이고, 상기 제1물질층이 Ti일 경우,

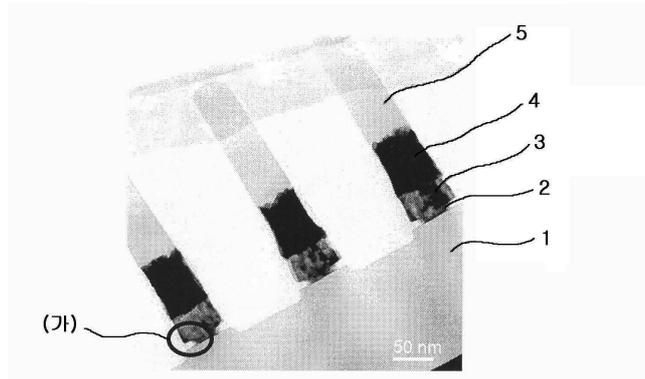
HF가 포함되어 있는 습식 케미컬(BOE)을 이용하여 상기 산화막을 먼저 제거하고 상기 Ti는 SPM 또는 APM 케미컬을 이용하여 제거하는 것을 특징으로 하는 반도체 소자의 커패시터 형성 방법.

도면

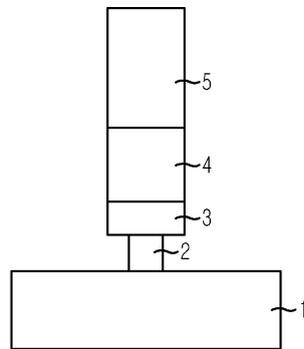
도면1a



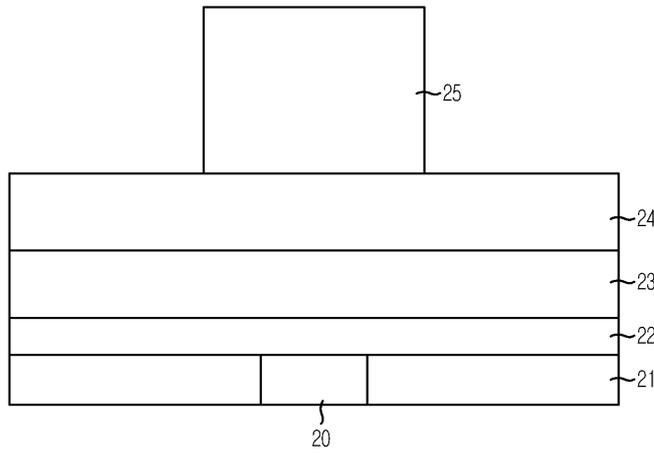
도면1b



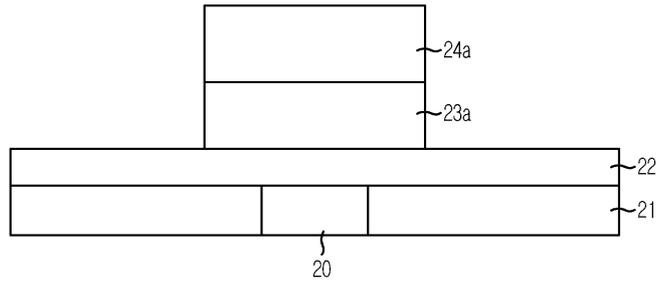
도면1c



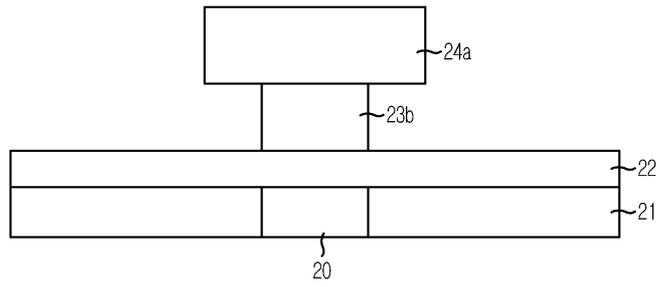
도면2a



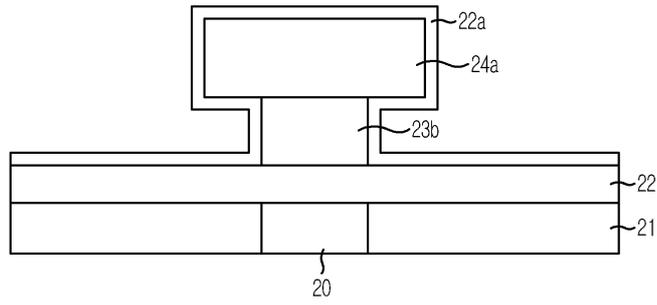
도면2b



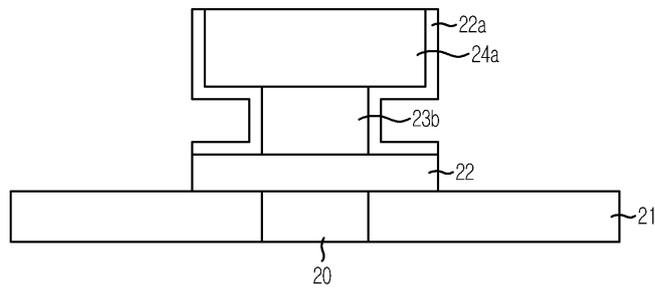
도면2c



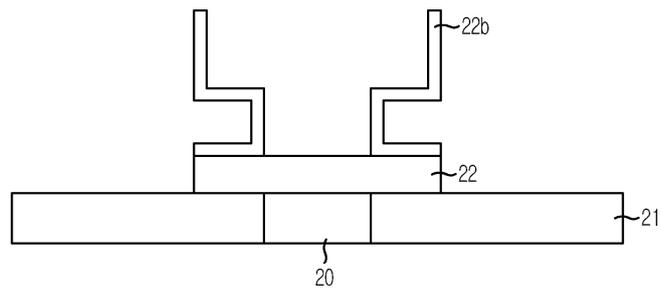
도면2d



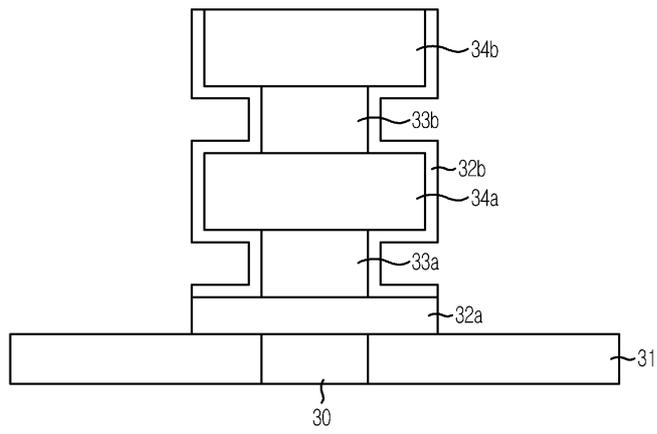
도면2e



도면2f



도면3a



도면3b

