

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/11 (2006.01)

H01L 23/522 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710002311.1

[43] 公开日 2007年7月4日

[11] 公开号 CN 1992284A

[22] 申请日 2003.1.7

[21] 申请号 200710002311.1

分案原申请号 03100919.0

[30] 优先权

[32] 2002.1.7 [33] KR [31] 677/02

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 金成奉 郑舜文 朴宰均

[74] 专利代理机构 北京市柳沈律师事务所
代理人 张波

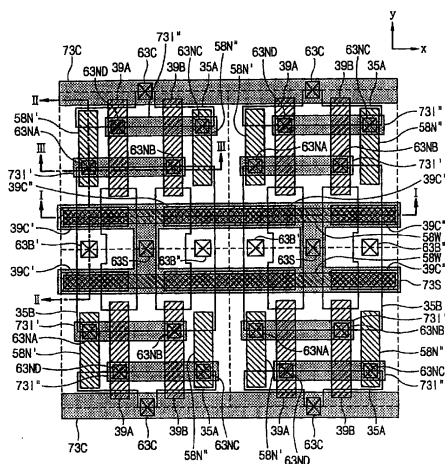
权利要求书 14 页 说明书 17 页 附图 16 页

[54] 发明名称

静态随机存取存储单元的布置及其器件

[57] 摘要

本发明公开一种 SRAM 单元和器件。SRAM 单元可与相邻单元共享连线，该连线包括接地、电源电压和/或位线连线。还提供包括设在半导体衬底中的第一和第二有源区的 SRAM 单元和器件。平行的第一和第二栅极电极横穿第一和第二有源区。第一有源区靠近第一栅极电极的一端通过平行于第一栅极电极的第一节点线电连接至靠近第一栅极电极的第二有源区，而第一有源区靠近第二栅极电极的另一端经平行于第二栅极电极的第二节点线电连接至靠近第二栅极电极的第二有源区。第一节点线经横穿第一节点线的第一局部互连电连接至第二栅极电极，第二节点线经横穿第二节点线的第二局部互连电连接至第一栅极电极。另外字线可直接接触 SRAM 单元的传输晶体管的栅极电极。



1. 一种 SRAM 单元, 包括:

半导体衬底;

设置在半导体衬底内的第一有源区;

邻近第一有源区设置的第二有源区, 第二有源区包括平行于第一有源区的驱动晶体管有源区、以及从驱动晶体管有源区的相对端沿着与第一有源区相反的方向伸出的第一和第二传输晶体管有源区;

第一有源区和驱动晶体管有源区上的第一栅极电极;

第一有源区和驱动晶体管有源区上的第二栅极电极, 第二栅极电极基本上平行于第一栅极电极;

第一和第二传输晶体管有源区上的直的字线, 该直的字线基本上垂直于第一和第二栅极电极;

设置在字线和第一传输晶体管有源区之间的第三栅极电极, 第三栅极电极直接与字线的底面相接触; 以及

设置在字线和第二传输晶体管有源区之间的第四栅极电极, 第四栅极电极直接与字线的底面相接触。

2. 如权利要求 1 所述的 SRAM 单元, 还包括:

第一节点线, 其构造成将邻近第一栅极电极的第一有源区的第一端电连接到第一和第三栅极电极之间的第二有源区上, 第一节点线平行于第一栅极电极设置;

第二节点线, 其构造成将邻近第二栅极电极的第一有源区的第二端电连接到第二和第四栅极电极之间的第二有源区, 第二节点线平行于第二栅极电极设置;

第一局部互连, 其构造成将第一节点线电连接到第二栅极电极上, 第一局部互连横穿第一节点线和第二栅极电极; 以及

第二局部互连, 其构造成将第二节点线电连接到第一栅极电极上, 第二局部互连横穿第二节点线和第一栅极电极。

3. 如权利要求 2 所述的 SRAM 单元, 其中, 第一和第二节点线与第一和第二有源区之间的器件隔离层的顶面相接触。

4. 如权利要求 2 所述的 SRAM 单元, 其中, 第一局部互连的第一端构

造成通过暴露出第一节点线的预定区域的第一节点接触孔电连接至第一节点线上，而第一局部互连的第二端构造造成通过暴露出第二栅极电极的预定区域的第二节点接触孔电连接到第二栅极电极上。

5. 如权利要求4所述的SRAM单元，其中，第一和第二节点接触孔分别在其中包括第一和第二节点接触插塞。

6. 如权利要求4所述的SRAM单元，其中，第二节点接触孔的一部分设置成与第二有源区重叠。

7. 如权利要求2所述的SRAM单元，其中，第二局部互连的一端构造造成通过暴露出第二节点线的预定区域的第三节点接触孔电连接到第二节点线上，而第二局部互连的另一端构造造成通过暴露出第一栅极电极预定区域的第四节点接触孔电连接到第一栅极电极上。

8. 如权利要求7所述的SRAM单元，其中，第三和第四节点接触孔分别在其中包括第三和第四节点接触插塞。

9. 如权利要求7所述的SRAM单元，其中，第四节点接触孔与第一有源区的一部分重叠。

10. 如权利要求1所述的SRAM单元，其中，第一有源区具有在第一和第二栅极电极之间的被构造造成延伸到相邻单元的一部分。

11. 如权利要求10所述的SRAM单元，还包括电源线接触孔，其被构造造成暴露出第一有源区的构造造成延伸到相邻单元的该部分，该电源线接触孔被构造造成由该单元和相邻单元共享。

12. 如权利要求1所述的SRAM单元，其中，第二有源区还包括接地源极区，该接地源极区从第一和第二栅极电极之间的第二有源区沿着与第一有源区相反的方向延伸，且第三和第四栅极电极设置在接地源极区的相对侧上。

13. 如权利要求1所述的SRAM单元，还包括：

第一位线焊点接触孔，其暴露出第一传输晶体管有源区的一部分，该第一位线焊点接触孔被构造造成由该单元和相邻的单元共享；以及

第二位线焊点接触孔，其暴露出第二传输晶体管有源区的一部分，该第二位线焊点接触孔构造造成由该单元和相邻单元共享。

14. 如权利要求12所述的SRAM单元，还包括地线接触孔，其暴露出接地源极区的一部分，该地线接触孔构造造成由该单元和相邻单元共享。

15. 一种 SRAM 单元, 包括:

半导体衬底;

设置在半导体衬底内的第一有源区;

邻近第一有源区的第二有源区, 第二有源区包括基本上平行于第一有源区的驱动晶体管有源区、从驱动晶体管有源区的中心区域沿着相反于第一有源区的方向延伸的接地源极区、以及从驱动晶体管有源区的相对端沿着相反于第一有源区的方向延伸的第一和第二传输有源区;

暴露出接地源极区的一部分的地线接触孔, 地线接触孔被构造成由该单元和相邻单元共享; 以及

横穿第一和第二传输晶体管有源区的地线, 地线具有延伸以覆盖地线接触孔并通过地线接触孔电连接到接地源极区的一部分, 该部分还被构造成电连接到相邻单元的地线上。

16. 如权利要求 15 所述的 SRAM 单元, 还包括:

横贯第一有源区和驱动晶体管有源区的第一和第二栅极电极, 第一和第二栅极电极设置在接地源极区的相对侧上;

横穿第一传输晶体管有源区的第三栅极电极, 第三栅极电极设置在地线之下;

横穿第二传输晶体管有源区的第四栅极电极, 第四栅极电极设置在地线之下并与第三栅极电极分隔开; 以及

横穿第一和第二传输晶体管有源区的直的字线, 该直的字线直接与第三和第四栅极电极的顶面相接触并设置在地线之下。

17. 如权利要求 16 所述的 SRAM 单元, 其中, 第一有源区具有第一端和与第一端相对的第二端, 该单元还包括:

第一节点线, 其被构造成将邻近第一栅极电极的第一有源区的第一端电连接到第一和第三栅极电极之间的第二有源区, 第一节点线基本上平行于第一栅极电极设置;

第二节点线, 其被构造成将邻近第二栅极电极的第一有源区的第二端电连接到第二和第四栅极电极之间的第二有源区, 第二节点线基本平行于第二栅极电极设置;

第一局部互连, 其被构造成将第一节点线电连接到第二栅极电极上, 第一局部互连横穿第一节点线和第二栅极电极; 以及

第二局部互连，其被构造成将第二节点线电连接到第一栅极电极上，第二局部互连横穿第二节点线和第一栅极电极。

18. 如权利要求 17 所述的 SRAM 单元，其中，第一局部互连的第一端被构造成通过暴露出第一节点线预定区域的第一节点接触孔电连接到第一节点线上，而第一局部互连的第二端被构造成通过暴露出第二栅极电极预定区域的第二节点接触孔电连接到第二栅极电极上。

19. 如权利要求 18 所述的 SRAM 单元，还包括第一节点接触孔内的第一节点接触插塞和第二节点接触孔内的第二节点接触插塞。

20. 如权利要求 18 所述的 SRAM 单元，其中，第二节点接触孔设置成与第二有源区的一部分重叠。

21. 如权利要求 17 所述的 SRAM 单元，其中，第二局部互连的一端通过暴露出第二节点线预定区域的第三节点接触孔电连接到第二节点线上，而第二局部互连的另一端通过暴露出第一栅极电极预定区域的第四节点接触孔电连接到第一栅极电极上。

22. 如权利要求 21 所述的 SRAM 单元，还包括第三节点接触孔内的第三节点接触插塞以及第四节点接触孔内的第四节点接触插塞。

23. 如权利要求 21 所述的 SRAM 单元，其中，第四节点接触孔设置成与第一有源区的一部分重叠。

24. 如权利要求 16 所述的 SRAM 单元，其中，在第一和第二栅极电极之间，第一有源区的一部分被构造成延伸到相邻单元。

25. 如权利要求 24 所述的 SRAM 单元，还包括暴露出第一有源区的被构造成延伸到相邻单元的该部分的电源线接触孔，电源线接触孔构造成由该单元和相邻单元共享。

26. 如权利要求 15 所述的 SRAM 单元，还包括：

第一位线焊点接触孔，其暴露出第一传输晶体管有源区的一部分；以及

第二位线焊点接触孔，其暴露出第二传输晶体管有源区的一部分。

27. 一种 SRAM 器件，包括：

多个 SRAM 单元，SRAM 单元中的第一个在第一方向上关于第一轴镜像，第一轴将第一 SRAM 单元与第一相邻的 SRAM 单元分开，在第一方向上关于第二轴镜像，第二轴将第一 SRAM 单元与第二相邻 SRAM 单元分开，

并在基本垂直于第一方向的第二方向上关于第三轴镜像，第三轴将第一 SRAM 单元与第三相邻 SRAM 单元分开，第一 SRAM 单元和第一相邻 SRAM 单元和/或第二相邻 SRAM 单元中至少一个构造成共享与第一 SRAM 单元的至少一条连线。

28. 如权利要求 27 所述的 SRAM 器件，还包括第二轴上的公共连线，以为第一 SRAM 单元和第二相邻 SRAM 单元提供至第一基准电压的公共连线。

29. 如权利要求 28 所述的 SRAM 器件，其中，第一基准电压包括接地电压，而公共连线包括公共接地连线，公共接地连线包括：

第一 SRAM 单元上的第一地线；

第二相邻 SRAM 单元上的第二地线；以及

通向第一 SRAM 单元和第二相邻 SRAM 单元的有源区的接地触点，接地触点定位于第二轴上；以及

接地连接器部分，其从第一地线延伸到第二地线，并构造成利用该接地触点将第一地线和第二地线电连接到第一 SRAM 单元和第二相邻 SRAM 单元的有源区上。

30. 如权利要求 28 所述的 SRAM 器件，其中，第一基准电压包括电源线电压，而公共连线包括公共电源线连线，该公共电源线连线包括：

通向第一 SRAM 单元和第一相邻 SRAM 单元的有源区的电源线触点，电源线接触孔定位在第一轴上；以及

第一轴的在第一 SRAM 单元和第一相邻 SRAM 单元之间的电源线，其构造成将电源线电连接到电源线触点上。

31. 如权利要求 27 所述的 SRAM 器件，其中，第一 SRAM 单元和第一相邻 SRAM 单元各自包括：

第一有源区，其提供了第一和第二负载晶体管，第一有源区邻近并基本平行于第一轴；以及

第一有源区的接触部分，其从第一有源区延伸到第一轴。

32. 如权利要求 31 所述的 SRAM 器件，其中，第一 SRAM 单元和第二相邻 SRAM 单元各自包括：

第二有源区，其提供了第一和第二驱动晶体管以及第一和第二传输晶体管，第二有源区邻近并基本平行于第二轴，并具有第一端和与第一端相

对的第二端;

第二有源区的第一接触部分, 其从第二有源区的第一端延伸到第二轴;

第二有源区的第二接触部分, 其从第二有源区的第二端延伸到第二轴;

以及

第二有源区的第三接触部分, 其在第一接触部分和第二接触部分之间, 并延伸到第二轴。

33. 如权利要求 32 所述的 SRAM 器件, 还包括:

第一 SRAM 单元的第一接触部分和第二相邻 SRAM 单元的第一接触部分上的第一触点;

第一 SRAM 单元的第二接触部分和第二相邻 SRAM 单元的第二接触部分上的第二触点;

第一位线, 其基本上垂直于第二轴, 并构造成利用第一触点电连接到第一 SRAM 单元的第一接触部分和第二相邻 SRAM 单元的第一接触部分上; 以及

第二位线, 其基本垂直于第二轴, 并构造成利用第二触点电连接到第一 SRAM 单元的第二接触部分以及第二相邻 SRAM 单元的第二接触部分上。

34. 如权利要求 33 所述的 SRAM 器件, 其中, 第一位线和第二位线延伸到第一相邻 SRAM 单元和第二相邻 SRAM 单元。

35. 如权利要求 33 所述的 SRAM 器件, 还包括:

第一 SRAM 单元的第三接触部分以及第二相邻 SRAM 单元的第三接触部分上的第三触点; 以及

地线, 该地线基本平行于第二轴, 并构造成利用第三触点电连接到第一 SRAM 单元的第三接触部分以及第二相邻 SRAM 单元的第三接触部分上。

36. 如权利要求 35 所述的 SRAM 器件, 还包括:

第一 SRAM 单元第一有源区的接触部分以及第一相邻 SRAM 单元第一有源区的接触部分上的第四触点; 以及

电源线, 该电源线基本平行于第一轴, 并构造成利用第四触点电连接到第一 SRAM 单元第一有源区的接触部分以及第一相邻 SRAM 单元的第一有源区的接触部分上。

37. 如权利要求 36 所述的 SRAM 器件, 其中, 电源线延伸到第三相邻 SRAM 单元上。

38. 如权利要求 32 所述的 SRAM 器件, 其中, 第一 SRAM 单元还包括:
在第二有源区的第一接触部分上并在基本平行于第二轴的方向上延伸的第一传输晶体管的第一栅极电极;

沿着第一栅极电极的位于第二有源区的第二接触部分上的第二传输晶体管的第二栅极电极; 以及

在基本平行于第二轴的方向上延伸的字线, 该字线构造成电连接到第一栅极电极和第二栅极电极上。

39. 如权利要求 38 所述的 SRAM 器件, 其中, 字线直接位于第一栅极电极和第二栅极电极上。

40. 如权利要求 39 所述的 SRAM 器件, 还包括:

第一 SRAM 单元的字线上的第一地线;

第二相邻 SRAM 单元上的第二地线, 其邻近并基本平行于第二轴; 以及

通向第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分的接地接触孔, 接地接触孔定位在第二轴上; 以及

接地连接器部分, 该部分从第一地线延伸到第二地线, 并构造成利用接地接触孔将第一地线和第二地线电连接到第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分上。

41. 如权利要求 40 所述的 SRAM 器件, 其中, 第一地线和字线延伸到第三相邻 SRAM 单元。

42. 如权利要求 32 所述的 SRAM 器件, 其中, 第一 SRAM 单元还包括:

第一有源区和第二有源区上的第一驱动晶体管 and 第一负载晶体管的第一栅极电极, 第一栅极电极在第一有源区的第一部分上, 并在基本垂直于第一轴的方向上延伸, 以穿过第二有源区的在第二有源区的第一接触部分和第三接触部分之间的部分;

第一有源区和第二有源区上的第二驱动晶体管和第二负载晶体管的第二栅极电极, 第二栅极电极在第一有源区的第二部分上, 并在基本垂直于第一轴的方向上延伸, 以穿过第二有源区的在第二有源区的第二接触部分和第三接触部分之间的部分;

第一节点电极，其构造成将第一有源区连接到邻近第一栅极电极的第二有源区上；以及

第二节点电极，其构造成将第一有源区连接到邻近第二栅极电极的第二有源区上。

43. 如权利要求 42 所述的 SRAM 器件，还包括：

至第一节点电极的第一接触孔，第一接触孔定位在第二有源区和衬底的靠近第二有源区的一区域上；

通向第二负载晶体管的第二栅极电极的第二接触孔，第二接触孔定位在第二有源区和衬底的靠近第二有源区的一区域上；

通向第二节点电极的第三接触孔，该第三接触孔定位在第一有源区和衬底的靠近第一有源区的一区域之上；

通向第一驱动晶体管的第一栅极电极的第四接触孔，第四接触孔定位在第一有源区和衬底的靠近第一有源区的区域上；

第一节点线，其构造成利用第一和第二接触孔将第一节点电极电连接到第二负载晶体管的第二栅极电极上；以及

第二节点线，其构造成利用第三和第四接触孔将第二节点电极电连接到第一驱动晶体管的第一栅极电极上。

44. 如权利要求 43 所述的 SRAM 器件，其中，第一节点线和第二节点线基本平行于第一轴。

45. 如权利要求 42 所述的 SRAM 器件，还包括：

通向第一节点电极的第一接触孔，第一接触孔定位于第一有源区和衬底的靠近第一有源区的区域上；

通向第二驱动晶体管的第二栅极电极的第二接触孔，第二接触孔定位在第一有源区和衬底的靠近第一有源区的区域上；

通向第二节点电极的第三接触孔，第三接触孔定位在第二有源区和衬底的靠近第二有源区的区域上；

通向第一负载晶体管的第一栅极电极的第四接触孔，第四接触孔定位在第二有源区和衬底的靠近第二有源区的区域上；

第一节点线，其构造成利用第一和第二接触孔将第一节点电极电连接到第二驱动晶体管的第二栅极电极上；以及

第二节点线，其构造成利用第三和第四接触孔将第二节点电极电连接

到第一负载晶体管的第一栅极电极上。

46. 如权利要求 27 所述的 SRAM 器件，其中，第一电压连线由第一 SRAM 单元和第一相邻 SRAM 单元共享。

47. 如权利要求 46 所述的 SRAM 器件，其中，第二电压连线由第一 SRAM 单元和第二相邻 SRAM 单元共享。

48. 如权利要求 47 所述的 SRAM 器件，其中，第一位线连线和第二位线连线由第一 SRAM 单元和第二相邻 SRAM 单元共享。

49. 一种 SRAM 器件，包括：

第一 SRAM 单元上的第一地线；

第一相邻 SRAM 单元上的第二地线；以及

通向第一 SRAM 单元和第一相邻 SRAM 单元的有源区的接地触点，该接地触点定位在将第一 SRAM 单元与第一相邻 SRAM 单元分开的轴线上；以及

接地连接器部分，其从第一地线延伸到第二地线，并构造成利用接地触点将第一地线和第二地线电连接到第一 SRAM 单元和第一相邻 SRAM 单元的有源区上。

50. 如权利要求 49 所述的 SRAM 器件，其中，第一地线、第二地线和将第一 SRAM 单元与第一相邻 SRAM 单元分开的轴线基本上平行。

51. 如权利要求 50 所述的 SRAM 器件，其中，第一地线定位在第一 SRAM 单元的字线上，而第二地线定位在第二 SRAM 单元的字线上。

52. 一种 SRAM 器件，包括：

多个 SRAM 单元，SRAM 单元中的第一个在第一方向上关于第一轴镜像，第一轴将第一 SRAM 单元与第一相邻 SRAM 单元分开，在第一方向上关于第二轴镜像，第二轴将第一 SRAM 单元与第二相邻 SRAM 单元分开；

其中，第一 SRAM 单元和第一相邻 SRAM 单元各自包括：

第一有源区，其提供了第一和第二负载晶体管，第一有源区邻近并基本平行于第一轴；以及

第一有源区的接触部分，其从第一有源区延伸到第一轴；

其中，第一 SRAM 单元和第二相邻 SRAM 单元各自包括：

第二有源区，其提供了第一和第二驱动晶体管以及第一和第二传输晶体管，第二有源区邻近并基本平行于第二轴，并具有第一端和与第一端相

对的第二端;

第二有源区的第一接触部分, 其从第二有源区的第一端延伸到第二轴;

第二有源区的第二接触部分, 其从第二有源区的第二端延伸到第二轴;

以及

第二有源区的第三接触部分, 其在第一接触部分和第二接触部分之间, 并延伸到第二轴。

53. 如权利要求 52 所述的 SRAM 器件, 还包括:

第一 SRAM 单元的第一接触部分和第二相邻 SRAM 单元的第一接触部分上的第一触点;

第一 SRAM 单元的第二接触部分和第二相邻 SRAM 单元的第二接触部分上的第二触点;

第一位线, 其基本垂直于第二轴, 并构造成利用第一触点电连接到第一 SRAM 单元的第一接触部分和第二相邻 SRAM 单元的第一接触部分上; 以及

第二位线, 其基本垂直于第二轴, 并构造成利用第二触点电连接到第一 SRAM 单元的第二接触部分和第二相邻 SRAM 单元的第二接触部分上。

54. 如权利要求 53 所述的 SRAM 器件, 其中, 第一位线和第二位线延伸到第一相邻 SRAM 单元和第二相邻 SRAM 单元。

55. 如权利要求 53 所述的 SRAM 器件, 还包括:

第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分上的第三触点; 以及

地线, 其基本平行于第二轴, 并构造成利用第三触点电连接到第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分上。

56. 如权利要求 55 所述的 SRAM 器件, 还包括:

第一 SRAM 单元第一有源区的接触部分以及第一相邻 SRAM 单元的第一有源区的接触部分上的第四触点; 以及

电源线, 其基本平行于第一轴, 并构造成利用第四触点电连接到第一 SRAM 单元的第一有源区的接触部分和第一相邻 SRAM 单元的第一有源区的接触部分上。

57. 如权利要求 56 所述的 SRAM 器件, 其中, 电源线延伸到第三相邻 SRAM 单元上。

58. 如权利要求 52 所述的 SRAM 器件, 其中, 第一 SRAM 单元还包括:
第二有源区的第一接触部分上且在基本平行于第二轴的方向上延伸的
第一传输晶体管的第一栅极电极;

沿着第一栅极电极的轴线处于第二有源区的第二接触部分上的第二传
输晶体管的第二栅极电极; 以及

在基本平行于第二轴的方向上延伸的字线, 其构造成电连接到第一栅
极电极和第二栅极电极。

59. 如权利要求 58 所述的 SRAM 器件, 其中, 字线直接在第一栅极电
极和第二栅极电极上。

60. 如权利要求 59 所述的 SRAM 器件, 还包括:

第一 SRAM 单元的字线上的第一地线;

靠近并基本平行于第二轴的第二相邻 SRAM 单元上的第二地线; 以及

通向第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接
触部分的接地接触孔, 该接地接触孔定位在第二轴上; 以及

接地连接器部分, 其从第一地线延伸到第二地线, 并构造成利用接地
接触孔将第一地线和第二地线电连接到第一 SRAM 单元的第三接触部分和
第二相邻 SRAM 单元的第三接触部分上。

61. 如权利要求 60 所述的 SRAM 器件, 其中, 第一地线和字线延伸到
第三相邻 SRAM 单元上。

62. 如权利要求 52 所述的 SRAM 器件, 其中, 第一 SRAM 单元还包括:

第一有源区和第二有源区上的第一驱动晶体管 and 第一负载晶体管的第一
栅极电极, 第一栅极电极在第一有源区的第一部分上, 并在基本垂直于
第一轴的方向上延伸, 以穿过第二有源区的在第二有源区的第一接触部分
和第三接触部分之间的部分;

第一有源区和第二有源区上的第二驱动晶体管和第二负载晶体管的第
二栅极电极, 第二栅极电极在第一有源区的第二部分上, 并在基本垂直于
第一轴的方向上延伸, 以穿过第二有源区的在第二有源区的第二接触部分
和第三接触部分之间的部分;

第一节点电极, 其构造成将第一有源区连接到靠近第一栅极电极的第
二有源区上; 以及

第二节点电极, 其构造成将第一有源区连接到靠近第二栅极电极的第

二有源区上。

63. 如权利要求 62 所述的 SRAM 器件, 还包括:

通向第一节点电极的第一接触孔, 第一接触孔定位在第二有源区和衬底的靠近第二有源区的区域上;

通向第二负载晶体管的第二栅极电极的第二接触孔, 第二接触孔定位在第二有源区和衬底的靠近第二有源区的区域上;

通向第二节点电极的第三接触孔, 第三接触孔定位在第一有源区和衬底的靠近第一有源区的区域上;

通向第一驱动晶体管的第一栅极电极的第四接触孔, 第四接触孔定位在第一有源区和衬底的靠近第一有源区的区域上;

第一节点线, 其构造成利用第一和第二接触孔将第一节点电极电连接到第二负载晶体管的第二栅极电极上; 以及

第二节点线, 其构造成利用第三和第四接触孔将第二节点电极电连接到第一驱动晶体管的第一栅极电极上。

64. 如权利要求 63 所述的 SRAM 器件, 其中, 第一节点线和第二节点线基本上平行于第一轴。

65. 如权利要求 62 所述的 SRAM 器件, 还包括:

通向第一节点电极的第一接触孔, 第一接触孔定位在第一有源区和衬底的靠近第一有源区的区域上;

通向第二驱动晶体管的第二栅极电极的第二接触孔, 第二接触孔定位在第一有源区和衬底的靠近第一有源区的区域上;

通向第二节点电极的第三接触孔, 第三接触孔定位在第二有源区和衬底的靠近第二有源区的区域上;

通向第一负载晶体管的第一栅极电极的第四接触孔, 第四接触孔定位在第二有源区和衬底的靠近第二有源区的区域上;

第一节点线, 其构造成利用第一和第二接触孔将第一节点电极电连接到第二驱动晶体管的第二栅极电极上; 以及

第二节点线, 其构造成利用第三和第四接触孔将第二节点电极电连接到第一负载晶体管的第一栅极电极上。

66. 一种 SRAM 单元, 包括:

第一金属化层, 其包括用于第一和第二传输晶体管、第一和第二驱动

晶体管以及第一和第二负载晶体管的栅极电极；

第二金属化层，其包括第一和第二节点线互连以及一条字线，第一节点互连线构造成电连接第一传输晶体管、第一负载晶体管和第一驱动晶体管，而第二节点互连线构造成电连接第二传输晶体管、第二负载晶体管和第二驱动晶体管；以及

第三金属化层，其包括第一和第二局部互连、电源线和地线连线，第一局部互连构造成将第一节点线电连接到第二驱动晶体管和第二负载晶体管的栅极电极上，而第二局部互连构造成将第二节点线电连接到第一驱动晶体管和第一负载晶体管的栅极电极上。

67. 如权利要求 66 所述的 SRAM 单元，其中，第一驱动晶体管和第一负载晶体管的栅极电极包括第一公共电极，而第二驱动晶体管和第二负载晶体管的栅极电极包括第二公共电极。

68. 如权利要求 67 所述的 SRAM 单元，其中，第一公共电极和第二公共电极基本彼此平行。

69. 如权利要求 68 所述的 SRAM 单元，其中，第一和第二传输晶体管的栅极电极包括第一和第二分隔电极，且第一和第二分隔电极基本垂直于第一和第二公共电极。

70. 如权利要求 69 所述的 SRAM 单元，其中，第一和第二节点线互连基本平行于第一和第二公共电极。

71. 如权利要求 70 所述的 SRAM 单元，其中，字线基本平行于第一和第二分隔电极。

72. 如权利要求 71 所述的 SRAM 单元，其中，字线直接处于第一和第二传输晶体管的栅极电极上。

73. 如权利要求 70 所述的 SRAM 单元，还包括第四金属化层，该层包括第一和第二位线，该第一和第二位线分别接触第一和第二公共栅极电极。

74. 如权利要求 73 所述的 SRAM 单元，其中，至第一和第二位线的连线是在将 SRAM 单元与相邻 SRAM 单元分开的轴线处形成的，并由相邻的 SRAM 单元所共享。

75. 如权利要求 70 所述的 SRAM 单元，其中，第一和第二局部互连基本垂直于第一和第二公共栅极电极以及第一和第二节点线互连。

76. 如权利要求 66 所述的 SRAM 单元，其中，电源线沿着将 SRAM 单

元与相邻的 SRAM 单元分开的轴线设置在 SRAM 单元四周，并与相邻的 SRAM 单元共享。

77. 如权利要求 66 所述的 SRAM 单元，其中，地线包括：

SRAM 单元的字线上的第一地线；

接地连接器部分，该部分从第一地线延伸到将 SRAM 单元与相邻 SRAM 单元分开的轴线上，并构造成利用与相邻 SRAM 单元共享的触点将第一地线电连接到 SRAM 单元上。

78. 一种 SRAM 单元，包括：

第一金属化层，该层包括用于第一和第二传输晶体管、第一和第二驱动晶体管以及第一和第二负载晶体管的栅极电极，其中，第一驱动晶体管和第一负载晶体管的栅极电极包括第一公共电极，而第二驱动晶体管和第二负载晶体管的栅极电极包括第二公共电极。

79. 如权利要求 78 所述的 SRAM 单元，还包括：

第二金属化层，该层包括第一和第二节点线互连、以及一条字线，第一节点互连线构造成电连接第一传输晶体管、第一负载晶体管和第一驱动晶体管，而第二节点互连线构造成电连接第二传输晶体管、第二负载晶体管和第二驱动晶体管。

80. 如权利要求 79 所述的 SRAM 单元，还包括：

第三金属化层，该层包括第一和第二局部互连、电源线和地线连线，第一局部互连构造成将第一节点线电连接到第二驱动晶体管和第二负载晶体管的栅极电极上，而第二局部互连构造成将第二节点线电连接到第一驱动晶体管和第一负载晶体管的栅极电极上。

81. 如权利要求 80 所述的 SRAM 单元，还包括：

第四金属化层，该层包括分别接触第一和第二公共栅极电极的第一位线和第二位线。

82. 如权利要求 79 所述的 SRAM 单元，其中，电源线和地线由相邻的 SRAM 单元共享。

83. 如权利要求 79 所述的 SRAM 单元，其中，字线直接在第一和第二传输晶体管的栅极电极上。

84. 如权利要求 81 所述的 SRAM 单元，其中，至第一和第二位线的连线由相邻的 SRAM 单元共享。

静态随机存取存储单元的布置及其器件

本申请是2003年1月7日提交的申请号为03100919.0, 标题为“静态随机存取存储单元的布置及其器件”的发明专利申请的分案申请。

技术领域

本发明涉及一种半导体器件, 更具体地说, 涉及互补金属氧化物半导体(CMOS)静态随机存取存储(SRAM)单元。

背景技术

存储器件广泛用于电子装置中以存储数据。典型地, 这种存储装置至少可以分成两类: 动态随机存取存储器(DRAM)和静态随机存取存储器(SRAM)。DRAM一般通过向存储器中重新写入数据使其数据周期性刷新, 以保持数据。相反, SRAM一般不需要这种刷新。例如, SRAM器件广泛用于计算机和便携器材的高速缓冲存储器中。

通常, SRAM器件的存储单元可以分成两类。一类包括采用负载电阻作为存储单元的负载器件的存储单元。另一类是采用晶体管作为存储单元的负载器件的CMOS型单元。

使用CMOS型单元的存储器件可以进一步分成两种类型的单元。一种为采用薄膜晶体管(TFT)作为负载器件的薄膜晶体管(TFT)单元, 而另一种为采用大容量(bulk)晶体管作为负载器件的全(full)CMOS单元。图1中示出了普通CMOS SRAM的等效电路图。参照图1, CMOS SRAM单元包括一对驱动晶体管TD1和TD2, 一对传输晶体管(transfer transistor)TA1和TA2, 以及一对负载晶体管TL1和TL2。该对驱动晶体管TD1和TD2和该对传输晶体管TA1和TA2是NMOS晶体管, 而该对负载晶体管TL1和TL2为PMOS晶体管。

第一驱动晶体管TD1和第一传输晶体管TA1彼此串联。第一驱动晶体管TD1的源极区连接到地线V_{ss}上, 而第一传输晶体管TA1的漏极区连接到第一位线BL上。类似地, 第二驱动晶体管TD2和第二传输晶体管TA2

彼此串联，第二驱动晶体管 TD2 的源极区连接到地线 V_{SS} 上，而第二传输晶体管 TA2 的漏极区连接到第二位线/BL 上。

第一负载晶体管 TL1 的源极区和漏极区分别连接到电源线 V_{CC} 和第一驱动晶体管 TD1 的漏极区上。类似地，第二负载晶体管 TL2 的源极区和漏极区分别连接到电源线 V_{CC} 和第二驱动晶体管 TD2 的漏极区上。节点 N1 限定在第一负载晶体管 TL1 的漏极区、第一驱动晶体管 TD1 的漏极区、和第一传输晶体管 TA1 的源极区。同样，节点 N2 限定在第二负载晶体管 TL2 的漏极区、第二驱动晶体管 TD2 的漏极区、和第二传输晶体管 TA2 的源极区处。第一驱动晶体管 TD1 的栅极电极和第一负载晶体管 TL1 的栅极电极连接到第二节点 N2 上。第二驱动晶体管 TD2 的栅极电极和第二负载晶体管 TL2 的栅极电极连接到第一节点 N1 上。第一和第二传输晶体管 TA1 和 TA2 的栅极电极连接到字线 WL 上。

图 1 的上述 CMOS 单元可以具有比负载电阻单元更小的待机电流和更大的噪声容限(noise margin)。图 1 的 CMOS 单元广泛用于例如低功率器件中的高性能 SRAM 器件中。对应于图 1 所示的 CMOS SRAM 单元的实际电路可以按各种构型在半导体衬底上构造。然而，传统上，全 CMOS SRAM 单元一般占据比相应的负载电阻单元或薄膜晶体管(TFT)单元更大的面积。从而，对设计全 CMOS SRAM 单元加以改进是有益的。

发明内容

本发明的实施例提供了一种具有多个 SRAM 单元的 SRAM 器件。SRAM 单元的第一个在第一方向上关于第一轴镜像(mirror)。第一轴将第一单元与第一相邻单元分开。第一 SRAM 单元还在第一方向上关于第二轴镜像。第二轴将第一单元与第二相邻单元分开。第一 SRAM 单元也在基本上垂直于第一方向的第二方向上关于第三轴镜像。第三轴将第一单元与第三相邻单元分开。第一 SRAM 单元的第一相邻 SRAM 单元和/或第二相邻 SRAM 单元构造成共享至少一条与第一单元的连线。在本发明特定实施例中，第一相邻 SRAM 单元和第二相邻 SRAM 单元共享与第一 SRAM 单元的连线。

在本发明一些实施例中，第一电压连线由第一 SRAM 单元和第一相邻 SRAM 单元共享。另外，第二电压连线可以由第一 SRAM 单元和第二相邻 SRAM 单元共享。此外，第一位线连线和第二位线连线可以由第一 SRAM

单元和第二相邻 SRAM 单元共享。

在本发明另一实施例中，第二轴上的公共连线提供了通向用于第一单元和第二相邻单元的第一基准电压的公共连线。尤其是，第一基准电压可以为接地电压，而该公共连线可以为公共接地连线。在这种实施例中，公共接地连线可以包括第一 SRAM 单元上的第一地线、第二相邻 SRAM 单元上的第二地线和通向第一单元和第二相邻单元的有源区的接地触点，该接地触点位于第二轴上。接地连接器部分从第一地线延伸到第二地线，并构成利用接地触点电连接第一地线和第二地线。

在本发明再一实施例中，第一基准电压可以为电源线电压，而公共连线可以为公共的电源线连线。在这种实施例中，公共电源线连线可以包括通向第一单元和第一相邻单元的有源区的电源线触点。电源线触点定位于第一轴上。第一轴上的在第一 SRAM 单元和第一相邻 SRAM 单元之间的电源线构造成利用电源线触点电连接电源线。

在本发明再一实施例中，第一 SRAM 单元和第一相邻 SRAM 单元各自包括提供第一和第二负载晶体管的第一有源区。第一有源区邻近并基本上平行于第一轴。第一有源区的接触部分从第一有源区延伸到第一轴。

另外，第一 SRAM 单元和第二相邻 SRAM 单元也可以包括提供第一和第二驱动晶体管及第一和第二传输晶体管的第二有源区。在这种实施例中，第二有源区可以邻近并基本上平行于第二轴，并具有第一端和与第一端相对的第二端。第二有源区的第一接触部分从第二有源区的第一端延伸到第二轴。第二有源区的第二接触部分从第二有源区的第二端延伸到第二轴，且第一接触部分和第二接触部分之间的第二有源区的第三接触部分延伸到第二轴。

根据本发明特定实施例的 SRAM 器件也包括第一 SRAM 单元的第一接触部分以及第二相邻 SRAM 单元的第一接触部分上的第一触点。也提供了第一 SRAM 单元的第二接触部分以及第二相邻 SRAM 单元的第二接触部分上的第二触点。基本上垂直于第二轴的第一位线构造成利用第一触点电连接到第一 SRAM 单元的第一接触部分和第二相邻 SRAM 单元的第一接触部分。基本上垂直于第二轴的第二位线构造成利用第二触点电连接到第一 SRAM 单元的第二接触部分和第二相邻 SRAM 单元的第二接触部分。第一位线 and 第二位线可以延伸到第一相邻 SRAM 单元和第二相邻 SRAM 单元。

在本发明再一实施例中，提供了第一 SRAM 单元的第三接触部分以及第二相邻 SRAM 单元的第三接触部分上的第三触点。基本平行于第二轴的地线构造成利用第三触点电连接到第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分。也可以提供第一 SRAM 单元的第一有源区接触部分和第一相邻 SRAM 单元的第一有源区的接触部分上的第四触点。基本上平行于第一轴的电电源线可构造成利用第四触点电连接到第一 SRAM 单元的第一有源区的接触部分以及第一相邻 SRAM 单元的第一有源区的接触部分上。电电源线可以延伸到第三相邻 SRAM 单元。

在本发明再一实施例中，第一 SRAM 单元包括第二有源区的第一接触部分上的第一传输晶体管的第一栅极电极，该栅极电极在基本上平行于第二轴的方向上延伸。第二有源区的第二接触部分上的第二传输晶体管的第二栅极电极沿着第一栅极电极的轴线延伸。字线在基本上平行于第二轴的方向上延伸，并构造成电连接第一栅极电极和第二栅极电极。在本发明特定实施例中，字线直接处于第一栅极电极和第二栅极电极上。

此外，第一地线可以设置在第一 SRAM 单元的字线上。第二地线也可以设置在第二相邻 SRAM 单元上，后者邻近并基本平行于第二轴。接地触点设置在第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分上。接地接触孔定位在第二轴上。接地连接器部分从第一地线延伸到第二地线，并构造成利用接地触点将第一地线和第二地线电连接到第一 SRAM 单元的第三接触部分和第二相邻 SRAM 单元的第三接触部分上。第一地线和字线可以延伸到第三相邻 SRAM 单元。

在本发明再一实施例中，第一驱动晶体管和第一负载晶体管的第一栅极电极设置在第一有源区和第二有源区上。第一栅极电极处于第一有源区的第一部分上，并在基本上垂直于第一轴的方向上延伸，从而穿过第二有源区的在第二有源区的第一接触部分和第三接触部分之间的一部分。第二驱动晶体管和第二负载晶体管的第二栅极电极处于第一有源区和第二有源区上。第二栅极电极处于第一有源区的第二部分上，并在基本垂直于第一轴的方向上延伸，从而穿过第二有源区的在第二有源区的第二接触部分和第三接触部分之间的一部分。第一节点电极构造成将第一有源区连接到第一栅极电极附近的第二有源区上，而第二节点电极构造成将第一有源区连接到第二栅极电极附近的第二有源区上。

另外，可以提供通向第一节点电极的第一触点。第一触点可以定位于第二有源区和衬底的邻近第二有源区的区域之上。第二触点可以设置到第二负载晶体管的第二栅极电极上。第二触点可以定位在第二有源区和衬底邻近第二有源区的区域之上。第三触点可以设置到第二节点电极上。第三触点可以定位于第一有源区和衬底邻近第一有源区的区域之上。第四触点可以设置到第一驱动晶体管的第二栅极电极上。第四触点可以定位在第一有源区和衬底邻近第一有源区的区域之上。第一节点线构造成利用第一和第二触点将第一节点电极电连接到第二负载晶体管的第二栅极电极上。第二节点线构造成利用第三和第四触点将第二节点电极电连接到第一驱动晶体管的第二栅极电极上。第一节点线和第二节点线可以基本上平行于第一轴。

在本发明另一实施例中，第一触点设置到第一节点电极上。第一触点定位于第一有源区和衬底邻近第一有源区的区域之上。第二触点设置到第二驱动晶体管的第二栅极电极上。第二触点定位于第一有源区和衬底邻近第一有源区的区域之上。第三触点设置到第二节点电极上。第三触点定位于第二有源区和衬底邻近第二有源区的区域之上。第四触点设置到第一负载晶体管的第二栅极电极上。第四触点定位在第二有源区和衬底邻近第二有源区的区域之上。第一节点线构造成利用第一和第二触点将第一节点电极电连接到第二驱动晶体管的第二栅极电极上。第二节点线构造成利用第三和第四触点将第二节点电极电连接到第一负载晶体管的第二栅极电极上。

在本发明再一实施例中，SRAM 单元包括设置在半导体衬底处的第一和第二有源区，一对栅极电极，即第一和第二栅极电极横穿第一和第二有源区。第一和第二栅极电极彼此平行。从而，一对负载晶体管形成在第一有源区内，而一对驱动晶体管形成在第二有源区内。结果，第一和第二栅极电极之间的第一有源区对应于提供有电源电压的公共电源线。在一些实施例中，第一有源区邻近第一栅极电极并与电源区相对的部分对应于第一负载晶体管的漏极区，而第一有源区邻接第二栅极电极并与电源区相对的部分对应于第二负载晶体管的漏极区。类似地，第一和第二栅极电极之间的第二有源区可以为接地源极区。在一些实施例中，第二有源区邻近第一栅极电极并与接地源极区相对的部分对应于第一驱动晶体管的漏极区，而

第二有源区邻近第二栅极电极并与接地源极区相对的部分对应于第二驱动晶体管的漏极区。

第一负载晶体管的漏极区通过第一节点线电连接到第一驱动晶体管的漏极区上。从而，第一负载晶体管和第一驱动晶体管串联，而构成第一反相器。第一节点线基本上平行于第一栅极电极。第一节点线可以与第一和第二有源区之间的器件隔离层的顶面相接触。第二负载晶体管的漏极区通过第二节点线电连接到第二驱动晶体管的漏极区。从而，第二负载晶体管和第二驱动晶体管串联，而构成第二反相器。第二节点线基本平行于第二栅极电极。第二节点线可以与第一和第二有源区之间的器件隔离层的顶面相接触。第一局部互连横穿第一节点线和第二栅极电极。第一局部互连的一端通过暴露出第一节点线预定区域的第一节点接触孔电连接到第一节点线上。第一局部互连的另一端通过暴露出第二栅极电极的预定区域的第二节点接触孔电连接到第二栅极电极上。同样，第二局部互连横穿第二节点线和第一栅极电极。第二局部互连的一端通过暴露出第二节点线的预定区域的第三节点接触孔电连接到第二节点线上。第二局部互连的另一端通过暴露出第一栅极电极的预定区域的第四节点接触孔电连接到第一栅极电极上。从而，第一和第二反相器交叉连接，构成单门锁电路(single latch circuit)。

第一和第二节点接触孔可与第二有源区重叠。并且，第三和第四节点接触孔可与第一有源区重叠。

根据本发明再一实施例，第一和第二有源区设置在半导体衬底处。第一和第二栅极电极横穿第一和第二有源区。第一和第二栅极电极可以彼此基本平行。第二有源区包括基本平行于第一有源区的驱动晶体管有源区和第一和第二传输晶体管有源区，后者从驱动晶体管有源区的两端相反于第一有源区伸出。

直的字线横穿第一和第二传输晶体管有源区。字线可以基本垂直于第一和第二栅极电极。第三栅极电极设置在字线和第一传输晶体管有源区之间。第三栅极电极的顶面与字线直接接触。类似地，第四栅极电极设置在字线和第二传输晶体管有源区之间。第四栅极电极的顶面与字线直接接触。第三和第四栅极电极在一个单元中彼此分离，并通过字线彼此电连接。

根据本发明再一实施例，第一和第二有源区设置在半导体衬底上。第二有源区包括基本上平行于第一有源区的驱动晶体管有源区、从驱动晶体

管有源区的中心相反于第一有源区伸出的接地源极区、以及从驱动晶体管有源区的两端相反于第一有源区伸出的第一和第二传输晶体管有源区。地线横穿第一和第二传输晶体管有源区。地线的预定区域延伸到相邻的单元、使得设置在两个相邻单元上的两条平行地线彼此电连接。地线的延伸部分通过暴露出接地源极区的预定区域的地线接触孔电连接到接地漏极区上。

在本发明另一实施例中，SRAM 单元包括第一金属化层，其包括用于第一和第二传输晶体管、第一和第二驱动晶体管及第一和第二负载晶体管的栅极电极。第二金属化层包括第一和第二节点线互连以及一条字线。第一节点互连线构造成电连接第一传输晶体管、第一负载晶体管和第一驱动晶体管。第二节点互连线构造成电连接第二传输晶体管、第二负载晶体管和第二驱动晶体管。第三金属化层包括第一和第二局部互连、电源线和地线连线。第一局部互连构造成将第一节点线电连接到第二驱动晶体管和第一负载晶体管的栅极电极上。第二局部互连构造成将第二节点线电连接到第一驱动晶体管和第一负载晶体管的栅极电极上。

在本发明再一实施例中，第一驱动晶体管和第一负载晶体管的栅极电极由第一公共电极提供，而第二驱动晶体管和第二负载晶体管的栅极电极由第二公共电极提供。第一公共电极和第二公共电极可以彼此基本平行。第一和第二传输晶体管的栅极电极可以由第一和第二分隔电极提供，而第一和第二分隔电极基本垂直于第一和第二公共电极。第一和第二节点线互连也可以基本平行于第一和第二公共电极。字线可以基本上平行于第一和第二分隔电极，并可以直接处于第一和第二传输晶体管的栅极电极上。第一和第二局部互连可以基本垂直于第一和第二公共栅极电极以及第一和第二节点线互连。

也可以设置第四金属化层，其包括分别接触第一和第二公共栅极电极的第一和第二位线。至第一和第二位线的连接可以在将 SRAM 单元与相邻 SRAM 单元分开的轴线处形成，并可以由相邻的 SRAM 单元共享。

在本发明一些实施例中，电源线沿着将 SRAM 单元与相邻的 SRAM 单元分开的轴线而设置在 SRAM 单元周围，并与相邻的 SRAM 单元共享。同样，地线可以由 SRAM 单元的字线上的第一地线和接地连接器部分提供，而接地连接器部分从第一地线延伸到将 SRAM 单元与相邻 SRAM 单元分开的轴线上。接地连接器部分可以构造成利用与相邻 SRAM 单元共享的触点

将第一地线电连接到 SRAM 单元上。

附图说明

图 1 是全 CMOS SRAM 单元的等效电路图；

图 2 是示出根据本发明实施例的全 CMOS SRAM 单元的有源区和栅极电极的俯视图；

图 3 是示出根据本发明实施例的全 CMOS SRAM 单元的节点线和字线的俯视图；

图 4 是示出根据本发明实施例的全 CMOS SRAM 单元的节点接触孔、电源线接触孔、地线接触孔、以及位线焊点接触孔的俯视图；

图 5 是示出根据本发明实施例的全 CMOS SRAM 单元的局部互连、电源线和地线的俯视图；

图 6 是根据本发明实施例的全 CMOS SRAM 单元的位线接触孔和位线的俯视图；

图 7A 到图 11A 是沿着图 6 的线 I-I 截取的横截面图，用于解释制造根据本发明实施例的全 CMOS SRAM 的方法；

图 7B 到图 11B 是沿着图 6 的线 II-II 截取的横截面图，用于解释制造根据本发明实施例的全 CMOS SRAM 的方法；以及

图 7C 到图 11C 是沿着图 6 的线 III-III 截取的横截面图，用于解释制造根据本发明实施例的全 CMOS SRAM 的方法。

具体实施方式

下面参照附图更全面地描述本发明，附图中示出了本发明的优选实施例。然而，本发明可以以不同的形式实施，而不应该理解成局限于在此描述的实施例。而是，提供这些实施例以便此公开彻底、全面，并完整地向本领域技术人员传递本发明的范围。在附图中，各层和区域的厚度为了清晰起见而得以放大。也应该理解到当一层被成为在另一层或衬底“上”时，它可以直接处于另一层或衬底上，或者也可以存在插入层。类似的附图标记通篇标示类似的元件。

图 2 到图 6 为说明根据本发明实施例的全 CMOS SRAM 单元的俯视图。每幅图示出四个单元，然而，也可以提供具有相应关系的附加单位单元。

在图中所示的单位单元中，彼此相邻的单位单元由轴线分开，并关于该轴线镜像。这种镜像可以在水平和/或垂直方向上关于分开相邻单位单元的轴发生。从而，例如，第一单位单元可以邻近第二单位单元，以便第一和第二单元可以是彼此的镜像，并且围绕将这两个单位单元分开的轴线对称。

在图 2 到图 6 中，沿着 y 轴彼此邻近的两个单位单元设置成相对于 x 轴对称。类似地，沿 x 轴彼此邻近的两个单位单元可以相对于 y 轴对称。沿着 y 轴彼此邻近的两个单位单元可以沿着 x 轴和 y 轴二者排列，以提供具有附加单元的单元阵列区。类似地，两个沿着 x 轴彼此邻近的单位单元可以相对于 y 轴对称。

参照图 2，第一和第二有源区 35A 和 35B 设置在半导体衬底上，并彼此间隔开。第一有源区 35A 平行于 x 轴设置，而第二有源区 35B 邻近第一有源区 35A 设置。第一栅极电极 39A 设置成横越第一和第二有源区 35A 和 35B。同样，第二栅极电极 39B 设置成横越第一和第二有源区 35A 和 35B。第一和第二栅极电极 39A 和 39B 彼此平行设置。从而，第一和第二负载晶体管（图 1 中的 TL1 和 TL2）构造在第一有源区 35A。类似地，第一和第二驱动晶体管（图 1 中的 TD1 和 TD2）形成在第二有源区 35B。第一和第二栅极电极 39A 和 39B 之间的第一有源区 35A 包括延伸到相邻单元的延伸部分，并作为第一和第二负载晶体管 TL1 和 TL2 的公共源极区。电源电压施加到公共源极区上。

第二有源区 35B 包括驱动晶体管有源区和接地源极区。驱动晶体管有源区平行于第一有源区 35A，并穿过第一和第二栅极电极 39A 和 39B 设置。接地源极区从第一和第二栅极电极 39A 和 39B 之间的驱动晶体管有源区伸出。另外，第二有源区 35B 包括第一和第二传输有源区，该传输有源区从驱动晶体管有源区的两端伸出。接地有源区以及第一和第二传输晶体管有源区相对于每个单元中的第一有源区 35A，并延伸以与相邻单元的相应区域相接触。接地源极区对应于第一和第二驱动晶体管 TD1 和 TD2 的公共源极区。

第三栅极电极 39C' 横穿第二有源区 35B 的第一区域，即，第一传输晶体管有源区的预定区域设置。第四栅极电极 39C'' 穿过第二有源区 35B 的第二区域，即第二传输晶体管有源区的预定区域设置。结果，第一传输晶体管（图 1 的 TA1）在第一传输晶体管有源区构造，而第二传输晶体管（图

1 的 TA2)在第二传输晶体管有源区构造。第三和第四栅极电极 39C' 和 39C" 平行于 x 轴设置。第三和第四栅极电极 39C' 和 39C"也构造成延伸到相邻单元。接地源极区可以设置成穿过第三和第四栅极电极 39C' 和 39C"之间的区域。

在本发明特定实施例中, 第一和第二负载晶体管 TL1 和 TL2 为 PMOS 晶体管, 并且第一和第二驱动晶体管 TD1 和 TD2 以及第一和第二传输晶体管 TA1 和 TA2 为 NMOS 晶体管。在一些实施例中, 第一到第四栅极电极 39A、39B、39C' 和 39C"由第一导电层形成。

参照图 3, 第一有源区 35A 靠近第一栅极电极 39A 的一端通过第一节点线 58N' 电连接到第一和第三栅极电极 39A 和 39C' 之间的第二有源区。于是, 第一负载晶体管 TL1 和第一驱动晶体管 TD1 彼此串联, 而构成第一反相器。第一节点线 58N' 平行于第一栅极电极 39A 设置。优选地是, 第一节点线 58N' 直接与第一和第二有源区 35A 和 35B 之间的器件隔离层(未示出)的顶面相接触。类似地, 第一有源区 35A 邻近第二栅极电极 39B 的另一端通过第二节点线 58N"电连接到第二和第四栅极电极 39B 和 39C"之间的第二有源区 35B 上。于是, 第二负载晶体管 TL2 和第二驱动晶体管 TD2 彼此串联, 而构成第二反相器。第二节点线 58N"平行于第二栅极电极 39B 设置。优选地, 第二节点线 58N"直接与第一和第二有源区 35A 和 35B 之间的器件隔离层的顶面相接触。此外, 直的字线 58W 设置在第三和第四栅极电极 39C' 和 39C"之上。字线 58W 平行于 x 轴, 并且直接与第三和第四栅极电极 39C' 和 39C"的顶面相接触。从而, 第三和第四栅极电极 39C' 和 39C"彼此通过字线 58W 电连接。在一些实施例中, 第一和第二节点线 58N' 和 58N"以及字线 58W 由第二导电层形成。结果, 字线 58W 与第三和第四栅极电极 39C' 和 39C"之间的接触电阻可以减小, 这可以导致读取模式或写入模式的存取速度提高。

参照图 4, 第一节点线 58N' 的预定区域由第一节点接触孔 63NA 暴露, 而第二栅极电极 39B 的预定区域由第二节点接触孔 63NB 暴露。同样, 第二节点线 58N"的预定区域由第三节点接触孔 63NC 暴露, 而第一栅极电极 39A 的预定区域由第四节点接触孔 63ND 暴露。在第一和第二节点接触孔 63NA 和 63NB 中, 至少第二节点接触孔 63NB 可以设置成与第二有源区 35B 重叠。类似地, 在第三和第四节点接触孔 63NC 和 63ND 中, 至少第四节点

接触孔 63ND 可以设置成与第一有源区 35A 重叠。

第一有源区 35A 的延伸部分可以由电源线接触孔 63C 暴露, 该电源线接触孔 63C 由两个彼此相邻的单元共享。接地源极区的一端由地线接触孔 63S 暴露, 而地线接触孔 63S 也由两个彼此相邻的单元共享。另外, 第一和第二传输晶体管有源区的端部由第一和第二位线焊点接触孔 63B' 和 63B" 暴露, 而后者由两个彼此相邻的单元共享。

接触插塞(contact plug)可以填充第一到第四节点接触孔 63NA、63NB、63NC 和 63ND、电源线接触孔 63C、地线接触孔 63S、以及第一和第二位线焊点接触孔 63B' 和 63B"。

如上所述, 根据本发明实施例的全 CMOS SRAM 可以包括八个接触孔。在这八个接触孔中, 四个接触孔由两个彼此相邻的单元共享。从而可以实现紧凑的单元。在一些实施例中, 接触孔可以全部在单独一个光刻步骤中形成。

参照图 5, 第一和第二节点接触孔 63NA 和 63NB 由第一局部互连 73I' 覆盖。因此, 第一节点线 58N' 通过第一局部互连 73I' 电连接到第二栅极电极 39B 上。第一局部互连 73I' 平行于字线 58W 设置而横跨第一节点线 58N' 和第二栅极电极 39B。类似地, 第三和第四节点接触孔 63NC 和 63ND 由第二局部互连 73I" 覆盖。因此, 第二节点线 58N" 通过第二局部互连 73I" 电连接到第一栅极电极 39A 上。第二局部互连 73I" 平行于字线 58W 设置而横跨第二节点线 58N" 和第一栅极电极 39A。结果, 第一和第二反相器由第一和第二局部互连 73I' 和 73I" 交叉连接, 从而实现门锁电路。第一和第二局部互连 73I' 和 73I" 由与第一和第二节点线 58N' 和 58N" 不同的导电层形成, 使得可以减小单元面积。此外, 电源线接触孔 63C 由平行于字线设置的电源线 73C 覆盖。电源线 73C 由相邻单元共享。地线 73S 设置在字线 58W 上, 并平行于字线 58W。地线 73S 的预定区域延伸以覆盖地线接触孔 63S。于是, 设置在两个相邻单元之上的两条地线 73S 彼此电连接, 并通过地线接触孔 63S 电连接到接地源极区上。结果, 两个相邻的单元共享两条地线 73S。即, 每个单元电连接到两条地线 73S 上。从而, 可以减小连接到每个单元上的地线电阻; 这可以稳定诸如低压特性的单元特性。

在一些实施例中, 第一和第二局部互连 73I' 和 73I"、电源线 73C、以及地线 73S 由第三导电层形成。

参照图 6, 第一和第二位线接触孔 79B' 和 79B"分别设置在第一和第二位线焊点接触孔 63B' 和 63B"上。第一和第二位线接触孔 79B' 和 79B"分别用第一和第二位线接触插塞填充。

第一和第二位线 83B' 和 83B"设置成横跨电源线 73C 和地线 73S。第一位线 83B' 覆盖第一位线接触孔 79B', 而第二位线 83B"覆盖第二位线接触孔 79B"。因此, 第一位线 83B' 通过第一位线接触孔 79B' 和第一位线焊点接触孔 63B' 电连接到第一传输晶体管有源区的端部, 即第一传输晶体管 TA1 的漏极区上。类似地, 第二位线 83B"通过第二位线接触孔 79B"和第二位线焊点接触孔 63B"电连接到第二传输晶体管有源区的端部, 即第二传输晶体管 TA2 的漏极区上。

下面将更全面描述制造根据本发明实施例的全 CMOS SRAM 的方法, 参照图 2、图 7A、图 7B 和图 7C, P 阱 32P 和 N 阱 32N 彼此平行地形成在半导体衬底 31 中。器件隔离层 33 形成在所获得的结构中, 以限定第一和第二有源区 35A 和 35B。P 阱 32P 和 N 阱 32N 可以在形成器件隔离层 33 之后形成。第一有源区 35A 形成在 N 阱 32N 中。第二有源区 35B 形成在 P 阱 32P 中。器件隔离层 33 可以由传统的器件隔离技术, 如, 例如浅槽隔离 (STI) 技术形成。栅极绝缘层 37 形成在第一和第二有源区 35A 和 35B 的表面上。第一导电层覆盖地形成 (blanket form) 在包括栅极绝缘层 37 在内的半导体衬底表面上。第一导电层例如可以由掺杂多晶硅或耐蚀金属多酸 (refractory metal polycide) 制成。

第一导电层得以构图, 以形成横穿第一和第二有源区 35A 和 35B 的第一和第二栅极电极 39A 和 39B, 并同时形成横穿第二有源区 35B 的第一和第二区域的第三和第四栅极电极 39C' 和 39C"。第一和第二栅极电极 39A 和 39B 彼此平行。第三和第四栅极电极 39C' 和 39C"垂直于第一和第二栅极电极 39A 和 39B。第一栅极电极 39A 作用为第一负载晶体管 (图 1 的 TL1) 和第一驱动晶体管 (图 1 的 TD1) 的公共栅极电极。第二栅极电极 39B 作用为第二负载晶体管 (图 1 的 TL2) 和第二驱动晶体管 (图 1 的 TD2) 的公共栅极电极。第三栅极电极 39C' 作用为第一传输晶体管 (图 1 的 TA1) 的栅极电极。第四栅极电极 39C"作用为第二传输晶体管 (图 1 的 TA2) 的栅极电极。

参照图 3、图 8A、图 8B 和图 8C, 利用第一到第四栅极电极 39A、39B、

39C' 和 39C"以及器件隔离层 33 作为离子注入掩模, N 型杂质注入第二有源区 35B 内, 以形成轻度掺杂的 N 型源极/漏极区。利用第一和第二栅极电极 39A 和 39B 以及器件隔离层 33 作为离子注入掩模, 然后将 P 型杂质注入到第一有源区 35A 中, 以形成轻度掺杂的 P 型源极/漏极区。间隔壁(spacer)41 以传统方式形成在第一到第四栅极电极 39A、39B、39C' 和 39C"的侧壁上。在一些实施例中, 留在轻度掺杂的源极/漏极区上的栅极绝缘层 37 被过蚀刻而露出轻度掺杂的源极/漏极区。

利用第一到第四栅极电极 39A、39B、39C' 和 39C"、器件隔离层 33、以及间隔壁 41 作为离子注入掩模, N 型杂质注入第二有源区 35B 中, 以形成重度掺杂的 N 型源极/漏极区。利用第一和第二栅极电极 39A 和 39B、器件隔离层、以及间隔壁 41 作为离子注入掩模, P 型杂质注入第一有源区 35A 内, 以形成重度掺杂的 P 型源极/漏极区。结果, 具有轻度掺杂漏极 (LDD) 形式的 P 型源极/漏极区形成在第一有源区 35A 处, 而具有 LDD 形式的 N 型源极/漏极区形成在第二有源区。

更具体, 第一和第二驱动晶体管 TD1 和 TD2 的公共源极区, 即 N 型接地源极区 43S' 形成在第一和第二栅极电极 39A 和 39B 之间的第二有源区 35B 处。类似地, 第二驱动晶体管 TD2 的漏极区 43D' 形成在第二和第四栅极电极 39B 和 39C"之间的第二有源区 35B 处。第一和第二驱动晶体管 TD1 和 TD2 的漏极区 43D' 对应于第一和第二传输晶体管 TA1 和 TA2 的源极区 43S"。第一和第二传输晶体管 TA1 和 TA2 的漏极区 43D"形成在第二有源区 35B 的两端。第一和第二负载晶体管 TL1 和 TL2 的公共源极区, 即电源区 (未示出) 形成在第一和第二栅极电极 39A 和 39B 之间的第一有源区 35A。另外, 第一和第二负载晶体管 TL1 和 TL2 的漏极区 45D 形成在第一源极区 35A 的两端。

第一夹层绝缘层 50 覆盖地形成在具有上述源极/漏极区的半导体衬底表面上。在特定实施例中, 第一夹层绝缘层 50 可以通过依次设置蚀刻终止层 47 和第一绝缘层 49 来形成。蚀刻终止层 47 可以由相对于第一绝缘层 49 具有蚀刻选择性的绝缘体形成。例如, 蚀刻终止层可以由氮化硅制成, 而第一绝缘层 49 可以由氧化硅制成。另外, 第一夹层绝缘层 50 还可以包括第一绝缘层 49 上的抛光终止层 (未示出)。

第一夹层绝缘层 50 得以构图, 以形成暴露出第三和第四栅极电极 39C'

和 39C"的顶面的字线沟槽 51G。字线沟槽 51G 穿过多个彼此相邻的单元形成。第一夹层绝缘层 50 被再次构图,以形成第一和第二节点线沟槽 53G' 和 53G"。第一节点线沟槽 53G' 暴露出第一负载晶体管 TL1 的漏极区 45D、第一驱动晶体管 TD1 的漏极区 43D'、和二者之间的器件隔离层 33。第二节点线沟槽 53G"暴露出第二负载晶体管 TL2 的漏极区 45D、第二驱动晶体管 TD2 的漏极区 43D' 和二者之间的器件隔离层 33。从而,第一和第二节点线沟槽 53G' 和 53G"比字线沟槽 51G 更深。

第二导电层覆盖地形成在其中形成了第一和第二节点线沟槽 53G' 和 53G"以及字线沟槽 51G 的所获结构的表面上,从而填充沟槽 53G'、53G"和 51G。优选地,第二导电层通过依次层叠阻挡金属层 55 和金属层 57 来形成。阻挡金属层 55 可以由金属氮化物,如氮化钨(WN)或氮化钛(TiN)制成。在本发明特定实施例中,金属层由钨制成。

第二导电层被向下平坦化(planarize)到第一夹层绝缘层 50 的顶面上,从而形成第一和第二节点线 58N' 和 58N"以及直的字线 58W。第一和第二节点线 58N' 和 58N"分别形成在第一和第二节点线沟槽 53G' 和 53G"内。直的字线 58W 形成在字线沟槽 51G 内。从而,第一负载晶体管 TL1 的漏极区 45D 通过第一节点线 58N' 电连接到第一驱动晶体管 TD1 的漏极区 43D' 上。类似地,第二负载晶体管 TL2 的漏极区 45D 通过第二节点线 58N"电连接到第二驱动晶体管 TD2 的漏极区 43D' 上。结果,包括第一驱动晶体管 TD1 和第一负载晶体管 TL1 的第一反相器和包括第二驱动晶体管 TD2 和第二负载晶体管 TL2 的第二反相器在一个单元内构成。

同样,第三和第四栅极电极 39C' 和 39C"的顶面直接与字线 58W 接触。这可以使得能减小字线 58W 和第三栅极电极 39C' 之间的接触电阻以及字线 58W 和第四栅极电极 39C"之间的接触电阻,或将该些接触电阻减至最小。

参照图 4、图 9A、图 9B 以及图 9C,第二夹层绝缘层 62 覆盖地形成在具有第一和第二节点线 58N' 和 58N"以及字线 58W 的半导体衬底的表面上。优选地,第二夹层绝缘层 62 通过依次叠置第二绝缘层 59 和第一抛光终止层 61 来形成。第二绝缘层 59 可以由氧化硅制成,而第一抛光终止层 61 可以由氮化硅制成。第二夹层绝缘层 62 和第一夹层绝缘层 50 被连续构图,以形成第一到第四节点接触孔 63NA、63NB、63NC 和 63ND、第一和第二位线焊点接触孔 63B' 和 63B"、电源线接触孔 63C 以及地线接触孔 63S。

第一节点接触孔 63NA 暴露第一节点线 58N' 的预定区域。第二节点接触孔 63NB 暴露第二栅极电极 39B 的预定区域。第三节点接触孔 63NC 暴露第二节点线 58N" 的预定区域。第四节点接触孔 63ND 暴露第一栅极电极 39A 的预定区域。另外，第一位线焊点接触孔 63B' 暴露第一传输晶体管 TA1 的漏极区域 43D"。第二位线焊点接触孔 63B" 暴露第二传输晶体管 TA2 的漏极区域 43D"。电源线接触孔（图 4 中的 63C）暴露电源线（未示出）。地线接触孔（图 4 中的 63S）暴露接地源极区 43S'。第一和第二位线接触孔 63B' 和 63B"、电源线接触孔、和地线接触孔由彼此邻近的两个单元共享。

在包括多个接触孔的半导体衬底表面上，第三导电层覆盖地形成，以填充多个接触孔。第三导电层可以通过顺次叠置阻挡金属层和金属层而形成。第三导电层向下平坦化至第一抛光终止层 61 的顶面上，以形成第一到第四节点接触插塞 65NA、65NB、65NC、和 65ND、第一和第二位线焊点 65B' 和 65B"、电源线接触插塞（未示出）以及地线接触插塞（未示出）。第一到第四节点接触插塞 65NA、65NB、65NC 和 65ND 分别形成在第一到第四节点接触孔 63NA、63NB、63NC 和 63ND 中。第一和第二位线焊点 65B' 和 65B" 分别形成在第一和第二位线焊点接触孔 63B' 和 63B" 中。电源线接触插塞形成在电源线接触孔内。地线接触插塞形成在地线接触孔内。优选地，用于平坦化第三导电层的过程是借助于化学机械抛光（CMP）过程而进行的。

参照图 5、图 10A、图 10B 和图 10C，第三夹层绝缘层 70 覆盖地形成在包括上述接触插塞的半导体衬底表面上。第三夹层绝缘层 70 可以通过依次叠置第三绝缘层 67 和第二抛光终止层 69 而形成。第三绝缘层 67 可以由氧化硅制成，而第二抛光终止层 69 可以由氮化硅制成。第三夹层绝缘层 70 得以构图，以形成第一局部互连沟槽 71I'、第二局部互连沟槽（未示出）、电源线沟槽 71C 和地线沟槽 71S。第一局部互连沟槽 71I' 暴露第一和第二节点接触插塞 65NA 和 65NB、以及二者之间的第二夹层绝缘层 62。第二局部互连沟槽暴露第三和第四接触插塞 65NC 和 65ND，以及二者之间的第二夹层绝缘层。电源线沟槽 71C 暴露电源线接触插塞，并平行于字线 58W。电源线沟槽 71C 由彼此邻近的两个单元共享。地线沟槽 71S 形成在字线 58W 上。地线沟槽 71S 的预定区域延伸以暴露地线接触插塞。从而，两条平行的地线沟槽 71S 形成在彼此相邻的两个单元上。两条地线沟槽 71S 通过暴

露出地线接触插塞的延伸部分而得以连接。

第四导电层覆盖地形成在具有第一和第二局部互连沟槽、电源线沟槽 71C、和地线沟槽 71S 的半导体衬底表面上。然后，第四导电层被向下平坦化到第二抛光终止层 69 的顶面上，以形成电源线 73C、第一和第二局部互连 73I' 和 73I"、以及地线 73S。优选地，用于平坦第四导电层的过程借助化学机械抛光 (CMP) 方法进行。电源线 73C 形成在电源线沟槽 71C 内，并由两个彼此相邻的单元共享。第一和第二局部互连 73I' 和 73I" 分别形成在第一和第二局部互连沟槽内。地线 73S 形成在地线沟槽 71S 内。

如图 5 所示，形成在彼此相邻的两个单元上的两条地线 73S 通过这两个单元共享的地线接触孔 (图 5 中的 63S) 互连。从而，可以减小连接到每个单元上的地线的等效电阻，这可以改善单元的低压特性。此外，第一和第二反相器利用两个导电层交叉耦合。即，第一和第二反相器通过由第二导电层形成的第一和第二节点线 58N' 和 58N" 以及由第四导电层形成的第一和第二局部互连 73I' 和 73I" 交叉连接。结果，利用一个导电层可以在交叉连接一对反相器的传统 SRAM 单元上实现更紧凑的单元。

参照图 6、图 11A、图 11B 和图 11C，第四夹层绝缘层 78 覆盖地形成在包括第一和第二局部互连 73I' 和 73I"、地线 73S 和电源线 73C 的半导体衬底表面上。在本发明特定实施例中，第四夹层绝缘层 78 通过依次叠置第四绝缘层 75 和第三抛光终止层 77 而形成。第四和第三夹层绝缘层 78 和 70 连续构图，以形成分别暴露第一和第二位线焊点 65B' 和 65B" 的第一和第二位线接触孔 79B' 和 79B"。第五导电层覆盖地形成在包括第一和第二位线接触孔 79B' 和 79B" 的半导体衬底表面上。第五导电层向下平坦化到第三抛光终止层 77 的顶面上，以分别在第一和第二位线接触孔 79B' 和 79B" 内形成第一位线接触插塞 81B' 和第二位线接触插塞 (未示出)。

第六导电层，例如金属层覆盖地形成在上述所获结构的表面上。第六导电层得以构图，以形成横贯第一和第二局部互连 73I' 和 73I" 的第一和第二位线 83B' 和 83B"。第一位线 83B' 覆盖第一位线接触插塞 81B'，而第二位线 83B" 覆盖第二位线接触插塞。

在本发明再一实施例中，第四到第六导电层可以通过依次叠置阻挡金属层和金属层来形成。阻挡金属层可以由钛、氮化钛、钛/氮化钛、钽、氮化钽或钽/氮化钽制成，金属层可以由铝、钨或铜制成。

在本发明一些实施例中，第一和第二节点线以及第一和第二局部互连有效地设置，以实现一个紧凑的单元。在本发明其他实施例中，直接与第一和第二传输栅极电极的顶面相接触的直的字线设置成减小或最小化字线所导致的 RC 延迟时间。从而，可以实现具有较快存取时间的 SRAM 器件。另外，两条地线由两个彼此相邻的单元共享。因此，连接到每个单元上的地线的等效电阻可以得以减小或最小化，这可以改善单元的低压特性。

虽然本发明已经参照特定实施例加以描述，但应该明显理解的是，在不背离本发明范围的前提下，对本领域技术人员而言，各种改进是显而易见的，并且可以轻易实现。于是，不应当认为本发明被以上描述的特定实施例限制，而是应该还包括作为其等价物的由本领域技术人员所实现的特征。

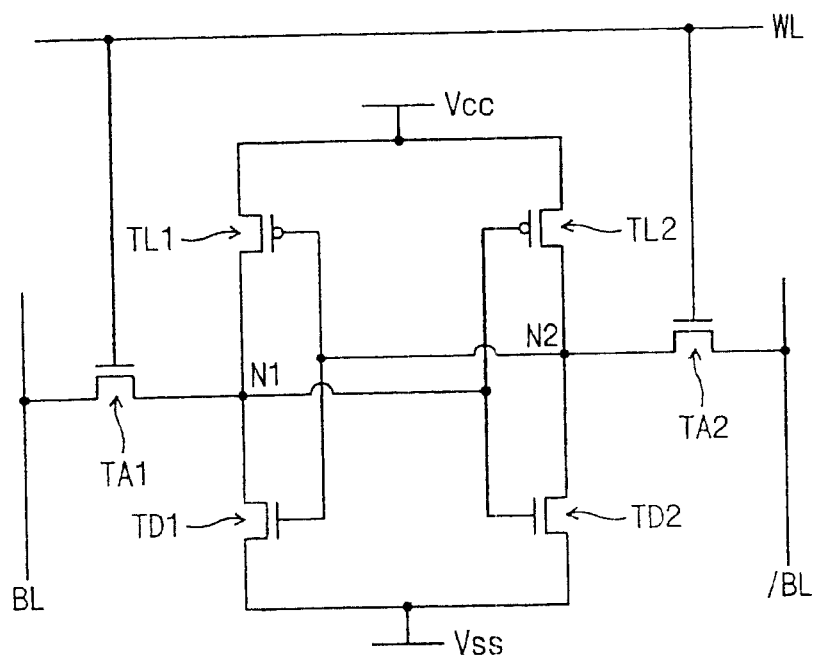


图 1

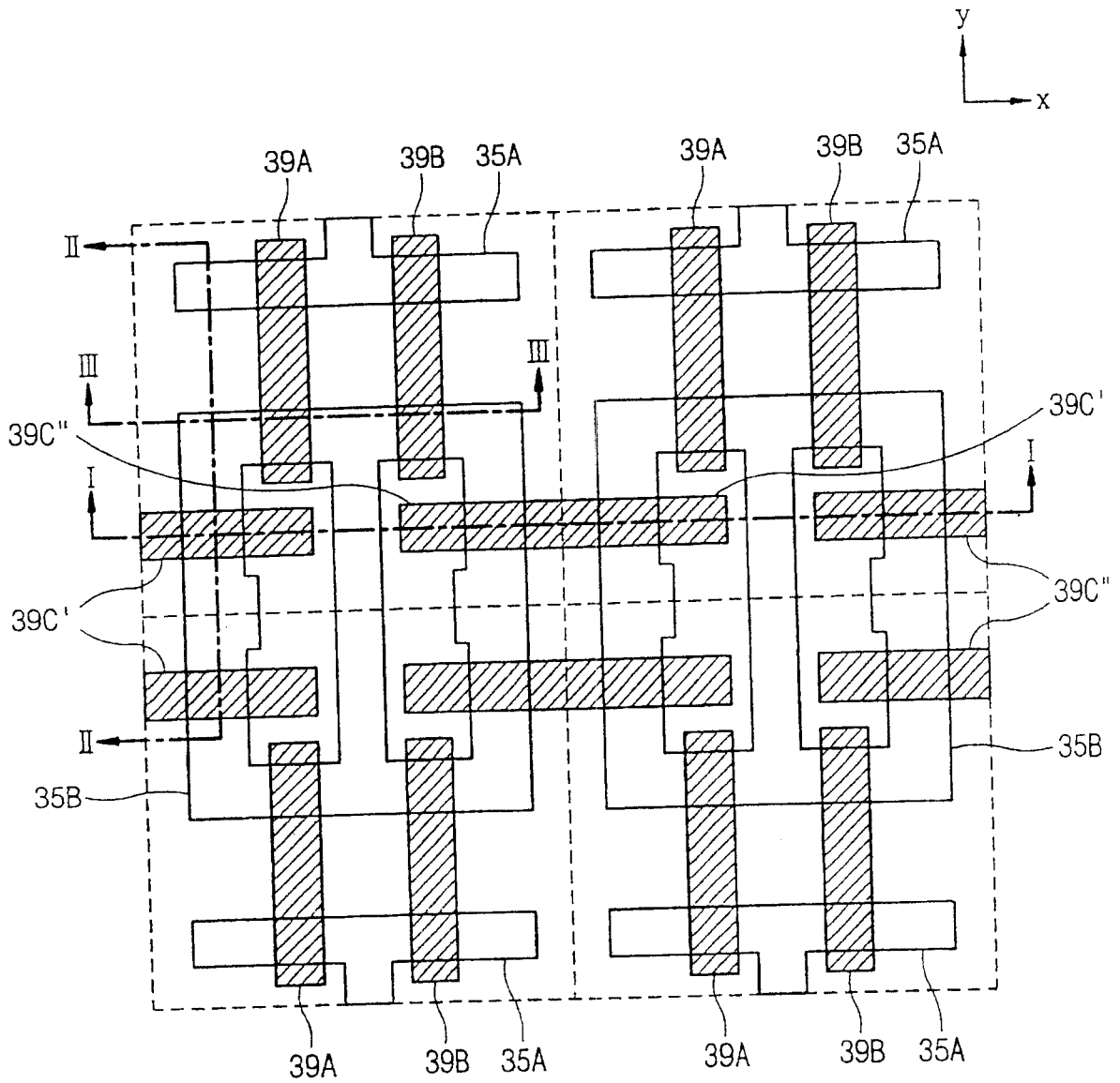


图 2

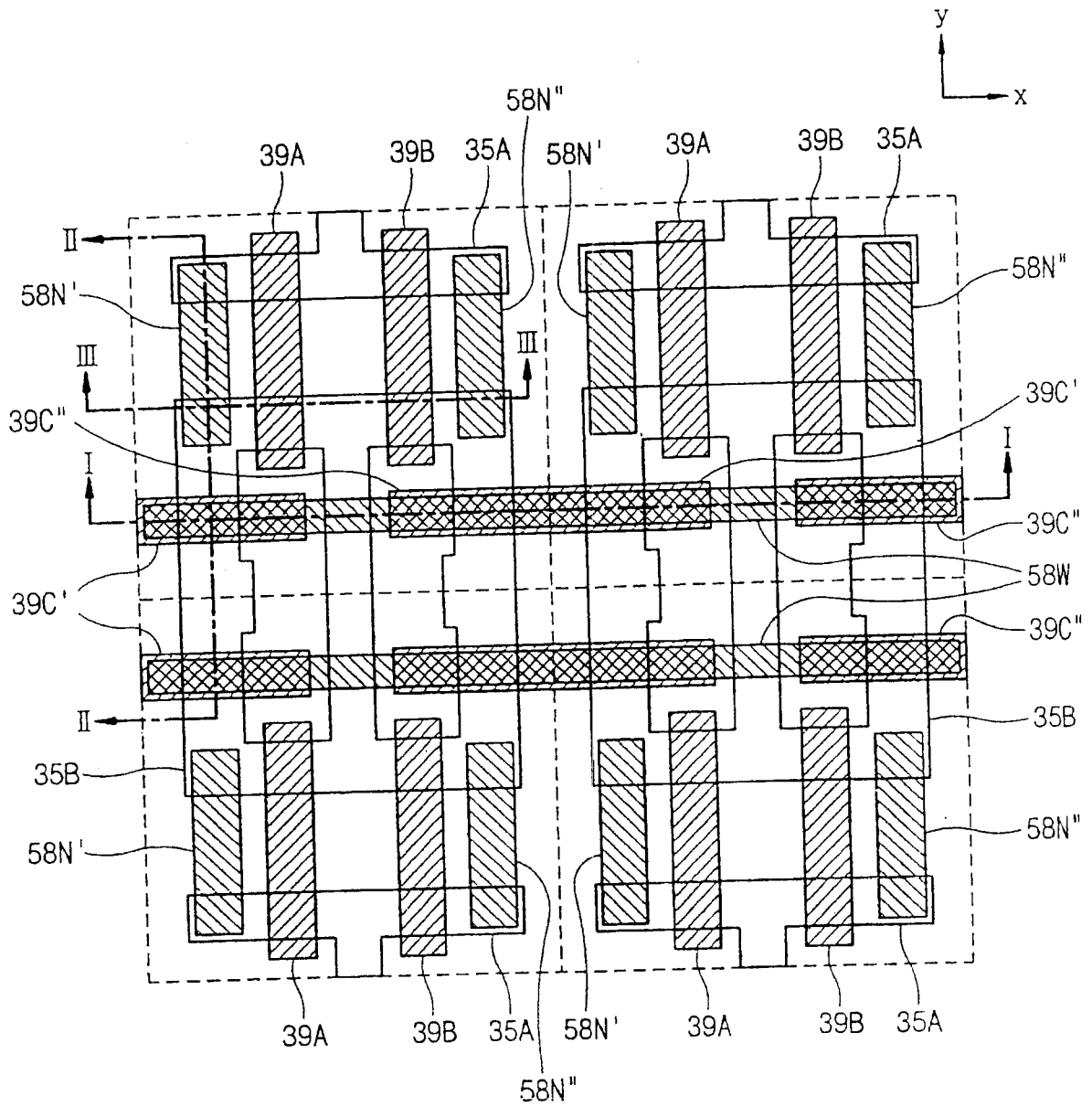


图 3

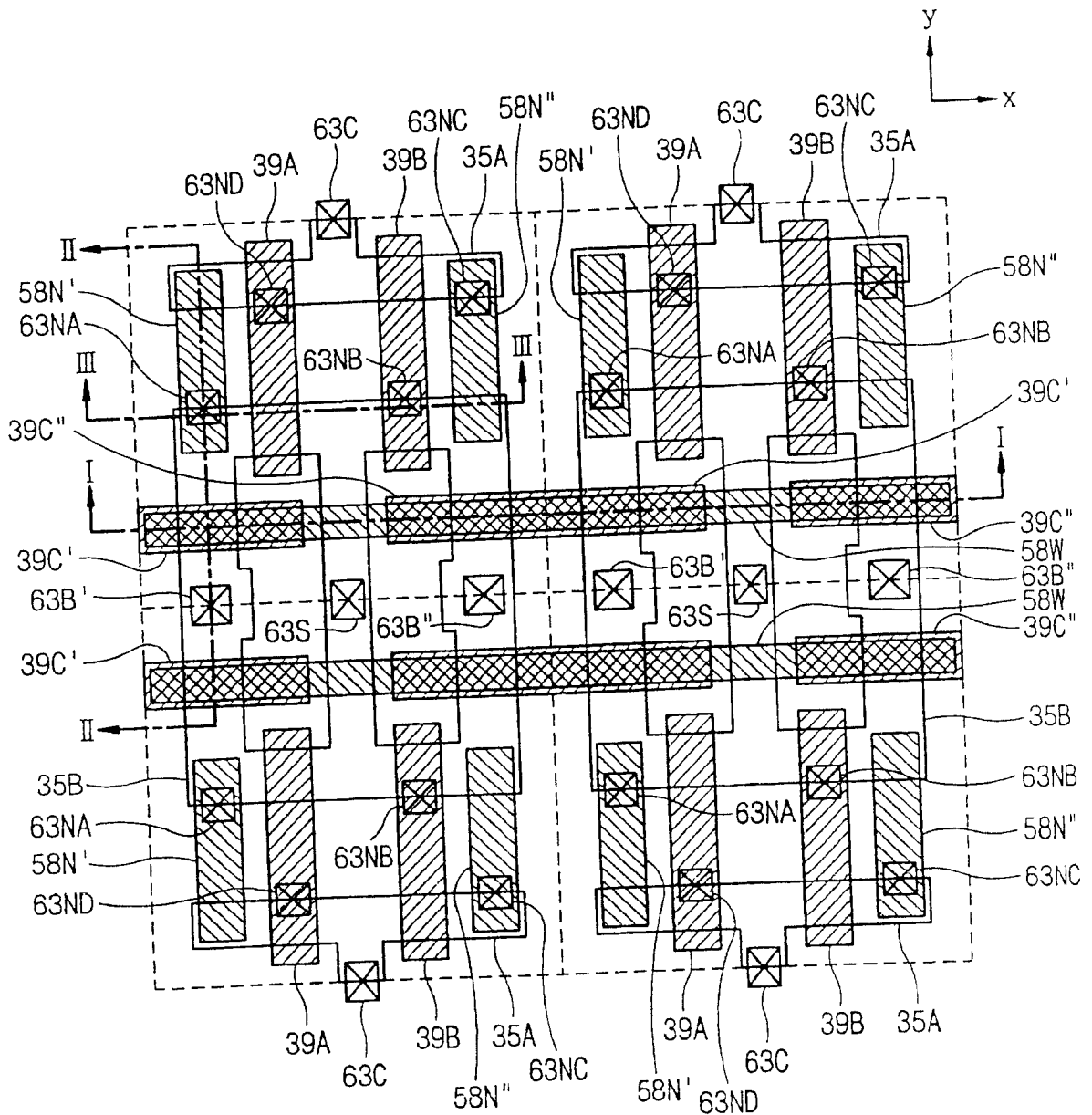


图 4

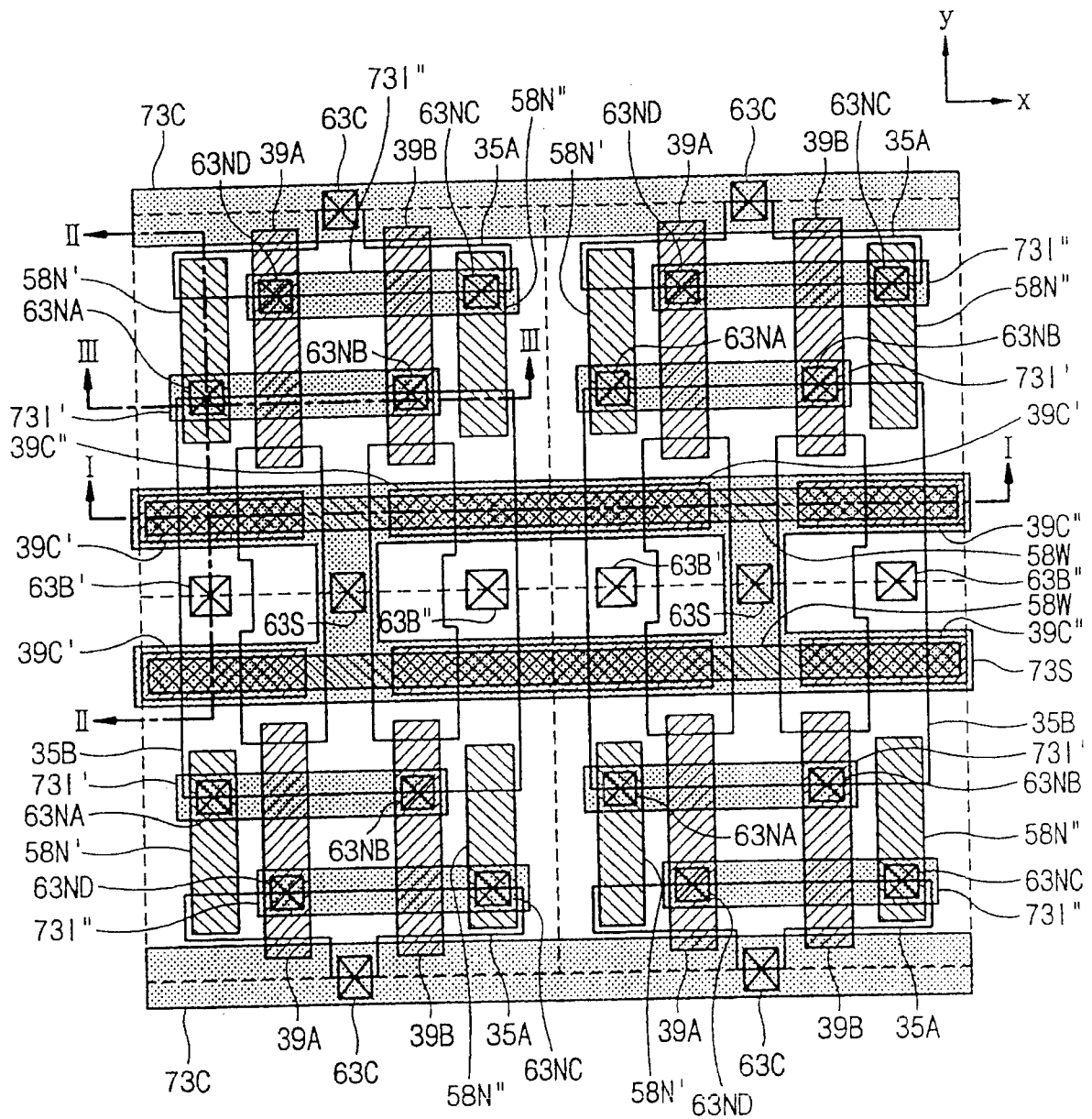


图 5

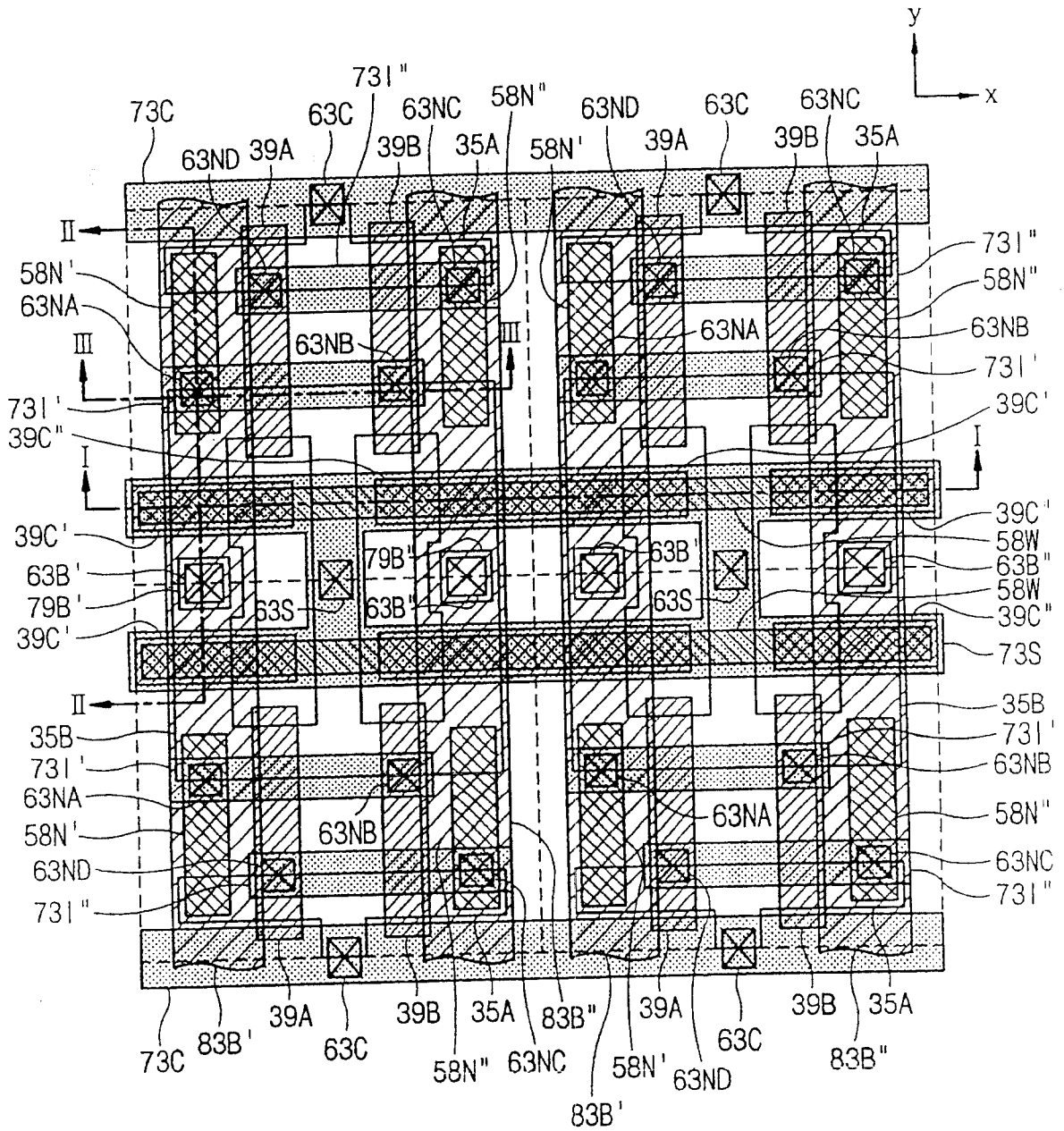
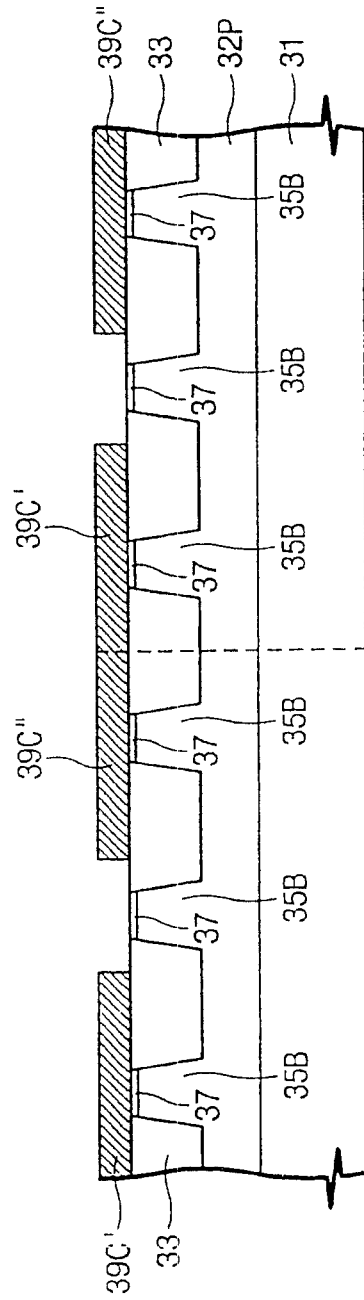


图 6

图 7A



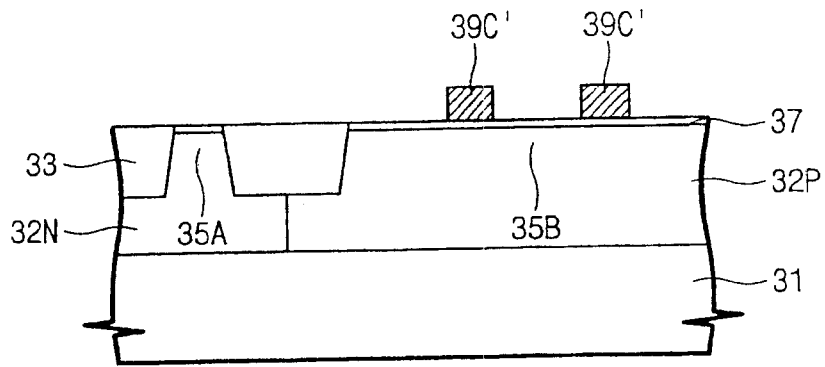


图 7B

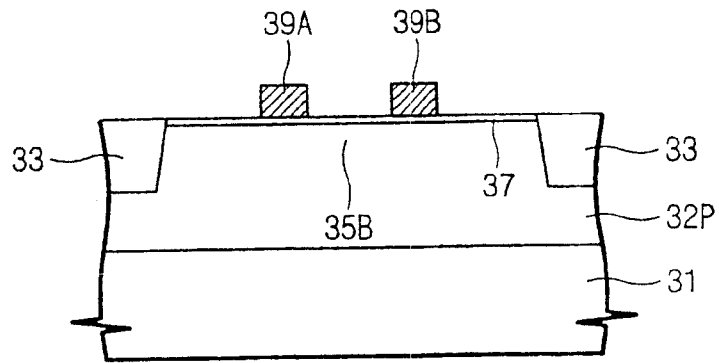
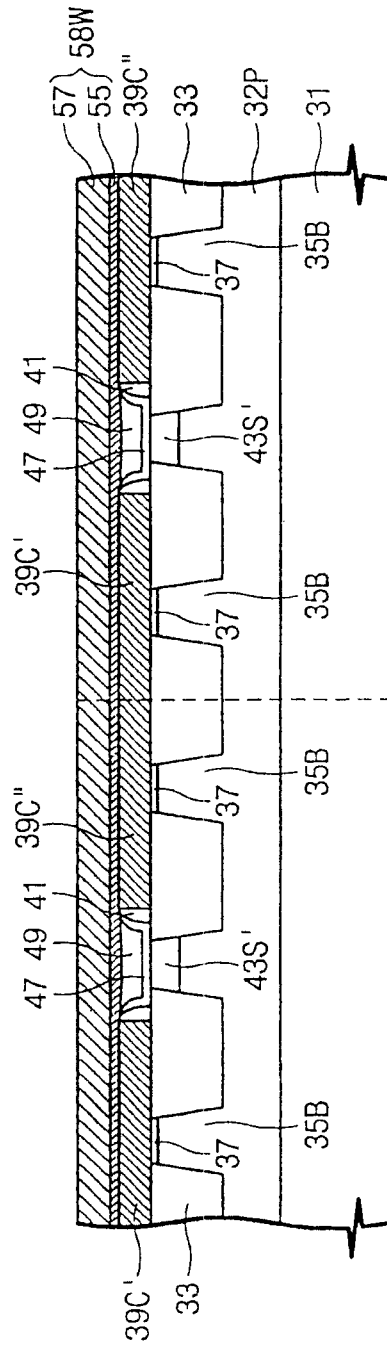


图 7C

图 8A



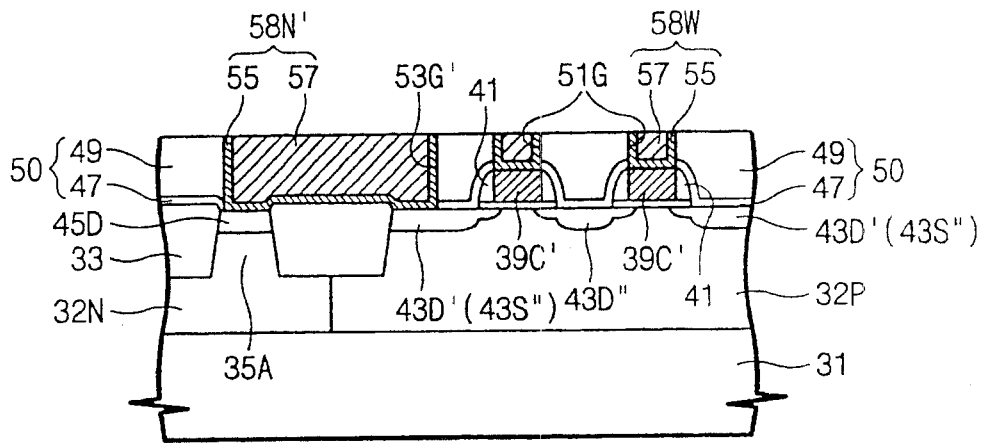


图 8B

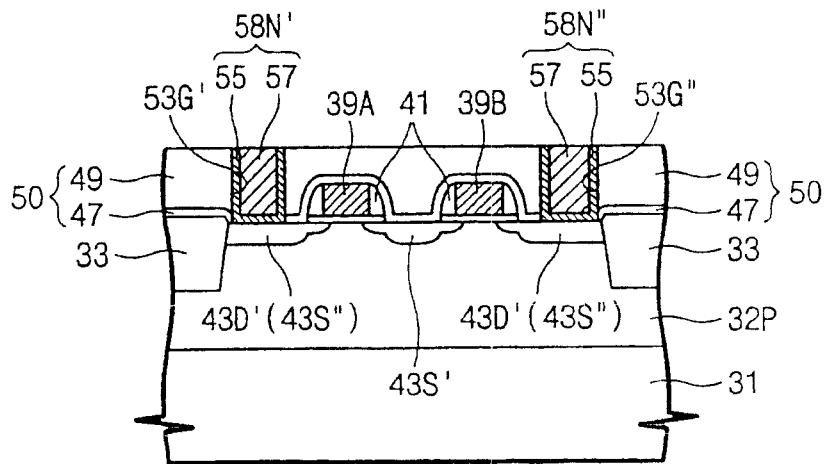
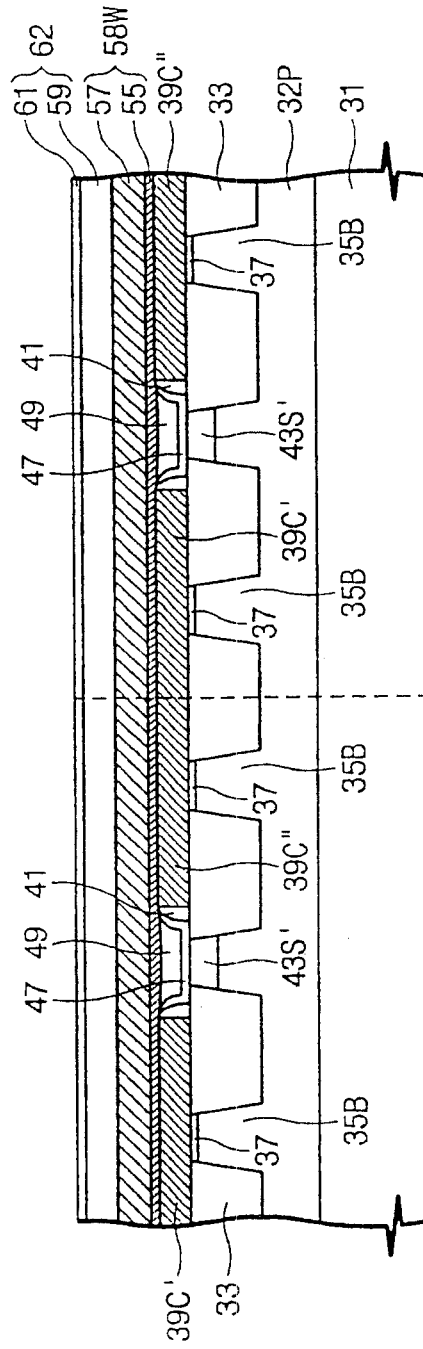


图 8C

图 9A



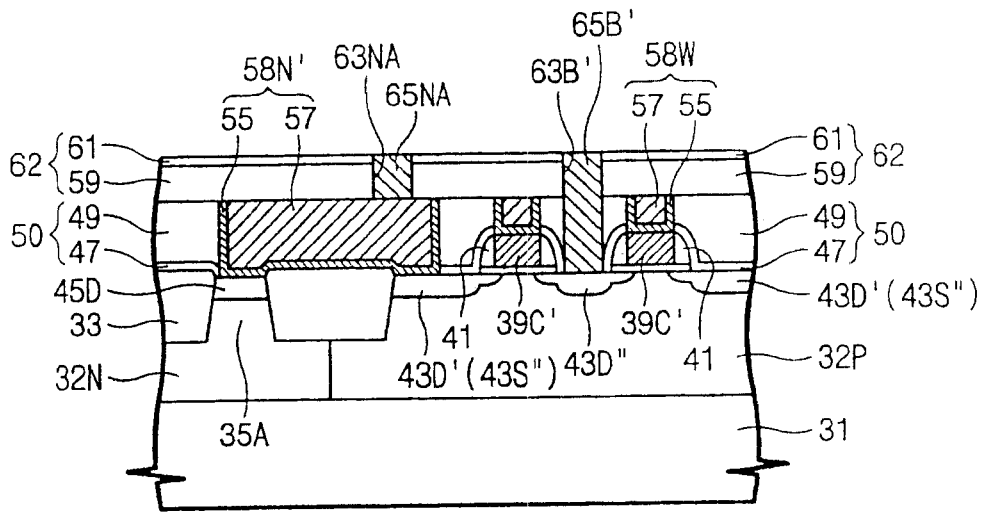


图 9B

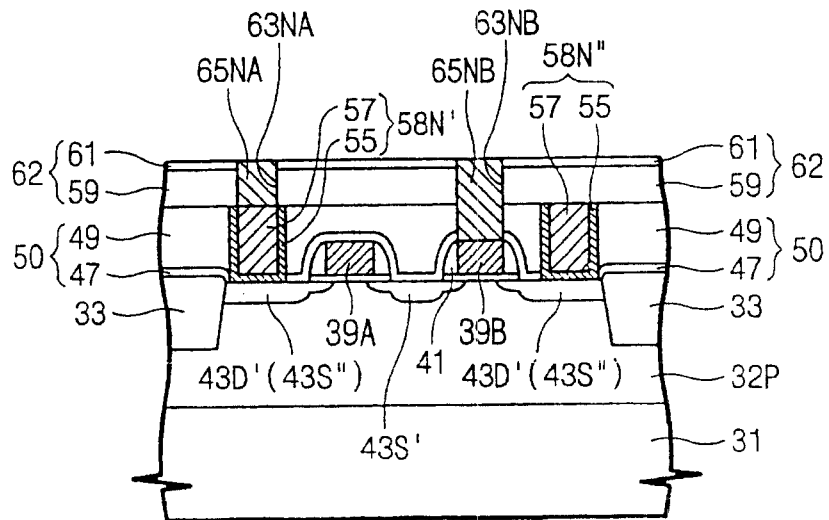
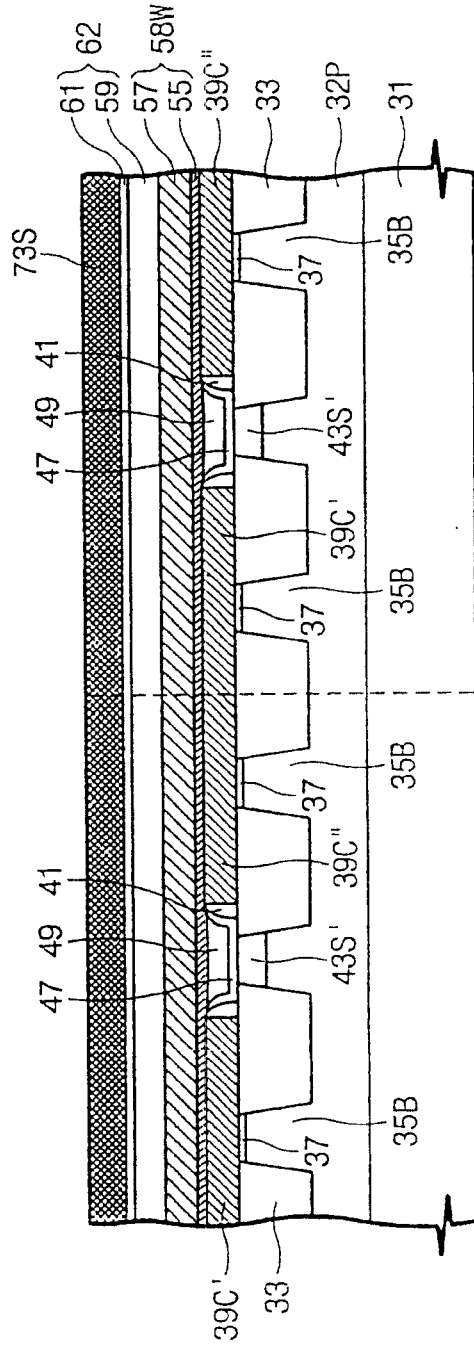


图 9C

图 10A



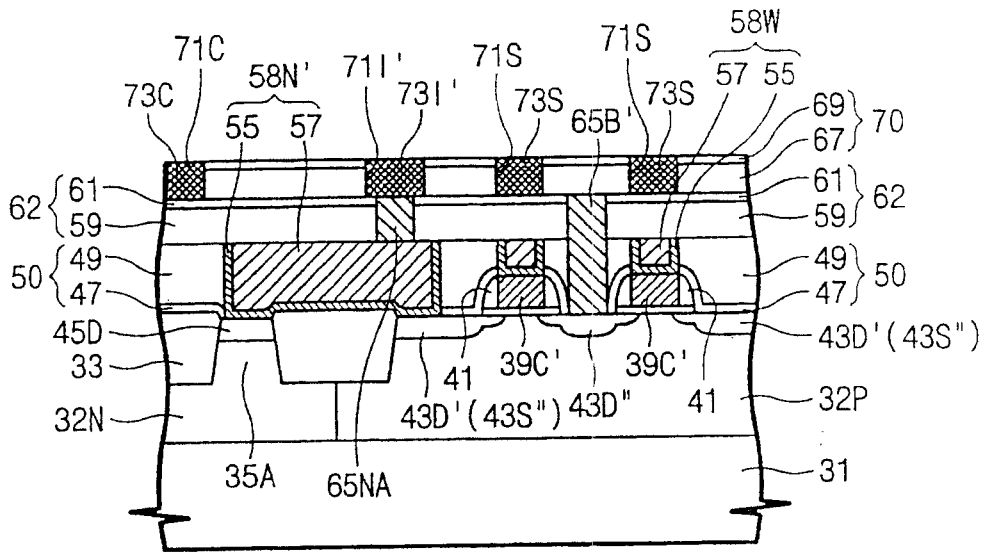


图 10B

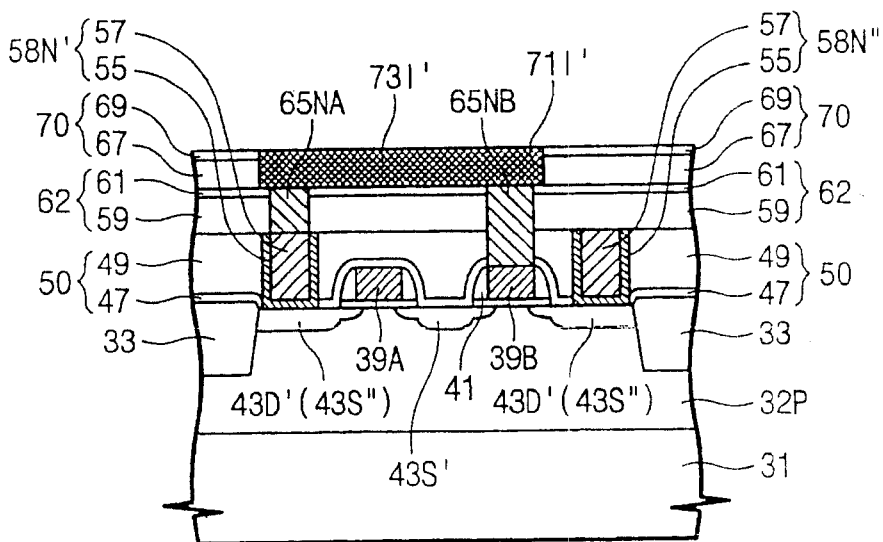
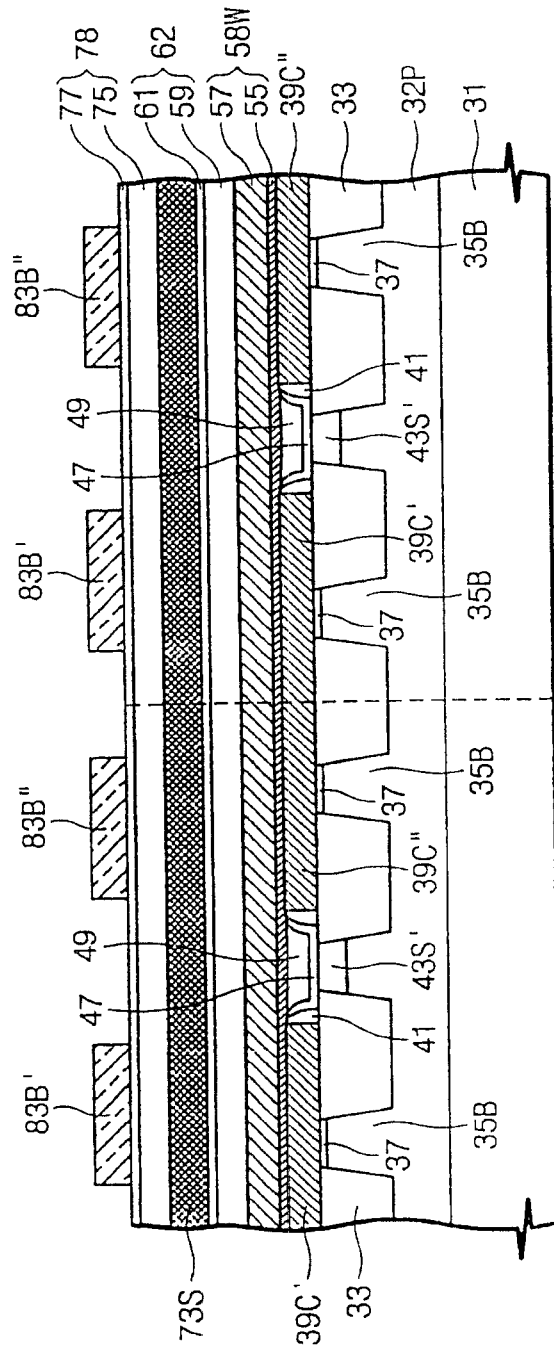


图 10C

图 11A



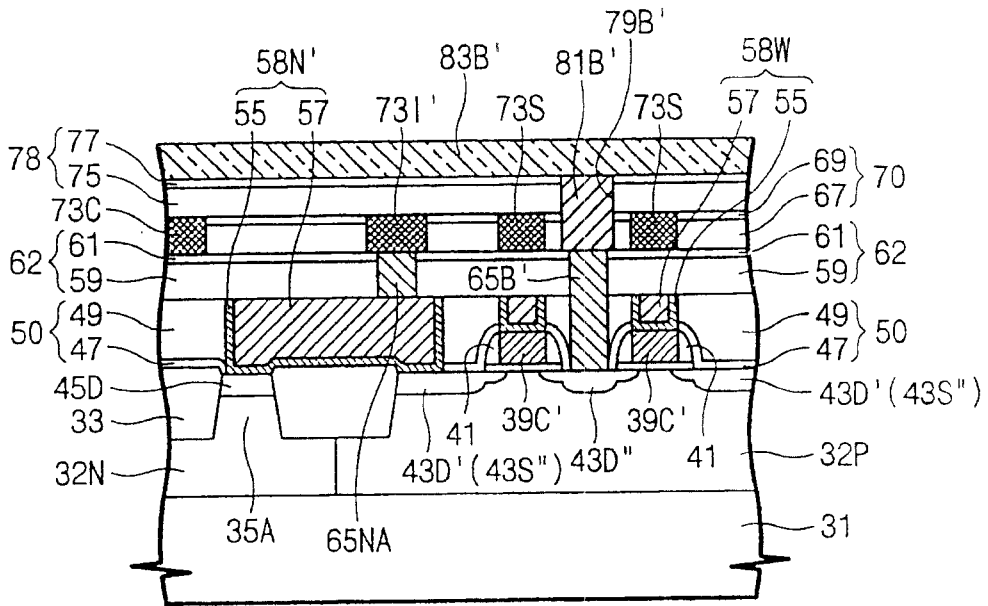


图 11B

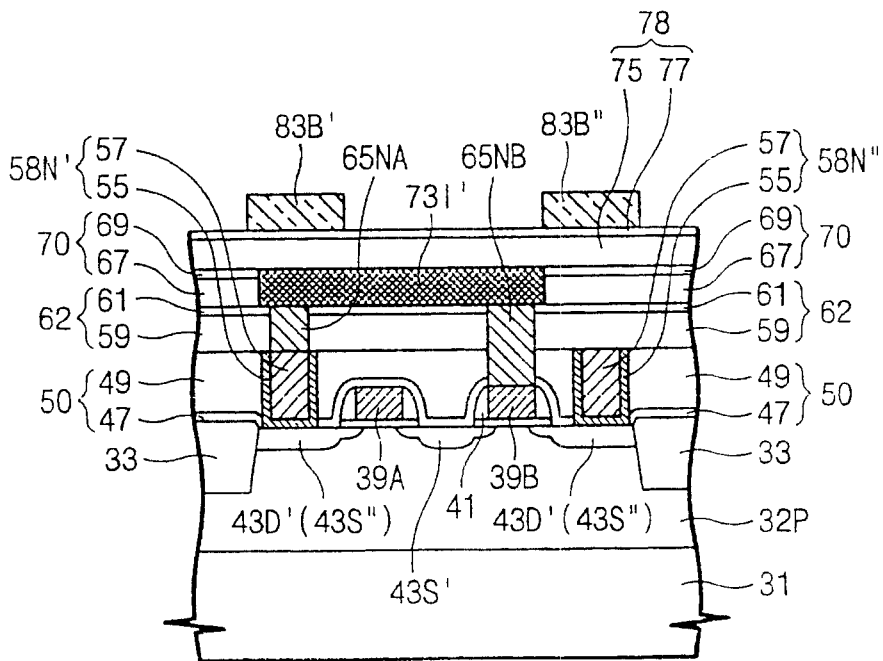


图 11C