



(12) 发明专利申请

(10) 申请公布号 CN 106158857 A

(43) 申请公布日 2016. 11. 23

(21) 申请号 201510189060. 7

(22) 申请日 2015. 04. 21

(71) 申请人 联华电子股份有限公司

地址 中国台湾新竹市新竹科学工业园区

(72) 发明人 杨进盛

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 陈小雯

(51) Int. Cl.

H01L 27/088(2006. 01)

H01L 29/78(2006. 01)

H01L 21/8258(2006. 01)

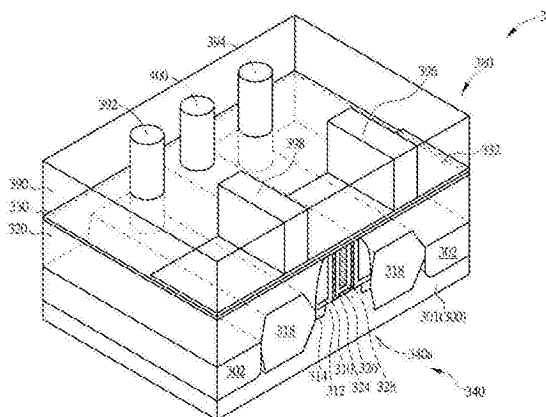
权利要求书2页 说明书7页 附图6页

(54) 发明名称

半导体元件及其制作方法

(57) 摘要

本发明公开一种半导体元件及其制作方法，其中该半导体元件包含一第一晶体管以及一第二晶体管。该第一晶体管是设置在一基底上，该第一晶体管包含一栅极、一栅极介电层以及一第一源极/漏极。该第二晶体管包含该栅极以及一通道层，该通道层设置在该栅极上。



1. 一种半导体元件,其特征在于,包含:
第一晶体管,设置在一基底上,该第一晶体管包含栅极、栅极介电层以及第一源极/漏极;以及
第二晶体管,包含该栅极以及一通道层,该通道层设置在该栅极上。
2. 依据权利要求 1 所述的半导体元件,其特征在于,该通道层在垂直于该基底的一投影方向上至少部分重叠该栅极。
3. 依据权利要求 1 所述的半导体元件,其特征在于,该第二晶体管还包含第二源极/漏极,该第二源极/漏极是设置在该通道层上。
4. 依据权利要求 3 所述的半导体元件,其特征在于,该第二源极/漏极包含接触插塞。
5. 依据权利要求 3 所述的半导体元件,其特征在于,该第二源极/漏极包含二导电层,该导电层是设置在该通道层两侧之上。
6. 依据权利要求 1 所述的半导体元件,其特征在于,还包含:
介电层,设置在该第一晶体管上,且该通道层是位于该介电层上。
7. 依据权利要求 1 所述的半导体元件,其特征在于,该第一源极/漏极是设置于该基底内。
8. 依据权利要求 7 所述的半导体元件,其特征在于,该第一源极/漏极包含一外延结构。
9. 依据权利要求 1 所述的半导体元件,其特征在于,该第一晶体管及该第二晶体管具有不同的导电型式。
10. 依据权利要求 1 所述的半导体元件,其特征在于,该通道层包含氧化镉镓锌。
11. 依据权利要求 1 所述的半导体元件,其特征在于,还包含:
鳍状结构,设置在该基底上,且该第一源极/漏极是设置在该鳍状结构内。
12. 一种形成半导体元件的方法,其特征在于,包含以下步骤:
在一基底上形成一晶体管,该晶体管包含一栅极以及一第一源极/漏极;以及在
该栅极上形成一通道层,该通道层至少部分覆盖该栅极。
13. 依据权利要求 12 所述的形成半导体元件的方法,其特征在于,还包含:
在该通道层上形成一第二源极/漏极。
14. 依据权利要求 12 所述的形成半导体元件的方法,其特征在于,该形成第二源极/漏极的步骤包含:
形成一接触插塞,该接触插塞电连接该通道层。
15. 依据权利要求 12 所述的形成半导体元件的方法,其特征在于,还包含:
形成一层间介电层,该层间介电层覆盖该基底及该晶体管。
16. 依据权利要求 15 所述的形成半导体元件的方法,其特征在于,还包含:
进行一金属栅极置换制作工艺,以形成一金属栅极。
17. 依据权利要求 16 所述的形成半导体元件的方法,其特征在于,该层间介电层是于该金属栅极形成之前形成。
18. 依据权利要求 15 所述的形成半导体元件的方法,其特征在于,该层间介电层是于该晶体管形成之后形成。
19. 依据权利要求 12 所述的形成半导体元件的方法,其特征在于,该第一源极/漏极是

通过一选择外延成长制作工艺而形成。

20. 依据权利要求 12 所述的形成半导体元件的方法,其特征在於,还包含:
在该基底上形成一鳍状结构,其中该第一源极 / 漏极是形成在该鳍状结构内。

半导体元件及其制作方法

技术领域

[0001] 本发明涉及一种半导体元件及其形成方法,尤其是涉及一种具有共用同一栅极的两晶体管的半导体元件及其形成方法。

背景技术

[0002] 当半导体元件发展至 65 纳米技术世代后,使用传统平面式(planar)的金属氧化物半导体(metal-oxide-semiconductor, MOS)晶体管制作工艺难以持续微缩。为了克服制作工艺限制,现有技术提出以非平面(non-planar)晶体管元件取代平面晶体管元件的解决途径。举例来说,以鳍状场效晶体管(fin field effect transistor, Fin FET)元件来取代平面晶体管元件,由此增加栅极与鳍状结构的接触面积,且增加栅极对于载流子通道区域的控制,从而降低小尺寸元件面临的漏极引发能带降低(drain induced barrier lowering, DIBL)效应,并可以抑制短通道效应(short channel effect, SCE)。

[0003] 然而,现行的非平面晶体管元件制作工艺设计仍存在许多瓶颈,因此如何改良现有晶体管制作工艺以进一步提升元件集成度与元件效能即为现今一重要课题。

发明内容

[0004] 本发明的一目的在于提供一种半导体元件及其形成方法,该半导体元件在一投影方向上具有共用同一栅极且彼此相互重叠的两晶体管,因而能达到优选的元件效能及集成度。

[0005] 为达上述目的,本发明的一实施例提供一种半导体元件,其包含一第一晶体管以及一第二晶体管。该第一晶体管是设置在一基底上,该第一晶体管包含一栅极、一栅极介电层以及一第一源极/漏极。该第二晶体管包含该栅极以及一通道层,该通道层设置在该栅极上。

[0006] 为达上述目的,本发明的另一实施例提供一种形成半导体元件的方法,其包含以下步骤。首先,在一基底上形成一晶体管,该晶体管包含一栅极以及一第一源极/漏极。接着,在该栅极上形成一通道层,该通道层至少部分覆盖该栅极。

[0007] 本发明的半导体元件及其形成方法,主要是先形成具有位于基底的一通道区的第一晶体管,接着于该第一晶体管的金属栅极结构上方直接形成与该第一晶体管部分重叠的一通道层及一源极/漏极,并且通过该通道层、该源极/漏极及该第一晶体管的该金属栅极结构构成一第二晶体管。由此,使得该二晶体管在一投影方向上彼此相互重叠,并共用同一金属栅极结构,由此形成具有优选集成度的半导体元件。

附图说明

[0008] 图 1 至图 8 为本发明第一实施例中形成半导体元件的方法的步骤剖面示意图;

[0009] 图 9 为本发明一实施例所提供的半导体元件的示意图;

[0010] 图 10 为本发明一实施例所提供的半导体元件的等效电路示意图;

- [0011] 图 11 为本发明第二实施例中形成半导体元件的方法的步骤剖面示意图。
- [0012] 主要元件符号说明
- | | | | | |
|--------|-----|------------|------|---------|
| [0013] | 300 | 基底 | | |
| [0014] | 301 | 鳍状结构 | 330 | 介电层 |
| [0015] | 302 | 浅沟隔离 | 332 | 通道层 |
| [0016] | 304 | 介质层 | 334 | 导电层 |
| [0017] | 306 | 虚置栅极 | 336 | 源极 / 漏极 |
| [0018] | 308 | 盖层 | 340 | 晶体管 |
| [0019] | 310 | 衬垫层 | 340a | 金属栅极结构 |
| [0020] | 312 | 间隙壁 | 380 | 晶体管 |
| [0021] | 314 | 轻掺杂源极 / 漏极 | 390 | 层间介电层 |
| [0022] | 316 | 沟槽 | 392 | 接触插塞 |
| [0023] | 318 | 源极 / 漏极 | 394 | 接触插塞 |
| [0024] | 320 | 层间介电层 | 396 | 接触插塞 |
| [0025] | 322 | 沟槽 | 398 | 接触插塞 |
| [0026] | 324 | 栅极介电层 | 400 | 接触插塞 |
| [0027] | 326 | 功函数金属层 | | |
| [0028] | 328 | 低电阻值金属层 | | |

具体实施方式

[0029] 为使熟悉本发明所属技术领域的一般技术者能更进一步了解本发明，下文特列举本发明的数个优选实施例，并配合所附的附图，详细说明本发明的构成内容及所欲达成的功效。

[0030] 请参照图 1 至图 8，所绘示者为本发明一实施例中形成半导体元件的方法的步骤示意图。首先，如图 1 所示，提供一基底 300，例如一硅基底 (silicon substrate)、外延硅 (epitaxial silicon substrate)、硅锗半导体基底 (silicon germanium substrate)、碳化硅基底 (silicon carbide substrate) 或硅覆绝缘 (silicon on insulation, SOI) 基底，并且在基底 300 上形成至少一鳍状结构 301。其中，鳍状结构 301 的形成方式一般可利用光刻暨蚀刻 (photolithography-etching process, PEP) 制作工艺、多重曝光 (multi-patterning) 等制作工艺，优选是利用一间隙壁自对准双图案法 (spacer self-aligned double-patterning, SADP)，也就是利用一侧壁图案转移 (sidewall image transfer, SIT) 技术，以在基底 300 上形成多个浅沟槽 (shallow trench, 未绘示)，并接着于该些浅沟槽中填入一绝缘层，形成浅沟隔离 (shallow trench isolation, STI) 302，同时使得突出于该绝缘层的基底 300 形成鳍状结构 301，但不以此为限。在另一实施例中，鳍状结构 301 的形成方式也可选择先形成一图案化硬掩模层 (未绘示) 于基底 300 上，再利用一外延制作工艺于暴露于该图案化掩模层外的基底 300 上长出例如包含硅或硅锗等的半导体层 (未绘示)，以作为相对应的鳍状结构。或者，在其他包含硅覆绝缘基底的实施态样 (未绘示) 中，则可利用一图案化硬掩模层 (未绘示) 来蚀刻基底 300 的一半导体层 (未绘示)，并停止于该半导体层下方的一底氧化层 (未绘示) 以形成该多个鳍状结构 301。

[0031] 接着,在基底 100 上形成至少一晶体管 340。在一实施例中,晶体管 340 包含一介质层 (interfacial layer) 304、一虚置栅极 (dummy gate) 306、一盖层 (capping layer) 308、一衬垫层 (liner layer) 310、一间隙壁 (spacer) 312 以及一轻掺杂源极 / 漏极 (LDD) 314。其中,介质层 304 例如是包含氧化硅或氮化硅。虚置栅极 306 则可包含不具有任何掺质多晶硅 (undoped polysilicon) 材料、具有掺质的多晶硅材料、非晶硅材料,或者也可以是上述材料的组合。盖层 308 可包含二氧化硅、氮化硅、碳化硅或氮氧化硅;衬垫层 310 包含氧化硅;间隙壁 312 可具有一单层结构或多层结构,例如是包含高温氧化硅层 (high temperature oxide, HTO)、氮化硅、氧化硅或氮氧化硅或使用六氯二硅烷 (hexachlorodisilane, Si_2Cl_6) 形成的氮化硅 (HCD-SiN),但不以此为限。

[0032] 具体来说,在一实施例中,晶体管 340 的形成步骤,例如包含先在基底 300 上形成依序堆叠的一介质材料层 (未绘示)、一虚置栅极材料层 (未绘示)、一帽盖材料层 (未绘示) 后,再图案化这些堆叠层,进而形成了晶体管 340 的栅极结构。接着,在该栅极结构的侧壁形成衬垫层 310,并在该栅极结构两侧的鳍状结构 301 内形成轻掺杂源极 / 漏极 314,最后在衬垫层 310 的侧壁上形成间隙壁 312。

[0033] 接着,如图 2 至图 3 所示可依据实际元件需求于晶体管 340 两侧的鳍状结构 301 或基底 300 中形成一外延层,作为一源极 / 漏极 318。具体来说,例如是先进行一蚀刻制作工艺,例如是干蚀刻、湿蚀刻或依序进行干蚀刻及湿蚀刻,以在晶体管 340 的栅极结构的虚置栅极 306 与间隙壁 312 两侧的鳍状结构 301 或基底 300 中形成至少一沟槽 316,如图 2 所示。接着,进行一选择性外延生长 (selective epitaxial growth, SEG) 制作工艺,以于沟槽 316 中形成该外延层,如图 3 所示。

[0034] 根据金属氧化物半导体晶体管的类型不同,该外延层可以具有不同的材质。举例来说,若晶体管 340 为 P 型晶体管时,该外延层可以选择包含硅化锗 (SiGe),并且可以用同步 (in-situ) 选择性外延生长制作工艺进行 P 型离子掺杂,形成 P+ 的 SiGe 外延层,同时可省略后续该 P 型晶体管的源极 / 漏极注入步骤。另一方面,若晶体管 340 为 N 型晶体管时,该外延层则可以包含硅化碳 (SiC),且也可以用同步选择性外延生长制作工艺进行 N 型离子掺杂,形成 N+ 的 SiC 外延层。然而,该选择性外延生长制作工艺并不以前述为限,在其他实施例中,可选择在形成该外延层之后或之前,再额外再进行一离子注入制作工艺以在该外延层中形成适当的掺质,以形成源极 / 漏极 318;或是,选择以渐层的方式形成掺质或异质原子 (例如锗原子或碳原子) 等。此外,在另一实施例中,也可省略该外延层,直接于虚置栅极 306 两侧的鳍状结构 301 或基底 300 进行离子注入制作工艺,形成源极 / 漏极 (未绘示)。

[0035] 而后,如图 4 及图 5 所示,进行一金属栅极置换 (replacement metal gate, RMG) 制作工艺,将晶体管 340 的虚置栅极 306 转换为一金属栅极。其中,该金属栅极的形成步骤,例如包含先在基底 300 上全面性地形成一层间介电材料层 (未绘示),例如是一氧化硅层,以全面覆盖晶体管 340。之后,通过一平坦化制作工艺,如化学机械抛光制作工艺、蚀刻制作工艺或两者的组合,部分移除该层间介电材料层至暴露该栅极结构,然后依序移除部分的衬垫层 310、部分的间隙壁 312,并完全移除盖层 308,直到暴露出虚置栅极 306 的顶面。最后,以干蚀刻或湿蚀刻或两者的组合来移除虚置栅极 306 以及介质层 304,以在晶体管 340 中形成一沟槽 322。

[0036] 之后,依序在基底 300 上全面形成一高介电常数层(未绘示)、一功函数金属材料层(未绘示)以及一低电阻值金属材料层(未绘示),使其至少填入沟槽 322 内。而后,通过一化学机械研磨制作工艺移除位于沟槽 322 外的该高介电常数层、该功函数金属材料层及该低电阻值金属材料层,形成如图 5 所示的层间介电层 320 以及一金属栅极结构 340a,其包含一栅极介电层 324、一功函数金属层 326 以及一低电阻值金属层 328,作为金属栅极结构 340a 的金属栅极。然而,该金属栅极结构 340a 的形成方式并不限于前述制作工艺,还可包含其他步骤。举例来说,在一实施例中,可选择在该高介电常数层与该功函数金属材料层之间额外形成一底阻障材料层(未绘示),例如是包含钽与氮化钽(Ta/TaN)或钛与氮化钛(Ti/TiN)等金属材质;或者是选择在该功函数金属材料层与该低电阻值金属材料层之间额外形成一顶阻障材料层(未绘示),其大体上包含与该底阻障层相同的金属材质,该底阻障材料层及/或该顶阻障材料层可通过后续的化学机械研磨制作工艺而形成仅位于沟槽 322 内的一底阻障层(未绘示)及/或一顶阻障层(未绘示)。

[0037] 此外,在一实施例中,栅极介电层 324 例如包含氧化铪(hafnium oxide, HfO_2)、硅酸铪氧化合物(hafnium silicon oxide, HfSiO_4)、硅酸铪氮氧化合物(hafnium silicon oxynitride, HfSiON)、氧化铝(aluminum oxide, Al_2O_3)、氧化镧(lanthanum oxide, La_2O_3)、氧化钽(tantalum oxide, Ta_2O_5)、氧化钇(yttrium oxide, Y_2O_3)、氧化锆(zirconium oxide, ZrO_2)、钛酸锶(strontium titanate oxide, SrTiO_3)、硅酸锆氧化合物(zirconium silicon oxide, ZrSiO_4)、锆酸铪(hafnium zirconium oxide, HfZrO_4)、锶铋钽氧化物(strontium bismuth tantalate, $\text{SrBi}_2\text{Ta}_2\text{O}_9$, SBT)、锆钛酸铅(lead zirconate titanate, $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, PZT)或钛酸钡锶(barium strontium titanate, $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$, BST)。功函数金属层 326 则视晶体管 340 的类型而可以做调整,例如当晶体管 340 为 P 型晶体管时,功函数金属层 326 为一满足 P 型晶体管所需功函数要求的金属,例如是镍(Ni)、钨(W)、钼(Mo)、钽(Ta)、钛(Ti)的氮化物;若晶体管 340 为 NMOS 时,功函数金属层 326 为一满足 N 型晶体管所需功函数要求的金属,例如是铝化钛(titanium aluminides, TiAl)、铝化锆(aluminum zirconium, ZrAl)、铝化钨(aluminum tungsten, WAl)、铝化钽(aluminum tantalum, TaAl)或铝化铪(aluminum hafnium, HfAl),但不以上述为限。低电阻值金属层 328 则例如包含铝(Al)、钛(Ti)、钽(Ta)、钨(W)、铌(Nb)、钼(Mo)、铜(Cu)、氮化钛(TiN)、碳化钛(TiC)、氮化钽(TaN)、钛钨(Ti/W)或钛与氮化钛(Ti/TiN)等金属材质。

[0038] 然而,本领域通常知识者也应了解,晶体管 340 的形成方式并不限于前述的制作工艺,也可能包含其他步骤。再者,前述实施例中的晶体管 340 虽是采用「后栅极(gate-last)制作工艺」并搭配「后高介电常数介电层(high-k last)制作工艺」为实施样态进行说明,但在其他实施例中,也可选择配合「前栅极(gate first)」、「前高介电常数层(high-k first)」或直接于该基底上形成一金属栅极结构(未绘示)。此外,在另一实施例中,还可选择在形成该层间介电材料层之前,先于基底 300 上形成单层或多层的一接触洞蚀刻停止层(contact etch stop layer, CESL, 未绘示),以进一步对晶体管 340 位于基底 300 内的通道区施加所需的压缩应力或是伸张应力,但并不以此为限。

[0039] 后续,则如图 6 至图 8 所示,在晶体管 340 上形成至少部分重叠晶体管 340 的一晶体管 380,其中图 6 及图 7 为沿图 8 中 A-A' 剖线所绘示的剖面示意图。具体来说,晶体管 380 的形成方式可包含先在基底 300 上依序形成全面覆盖基底 300 的一介电层 330 及一通

道材料层（未绘示）。其中，该通道材料层优选是利用一化学气相沉积（chemical vapor deposition, CVD）制作工艺或溅镀（sputtering）制作工艺形成，再图案化该通道材料层，形成部分覆盖介电层 330 的一通道层 332。需特别注意的是，通道层 332 是位于晶体管 340 的金属栅极结构 340a 之上，且优选在垂直基底 300 的一投影方向上部分重叠金属栅极结构 340a，如图 8 所示。后续，则如图 6 所示在通道层 332 的两侧上选择性地形成二导电层 334，作为一源极 / 漏极 336，由此，即构成晶体管 380。或者，在形成有导电层的一实施例中（未绘示），也可选择先形成覆盖范围较小的一通道层（未绘示），例如是仅约略超出金属栅极结构 340a 的延伸范围，再于该通道层的两侧上形成该导电层。

[0040] 在一实施例中，介电层 330 可选择包含氧化硅、氮化硅、氮氧化硅或氧化铝等绝缘材料，用来当作晶体管 380 的栅极介电层；通道层 332 则可包含一半导体氧化材料，例如是包含至少一种选自于铟（indium, In）、镓（gallium, Ga）、锡（tin, Sn）、锌（zinc, Zn）、铝（aluminum, Al）及镁（magnesium, Mg）的金属，如氧化铟镓锌（indium gallium zinc oxide, IGZO），特别是具有高载流子迁移率与低泄漏电流的 CAAC-氧化铟镓锌（CAAC-IGZO），但不以此为限。

[0041] 需进一步说明的是，晶体管 340 的金属栅极结构 340a 是形成于基底 300 的鳍状结构 301 上，且其通道区（未绘示）是位于金属栅极结构 340a 下方的鳍状结构 301 内；而晶体管 380 则是倒置在晶体管 340 之上，使其通道层 332 及源极 / 漏极 336 位于低电阻值金属层 328（作为晶体管 380 的金属栅极）及介电层 330（作为晶体管 380 的栅极介电层）之上。由此，晶体管 380 与晶体管 340 可共用相同的金属栅极结构（包含低电阻值金属层 328 等）340a，并通过通道层 332 连接该金属栅极结构 340a 及源极 / 漏极 336，构成通路。也就是说，晶体管 380 与晶体管 340 彼此相互重叠，而能够达到优选的集成度。此外，在一实施例中，也可选择省略导电层 334，直接利用一接触插塞（未绘示）作为晶体管 380 的源极 / 漏极。在另一实施例中晶体管 340 与晶体管 380 优选为相反导电型式的晶体管，例如晶体管 340 为一 P 型晶体管，而晶体管 380 则为 N 型晶体管，以构成高集成度的互补式金属氧化物半导体，但不以此为限。在其他实施例中，也可选择使晶体管 340 与晶体管 380 具有相同的导电型式，例如都为 P 型晶体管区或 NMOS 晶体管区。

[0042] 最后，如图 7 及图 8 所示，进行一源极 / 漏极接触插塞制作工艺，分别形成电连接晶体管 340 的源极 / 漏极 318 的接触插塞 392、394；电连接晶体管 380 的源极 / 漏极 336 的接触插塞 396、398；以及电连接晶体管 340、380 的共用金属栅极结构 340a 的接触插塞 400，由此构成如图 10 所示的等效电路。详细来说，接触插塞 392、394、396、398、400 的形成方法例如包含先于基底 300 上依序形成一层间介电层 390 以及一图案化掩模（未绘示），并通过该图案化掩模进行一蚀刻制作工艺，例如是一干蚀刻制作工艺、湿蚀刻制作工艺或是依序进行干蚀刻制作工艺及湿蚀刻制作工艺，形成分别暴露晶体管 340 的源极 / 漏极 318、晶体管 380 的源极 / 漏极 336 以及晶体管 340、380 共用金属栅极结构 340a 的接触沟槽（未绘示）。后续，则移除该图案化掩模，并进一步于该些接触沟槽内分别形成接触插塞 392、394、396、398、340，以分别电连接晶体管 340、380 的源极 / 漏极 318、334 及共用金属栅极结构 340a，如图 8 所示。

[0043] 上述相关步骤与现有接触插塞的制作工艺类似，在此不多加赘述。此外，本领域者应可轻易了解，接触插塞 392、394、396、398、340 的形成方法并不限于前述的制作步骤，也

可能以其他方式形成。举例来说,在其他实施例中,可进一步选择以单一曝光技术来定义所有接触沟槽(未绘示),也可以多重曝光技术分别定义连通晶体管 340、380 的该些接触沟槽(未绘示),例如是选择以显影-显影-蚀刻(photolithography-photolithography-etch, 2P1E)或是显影-蚀刻-显影-蚀刻(photolithography-etch-photolithography-etch, 2P2E)的操作方式进行。

[0044] 由此即完成本发明第一实施例的半导体元件。在本实施例主要是先形成具有位于基底的一通道区的第一晶体管,接着于该第一晶体管的金属栅极结构上方直接形成与该第一晶体管部分重叠的一通道层及一源极/漏极,并通过该通道层、该源极/漏极及该第一晶体管的该金属栅极结构构成一第二晶体管。由此,使得该二晶体管在一投影方向上彼此相互重叠,并且可共用相同的金属栅极结构,而能够达到优选的集成度。

[0045] 此外,请参照图 9 所示,其绘示本发明一优选实施例的半导体元件 30,其包含至第一晶体管 340,设置在基底 300 上,该第一晶体管 340 包含栅极介电层 324、功函数金属层 326、低电阻值金属层 328 以及第一源极/漏极 318;以及第二晶体管 380,包含低电阻值金属层 328、介电层 330、设置在低电阻值金属层 328 及介电层 330 上的通道层 332 以及第二源极/漏极。值得注意的是,第一源极/漏极 318 是位于基底 300 内,且优选是包含一外延结构,第二源极/漏极则是位于低电阻值金属层 328 及介电层 330 上,并覆盖通道层 332。其中,第二源极/漏极 336 可如前述图 7 所示由位于介电层 330 及通道层 332 上的导电层 334 构成,或者是选择如图 9 所示,直接利用电连接通道层 332 的接触插塞 396、398 作为第二晶体管 380 的源极/漏极。

[0046] 另一方面,第二晶体管 380 的通道层 332 可包含一半导体氧化材料,例如是包含至少一种选自于钢、镓、锡、锌、铝及镁的金属,如氧化钢镓锌等,并且通道层 332 在垂直于基底 300 的一投影方向上至少部分重叠金属栅极结构 340a,且位于金属栅极结构 340a 上方,如图 9 所示。由此,第二晶体管 380 与第一晶体管 340 可彼此相互重叠,并共用相同的金属栅极结构 340a。其中,第一晶体管 340 与第二晶体管 380 优选为相反导电型式的晶体管,例如第一晶体管 340 为 P 型晶体管,而第二晶体管 380 则为 N 型晶体管,由此使本实施例的半导体元件 30 可构成高集成度的互补式金属氧化物半导体。

[0047] 本领域者应可轻易了解,本发明的半导体元件也可能以其他方式形成,并不限于前述的制作步骤。因此,下文将进一步针对本发明半导体元件及其形成方法的其他实施例或变化型进行说明。且为简化说明,以下说明主要针对各实施例不同之处进行详述,而不再对相同之处作重复赘述。此外,本发明的各实施例中相同的元件以相同的标号进行标示,以利于各实施例间互相对照。

[0048] 请参照图 11,其绘示本发明第二实施例中形成半导体元件的方法的步骤示意图。本实施例的半导体元件的形成方法大体上和前述第一实施例相同,其差异处在于本实施例省略了金属栅极置换制作工艺。具体来说,本实施例在形成如图 1 所示的晶体管 340 之后,随即形成全面覆盖基底 300 及晶体管 340 的一层间介电材料层(未绘示)。之后,通过一平坦化制作工艺,如化学机械抛光制作工艺、蚀刻制作工艺或两者的组合,部分移除该层间介电材料层至暴露该栅极结构,再移除该栅极结构的盖层 308,形成如图 11 所示的层间介电层 320。随后则如前述图 6 至图 8 所示,继续形成晶体管 380 以及电连接晶体管 340 及晶体管 380 的接触插塞 392、394、396、398、340。也就是说,本实施例的晶体管 380 是由介电层

330(作为栅极介电层)、栅极 306,例如是硅栅极、通道层 332 及源极 / 漏极 336 所组成,使晶体管 340 及晶体管 380 可共用栅极 306,由此同样能使该半导体元件达到优选的集成度。

[0049] 以上所述仅为本发明的优选实施例,凡依本发明权利要求所做的均等变化与修饰,都应属本发明的涵盖范围。

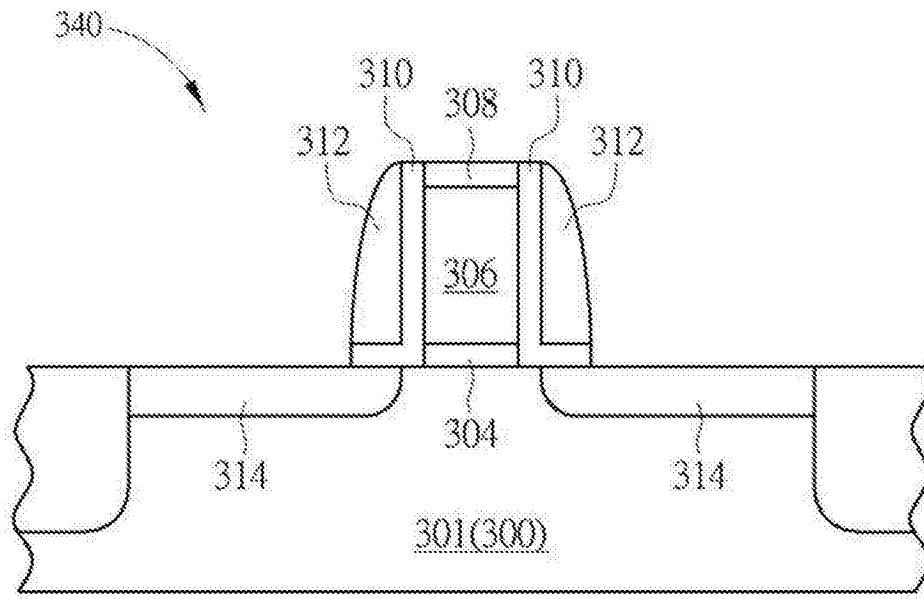


图 1

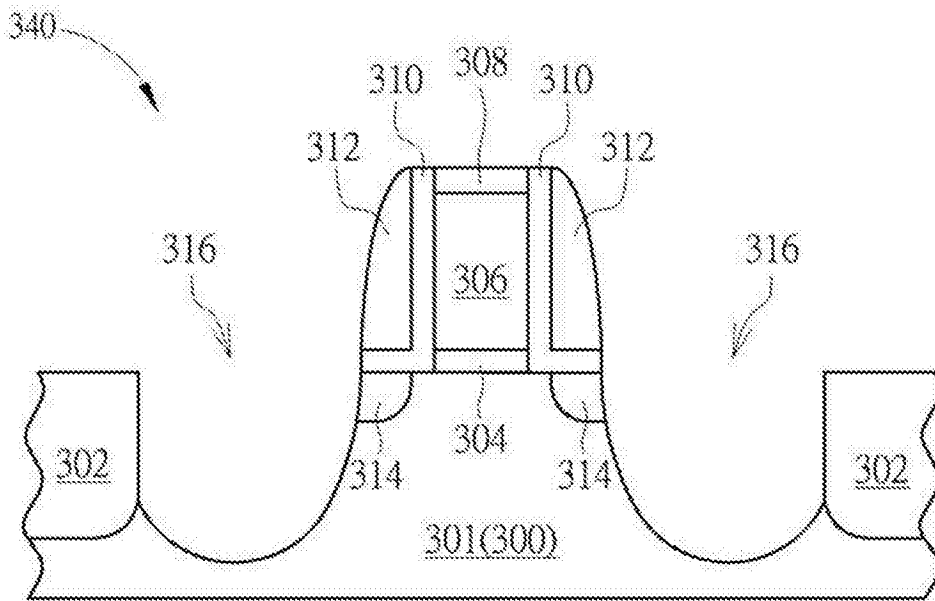


图 2

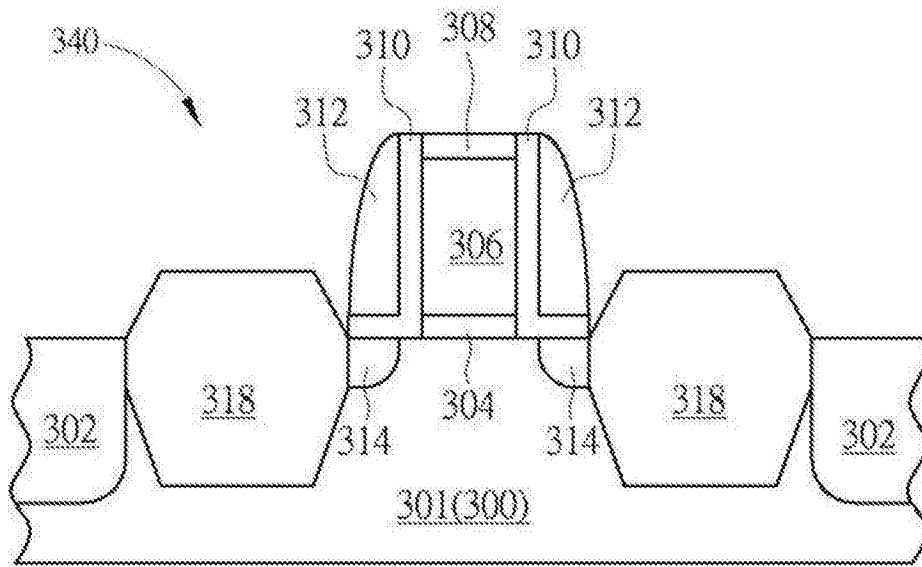


图 3

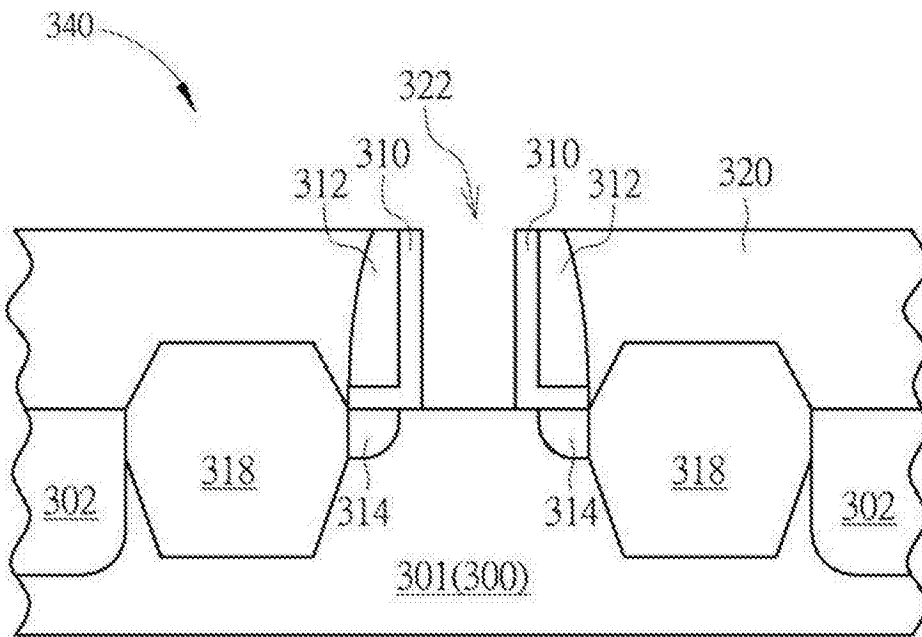


图 4

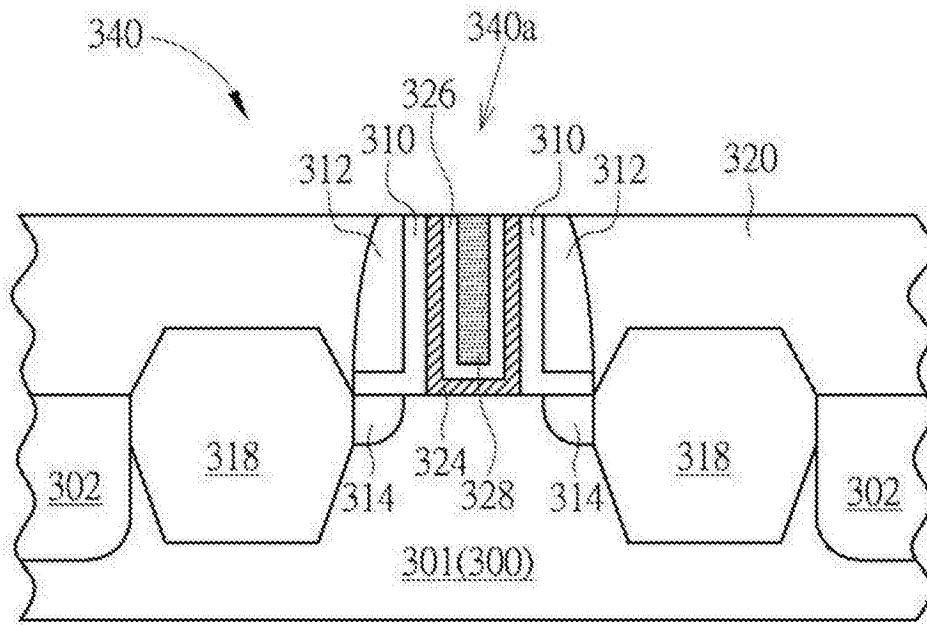


图 5

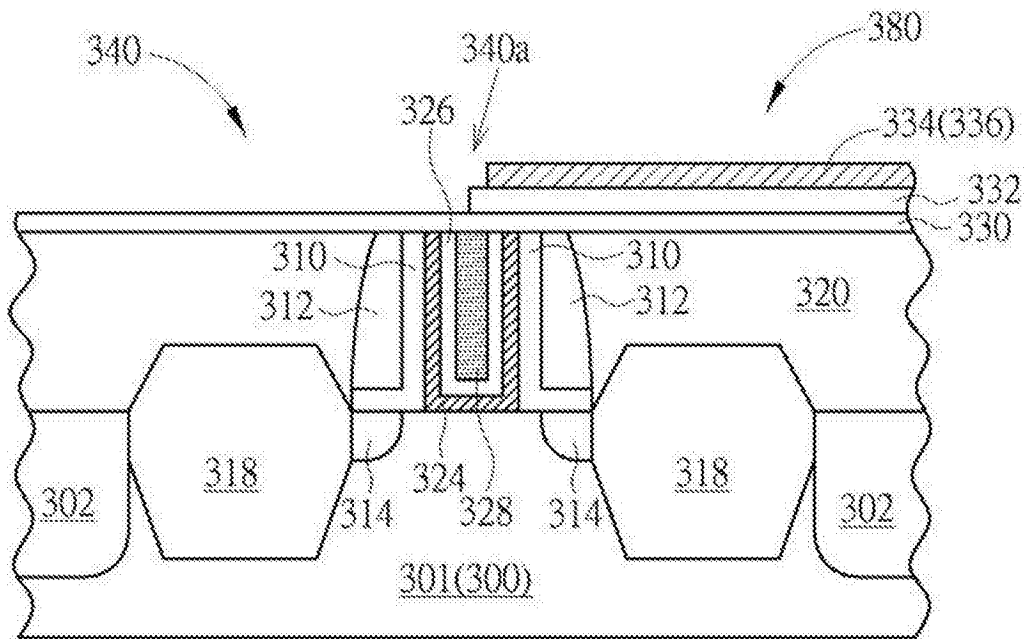


图 6

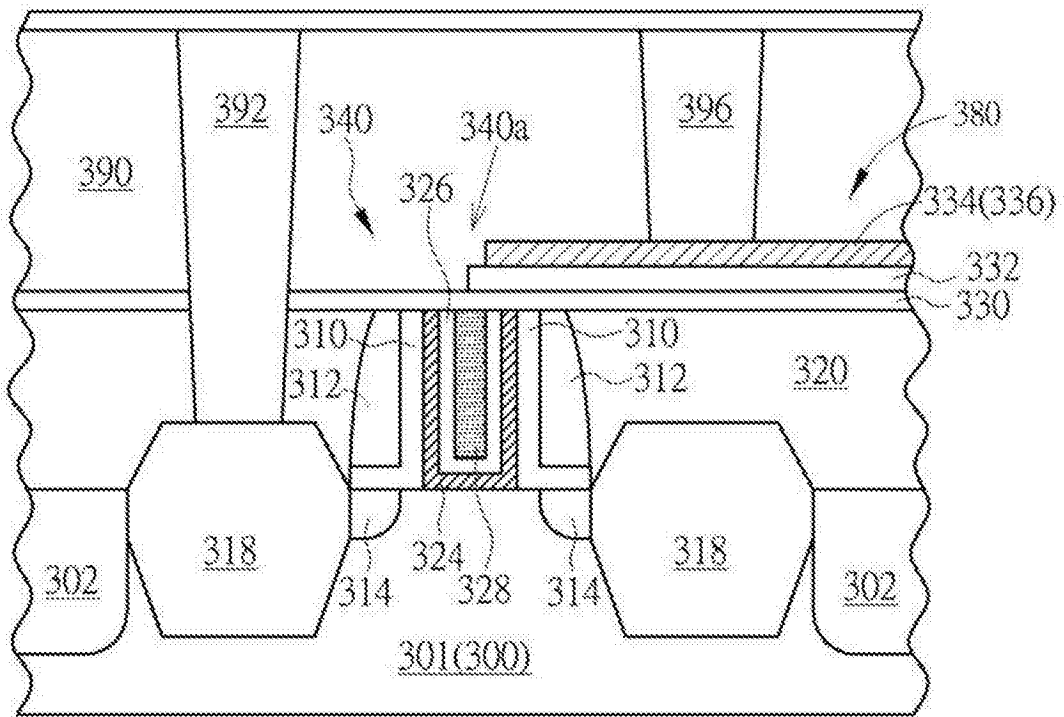


图 7

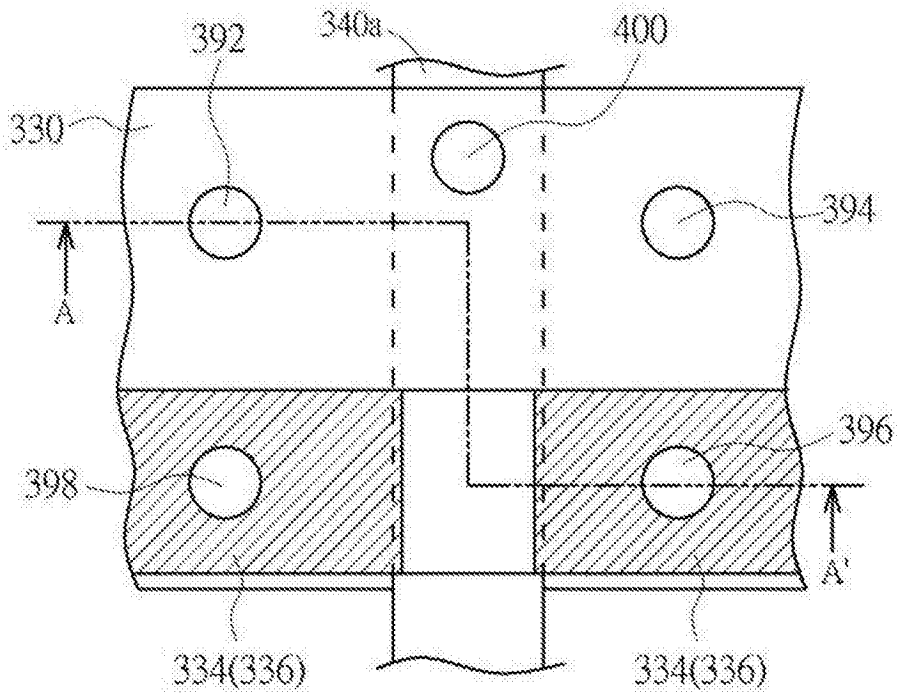


图 8

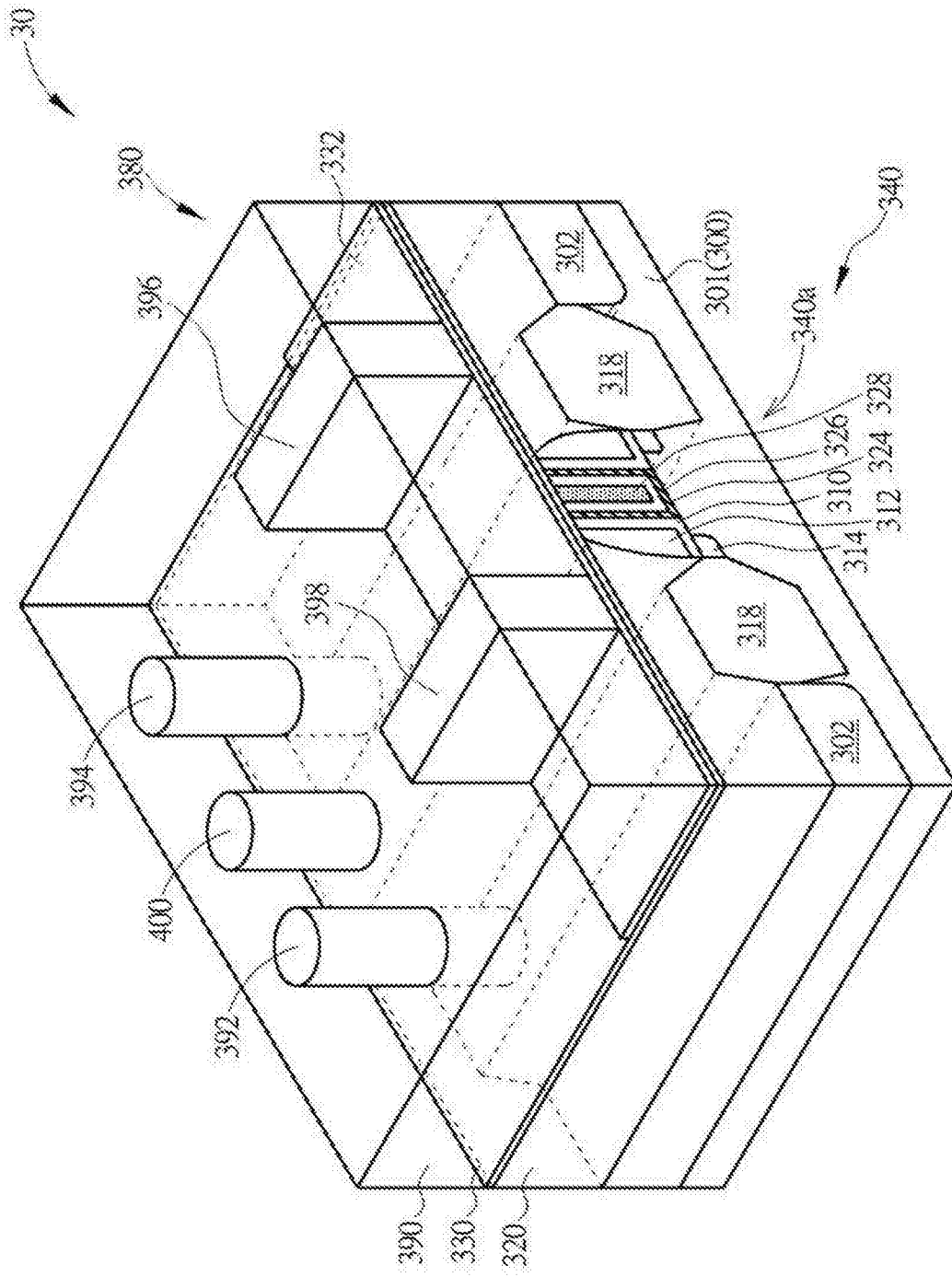


图 9

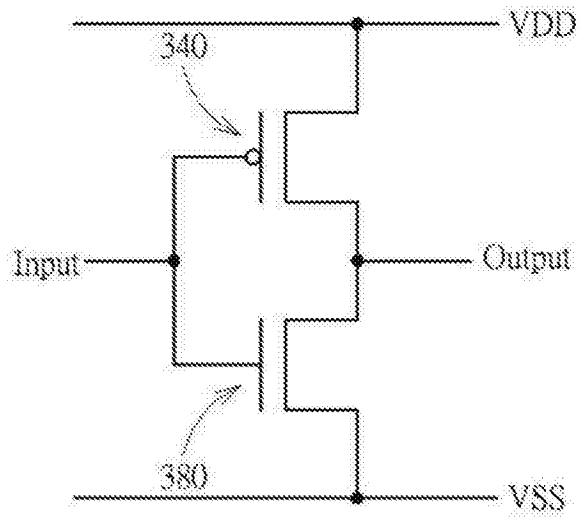


图 10

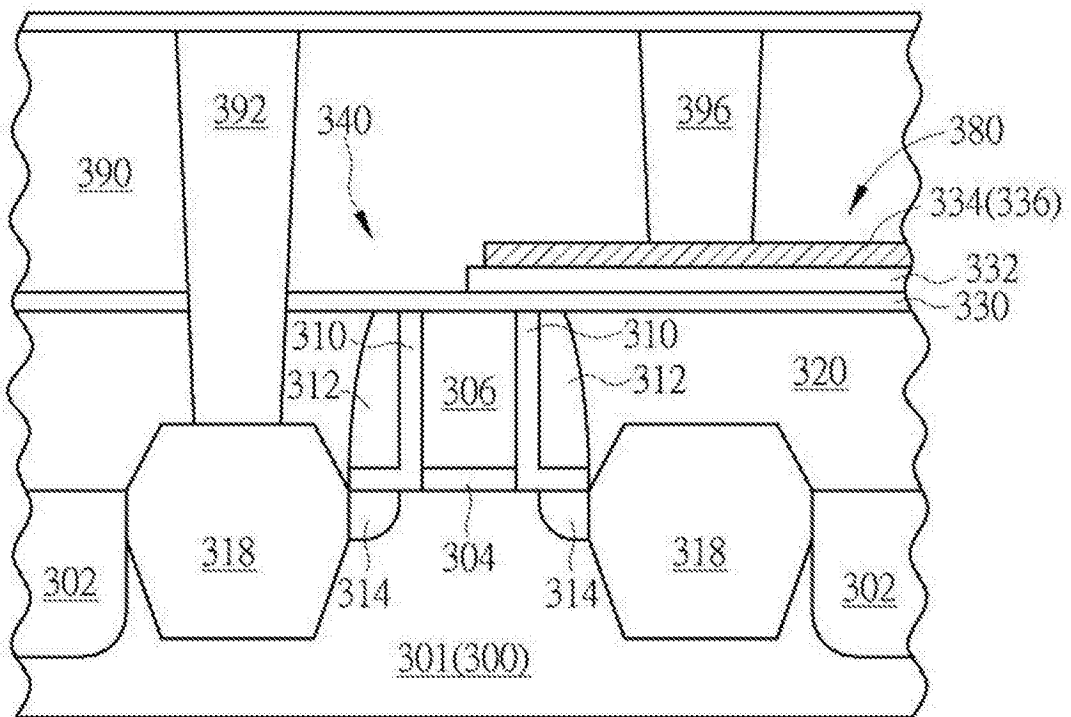


图 11