



(12) 发明专利申请

(10) 申请公布号 CN 113488505 A

(43) 申请公布日 2021. 10. 08

(21) 申请号 202110788541.5

H01L 45/00 (2006.01)

(22) 申请日 2019.09.11

(66) 本国优先权数据

PCT/CN2019/085237 2019.04.30 CN

(62) 分案原申请数据

201980002056.1 2019.09.11

(71) 申请人 长江存储科技有限责任公司

地址 430074 湖北省武汉市东湖新技术开发区未来三路88号

(72) 发明人 刘峻

(74) 专利代理机构 北京永新同创知识产权代理

有限公司 11376

代理人 林锦辉 刘景峰

(51) Int. Cl.

H01L 27/24 (2006.01)

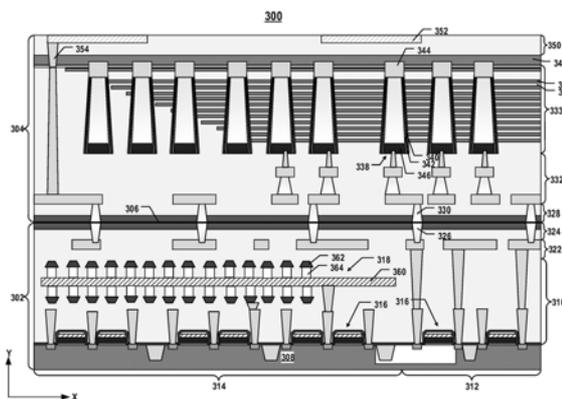
权利要求书3页 说明书17页 附图14页

(54) 发明名称

具有三维相变存储器的三维存储设备

(57) 摘要

公开了具有3D相变存储器(PCM)的三维(3D)存储设备及用于形成和操作3D存储设备的方法的实施例。在一个示例中,一种3D存储设备包括第一半导体结构,所述第一半导体结构包括外围电路、3D PCM单元阵列、以及包括多个第一键合触点的第一键合层。3D存储设备还进一步包括第二半导体结构,所述第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层。3D存储设备还包括第一键合层和第二键合层之间的键合界面。第一键合触点在键合界面处与第二键合触点接触。



1. 一种3D存储设备,包括:

第一半导体结构,所述第一半导体结构包括外围电路、3D相变存储器单元阵列、以及包括多个第一键合触点的第一键合层,所述3D相变存储器单元阵列位于所述外围电路上方或下方;

第二半导体结构,所述第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层;以及

键合界面,所述键合界面在所述第一键合层和所述第二键合层之间,其中,所述第一键合触点在所述键合界面处与所述第二键合触点接触,

其中,所述外围电路、所述3D相变存储器单元阵列和所述3D NAND存储器串阵列在垂直方向上堆叠在一起,并且

其中,所述外围电路包括用于所述3D相变存储器单元阵列的第一外围电路和用于所述3D NAND存储器串阵列的第二外围电路。

2. 根据权利要求1所述的3D存储设备,其中,所述第一半导体结构包括:

所述外围电路;

所述外围电路上方的所述3D相变存储器单元阵列;以及

所述3D相变存储器单元阵列上方的所述第一键合层。

3. 根据权利要求2所述的3D存储设备,其中,所述第二半导体结构包括:

在所述第一键合层上方的所述第二键合层;

在所述第二键合层上方的存储器叠层;

垂直延伸穿过所述存储器叠层的所述3D NAND存储器串阵列;以及

在所述3D NAND存储器串阵列上方并与所述3D NAND存储器串阵列接触的半导体层。

4. 根据权利要求3所述的3D存储设备,其中,所述半导体层包括多晶硅或单晶硅。

5. 根据权利要求1所述的3D存储设备,其中,所述第二半导体结构包括:

存储器叠层;

垂直延伸穿过所述存储器叠层的所述3D NAND存储器串阵列;以及

所述存储器叠层和所述3D NAND存储器串阵列上方的所述第二键合层。

6. 根据权利要求5所述的3D存储设备,其中,所述第一半导体结构包括:

在所述第二键合层上方的所述第一键合层;

在所述第一键合层上方的所述3D相变存储器单元阵列;

在所述3D相变存储器单元阵列上方的所述外围电路;以及

在所述外围电路上方并与所述外围电路接触的半导体层。

7. 根据权利要求3或6所述的3D存储设备,还包括在所述半导体层上方的焊盘引出互连层。

8. 根据权利要求1所述的3D存储设备,其中,所述外围电路包括所述NAND存储器串阵列的外围电路和所述3D相变存储器单元阵列的外围电路。

9. 根据权利要求1-6和8中任一项所述的3D存储设备,其中,每个3D相变存储器单元包括3D XPoint存储单元。

10. 根据权利要求1-6和8中任一项所述的3D存储设备,其中,所述第一半导体结构包括垂直位于所述第一键合层和所述3D相变存储器单元阵列之间的第一互连层,并且所述第二

半导体结构包括垂直位于所述第二键合层和所述3D NAND存储器串阵列之间的第二互连层。

11. 根据权利要求10所述的3D存储设备,其中,所述3D相变存储器单元阵列通过所述第一互连层和所述第二互连层以及所述第一键合触点和所述第二键合触点电连接到所述3D NAND存储器串阵列。

12. 一种用于形成3D存储设备的方法,包括:

形成第一半导体结构,所述第一半导体结构包括外围电路、3D相变存储器单元阵列、以及包括多个第一键合触点的第一键合层,所述3D相变存储器单元阵列位于所述外围电路上方或下方;

形成第二半导体结构,所述第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层;以及

将所述第一半导体结构和所述第二半导体结构以面对面的方式键合,使得所述第一键合触点在键合界面处与所述第二键合触点接触,使得所述外围电路、所述3D相变存储器单元阵列和所述3D NAND存储器串阵列在垂直方向上堆叠在一起,

其中,所述外围电路包括用于所述3D相变存储器单元阵列的第一外围电路和用于所述3D NAND存储器串阵列的第二外围电路。

13. 根据权利要求12所述的方法,其中,形成所述第一半导体结构包括:

在第一衬底上形成所述外围电路;

在所述外围电路上方形成所述3D相变存储器单元阵列;

在所述3D相变存储器单元阵列上方形成第一互连层;以及

在所述第一互连层上方形成所述第一键合层。

14. 根据权利要求13所述的方法,其中,形成所述3D相变存储器单元阵列包括形成3D XPoint存储单元阵列。

15. 根据权利要求12-14中任一项所述的方法,其中,形成所述第二半导体结构包括:

在第二衬底上方形成存储器叠层;

形成垂直延伸穿过所述存储器叠层的所述3D NAND存储器串阵列;

在所述3D NAND存储器串阵列上方形成第二互连层;以及

在所述第二互连层上方形成所述第二键合层。

16. 根据权利要求12-14中任一项所述的方法,其中,在所述键合之后,所述第二半导体结构在所述第一半导体结构上方。

17. 根据权利要求15所述的方法,还包括:

在所述键合之后减薄所述第二衬底以形成半导体层;以及

在所述半导体层上方形成焊盘引出互连层。

18. 根据权利要求12-14中任一项所述的方法,其中,在所述键合之后,所述第一半导体结构在所述第二半导体结构上方。

19. 根据权利要求13所述的方法,还包括:

在所述键合之后减薄所述第一衬底以形成半导体层;以及

在所述半导体层上方形成焊盘引出互连层。

20. 根据权利要求12-14、17和19中任一项所述的方法,其中,所述键合包括混合键合。

21.一种用于操作根据权利要求1-11中的任一项所述的3D存储设备的方法,所述外围电路包括输入/输出电路,所述方法包括:

通过所述输入/输出电路将数据传输到所述3D相变存储器单元阵列;

在所述3D相变存储器单元阵列中缓存所述数据;以及

将所述数据从所述3D相变存储器单元阵列存储到所述3D NAND存储器串阵列中。

22.根据权利要求21所述的方法,还包括通过多个键合触点在所述3DNAND存储器串阵列和所述3D相变存储器单元阵列之间传输所述数据。

23.根据权利要求21或22所述的方法,其中,所述3D相变存储器单元阵列包括3D XPoint存储单元阵列。

具有三维相变存储器的三维存储设备

[0001] 本申请是申请日为2019年9月11日、发明名称为“具有三维相变存储器的三维存储设备”的专利申请201980002056.1的分案申请。

[0002] 相关申请的交叉引用

[0003] 本申请要求享有于2019年4月30日提交的题为“THREE-DIMENSIONAL MEMORY DEVICE WITH EMBEDDED DYNAMIC RANDOM-ACCESS MEMORY”的国际申请No. PCT/CN2019/085237的优先权,该申请通过引用的方式整体上并入本文。

技术领域

[0004] 本公开内容的实施例涉及三维(3D)存储设备及其制造和操作方法。

背景技术

[0005] 通过改进工艺技术、电路设计、编程算法和制造工艺,将平面存储单元缩小到更小的尺寸。然而,随着存储单元的特征尺寸接近下限,平面工艺和制造技术变得具有挑战性且成本高。作为结果,平面存储单元的存储密度接近上限。

[0006] 3D存储器架构可以解决平面存储单元的密度限制。3D存储器架构包括存储器阵列和用于控制进出存储器阵列的信号的外围设备。

发明内容

[0007] 本文公开了具有3D相变存储器(PCM)的3D存储设备及其制造和操作方法的实施例。

[0008] 在一个示例中,一种3D存储设备包括第一半导体结构,所述第一半导体结构包括外围电路、3D PCM单元阵列、以及包括多个第一键合触点的第一键合层。3D存储设备还进一步包括第二半导体结构,所述第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层。3D存储设备还包括第一键合层和第二键合层之间的键合界面。第一键合触点在键合界面处与第二键合触点接触。

[0009] 在另一示例中,公开了一种用于形成3D存储设备的方法。形成第一半导体结构。第一半导体结构包括外围电路、3D PCM单元阵列、以及包括多个第一键合触点的第一键合层。形成第二半导体结构。第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层。将第一半导体结构和第二半导体结构以面对面的方式键合,使得第一键合触点在键合界面处与第二键合触点接触。

[0010] 在又一个示例中,公开了一种用于操作3D存储设备的方法。3D存储设备包括同一芯片中的输入/输出电路、3D PCM单元阵列和3D NAND存储器串阵列。数据通过输入/输出电路传输到3D PCM单元阵列。数据缓存在3D PCM单元阵列中。数据从3D PCM单元阵列存储到3D NAND存储器串阵列中。

附图说明

[0011] 并入本文并形成说明书的一部分的附图示出了本公开内容的实施例,并且附图与说明书一起进一步用于解释本公开内容的原理并且使得相关领域技术人员能够做出和使用本公开内容。

[0012] 图1A示出了根据一些实施例的具有3D PCM的示例性3D存储设备的横截面的示意图。

[0013] 图1B示出了根据一些实施例的具有3D PCM的另一示例性3D存储设备的横截面的示意图。

[0014] 图2示出了根据一些实施例的具有外围电路和3D PCM的示例性半导体结构的示意性平面图。

[0015] 图3示出了根据一些实施例的具有3D PCM的示例性3D存储设备的横截面。

[0016] 图4示出了根据一些实施例的具有3D PCM的另一示例性3D存储设备的横截面。

[0017] 图5A-5C示出了根据一些实施例的用于形成具有外围电路和3D PCM的示例性半导体结构的制造工艺。

[0018] 图6A和图6B示出了根据一些实施例的用于形成具有3D NAND存储器串的示例性半导体结构的制造工艺。

[0019] 图7A和图7B示出了根据一些实施例的用于形成具有3D PCM的示例性3D存储设备的制造工艺。

[0020] 图8示出了根据一些实施例的具有3D PCM的3D存储设备的示例性操作。

[0021] 图9是根据一些实施例的用于形成具有3D PCM的3D存储设备的示例性方法的流程图。

[0022] 图10是根据一些实施例的用于操作具有3D PCM的3D存储设备的示例性方法的流程图。

[0023] 将参考附图描述本公开内容的实施例。

具体实施方式

[0024] 尽管讨论了具体的配置和布置,但应该理解,这仅仅是为了说明的目的而进行的。相关领域的技术人员将认识到,在不脱离本公开内容的精神和范围的情况下,可以使用其他配置和布置。对于相关领域的技术人员显而易见的是,本公开内容还可以用于各种其他应用中。

[0025] 应当注意,在说明书中对“一个实施例”、“实施例”、“示例性实施例”、“一些实施例”等的引用指示所描述的实施例可以包括特定的特征、结构或特性,但是每个实施例可能不一定包括该特定的特征、结构或特性。而且,这样的短语不一定指代相同的实施例。此外,当结合实施例描述特定特征、结构或特性时,无论是否明确描述,结合其他实施例来实现这样的特征、结构或特性都在相关领域的技术人员的知识范围内。

[0026] 通常,可以至少部分地从上下文中的用法理解术语。例如,至少部分取决于上下文,如本文所使用的术语“一个或多个”可用于以单数意义描述任何特征、结构或特性,或可用于以复数意义描述特征、结构或特性的组合。类似地,至少部分取决于上下文,诸如“一”、“一个”或“该”等术语同样可以被理解为表达单数用法或表达复数用法。另外,术语“基于”

可以被理解为不一定旨在传达排他性的因素集合,而是可以允许存在不一定明确描述的其他因素,这同样至少部分地取决于上下文。

[0027] 应当容易理解的是,本公开内容中的“在……上”、“在……之上”和“在……上方”的含义应以最宽泛的方式来解释,使得“在……上”不仅意味着“直接在某物上”,而且还包括其间具有中间特征或层的“在某物上”的含义,并且“在……之上”或“在……上方”不仅意味着“在某物之上”或“在某物上方”的含义,而且还可以包括其间没有中间特征或层的“在某物之上”或“在某物上方”的含义(即,直接在某物上)。

[0028] 此外,为了便于描述,可以在本文使用诸如“在……之下”、“在……下方”、“下”、“在……之上”、“上”等之类的空间相对术语来描述如图所示的一个元件或特征与另一个或多个元件或特征的关系。除了附图中所示的取向之外,空间相对术语旨在涵盖设备在使用或操作中的不同取向。该装置可以以其他方式定向(旋转90度或在其他取向)并且同样可以相应地解释本文使用的空间相关描述词。

[0029] 如本文所使用的,术语“衬底”是指在其上添加后续材料层的材料。衬底本身可以被图案化。添加在衬底顶部的材料可以被图案化或可以保持未图案化。此外,衬底可以包括多种半导体材料,例如硅、锗、砷化镓、磷化铟等。可替换地,衬底可以由非导电材料制成,例如玻璃、塑料或蓝宝石晶圆。

[0030] 如本文所使用的,术语“层”是指包括具有厚度的区域的材料部分。层可以在整个下方或上方结构上延伸,或者可以具有小于下方或上方结构的范围的范围。此外,层可以是厚度小于连续结构的厚度的均匀或不均匀连续结构的区域。例如,层可以位于连续结构的顶表面和底表面之间或在顶表面和底表面处的任何一对水平平面之间。层可以水平、垂直和/或沿着锥形表面延伸。衬底可以是一层,其中可以包括一层或多层,和/或可以在其上、上方和/或其下具有一层或多层。一层可以包括多个层。例如,互连层可以包括一个或多个导体和触点层(其中形成有互连线和/或过孔触点)以及一个或多个电介质层。

[0031] 如本文所使用的,术语“标称/标称地”是指在产品或工艺的设计阶段期间设定的部件或工艺操作的特性或参数的期望值或目标值、以及高于和/或低于期望值的值的范围。值的范围可以是由于制造工艺或公差的轻微变化而引起。如本文所使用的,术语“约”表示给定量的值可以基于与主题半导体设备相关联的特定技术节点而变化。基于特定的技术节点,术语“约”可以表示给定量的值例如在该值的10-30%内变化(例如,值的 $\pm 10\%$ 、 $\pm 20\%$ 或 $\pm 30\%$)。

[0032] 如本文所使用的,术语“3D存储设备”是指在横向取向的衬底上具有垂直取向的存储单元晶体管串(本文中称为“存储器串”,例如NAND存储器串)的半导体设备,使得存储器串相对于衬底在垂直方向上延伸。如本文所使用的,术语“垂直/垂直地”表示标称垂直于衬底的横向表面。

[0033] 3D XPoint存储器作为一种类型的PCM已经与3D NAND闪存一起放置在同一印刷电路板(PCB)上,以提高存储系统性能。然而,分立的3DXPoint存储器芯片和3D NAND闪存芯片之间的距离相对较长(例如,几厘米),从而限制了两个存储器芯片之间的数据传输速率。两个芯片也都需要单独的存储器控制器,这增大了开销,从而导致降低整体设备性能。

[0034] 另一方面,在传统的3D NAND存储器芯片中,在同一平面上形成在存储单元阵列外部的电路可能占据设备芯片的大的面积,从而导致阵列效率较差、管芯尺寸大且成本

高。而且,与处理存储单元阵列相关联的热预算限制了外围电路性能要求,从而使得难以实现3D NAND存储器的高输入/输出(I/O)速度。

[0035] 根据本公开内容的各种实施例提供了一种3D存储设备,其具有片上3D PCM,例如3D XPoint存储器,从而具有提高的I/O速度、吞吐量和存储密度。在一些实施例中,使用高速高级逻辑器件处理将3D NAND存储器的外围电路(例如,控制和感测电路)形成在单独的衬底上。3D PCM(例如,3D XPoint存储器)可以与外围电路形成在相同的衬底上,以利用空的晶圆空间并用作高速非易失性存储缓冲器。3D NAND存储器可以形成在另一个衬底上并且键合到其上形成有外围电路和3D PCM的衬底上。在一些实施例中,将频繁存取的数据存储在更快的3D XPoint存储器上,以能够进行随机存取和高速存取,同时将较少使用的数据放置在较慢的3D NAND存储器上以获得更高密度和更低成本的储存。

[0036] 作为结果,增加了存储器阵列效率,减小了管芯尺寸和位成本,从而极大地提高了存储设备性能。通过消除芯片到芯片数据总线并减小RC延迟,可以实现更高的I/O速度和更低的功耗。通过在一个芯片中集成高速非易失性存储器(例如,3D XPoint存储器)和高密度/容量非易失性存储器(例如,3D NAND存储器),可以实现高性能的非易失性数据储存。例如,本文公开的具有3D PCM的3D存储设备可以在移动设备或计算机上实现即时启动特征,这是由于其高速非易失性数据储存能力。

[0037] 图1A示出了根据一些实施例的具有3D PCM的示例性3D存储设备100的横截面的示意图。3D存储设备100表示键合芯片的示例。3D存储设备100的部件(例如,3D PCM/外围电路和3D NAND存储器)可以分别形成在不同的衬底上,并且然后接合以形成键合芯片。3D存储设备100可以包括第一半导体结构102,第一半导体结构102包括外围电路和3D PCM单元阵列。外围电路和3D PCM单元阵列都可以用高级逻辑工艺来实现(例如,90nm、65nm、45nm、32nm、28nm、20nm、16nm、14nm、10nm、7nm、5nm、3nm等技术节点),从而实现高速。在一些实施例中,第一半导体结构中的外围电路和3D PCM单元阵列使用了互补金属氧化物半导体(CMOS)技术。

[0038] 在一些实施例中,外围电路包括用于便于3D存储设备100的操作的任何合适的数字、模拟和/或混合信号外围电路。例如,外围电路可以包括页缓冲器、译码器(例如,行译码器和列译码器)、感测放大器、驱动器、电荷泵、电流或电压基准、或电路的任何有源或无源部件(例如,晶体管、二极管、电阻器或电容器等)中的一个或多个。3D PCM可以集成在逻辑电路(例如,外围电路)的相同管芯上,这允许更宽的总线和更高的操作速度。用于3D PCM的存储器控制器可以作为外围电路的一部分嵌入。根据一些实施例,外围电路包括第二半导体结构104中的3D NAND存储器的外围电路和第一半导体结构102中的3D PCM的外围电路。

[0039] PCM(也称为“PCRAM”)可以利用相变材料(例如,硫属化合物合金)中的无定形相和结晶相的电阻率之间的差异,该差异基于以电热方式对相变材料加热和猝熄。PCM单元中的相变材料可以位于两个电极之间,并且可以施加电流以在两相之间重复地切换材料(或者其至少一部分(其阻挡电流路径))以存储数据。PCM单元可以以3D方式垂直堆叠,从而形成3DPCM。在一些实施例中,3D PCM包括3D XPoint存储器,其基于体材料特性的电阻的变化(例如,在高电阻状态或低电阻状态下)、结合可位寻址的可堆叠交叉网格数据存取阵列来存储数据。3D XPoint存储器具有无晶体管的交叉点架构,其可将选择器和存储单元定位在垂直导体的交叉点处。由垂直导体连接的3D XPoint存储单元可以各自存储单个数据位,并

且可以通过改变施加到每个选择器的电压来写入或读取3D XPoint存储单元,这消除了对晶体管的需要。可以借助通过与每个单元接触的顶部和底部导体施加的电流对每个存储单元单独存取。为了提高储存密度,3D XPoint存储单元可以垂直堆叠(以3D方式)。

[0040] 3D存储设备100还可以包括第二半导体结构104,第二半导体结构104包括具有3D NAND存储器串阵列的3D NAND存储器。即,第二半导体结构104可以是NAND闪存设备,其中以NAND存储器串阵列的形式提供存储单元。在一些实施例中,取决于NAND技术(例如,存储器叠层中的级/层的数量),3D NAND存储器串通常由32到256个NAND存储单元组成。可以将3D NAND存储器串组织为页,然后将页组织为块,其中每个3DNAND存储器串连接到称为位线(BL)的单独线路。可以由字线(WL)通过控制栅极连接3D NAND存储器串的相同级中的所有单元。第二半导体结构104可以包括一个或多个存储器平面,并且在第一半导体结构102中可以包括执行所有读取、写入、编程和擦除操作所需的外围电路。

[0041] 应当理解,在其他实施例中,3D NAND存储器串阵列可以部分或完全由2D NAND存储单元阵列代替,每个2D NAND存储单元均包括浮栅晶体管。根据一些实施例,2D NAND存储单元阵列包括多个2D NAND存储器串,每个2D NAND存储器串包括串联连接(类似于NAND门)的多个存储单元(例如,32至128个存储单元)和两个选择晶体管。根据一些实施例,每个2D NAND存储器串布置在衬底上的相同平面中(以2D方式)。

[0042] 如图1A所示,3D存储设备100还包括垂直位于第一半导体结构102和第二半导体结构104之间的键合界面106。如下面详细描述,第一半导体结构102和第二半导体结构104可以被单独制造(并且在一些实施例中并行制造),使得制造第一半导体结构102和第二半导体结构104中的一个的热预算不会限制制造第一半导体结构102和第二半导体结构104中的另一个的工艺。此外,可以通过键合界面106形成大量互连(例如,借助混合键合的键合触点),以在第一半导体结构102和第二半导体结构104之间形成直接的、短的电连接,这与PCB上的长距离的芯片到芯片数据总线相反,从而消除芯片接口延迟并以降低的功耗实现高速I/O吞吐量。可以跨键合界面106通过互连(例如,键合触点)来执行第二半导体结构104中的3DNAND存储器串阵列与第一半导体结构102中的3D PCM单元阵列之间的数据传输。此外,通过垂直集成第一半导体结构102和第二半导体结构104,可以减小芯片尺寸,并且可以增加存储单元密度。

[0043] 应当理解,堆叠的第一半导体结构102和第二半导体结构104的相对位置不受限制。图1B示出了根据一些实施例的具有3D PCM的另一示例性3D存储设备101的横截面的示意图。与图1A中的3D存储设备100(其中包括3D NAND存储器串阵列的第二半导体结构104位于包括外围电路和3D PCM单元阵列的第一半导体结构102上方)不同,在图1B中的3D存储设备100中,包括外围电路和3D PCM单元(例如,3D XPoint存储单元)阵列的第一半导体结构102位于包括3D NAND存储器串阵列的第二半导体结构104上方。然而,根据一些实施例,键合界面106垂直形成在3D存储设备101中的第一半导体结构102和第二半导体结构104之间,并且第一半导体结构102和第二半导体结构104通过键合(例如,混合键合)而被垂直接合。可以跨键合界面106通过互连(例如,借助混合键合的键合触点)来执行第二半导体结构104中的3D NAND存储器串阵列与第一半导体结构102中的3D PCM单元(例如,3D XPoint存储单元)阵列之间的数据传输。

[0044] 图2示出了根据一些实施例的具有外围电路和3D PCM 206的示例性半导体结构

200的示意性平面图。半导体结构200可以是第一半导体结构102的一个示例。半导体结构200可以包括用于控制和感测3D NAND存储器和/或3D PCM 206的外围电路,包括字线驱动器202、页缓冲器204和任何其他合适的电路。半导体结构200还可以包括与外围电路在相同管芯上并且与外围电路使用相同的逻辑工艺制造的3D PCM 206(例如,3D XPoint存储器)。图2示出了外围电路(例如,字线驱动器202、页缓冲器204)和3D PCM 206的示例性布局,其中外围电路(例如,字线驱动器202、页缓冲器204)和3D PCM 206形成在同一平面上的不同区域中。例如,3D PCM206可以形成在外围电路(例如,字线驱动器202、页缓冲器204)外部。应当理解,半导体结构200的布局不限于图2中的示例性布局。在一些实施例中,外围电路(例如,字线驱动器202、页缓冲器204)和3D PCM 206(例如,3D XPoint存储器)一个堆叠在另一个上,即在不同的平面上。例如,3D PCM 206(例如,3D XPoint存储器)可以形成在外围电路(例如,字线驱动器202、页缓冲器204)的上方或下方,以进一步减小芯片尺寸。

[0045] 图3示出了根据一些实施例的具有3D PCM的示例性3D存储设备300的横截面。作为上面关于图1A描述的3D存储设备100的一个示例,3D存储设备300是键合芯片,其包括第一半导体结构302和堆叠在第一半导体结构302上方的第二半导体结构304。第一半导体结构302和第二半导体结构304在它们之间的键合界面306处接合。关于图3,包括在第一半导体结构302中的3D PCM将被描述为3D XPoint存储器。如图3所示,第一半导体结构302可以包括衬底308,其可以包括硅(例如,单晶硅)、硅锗(SiGe)、砷化镓(GaAs)、锗(Ge)、绝缘体上硅(SOI)或任何其他合适的材料。

[0046] 3D存储设备300的第一半导体结构302可以包括衬底308上方的器件层310。应当注意,在图3中添加了x轴和y轴以进一步示出了3D存储设备300中的部件的空间关系。衬底308包括在x方向(横向方向或宽度方向)上横向延伸的两个横向表面(例如,顶表面和底表面)。如本文所使用的,当衬底(例如,衬底308)在y方向上位于半导体设备(例如,3D存储设备300)的最低平面中时,在y方向(垂直方向或层堆叠方向)上相对于半导体设备的衬底确定一个部件(例如,层或器件)是在半导体设备的另一部件(例如,层或器件)的“上”、“上方”还是“下方”。在本公开内容全文中,应用相同概念来描述空间关系。

[0047] 在一些实施例中,器件层310包括衬底308上的具有高速逻辑晶体管312及感测和控制电路314的外围电路以及外围电路上方的3D XPoint存储单元318的阵列。在一些实施例中,具有高速逻辑晶体管312或感测和控制电路314的每个外围电路包括多个晶体管316,其形成用于便于3D存储设备300的操作的任何合适的数字、模拟和/或混合信号外围电路,包括但不限于页缓冲器、译码器(例如,行译码器和列译码器)、感测放大器、驱动器、电荷泵、电流或电压基准。晶体管316可以形成在衬底308“上”,其中晶体管316的全部或部分形成在衬底308中(例如,在衬底308的顶表面下方)和/或直接形成在衬底308上。隔离区域(例如,浅沟槽隔离(STI))和掺杂区域(例如,晶体管316的源极区域和漏极区域)也可以形成在衬底308中。具有感测和控制电路314和/或高速逻辑晶体管312的外围电路可以电连接到3D XPoint存储单元318的阵列。

[0048] 在一些实施例中,每个3D XPoint存储单元318包括在具有字线(WL)360和位线(BL)362的交叉点结构中垂直布置的导体。字线360和位线362可以包括导电材料,包括但不限于钨(W)、钴(Co)、铜(Cu)、铝(Al)、硅化物或其任何组合。每个3D XPoint存储单元318还可以包括在一对字线360和位线362的交叉点处的存储元件364,用于通过单元材料的体特

性变化来存储一位数据。在一些实施例中,每个3D XPoint存储单元318还包括垂直位于存储元件364与字线360或位线362之间的选择器(未示出)。即,选择器和存储元件364可以采用双堆叠的存储/选择器结构。根据一些实施例,存储元件364的材料包括基于硫属化物的合金(硫属化物玻璃),例如GST(Ge-Sb-Te)合金,或任何其他合适的相变材料、电阻氧化物材料或导电桥材料。选择器的材料可以包括任何合适的双向阈值开关(OTS)材料,例如 Zn_xTe_y 、 Ge_xTe_y 、 Nb_xO_y 、 $Si_xAs_yTe_z$ 等。应当理解,3D XPoint存储单元318的阵列的结构、配置和材料不限于图3中的示例,并且可以包括任何合适的结构、配置和材料。

[0049] 在一些实施例中,3D存储设备300的第一半导体结构302还包括在器件层310中的3D XPoint存储单元318的阵列上方的互连层322,以便传输进出具有高速逻辑晶体管312及感测和控制器电路314的外围电路以及3DXPoint存储单元318的阵列的电信号。互连层322可以包括多个互连(本文也称为“触点”),包括横向互连线和垂直互连接入(过孔)触点。如本文所使用的,术语“互连”可以广泛地包括任何合适类型的互连,例如中段制程(MEOL)互连和后段制程(BEOL)互连。互连层322还可以包括一个或多个层间电介质(ILD)层(也称为“金属间电介质(IMD)层”),其中可以形成互连线和过孔触点。即,互连层322可以包括在多个ILD层中的互连线和过孔触点。互连层322中的互连线和过孔触点可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。互连层322中的ILD层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅、低介电常数(低k)电介质或其任何组合。

[0050] 如图3所示,3D存储设备300的第一半导体结构302还可以包括在键合界面306处及互连层322和器件层310(包括具有高速逻辑晶体管312及感测和控制器电路314的外围电路以及3D XPoint存储单元318的阵列)上方的键合层324。键合层324可以包括多个键合触点326和电隔离键合触点326的电介质。键合触点326可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。键合层324的剩余区域可以用电介质形成,该电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层324中的键合触点326和周围电介质可用于混合键合。

[0051] 类似地,如图3中所示,3D存储设备300的第二半导体结构304还可以包括在键合界面306处和第一半导体结构302的键合层324上方的键合层328。键合层328可以包括多个键合触点330和电隔离键合触点330的电介质。键合触点330可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。键合层328的剩余区域可以用电介质形成,该电介质包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。键合层328中的键合触点330和周围电介质可用于混合键合。

[0052] 如上所述,第二半导体结构304可以在键合界面306处以面对面的方式键合在第一半导体结构302的顶部上。在一些实施例中,作为混合键合(也称为“金属/电介质混合键合”)的结果,键合界面306设置在键合层324和328之间,并且可以同时获得金属-金属键合和电介质-电介质键合,混合键合是一种直接键合技术(例如,在不使用中间层(例如焊料或粘合剂)的情况下在表面之间形成键合)。在一些实施例中,键合界面306是键合层324和328相遇并键合的位置。实际上,键合界面306可以是具有特定厚度的层,其包括第一半导体结构302的键合层324的顶表面和第二半导体结构304的键合层328的底表面。

[0053] 在一些实施例中,3D存储设备300的第二半导体结构304还包括在键合层328上方的互连层332,用以传输电信号。互连层332可以包括多个互连,例如MEOL互连和BEOL互连。

互连层332还可以包括一个或多个ILD层,在其中可以形成互连线和过孔触点。互连层332中的互连线和过孔触点可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。互连层332中的ILD层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。

[0054] 在一些实施例中,3D存储设备300的第二半导体结构304包括NAND闪存设备,其中以互连层332和键合层328上方的3D NAND存储器串338的阵列的形式提供存储单元。根据一些实施例,每个3D NAND存储器串338垂直延伸穿过多个对,每个对均包括导体层334和电介质层336。堆叠并交错的导体层334和电介质层336在本文中也称为存储器叠层333。根据一些实施例,存储器叠层333中的交错的导体层334和电介质层336在垂直方向上交替。换言之,除了存储器叠层333的顶部或底部处的导体层之外,每个导体层334可以在两侧与两个电介质层336连接,并且每个电介质层336可以在两侧与两个导体层334连接。导体层334可以各自具有相同的厚度或不同的厚度。类似地,电介质层336可以各自具有相同的厚度或不同的厚度。导体层334可以包括导体材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。电介质层336可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅或其任何组合。

[0055] 在一些实施例中,每个3D NAND存储器串338是“电荷捕获”类型的NAND存储器串,包括半导体沟道342和存储器膜340。在一些实施例中,半导体沟道342包括硅,例如非晶硅、多晶硅或单晶硅。在一些实施例中,存储器膜340是复合电介质层,其包括隧穿层、储存层(也称为“电荷捕获/储存层”)和阻挡层。每个3D NAND存储器串338可以具有圆柱形状(例如,柱形)。根据一些实施例,半导体沟道342、存储器膜340的隧穿层、储存层和阻挡层依照该顺序沿着从柱的中心朝向外表面的方向布置。隧穿层可以包括氧化硅、氮氧化硅或其任何组合。储存层可以包括氮化硅、氮氧化硅、硅或其任何组合。阻挡层可以包括氧化硅、氮氧化硅、高介电常数(高k)电介质或其任何组合。在一个示例中,阻挡层可以包括氧化硅/氮氧化硅/氧化硅(ONO)的复合层。在另一个示例中,阻挡层可以包括高k电介质层,例如氧化铝(Al_2O_3),或氧化铪(HfO_2)或氧化钽(Ta_2O_5)层等。

[0056] 在一些实施例中,3D NAND存储器串338还包括多个控制栅极(每个控制栅极是字线的一部分)。存储器叠层333中的每个导体层334可以用作3D NAND存储器串338的每个存储单元的控制栅极。在一些实施例中,每个3D NAND存储器串338在垂直方向上的相应端部处包括两个插塞344和346。插塞344可以包括从半导体层348外延生长的半导体材料,例如单晶硅。插塞344可以用作由3D NAND存储器串338的源选择栅极控制的通道。插塞344可以在3D NAND存储器串338的上端处并且与半导体沟道342接触。如本文所使用的,当衬底308位于3D存储设备300的最低平面中时,部件(例如,3D NAND存储器串338)的“上端”是在y方向上远离衬底308的端部,并且部件(例如,3D NAND存储器串338)的“下端”是在y方向上靠近衬底308的端部。另一个插塞346可以包括半导体材料(例如,多晶硅)。通过在3D存储设备300的制造期间覆盖3D NAND存储器串338的上端,插塞346可以用作蚀刻停止层以防止对填充在3D NAND存储器串338中的电介质,例如氧化硅和氮化硅的蚀刻。在一些实施例中,插塞346用作3D NAND存储器串338的漏极。

[0057] 在一些实施例中,第一半导体结构302还包括设置在存储器叠层333和3D NAND存储器串338上方的半导体层348。半导体层348可以是其上形成有存储器叠层333和3D NAND

存储器串338的减薄衬底。在一些实施例中,半导体层348包括单晶硅,插塞344可以从该单晶硅外延生长。在一些实施例中,半导体层348可以包括多晶硅、非晶硅、SiGe、GaAs、Ge、自对准金属硅化物(Salicide)或任何其他合适的材料。半导体层348还可以包括隔离区域和掺杂区域(例如,用作3D NAND存储器串338的阵列公共源极(ACS),未示出)。隔离区域(未示出)可以在半导体层348的整个厚度或部分厚度上延伸,以电隔离掺杂区域。在一些实施例中,包括氧化硅的填充氧化物层设置在存储器叠层333和半导体层348之间。

[0058] 应当理解,3D NAND存储器串338不限于“电荷捕获”类型的3D NAND存储器串,并且在其他实施例中,3D NAND存储器串338可以是“浮栅”类型的3D NAND存储器串。还应当理解,存储器叠层333不限于具有单层结构,而是还可以具有多层结构,多层结构具有在不同层之间的层间插塞,以便用于3D NAND存储器串338的电连接。半导体层348可以包括多晶硅作为“浮栅”类型的3D NAND存储器串的源极板。

[0059] 如图3所示,3D存储设备300的第二半导体结构304还可以包括在半导体层348上方的焊盘引出(pad-out)互连层350。焊盘引出互连层350包括在一个或多个ILD层中的互连,例如接触焊盘352。焊盘引出互连层350和互连层332可以形成在半导体层348的相对侧。在一些实施例中,焊盘引出互连层350中的互连可以在3D存储设备300和外部电路之间传输电信号,例如,以便实现焊盘引出目的。

[0060] 在一些实施例中,第二半导体结构304还包括一个或多个触点354,其延伸穿过半导体层348,以电连接焊盘引出互连层350与互连层332和322。作为结果,3D XPoint存储单元318的阵列可通过互连层322和332以及键合触点326和330电连接到3D NAND存储器串338的阵列。3D NAND存储器串338的具有高速逻辑晶体管312的外围电路也可以通过互连层322和332以及键合触点326和330电连接到3D NAND存储器串338的阵列。此外,具有高速逻辑晶体管312与感测和控制器电路314的外围电路、3DXPoint存储单元318的阵列和3D NAND存储器串338的阵列可以通过触点354和焊盘引出互连层350电连接到外部电路。

[0061] 图4示出了根据一些实施例的具有3D PCM的另一示例性3D存储设备400的横截面。类似于上面在图3中描述的3D存储设备300,3D存储设备400表示键合芯片的示例,其具有包括3D NAND存储器串的第一半导体结构402和包括外围电路和3D PCM单元的第二半导体结构404,第一半导体结构402和第二半导体结构404分别形成并且以面对面的方式键合。关于图4,第二半导体结构404中包括的3D PCM将被描述为3D XPoint存储器。与上面在图3中描述的3D存储设备300(其中包括外围电路和3DXPoint存储单元的第一半导体结构302位于包括3D NAND存储器串的第二半导体结构304下方)不同,图4中的3D存储设备400包括设置在包括3D NAND存储器串的第一半导体结构402上方的包括外围电路和3DXPoint存储单元的第二半导体结构404。应当理解,在下面不再重复3D存储设备300和400二者中的类似结构的细节(例如,材料、制造工艺、功能等)。

[0062] 3D存储设备400的第一半导体结构402可以包括衬底408和在衬底408上方的存储器叠层410,存储器叠层410包括交错的导体层412和电介质层414。在一些实施例中,3D NAND存储器串416的阵列均垂直延伸穿过在衬底408上方的存储器叠层410中的交错的导体层412和电介质层414。每个3D NAND存储器串416可以包括半导体沟道420和存储器膜418。每个3D NAND存储器串416还包括分别在其下端和上端的两个插塞422和424。3D NAND存储器串416可以是“电荷捕获”类型的3D NAND存储器串或“浮栅”类型的3D NAND存储器串。在

一些实施例中,包括氧化硅的填充氧化物层设置在存储器叠层410和衬底408之间。

[0063] 在一些实施例中,3D存储设备400的第一半导体结构402还包括存储器叠层410和3D NAND存储器串416上方的互连层426,用以传输进出3D NAND存储器串416的电信号。互连层426可以包括多个互连,包括互连线和过孔触点。在一些实施例中,互连层426中的互连还包括本地互连,例如位线触点和字线触点。在一些实施例中,3D存储设备400的第一半导体结构402还包括在键合界面406处及互连层426和存储器叠层410上方的键合层428。键合层428可以包括多个键合触点430和围绕且电隔离键合触点430的电介质。

[0064] 如图4所示,3D存储设备400的第二半导体结构404包括在键合界面406处及键合层428上方的另一键合层432。键合层432可以包括多个键合触点434和围绕且电隔离键合触点434的电介质。在一些实施例中,3D存储设备400的第二半导体结构404还包括在键合层432上方的互连层436,用以传输电信号。互连层436可以包括多个互连,包括互连线和过孔触点。

[0065] 3D存储设备400的第二半导体结构404还可以包括在互连层436和键合层432上方的器件层438。在一些实施例中,器件层438包括在互连层436和键合层432上方的3D XPoint存储单元448的阵列、以及在3D XPoint存储单元448的阵列上方的外围电路442和444。外围电路442和444可以包括3D NAND存储器串416的阵列的外围电路442以及3D XPoint存储单元448的阵列的外围电路444。在一些实施例中,每个外围电路442或444包括多个晶体管446,其形成用于便于3D存储设备400的操作的任何合适的数字、模拟和/或混合信号外围电路,包括但不限于页缓冲器、译码器(例如,行译码器和列译码器)、感测放大器、驱动器、电荷泵、电流或电压基准。晶体管446可以形成在半导体层440“上”,其中晶体管446的全部或部分形成在半导体层440中和/或直接形成在半导体层440上。隔离区域(例如,浅沟槽隔离(STI))和掺杂区域(例如,晶体管446的源极区域和漏极区域)也可以形成在半导体层440中。外围电路444可以电连接到3D XPoint存储单元448的阵列。

[0066] 在一些实施例中,每个3D XPoint存储单元448包括在具有字线(WL)460和位线(BL)462的交叉点结构中垂直布置的导体。字线460和位线462可以包括导电材料,包括但不限于W、Co、Cu、Al、硅化物或其任何组合。每个3D XPoint存储单元448还可以包括在一对字线460和位线462的交叉点处的存储元件464,用于通过单元材料的体特性变化来存储一位数据。在一些实施例中,每个3D XPoint存储单元448还包括垂直位于存储元件464与字线460或位线462之间的选择器(未示出)。即,选择器和存储元件464可以采用双堆叠的存储/选择器结构。根据一些实施例,存储元件464的材料包括基于硫属化物的合金(硫属化物玻璃),例如GST合金,或任何其他合适的相变材料、电阻氧化物材料或导电桥材料。选择器的材料可以包括任何合适的OTS材料,例如 Zn_xTe_y 、 Ge_xTe_y 、 Nb_xO_y 、 $Si_xAs_yTe_z$ 等。应当理解,3D XPoint存储单元448的阵列的结构、配置和材料不限于图4中的示例,并且可以包括任何合适的结构、配置和材料。

[0067] 在一些实施例中,第二半导体结构404还包括设置在器件层438的外围电路442和444上方的半导体层440。半导体层440可以是在其上形成有晶体管446的减薄衬底。在一些实施例中,半导体层440包括单晶硅。在一些实施例中,半导体层440可以包括多晶硅、非晶硅、SiGe、GaAs、Ge或任何其他合适的材料。半导体层440还可以包括隔离区域和掺杂区域。

[0068] 如图4所示,3D存储设备400的第二半导体结构404还可以包括在半导体层440上方

的焊盘引出互连层452。焊盘引出互连层452包括在一个或多个ILD层中的互连,例如接触焊盘454。在一些实施例中,焊盘引出互连层452中的互连可以在3D存储设备400和外部电路之间传输电信号,例如,以便实现焊盘引出目的。在一些实施例中,第二半导体结构404还包括一个或多个触点456,其延伸穿过半导体层440以电连接焊盘引出互连层452与互连层436和426。作为结果,3D XPoint存储单元448可以通过互连层426和436以及键合触点430和434电连接到3D NAND存储器串416的阵列。3D NAND存储器串416的外围电路442还可以通过互连层426和436以及键合触点430和434电连接到3D NAND存储器串416的阵列。此外,外围电路442和444、3D XPoint存储单元448的阵列和3D NAND存储器串416的阵列可以通过触点456和焊盘引出互连层452电连接到外部电路。

[0069] 图5A-5C示出了根据一些实施例的用于形成具有外围电路和3D PCM的示例性半导体结构的制造工艺。图6A和图6B示出了根据一些实施例的用于形成具有3D NAND存储器串的示例性半导体结构的制造工艺。图7A和图7B示出了根据一些实施例的用于形成具有3D PCM的示例性3D存储设备的制造工艺。图9是根据一些实施例的用于形成具有3D PCM的3D存储设备的示例性方法900的流程图。图5-7和图9中示出的3D存储设备的示例包括图3中所示的3D存储设备300和图4中所示的3D存储设备400。将一起描述图5-7和图9。应当理解,方法900中示出的操作不是穷举的,并且在任何所示操作之前、之后或之间也可以执行其他操作。此外,一些操作可以同时执行,或者以与图9中所示不同的顺序执行。

[0070] 如图5A-5C中所示,形成包括外围电路、3D PCM单元阵列和包括多个第一键合触点的第一键合层的第一半导体结构。如图6A和图6B所示,形成包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层的第二半导体结构。如图7A和图7B所示,第一半导体结构和第二半导体结构以面对面的方式结合,使得第一键合触点在键合界面处与第二键合触点接触。关于图5A-5C、6A、6B、7A和7B,3D PCM将被描述为3D XPoint存储器。

[0071] 参考图9,方法900开始于操作902,其中在第一衬底上形成外围电路,然后在外部电路上方形成3D PCM单元阵列。第一衬底可以是硅衬底。在一些实施例中,为了形成3D PCM单元阵列,形成3D XPoint存储单元阵列。

[0072] 如图5A所示,在硅衬底502上形成多个晶体管504。晶体管504可以通过多种工艺形成,包括但不限于光刻、干法/湿法蚀刻、薄膜沉积、热生长、注入、化学机械抛光(CMP)和任何其他合适的工艺。在一些实施例中,通过离子注入和/或热扩散在硅衬底502中形成掺杂区域,其例如用作晶体管504的源极区域和/或漏极区域。在一些实施例中,也可以通过湿法/干法蚀刻和薄膜沉积在硅衬底502中形成隔离区域(例如,STI)。晶体管504可以形成3D NAND存储器和/或3D XPoint存储器的外围电路。

[0073] 如图5B所示,3D XPoint存储单元506的阵列形成在晶体管504中的一些(例如,形成3D XPoint存储单元506的阵列的外围电路的晶体管)上方并与之接触。为了形成3D XPoint存储单元506,可以将垂直导体形成为字线(WL)507和位线508,并且存储元件509可以形成在字线507和位线508的交叉点处。在一些实施例中,在每个存储元件509和字线507或位线508之间垂直形成选择器(未示出),3D XPoint存储单元506可以通过多种工艺形成,包括但不限于光刻、干法/湿法蚀刻、薄膜沉积、热生长、注入、CMP和任何其他合适的工艺。由此形成包括外围电路(具有晶体管504)和晶体管504上方的3D XPoint存储单元506的阵列的器件层510。

[0074] 如图9所示,方法900进行到操作904,其中在3D PCM单元阵列上方形成第一互连层。第一互连层可以包括在一个或多个ILD层中的第一多个互连。如图5C所示,可以在器件层510的3D XPoint存储单元506的阵列上方形成互连层512。互连层512可以包括在多个ILD层中的MEOL和/或BEOL的互连,以与器件层510的3D XPoint存储单元506的阵列和晶体管504(形成外围电路)进行电连接。在一些实施例中,互连层512包括在多个工艺中形成的多个ILD层和其中的互连。例如,互连层512中的互连可以包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于化学气相沉积(CVD)、物理气相沉积(PVD)、原子层沉积(ALD)、电镀、无电镀敷或其任何组合。用于形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺沉积的电介质材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。图5C中所示的ILD层和互连可以统称为互连层512。

[0075] 如图9所示,方法900进行到操作906,其中在第一互连层上方形成第一键合层。第一键合层可以包括多个第一键合触点。如图5C所示,在互连层512上方形成键合层514。键合层514可以包括由电介质围绕的多个键合触点516。在一些实施例中,通过一种或多种薄膜沉积工艺在互连层512的顶表面上沉积电介质层,所述薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。然后,通过使用图案化工艺(例如,对电介质层中的电介质材料进行光刻和干法/湿法蚀刻)首先穿过电介质层图案化接触孔,可以形成穿过电介质层并且与互连层512中的互连接触的键合触点516。接触孔可以填充有导体(例如,铜)。在一些实施例中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或种子层。

[0076] 如图9所示,方法900进行到操作908,其中在第二衬底上方形成存储器叠层。第二衬底可以是硅衬底。如图6A所示,在硅衬底602上方形成交错的牺牲层(未示出)和电介质层608。交错的牺牲层和电介质层608可以形成电介质叠层(未示出)。在一些实施例中,每个牺牲层包括氮化硅层,并且每个电介质层608包括氧化硅层。交错的牺牲层和电介质层608可以通过一种或多种薄膜沉积工艺形成,包括但不限于CVD、PVD、ALD或其任何组合。在一些实施例中,存储器叠层604可以通过栅极替换工艺形成,例如,使用相对于电介质层608而选择性地对牺牲层的湿法/干法蚀刻并且用导体层606填充所得到的凹槽来用导体层606替换牺牲层。作为结果,存储器叠层604可以包括交错的导体层606和电介质层608。在一些实施例中,每个导体层606包括金属层,例如钨层。应当理解,在其他实施例中,可以通过交替地沉积导体层(例如,掺杂的多晶硅层)和电介质层(例如,氧化硅层)来形成存储器叠层604而无需栅极替换工艺。在一些实施例中,在存储器叠层604和硅衬底602之间形成包括氧化硅的填充氧化物层。

[0077] 如图9所示,方法900进行到操作910,其中形成垂直延伸通过存储器叠层的3D NAND存储器串阵列。如图6A中所示,在硅衬底602上方形成3D NAND存储器串610,每个3D NAND存储器串610垂直地延伸穿过存储器叠层604的交错的导体层606和电介质层608。在一些实施例中,用于形成3D NAND存储器串610的制造工艺包括:使用干法蚀刻和/或湿法蚀刻(例如深反应离子蚀刻(DRIE))形成穿过存储器叠层604并进入硅衬底602中的沟道孔,然后在沟道孔的下部中从硅衬底602外延生长插塞612。在一些实施例中,用于形成3D NAND存储器串610的制造工艺还包括随后使用诸如ALD、CVD、PVD或其任何组合之类的薄膜沉积工艺用多个层(例如存储器膜614(例如,隧穿层、储存层和阻挡层)和半导体层616)填充沟道孔。

在一些实施例中,用于形成3D NAND存储器串610的制造工艺还包括通过在3D NAND存储器串610的上端处蚀刻凹部,随后使用诸如ALD、CVD、PVD或其任何组合之类的薄膜沉积工艺用半导体材料填充凹部,而在沟道孔的上部中形成另一个插塞618。

[0078] 如图9所示,方法900进行到操作912,其中在3D NAND存储器串阵列上方形成第二互连层。第二互连层可以包括在一个或多个ILD层中的第二多个互连。如图6B所示,可以在存储器叠层604和3D NAND存储器串610的阵列上方形成互连层620。互连层620可以包括在多个ILD层中的MEOL和/或BEOL的互连,以与3D NAND存储器串610进行电连接。在一些实施例中,互连层620包括在多个工艺中形成的多个ILD层和其中的互连。例如,互连层620中的互连可以包括通过一种或多种薄膜沉积工艺沉积的导电材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD、电镀、无电镀敷或其任何组合。用于形成互连的制造工艺还可以包括光刻、CMP、湿法/干法蚀刻或任何其他合适的工艺。ILD层可以包括通过一种或多种薄膜沉积工艺沉积的电介质材料,薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。图6B中所示的ILD层和互连可以统称为互连层620。

[0079] 如图9所示,方法900进行到操作914,其中在第二互连层上方形成第二键合层。第二键合层可以包括多个第二键合触点。如图6B所示,在互连层620上方形成键合层622。键合层622可以包括由电介质围绕的多个键合触点624。在一些实施例中,通过一种或多种薄膜沉积工艺在互连层620的顶表面上沉积电介质层,所述薄膜沉积工艺包括但不限于CVD、PVD、ALD或其任何组合。然后,通过使用图案化工艺(例如,对电介质层中的电介质材料进行光刻和干法/湿法蚀刻)首先穿过电介质层图案化接触孔,可以形成穿过电介质层并且与互连层620中的互连接触的键合触点624。接触孔可以填充有导体(例如,铜)。在一些实施例中,填充接触孔包括在沉积导体之前沉积阻挡层、粘合层和/或种子层。

[0080] 如图9所示,方法900进行到操作916,其中以面对面的方式键合第一衬底和第二衬底,使得第一键合触点在键合界面处与第二键合触点接触。键合可以是混合键合。在一些实施例中,在键合之后,其上形成有外围电路和3D PCM单元的第一衬底(例如,第一半导体结构)设置在其上形成有3DNAND存储器串的第二衬底(例如,第二半导体结构)上方。在一些实施例中,在键合之后,其上形成有3D NAND存储器串的第二衬底(例如,第二半导体结构)设置在其上形成有外围电路和3D PCM单元的第一衬底(例如,第一半导体结构)上方。

[0081] 如图7A中所示,将硅衬底602和在其上形成的部件(例如,3D NAND存储器串610)上下翻转。面向下的键合层622与面向上的键合层514键合,即以面对面的方式键合,从而形成键合界面702(如图7B所示)。在一些实施例中,在键合之前,将处理工艺(例如等离子体处理、湿法处理和/或热处理)应用于键合表面。尽管未在图7A中示出,但硅衬底502和在其上形成的部件(例如,器件层510,其包括形成外围电路的晶体管504和3DXPoint存储单元506)可以上下翻转,并且面向下的键合层514可以与面向上的键合层622键合,即以面对面的方式键合,从而形成键合界面702。在键合之后,键合层622中的键合触点624和键合层514中的键合触点516彼此对准并接触,使得器件层510(例如,形成外围电路的晶体管504和3DXPoint存储单元506)可以电连接到3D NAND存储器串610。应当理解,在键合的器件中,3D NAND存储器串610可以在器件层510(例如,形成外围电路的晶体管504和3D XPoint存储单元506)上方或下方。然而,在键合之后,可以在3D NAND存储器串610和器件层510(例如,形成外围电路的晶体管504和3D XPoint存储单元506)之间形成键合界面702,如图7B所示。

[0082] 如图9所示,方法900进行到操作918,其中将第一衬底或第二衬底减薄以形成半导体层。在一些实施例中,在键合之后,将位于第二半导体结构的第二衬底上方的第一半导体结构的第一衬底减薄以形成半导体层。在一些实施例中,在键合之后,将位于第一半导体结构的第一衬底上方的第二半导体结构的第二衬底减薄以形成半导体层。

[0083] 如图7B所示,将在键合的3D存储设备的顶部上的衬底(例如,如图7A所示的硅衬底602)减薄,使得减薄的顶部衬底可以用作半导体层704,例如,单晶硅层。可以通过包括但不限于晶片研磨、干法蚀刻、湿法蚀刻、CMP、任何其他合适的工艺、或其任何组合来减薄硅衬底602。在一个示例中,例如,使用蚀刻和CMP工艺的组合,减薄的衬底的厚度可以在约1 μm 和约20 μm 之间,例如在1 μm 和20 μm 之间(例如,1 μm 、2 μm 、3 μm 、4 μm 、5 μm 、6 μm 、7 μm 、8 μm 、9 μm 、10 μm 、15 μm 、20 μm ,由这些值中的任何一个为下端界定的任何范围,或在由这些值中的任何两个限定的任何范围内)。应当理解,在一些实施例中,通过进一步应用额外的蚀刻工艺,减薄的衬底的厚度可以进一步减小到1 μm 以下,例如,在亚微米范围内。应当理解,当硅衬底502是键合的3D存储设备的顶部上的衬底时,可以通过减薄硅衬底502来形成另一半导体层。

[0084] 如图9所示,方法900进行到操作920,其中在半导体层上方形成焊盘引出互连层。如图7B所示,在半导体层704(减薄的顶部衬底)上方形成焊盘引出互连层706。焊盘引出互连层706可以包括形成在一个或多个ILD层中的互连,例如焊盘触点708。焊盘触点708可以包括导电材料,包括但不限于W、Co、Cu、Al、掺杂硅、硅化物或其任何组合。ILD层可以包括电介质材料,包括但不限于氧化硅、氮化硅、氮氧化硅、低k电介质或其任何组合。在一些实施例中,在键合和减薄之后,例如通过湿法/干法蚀刻,然后沉积导电材料来形成垂直延伸穿过半导体层704的触点710。触点710可以与焊盘引出互连层706中的互连接触。

[0085] 图8示出了根据一些实施例的具有3D PCM 806的3D存储设备800的示例性操作。图10是根据一些实施例的用于操作具有3D PCM的3D存储设备的示例性方法1000的流程图。图8中所示的3D存储设备800的示例包括图3中所示的3D存储设备300和图4中所示的3D存储设备400。将一起描述图8和图10。应当理解,方法1000中示出的操作不是穷举的,并且也可以在任何所示操作之前、之后或之间执行其他操作。此外,一些操作可以同时执行,或者以与图10中所示不同的顺序执行。如图8所示,3D存储设备800包括I/O电路804(例如,其外围电路的一部分)、具有3D PCM单元阵列的3D PCM 806、以及具有3D NAND存储器串阵列的3D NAND存储器808。在一些实施例中,3D PCM单元阵列包括3D XPoint存储单元阵列。如上详细描述, I/O电路804、3D PCM 806和3D NAND存储器808可以形成在相同芯片中。

[0086] 参考图10,方法1000在操作1002处开始,其中将数据通过输入/输出电路传输到3D PCM单元阵列。如图8所示,由主机802生成的任何合适类型的数据可以通过I/O电路804传输到3D存储设备800的3D PCM 806。主机802可以是生成数据的任何合适的设备,例如一个或多个处理器。在一些实施例中,主机802包括中央处理单元(CPU)、图形处理器(例如,图形处理单元(GPU))、应用处理器(AP)、通用处理器(例如,APU、加速处理单元;GPGPU、GPU上的通用计算单元)或任何其他合适的处理器。I/O电路804可以是作为外围电路的一部分的高速、高吞吐量I/O电路。主机802和3D存储设备800可以是任何合适装置的一部分,例如,虚拟现实(VR)/增强现实(AR)设备(例如,VR头戴机等)、手持设备(例如,非智能或智能电话、平板电脑等)、可穿戴设备(例如,眼镜、腕表等)、汽车控制站、游戏机、电视机、笔记本电脑、台式电脑、上网本电脑、媒体中心、机顶盒、全球定位系统(GPS)、打印机或任何其他合适的设备。

[0087] 如图10所示,方法1000进行到操作1004,其中在3D PCM单元阵列中缓存数据。如图8所示,3D PCM 806可以用作3D存储设备800的集成高速片上非易失性缓冲器,用于缓存从主机802通过I/O电路804传输的数据。

[0088] 如图10所示,方法1000进行到操作1006,其中将数据从3D PCM单元阵列存储到3D NAND存储器串阵列中。如图8所示,对于3D NAND存储器808,在3D PCM 806中缓存的数据可以存储在3D NAND存储器808中。在一些实施例中,数据缓存在3D PCM 806中并且并行存储在3D NAND存储器808中。在一些实施例中,数据直接从I/O电路804传输到3D NAND存储器808,而不缓存在3D PCM 806中。在一些实施例中,部分数据缓存在3D PCM 806中,而部分数据存储在3D NAND存储器808中。例如,频繁存取的数据可以缓存在3D PCM 806(例如,更快的3D XPoint存储器)中,其中启用随机存取以便快速存取,而较少使用的数据可以存储在3D NAND存储器808中,以获得更高密度/容量的储存。

[0089] 当打开或关闭电源时,可以通过读取数据并将数据保存到3D PCM 806(例如,快速3D XPoint存储器)来启用主机802的即时启动特征。在一些实施例中,响应于主机802和/或3D存储设备800的断电,可以立即将用户数据和/或操作系统数据的快照从易失性主存储器保存到3D PCM 806,其可以在断电之后保留。响应于主机802和/或3D存储设备800的通电,可以立即将存储在3D PCM 806中的用户数据和/或操作系统数据的快照传输回易失性主存储器以恢复主机802在断电之前的最后状态。

[0090] 如图10所示,方法1000进行到操作1008,其中通过多个键合触点将数据在3D NAND存储器串阵列和3D PCM单元阵列之间传输。在一些实施例中,响应于3D存储设备的通电或断电而触发传输。如图8所示,可以通过如上详细描述的多键合触点进行的直接电连接在3D PCM 806和3D NAND存储器808之间传输数据,这与传统板载芯片到芯片的数据总线相比具有缩短的距离、更高的吞吐量以及更低的功耗。

[0091] 根据本公开内容的一个方面,一种3D存储设备包括第一半导体结构,所述第一半导体结构包括外围电路、3D PCM单元阵列、以及包括多个第一键合触点的第一键合层。3D存储设备还进一步包括第二半导体结构,所述第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层。3D存储设备还包括第一键合层和第二键合层之间的键合界面。

[0092] 第一键合触点在键合界面处与第二键合触点接触。

[0093] 在一些实施例中,第一半导体结构包括衬底、衬底上的外围电路、外围电路上的3D PCM单元阵列、以及3D PCM单元阵列上方的第一键合层。

[0094] 在一些实施例中,第二半导体结构包括在第一键合层上方的第二键合层、在第二键合层上方的存储器叠层、垂直延伸穿过存储器叠层的3D NAND存储器串阵列、以及在3D NAND存储器串阵列上方并与3D NAND存储器串阵列接触的半导体层。在一些实施例中,3D存储设备还包括在半导体层上方的焊盘引出互连层。

[0095] 在一些实施例中,半导体层包括多晶硅。在一些实施例中,半导体层包括单晶硅。

[0096] 在一些实施例中,第二半导体结构包括衬底、衬底上的存储器叠层、垂直延伸穿过存储器叠层的3D NAND存储器串阵列、以及存储器叠层和3D NAND存储器串阵列上方的第二键合层。

[0097] 在一些实施例中,第一半导体结构包括在第二键合层上方的第一键合层、在第一

键合层上方的3D PCM单元阵列、在3D PCM单元阵列上方的外围电路、以及在外围电路上方并与外围电路接触的半导体层。在一些实施例中,3D存储设备还包括在半导体层上方的焊盘引出互连层。

[0098] 在一些实施例中,外围电路包括NAND存储器串阵列的外围电路和3DPCM单元阵列的外围电路。

[0099] 在一些实施例中,每个3D PCM单元包括3D XPoint存储单元。

[0100] 在一些实施例中,第一半导体结构包括垂直位于第一键合层和3D PCM单元阵列之间的第一互连层,并且第二半导体结构包括垂直位于第二键合层和3D NAND存储器串阵列之间的第二互连层。

[0101] 在一些实施例中,3D PCM单元阵列通过第一互连层和第二互连层以及第一键合触点和第二键合触点电连接到3D NAND存储器串阵列。

[0102] 根据本公开内容的另一方面,公开了一种用于形成3D存储设备的方法。形成第一半导体结构。第一半导体结构包括外围电路、3D PCM单元阵列、以及包括多个第一键合触点的第一键合层。形成第二半导体结构。第二半导体结构包括3D NAND存储器串阵列和包括多个第二键合触点的第二键合层。将第一半导体结构和第二半导体结构以面对面的方式键合,使得第一键合触点在键合界面处与第二键合触点接触。

[0103] 在一些实施例中,为了形成第一半导体结构,在第一衬底上形成外围电路,在外围电路上方形成3D PCM单元阵列,在3D PCM单元阵列上方形成第一互连层,以及在第一互连层上方形成第一键合层。

[0104] 在一些实施例中,为了形成3D PCM单元阵列,形成3D XPoint存储单元阵列。

[0105] 在一些实施例中,为了形成第二半导体结构,在第二衬底上方形成存储器叠层,形成垂直延伸穿过存储器叠层的3D NAND存储器串阵列,在3DNAND存储器串阵列上方形成第二互连层,以及在第二互连层上方形成第二键合层。

[0106] 在一些实施例中,在键合之后,第二半导体结构在第一半导体结构上方。在一些实施例中,在键合之后,减薄第二衬底以形成半导体层,并且在半导体层上方形成焊盘引出互连层。

[0107] 在一些实施例中,在键合之后,第一半导体结构在第二半导体结构上方。在一些实施例中,在键合之后,减薄第一衬底以形成半导体层,并且在半导体层上方形成焊盘引出互连层。

[0108] 在一些实施例中,键合包括混合键合。

[0109] 根据本公开内容的又一方面,公开了一种用于操作3D存储设备的方法。3D存储设备包括同一芯片中的输入/输出电路、3D PCM单元阵列和3DNAND存储器串阵列。数据通过输入/输出电路传输到3D PCM单元阵列。数据缓存在3D PCM单元阵列中。数据从3D PCM单元阵列存储到3DNAND存储器串阵列中。

[0110] 在一些实施例中,通过多个键合触点在3D NAND存储器串阵列和3DPCM单元阵列之间传输数据。

[0111] 在一些实施例中,响应于3D存储设备的通电或断电而触发传输。

[0112] 在一些实施例中,3D PCM单元阵列包括3D XPoint存储单元阵列。

[0113] 以上对具体实施例的描述将揭示本公开内容的一般性质,以使得其他人可以通过

应用本领域技术内的知识容易地修改和/或改变这些具体实施例的各种应用,无需过度实验,且不脱离本公开内容的总体构思。因此,基于本文给出的教导和指导,这样的改变和修改旨在处于所公开的实施例的等同变换的含义和范围内。应当理解,本文中的措辞或术语是出于描述的目的而非限制的目的,使得本说明书的术语或措辞将由本领域技术人员根据教导和指导来解释。

[0114] 上面已经借助于功能构件块描述了本公开内容的实施例,该功能构件块示出了特定功能及其关系的实施方式。为了描述的方便,本文任意定义了这些功能构件块的边界。只要适当地执行了特定功能和关系,就可以定义可替换的边界。

[0115] 发明内容和摘要部分可以阐述由本发明人设想的本公开内容的一个或多个但不是全部的示例性实施例,并且因此不旨在以任何方式限制本公开内容和所附权利要求书。

[0116] 本公开内容的广度和范围不应受任何上述示例性实施例的限制,而应仅根据所附权利要求及其等同变换来限定。

100

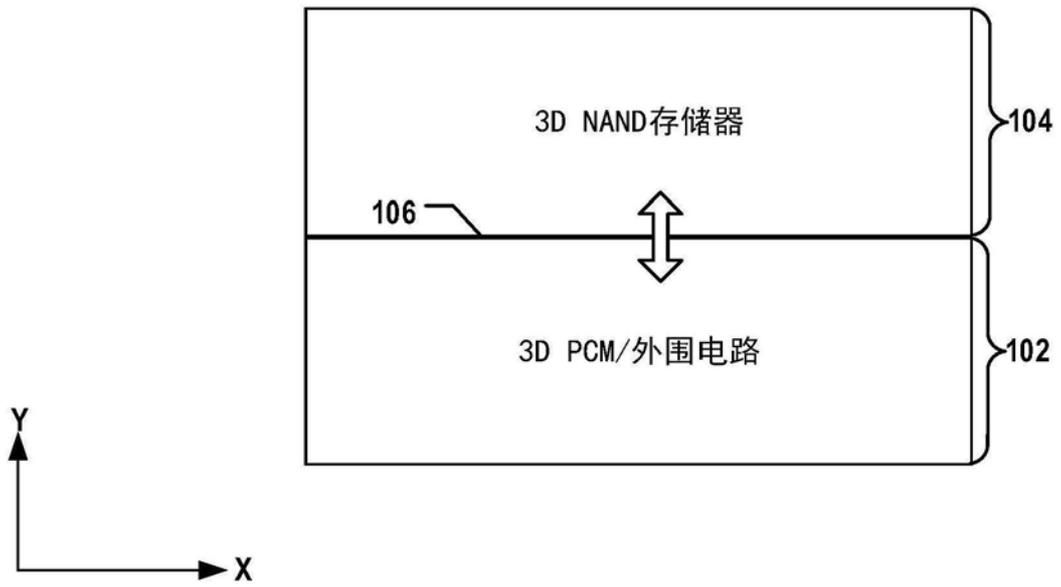


图1A

101

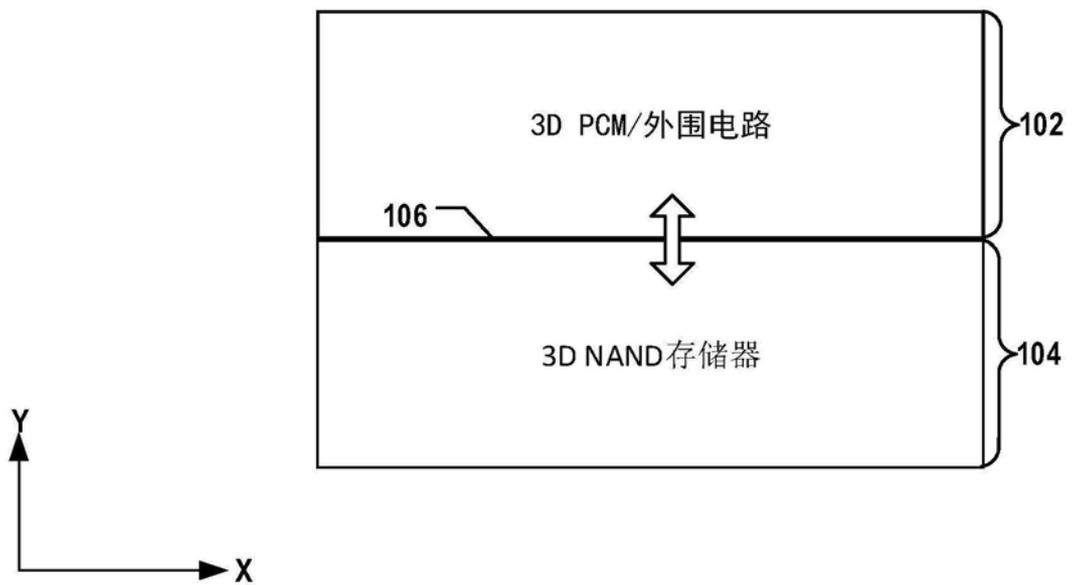


图1B

200

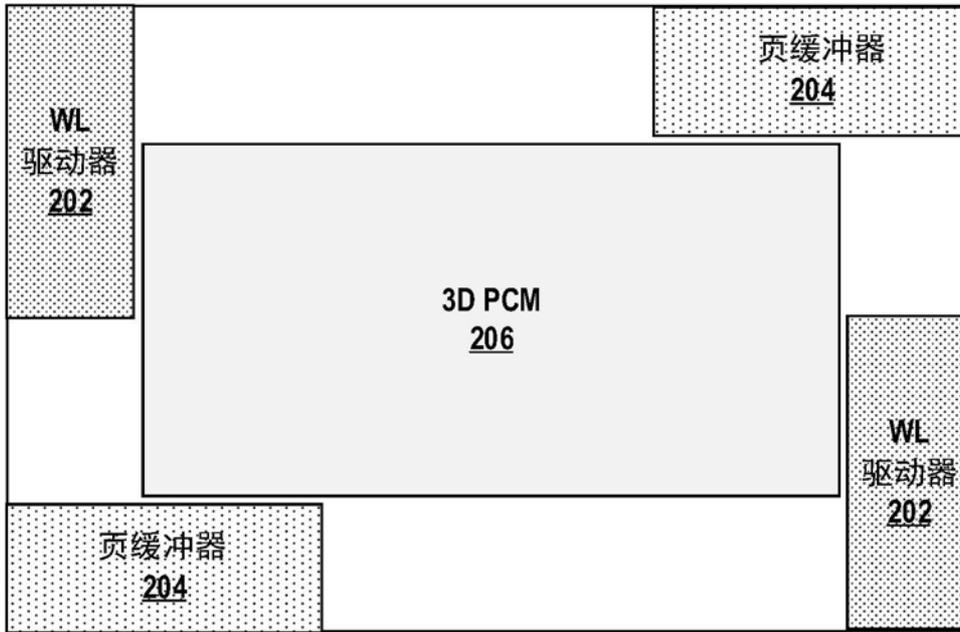


图2

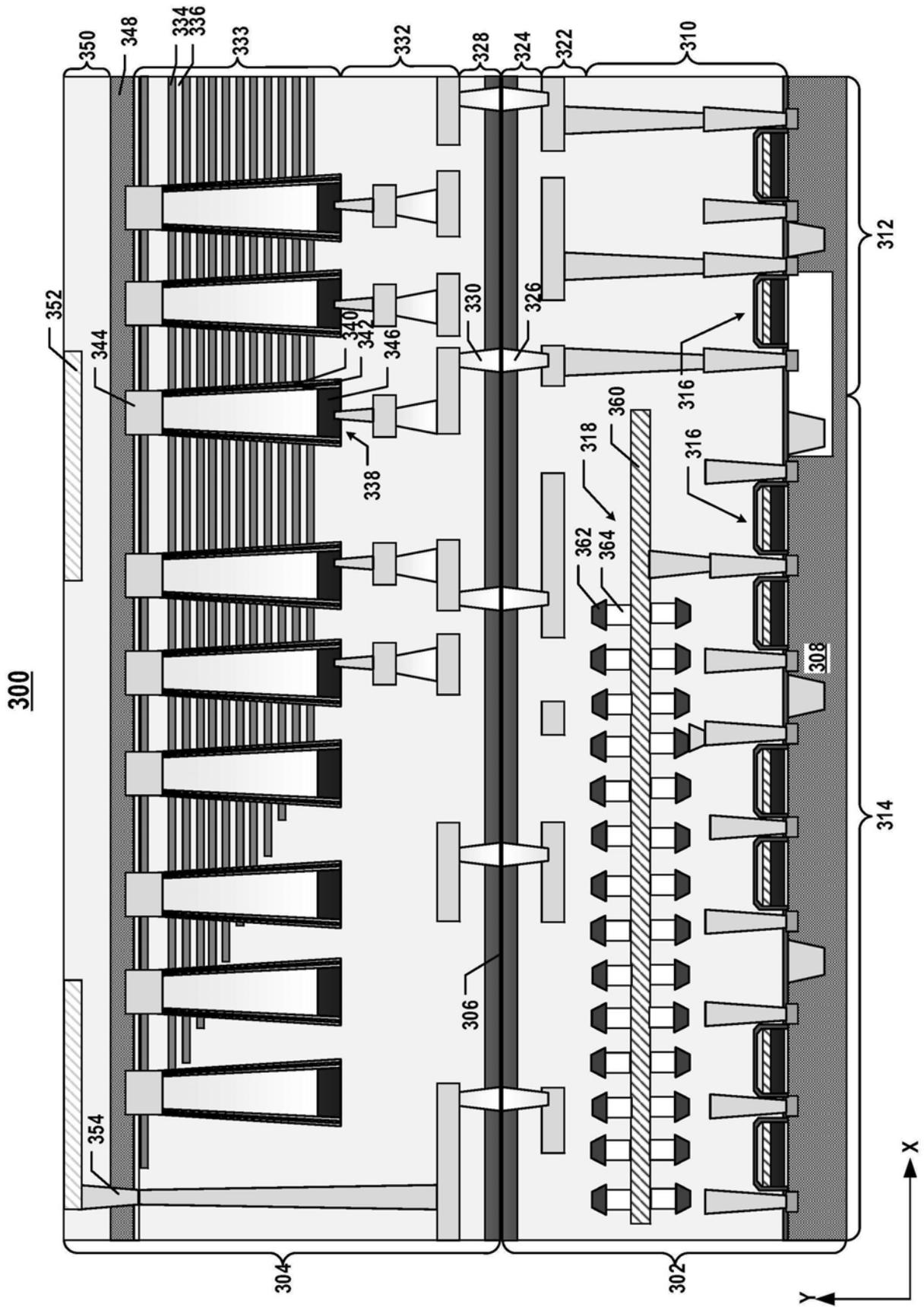


图3

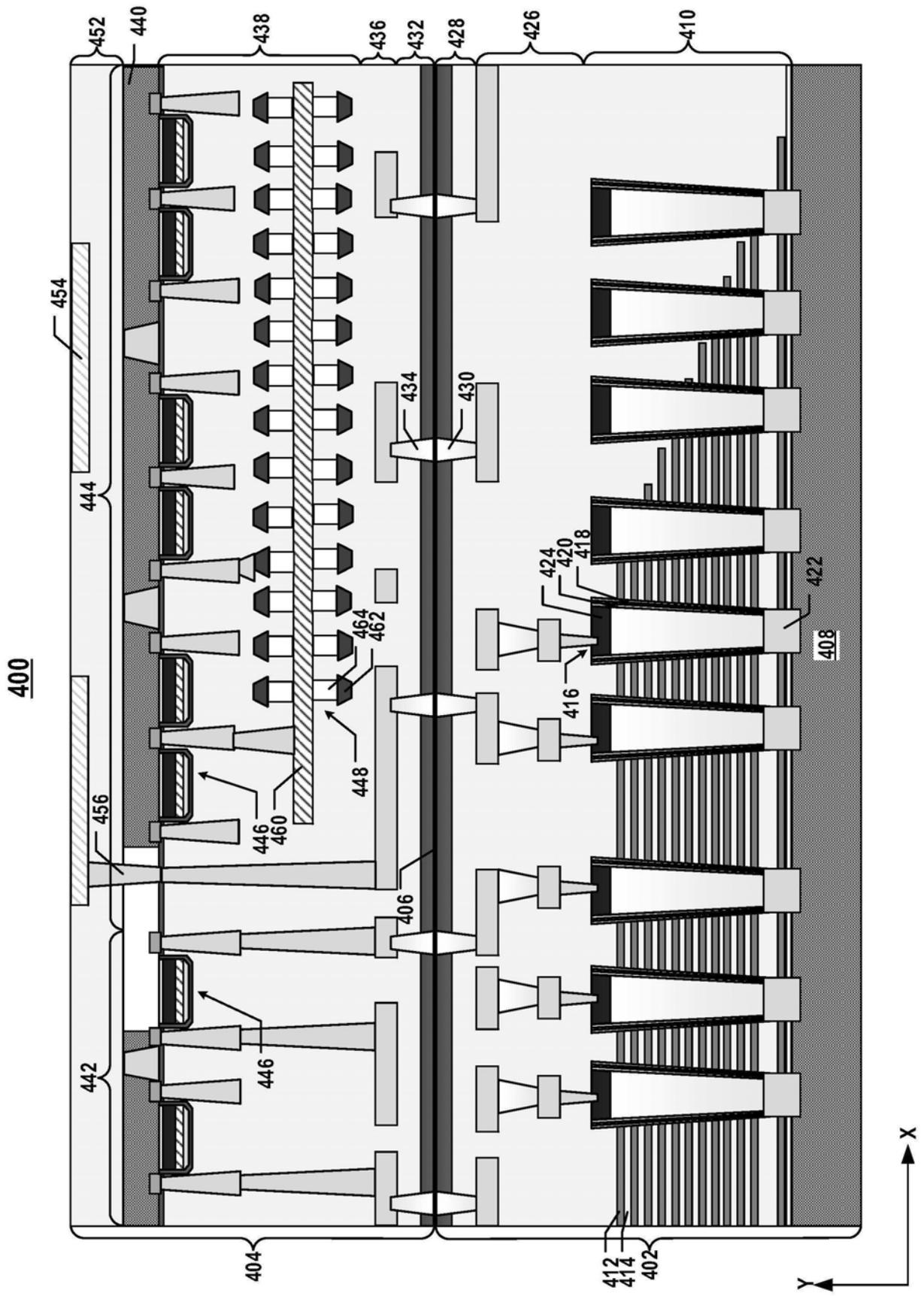


图4

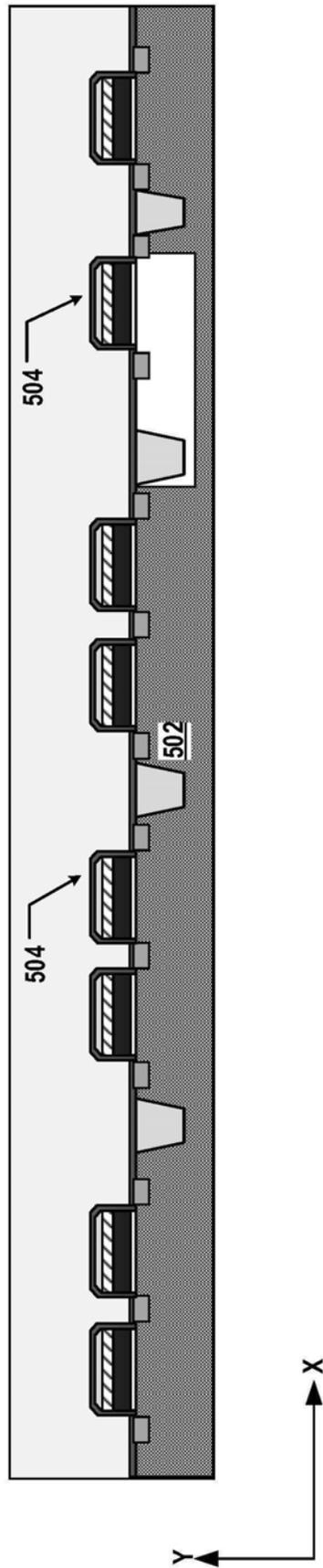


图5A

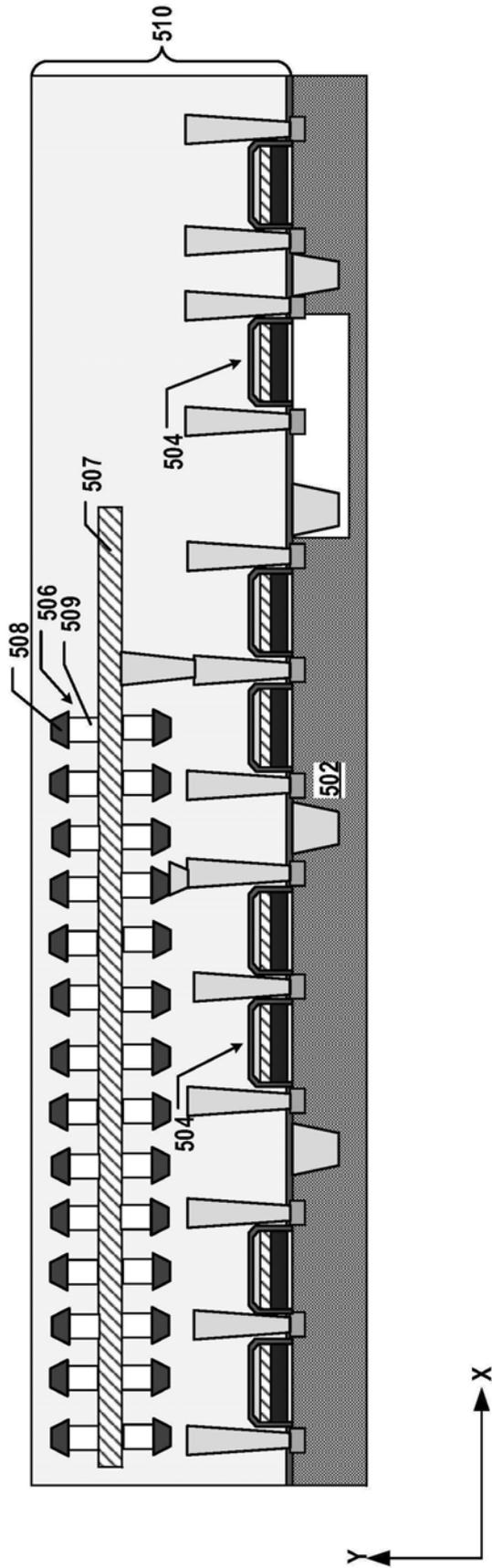


图5B

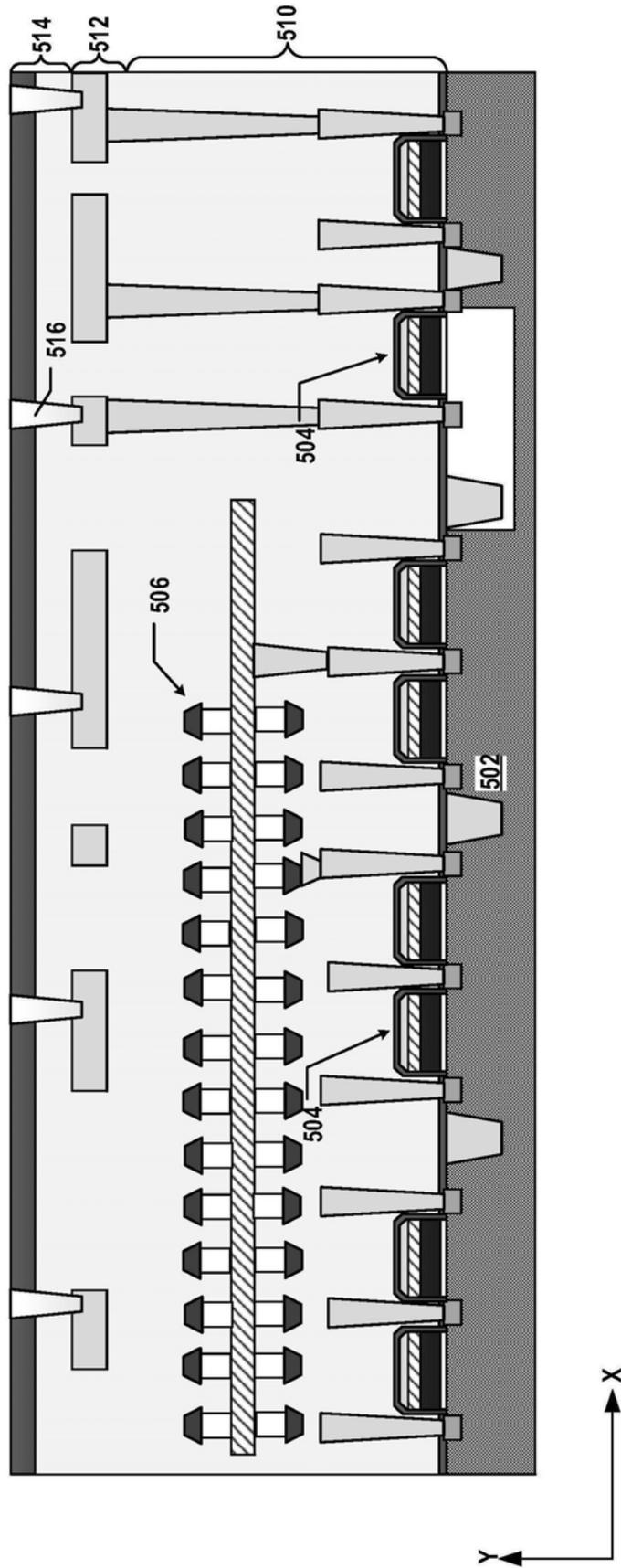


图5C

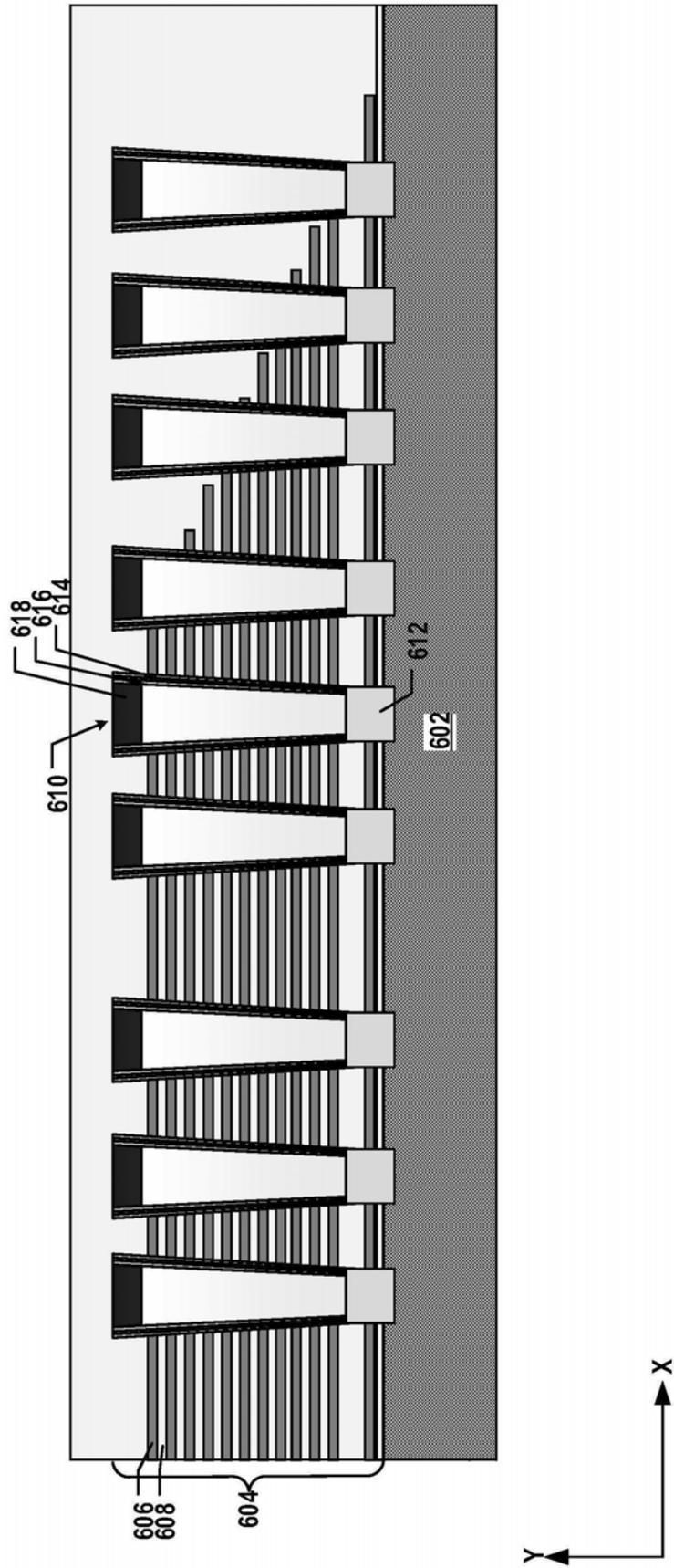


图6A

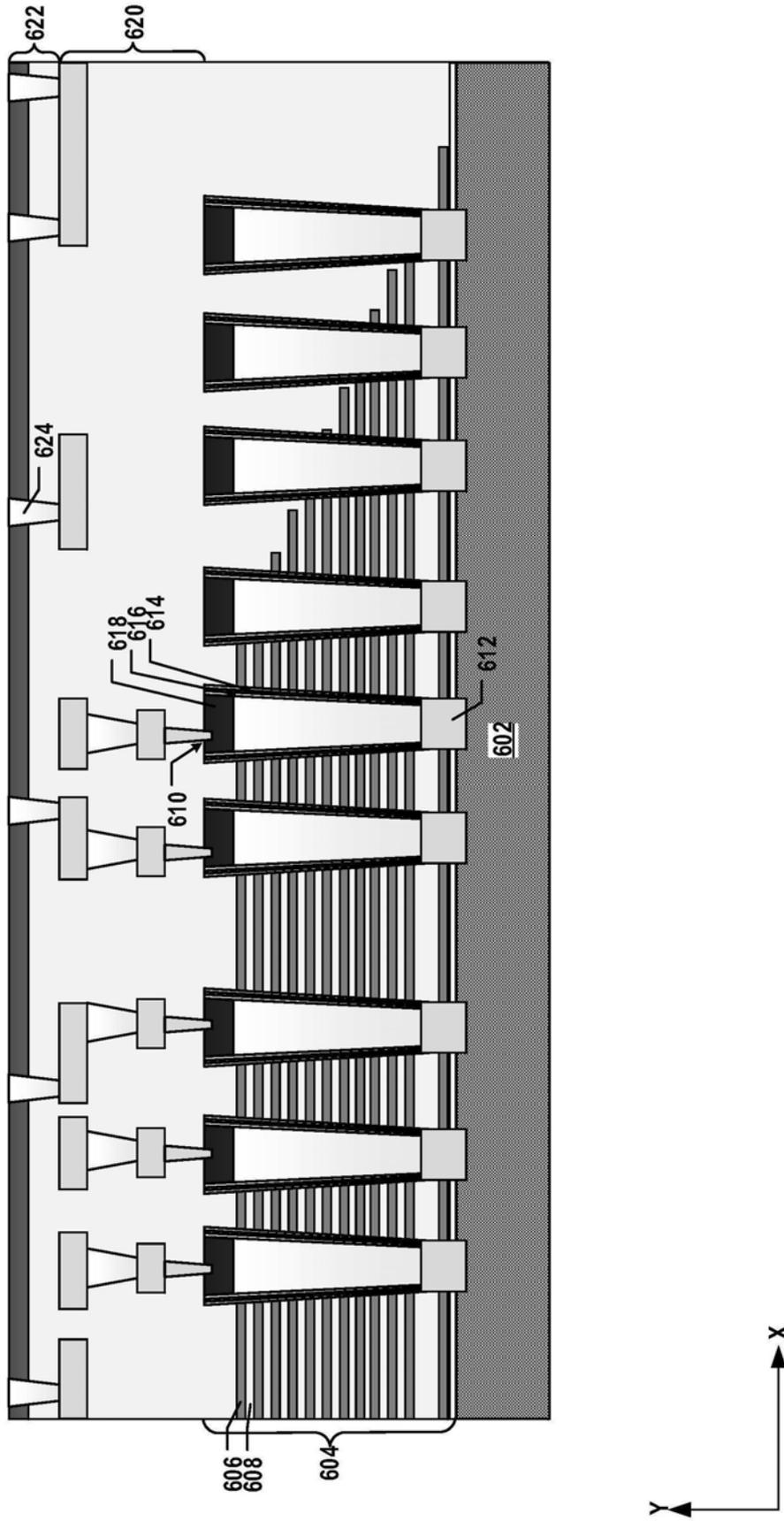


图6B

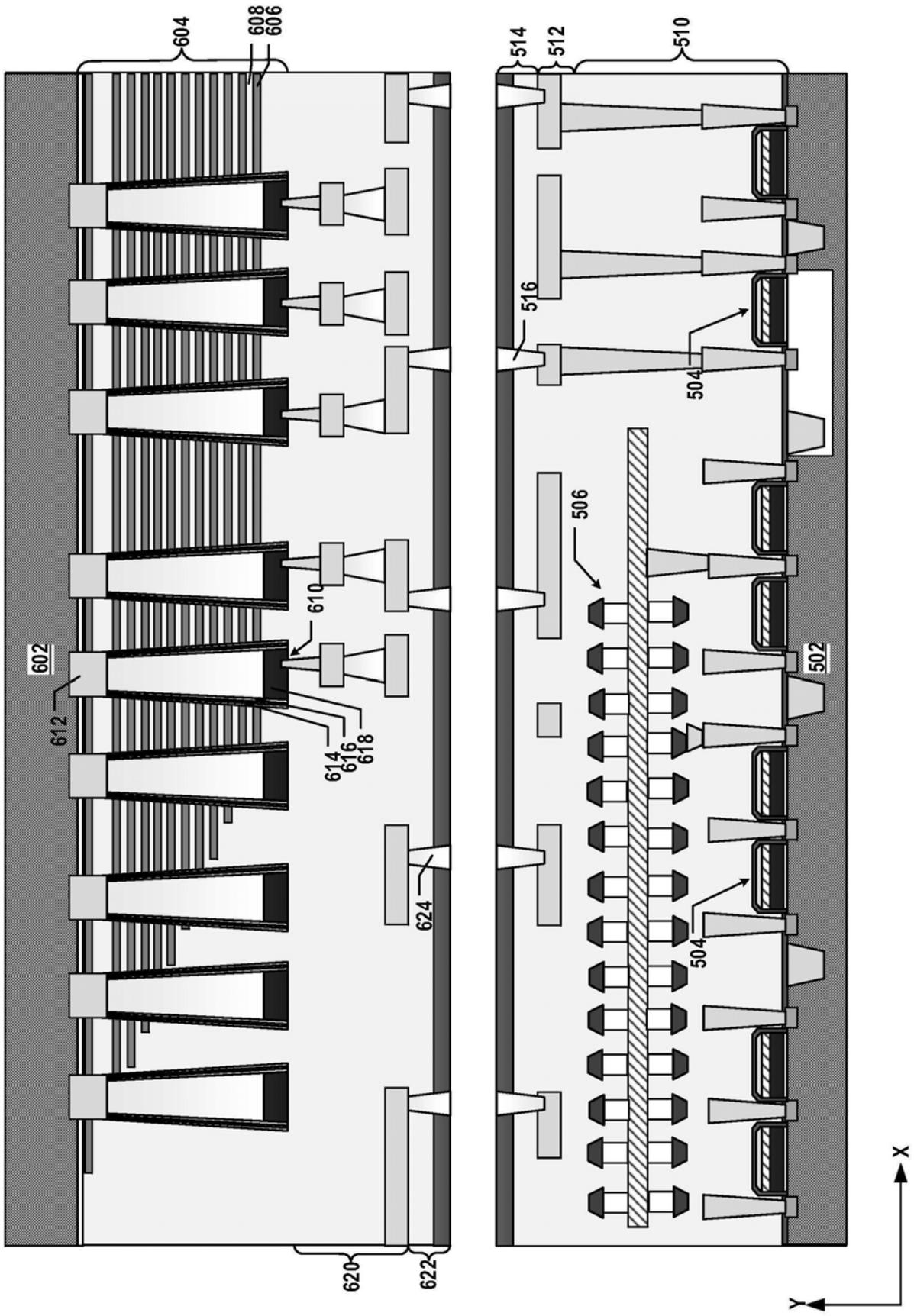


图7A

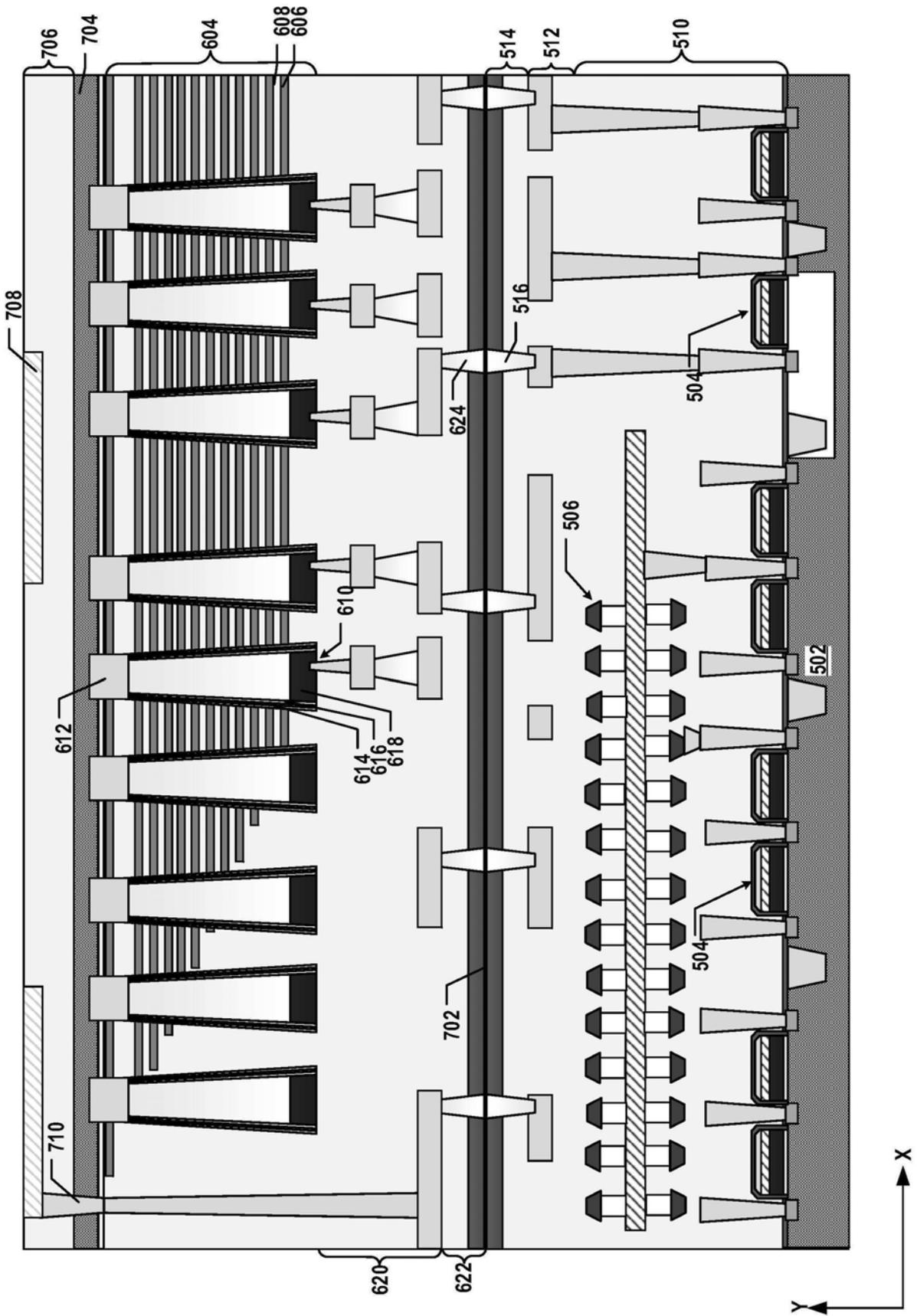


图7B

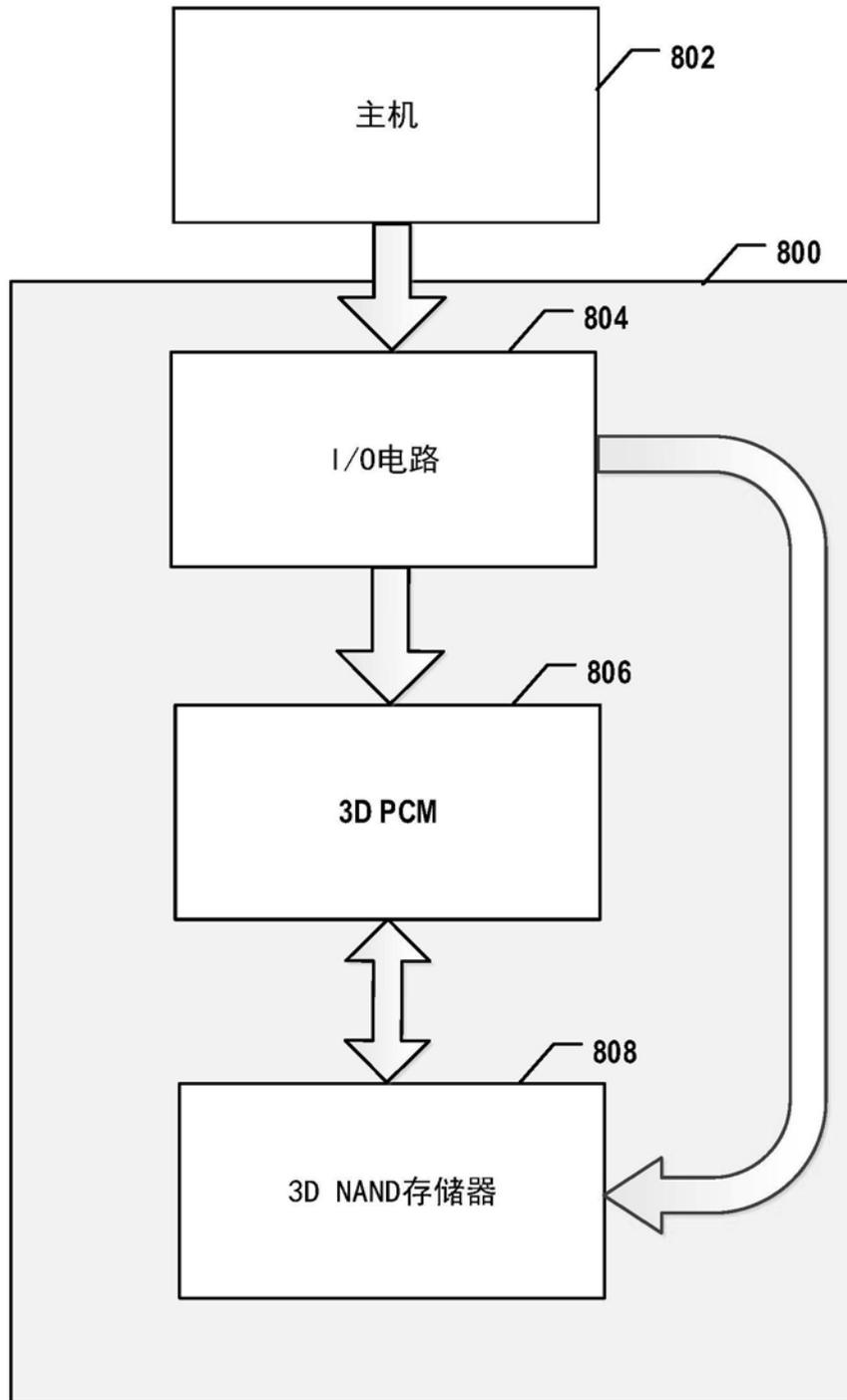


图8

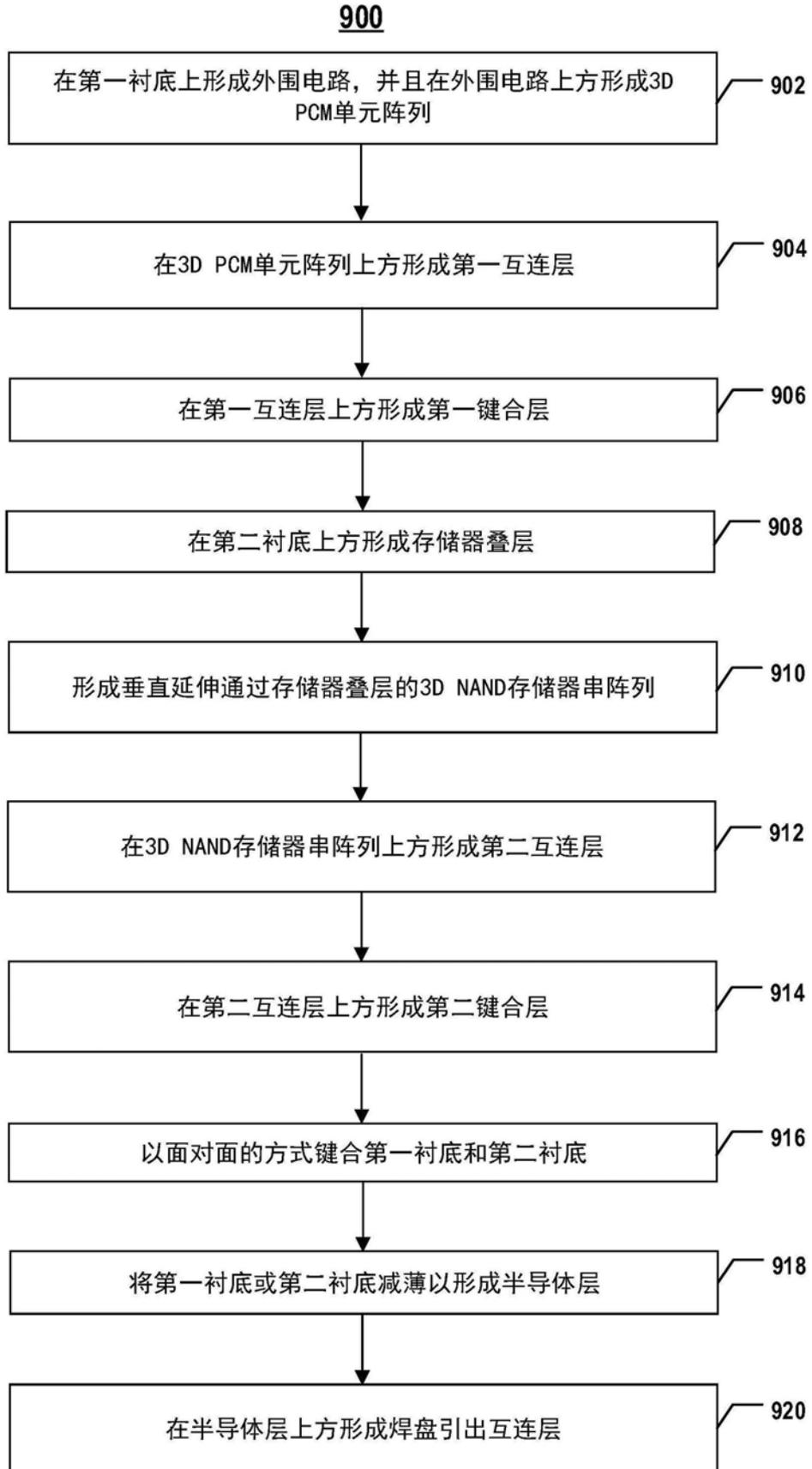


图9

1000

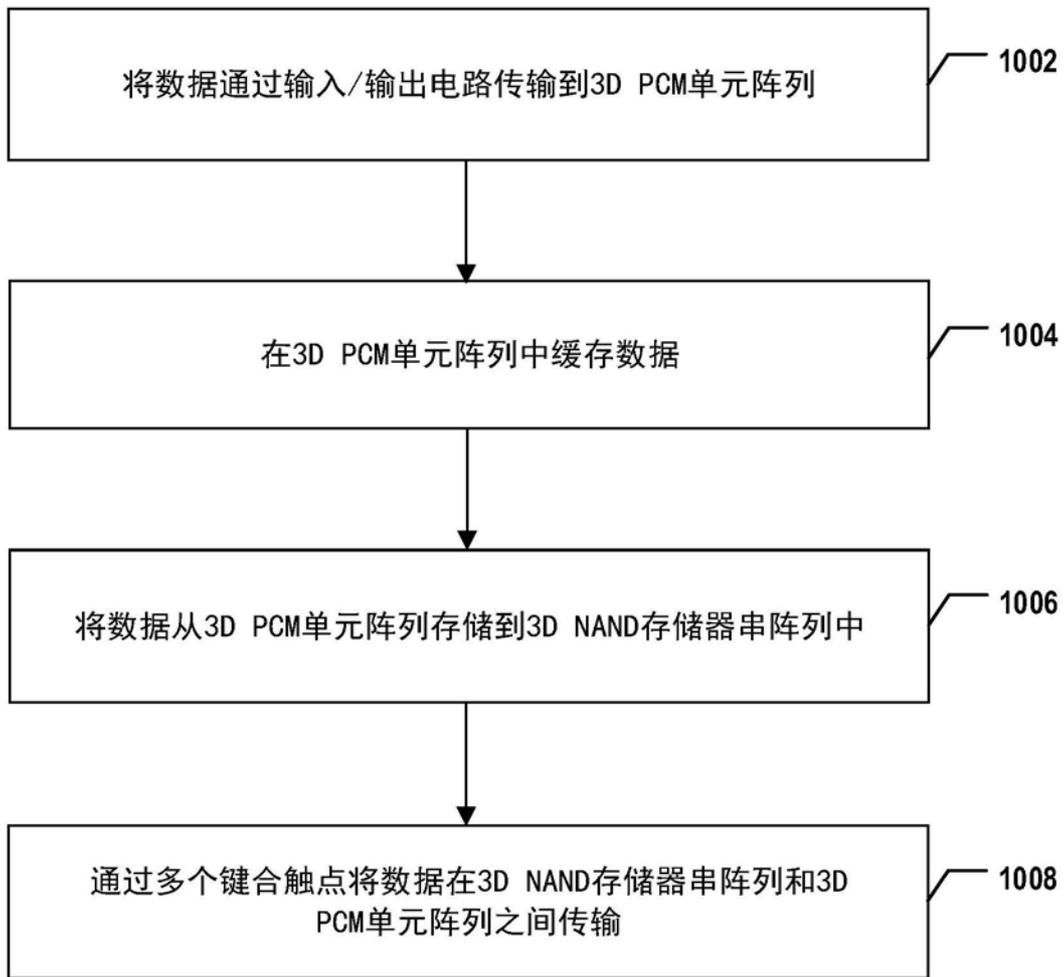


图10