



(12) 发明专利申请

(10) 申请公布号 CN 116110791 A

(43) 申请公布日 2023.05.12

(21) 申请号 202211626681.3

(22) 申请日 2022.12.17

(71) 申请人 浙江大学杭州国际科创中心

地址 311200 浙江省杭州市萧山区经济技术
开发区建设三路733号

(72) 发明人 盛况 王宝柱 王珩宇 任娜

(74) 专利代理机构 杭州华进联浙知识产权代理
有限公司 33250

专利代理师 陈靖康

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

H01L 29/423 (2006.01)

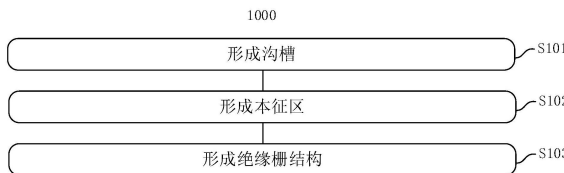
权利要求书2页 说明书10页 附图10页

(54) 发明名称

沟槽型绝缘栅场效应管及其制造方法、电子器件

(57) 摘要

本公开涉及一种沟槽型绝缘栅场效应管及其制造方法、电子器件。该方法包括：形成沟槽，其中，沟槽贯穿第一预制半导体层和第二预制半导体层，并延伸入预制复合衬底，第一预制半导体层和预制复合衬底具有第一掺杂类型，第二预制半导体层具有第二掺杂类型；形成本征区，本征区位于沟槽的底侧并延伸入预制复合衬底；以及形成绝缘栅结构，绝缘栅结构填充于沟槽。该方法可以实现在沟槽底侧形成本征区，继而制得综合性能较好的器件。



1. 用于制造沟槽型绝缘栅场效应管的方法,其特征在于,包括:

形成沟槽,其中,所述沟槽贯穿第一预制半导体层和第二预制半导体层,并延伸入预制复合衬底,所述第一预制半导体层和所述预制复合衬底具有第一掺杂类型,所述第二预制半导体层具有第二掺杂类型;

形成本征区,所述本征区位于所述沟槽的底侧并延伸入所述预制复合衬底;以及
形成绝缘栅结构,所述绝缘栅结构填充于所述沟槽。

2. 根据权利要求1所述的用于制造沟槽型绝缘栅场效应管的方法,其中,所述方法包括:根据所述本征区形成第一预制掺杂区,所述第一预制掺杂区延伸入所述预制复合衬底并具有所述第二掺杂类型,所述第一预制掺杂区具有第一位置和相对所述第一位置远离所述沟槽的第二位置,所述第二位置处的掺杂浓度大于所述第一位置处的掺杂浓度。

3. 根据权利要求1所述的用于制造沟槽型绝缘栅场效应管的方法,其中,还包括:形成延伸入所述预制复合衬底的第一预制掺杂区,所述第一预制掺杂区位于所述沟槽的底侧并具有所述第二掺杂类型;

所述形成本征区的步骤包括:形成延伸穿过至少部分所述第一预制掺杂区的本征区。

4. 根据权利要求3所述的用于制造沟槽型绝缘栅场效应管的方法,其中,还包括:根据所述本征区形成第二预制掺杂区,所述第二预制掺杂区具有所述第一掺杂类型。

5. 根据权利要求1所述的用于制造沟槽型绝缘栅场效应管的方法,其中,通过离子注入工艺形成所述本征区。

6. 根据权利要求1所述的用于制造沟槽型绝缘栅场效应管的方法,其中,还包括:

形成与所述第一预制半导体层欧姆接触的源极金属层;以及
形成与所述预制复合衬底欧姆接触的漏极金属层。

7. 沟槽型绝缘栅场效应管,其特征在于,包括:

依次堆叠的复合衬底、沟道层及第一源接触区,所述复合衬底及所述第一源接触区具有第一掺杂类型,所述沟道层具有第二掺杂类型;

绝缘栅结构,贯穿所述第一源接触区和所述沟道层;以及

保护层,沿堆叠方向位于所述绝缘栅结构与所述复合衬底之间,所述保护层具有第一位置和相对所述第一位置远离所述绝缘栅结构的第二位置,所述第二位置处的掺杂类型和所述第一位置处的掺杂类型均为所述第二掺杂类型,所述第二位置处的掺杂浓度大于所述第一位置处的掺杂浓度。

8. 沟槽型绝缘栅场效应管,其特征在于,包括:

依次堆叠的复合衬底、沟道层及第一源接触区,所述复合衬底及所述第一源接触区具有第一掺杂类型,所述沟道层具有第二掺杂类型;

绝缘栅结构,贯穿所述第一源接触区和所述沟道层;以及

保护层,沿堆叠方向位于所述绝缘栅结构与所述复合衬底之间,所述保护层具有第一位置和相对所述第一位置远离所述绝缘栅结构的第二位置,所述第二位置处的掺杂类型为所述第二掺杂类型,所述第一位置处的掺杂类型为本征类型或所述第一掺杂类型。

9. 沟槽型绝缘栅场效应管,其特征在于,包括:

依次堆叠的复合衬底、沟道层及第一源接触区,所述复合衬底及所述第一源接触区具有第一掺杂类型,所述沟道层具有第二掺杂类型;

绝缘栅结构,贯穿所述第一源接触区和所述沟道层;以及本征区,沿堆叠方向位于所述绝缘栅结构与所述复合衬底之间。

10. 电子器件,其特征在于,包括:

如权利要求7至9中任一项所述的沟槽型绝缘栅场效应管;及电路,与所述沟槽型绝缘栅场效应管电连接。

沟槽型绝缘栅场效应管及其制造方法、电子器件

技术领域

[0001] 本公开涉及半导体技术领域,特别是涉及沟槽型绝缘栅场效应管及其制造方法、电子器件。

背景技术

[0002] 在电力电子行业中,绝缘栅场效应管(MOSFET)得到了广泛的应用。传统MOSFET器件采用平面型结构,这类器件在实现高阻断电压、高开关速度等性能方面已经有了诸多突破。但是由于结构限制,平面型MOSFET器件存在寄生结型场效应管(JFET),继而产生的JFET效应导致平面型MOSFET器件的比导通电阻不够小。

[0003] 沟槽型绝缘栅场效应管相比于平面型绝缘栅场效应管可避免JFET区,从而具有更小的元胞尺寸,大幅降低了导通电阻。然而,在阻断大电压时,沟槽型绝缘栅场效应管的绝缘栅底部承受了高电场,绝缘栅的绝缘层的可靠性受到威胁。沟槽型绝缘栅场效应管的长期可靠性受到影响。

发明内容

[0004] 基于此,有必要针对绝缘栅底部的高电场威胁问题,提供一种沟槽型绝缘栅场效应管、一种用于制造沟槽型绝缘栅场效应管的方法及一种电子器件。

[0005] 本公开实施方式提供一种用于制造沟槽型绝缘栅场效应管的方法,该方法包括:形成沟槽,其中,沟槽贯穿第一预制半导体层和第二预制半导体层,并延伸入预制复合衬底,第一预制半导体层和预制复合衬底具有第一掺杂类型,第二预制半导体层具有第二掺杂类型;形成本征区,本征区位于沟槽的底侧并延伸入预制复合衬底;以及形成绝缘栅结构,绝缘栅结构填充于沟槽。

[0006] 本公开实施方式提供的方法可在沟槽底侧形成本征区,使得绝缘栅结构的底部受到保护,同时有助于保持沟槽型绝缘栅场效应管的较好的导电特性。

[0007] 在一些实施方式中,该方法包括:根据本征区形成第一预制掺杂区,第一预制掺杂区延伸入预制复合衬底并具有第二掺杂类型,第一预制掺杂区具有第一位置和相对第一位置远离沟槽的第二位置,第二位置处的掺杂浓度大于第一位置处的掺杂浓度。

[0008] 该方法可对绝缘栅底部进行良好的保护,同时通过设置第一位置处的掺杂浓度更低,保证沟槽型绝缘栅场效应管的较好的导电特性。

[0009] 在一些实施方式中,该方法还包括:形成延伸入预制复合衬底的第一预制掺杂区,第一预制掺杂区位于沟槽的底侧并具有第二掺杂类型;形成本征区的步骤包括:形成延伸穿过至少部分第一预制掺杂区的本征区。

[0010] 该方法可先形成第一预制掺杂区,然后形成本征区,该方法执行较为较方便,可获得综合性能好的沟槽型绝缘栅场效应管。

[0011] 在一些实施方式中,该方法还包括:根据本征区形成第二预制掺杂区,第二预制掺杂区具有第一掺杂类型。

- [0012] 该方法可形成导电性能较好的沟槽型绝缘栅场效应管。
- [0013] 在一些实施方式中,通过离子注入工艺形成本征区。
- [0014] 离子注入的方式可控有效,可以基于已被掺杂的结构形成本征区。
- [0015] 在一些实施方式中,该方法还包括:形成与第一预制半导体层欧姆接触的源极金属层;以及形成与预制复合衬底欧姆接触的漏极金属层。
- [0016] 本公开实施方式提供的方法可制造沟槽型绝缘栅场效应管,漏极金属层与源极金属层之间的导电性好,且阻断可靠。
- [0017] 本公开实施方式提供一种沟槽型绝缘栅场效应管,包括:依次堆叠的复合衬底、沟道层及第一源接触区,复合衬底及第一源接触区具有第一掺杂类型,沟道层具有第二掺杂类型;绝缘栅结构,贯穿第一源接触区和沟道层;以及保护层,沿堆叠方向位于绝缘栅结构与复合衬底之间,保护层具有第一位置和相对第一位置远离绝缘栅结构的第二位置,第二位置处的掺杂类型和第一位置处的掺杂类型均为第二掺杂类型,第二位置处的掺杂浓度大于第一位置处的掺杂浓度。
- [0018] 本公开实施方式提供的沟槽型绝缘栅场效应管可具有较低的导通电阻,并且实现对绝缘栅结构进行较好地保护。该沟槽型绝缘栅场效应管适用于高电压工作环境,长期可靠性好。
- [0019] 本公开实施方式还提供一种沟槽型绝缘栅场效应管,包括:依次堆叠的复合衬底、沟道层及第一源接触区,复合衬底及第一源接触区具有第一掺杂类型,沟道层具有第二掺杂类型;绝缘栅结构,贯穿第一源接触区和沟道层;以及保护层,沿堆叠方向位于绝缘栅结构与复合衬底之间,保护层具有第一位置和相对第一位置远离绝缘栅结构的第二位置,第二位置处的掺杂类型为第二掺杂类型,第一位置处的掺杂类型为本征类型或第一掺杂类型。
- [0020] 该沟槽型绝缘栅场效应管可实现对绝缘栅结构进行较好地保护,并获得较低的导通电阻,具有较好的导电性。
- [0021] 本公开实施方式在另一方面还提供一种沟槽型绝缘栅场效应管,包括:依次堆叠的复合衬底、沟道层及第一源接触区,复合衬底及第一源接触区具有第一掺杂类型,沟道层具有第二掺杂类型;绝缘栅结构,贯穿第一源接触区和沟道层;以及本征区,沿堆叠方向位于绝缘栅结构与复合衬底之间。
- [0022] 本公开实施方式提供的沟槽型绝缘栅场效应管可具有较低的导通电阻,并且实现对绝缘栅结构进行较好地保护。该沟槽型绝缘栅场效应管适用于高电压工作环境,长期可靠性好。
- [0023] 电子器件,其特征在于,包括:前述的沟槽型绝缘栅场效应管;及电路,与沟槽型绝缘栅场效应管电连接。
- [0024] 本公开实施方式提供的电子器件具有较地的电损耗,可适用于高电压环境,具有较高的可靠性。

附图说明

- [0025] 图1为本公开实施方式提供的用于制造沟槽型绝缘栅场效应管的方法的流程图;
- [0026] 图2为本公开实施方式提供的用于制造沟槽型绝缘栅场效应管的方法的流程图;

- [0027] 图3为本公开实施方式提供的形成第二预制半导体层后的半导体结构示意图；
- [0028] 图4为本公开实施方式提供的形成第一预制半导体层后的半导体结构示意图；
- [0029] 图5为本公开实施方式提供的形成第三预制半导体层后的半导体结构示意图；
- [0030] 图6为本公开实施方式提供的形成沟槽后的半导体结构示意图；
- [0031] 图7为本公开实施方式提供的形成第一本征区后的半导体结构示意图；
- [0032] 图8为本公开实施方式提供的形成第一预制掺杂区后的半导体结构示意图；
- [0033] 图9为本公开实施方式提供的形成第二本征区后的半导体结构示意图；
- [0034] 图10为本公开实施方式提供的形成第二预制掺杂区后的半导体结构示意图；
- [0035] 图11为本公开实施方式提供的形成第二本征区后的半导体结构示意图；
- [0036] 图12为本公开实施方式提供的形成预制绝缘层后的半导体结构示意图；
- [0037] 图13为本公开实施方式提供的形成预制栅极后的半导体结构示意图；
- [0038] 图14为本公开实施方式提供的形成层间介质后的半导体结构示意图；
- [0039] 图15为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0040] 图16为本公开实施方式提供的沟槽型绝缘栅场效应管的漂移区内自然耗尽区分布图；
- [0041] 图17为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0042] 图18为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0043] 图19为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0044] 图20为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0045] 图21为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0046] 图22为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0047] 图23为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0048] 图24为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0049] 图25为本公开实施方式提供的沟槽型绝缘栅场效应管的示意性结构图；
- [0050] 图26为本公开实施方式提供的电子器件的结构框图。
- [0051] 附图标记说明：1、预制衬底；2、预制外延层；3、预制复合衬底；4、第二预制半导体层；5、第一掩模；6、第一预制半导体层；7、第二掩模；8、第三预制半导体层；9、预制体区；10、第三掩模；11、沟槽；12、第一本征区；13、第一预制掺杂区；14、第二本征区；15、预制保护层；16、第二预制掺杂区；17、预制绝缘层；18、预制栅极；19、层间介质；
- [0052] 100、沟槽型绝缘栅场效应管；101、衬底；102、漂移层；103、复合衬底；104、沟道层；105、第二源接触区；106、体区；1061、接触部；107、第一源接触区；108、栅极；109、绝缘层；110、绝缘栅结构；111、保护层；112、本征区；113、第一掺杂区；114、源极金属层；115、漏极金属层；116、第二掺杂区；
- [0053] 200、电路；300、电子器件。

具体实施方式

[0054] 为使本公开实施方式的上述目的、特征和优点能够更加明显易懂，下面结合附图对本公开实施方式的具体实施方式做详细的说明。在下面的描述中阐述了很多具体细节以便于充分理解本公开实施方式。但是本公开实施方式能够以很多不同于在此描述的其它方

式来实施,本领域技术人员可以在不违背本公开实施方式内涵的情况下做类似改进,因此本公开实施方式不受下面公开实施方式的具体实施例的限制。

[0055] 在本公开实施方式的描述中,需要理解的是,术语“中心”、“纵向”、“横向”、“长度”、“宽度”、“厚度”、“上”、“下”、“前”、“后”、“左”、“右”、“竖直”、“垂直”、“水平”、“顶”、“底”、“内”、“外”、“顺时针”、“逆时针”、“轴向”、“径向”、“周向”等指示的方位或位置关系为基于附图所示的方位或位置关系,仅是为了便于描述本公开实施方式和简化描述,而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作,因此不能理解为对本公开实施方式的限制。

[0056] 在本公开实施方式中,除非另有明确的规定和限定,第一特征在第二特征“上”或“下”可以是第一和第二特征直接接触,或第一和第二特征通过中间媒介间接接触。而且,第一特征在第二特征“之上”、“上方”和“上面”可是第一特征在第二特征正上方或斜上方,或仅仅表示第一特征水平高度高于第二特征。第一特征在第二特征“之下”、“下方”和“下面”可以是第一特征在第二特征正下方或斜下方,或仅仅表示第一特征水平高度小于第二特征。

[0057] 此外,术语“第一”、“第二”、“第三”等仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括至少一个该特征。示例性地,第一预制半导体层也可被称作第二预制半导体层,第二预制半导体层也可被称作第一预制半导体层。在本公开实施方式的描述中,“多个”的含义是至少两个,例如两个,三个等,除非另有明确具体的限定。

[0058] 在本公开实施方式中,除非另有明确的规定和限定,术语“相连”、“连接”等应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或成一体;可以是柔性连接,也可以是沿至少一个方向的刚性连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,或者使直接相连同时存在中间媒介,还可以是两个元件内部的连通或两个元件的相互作用关系,除非另有明确的限定。术语“安装”、“设置”、“固定”等可以广义理解为连接。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本公开实施方式中的具体含义。

[0059] 本文中所使用的,术语“层”、“区”指代包括具有一定厚度的区域的材料部分。层能够水平地、垂直地和/或沿着锥形表面延伸。层能够是均匀或不均匀连续结构的区域,其垂直于延伸方向的厚度可不大于连续结构的厚度。层能够包括多个层。附图中各种区域、层的形状及它们之间的相对大小、位置关系仅是示例性地,实际可能因制造公差或技术限制而有所偏差,并可根椐实际需求而调整设计。

[0060] 参阅图1,图1示出了本公开实施例中的用于制造沟槽型绝缘栅场效应管的方法流程。本公开实施例提供的用于制造沟槽型绝缘栅场效应管的方法1000包括下述步骤S101至步骤S103。

[0061] 步骤S101,形成沟槽。预制半导体结构包括依次堆叠的预制复合衬底、第二预制半导体层及第一预制半导体层。沟槽贯穿第一预制半导体层和第二预制半导体层,并可延伸入预制复合衬底。第一预制半导体层和预制复合衬底可具有第一掺杂类型,例如为n型掺杂或称电子型掺杂;第二预制半导体层可具有第二掺杂类型,例如为p型掺杂或称空穴型掺杂。

[0062] 步骤S102,形成本征区。本征区位于沟槽的底侧并延伸入预制复合衬底。虽然如此说明本征区的位置,但本公开实施方式并不排除先形成本征区后形成沟槽的方式。

[0063] 步骤S103,形成绝缘栅结构。绝缘栅结构填充于沟槽。

[0064] 本公开实施方式提供的方法通过在绝缘栅结构底侧设置本征区,可实现对绝缘栅结构底部的保护,提高绝缘栅结构的可靠性。此外,有助于降低预制复合衬底的导通电阻,所制造的沟槽型绝缘栅场效应管具有较好的综合电性能。

[0065] 参阅图2,图2示出了本公开实施例中的用于制造沟槽型绝缘栅场效应管的方法流程。本公开实施例提供的用于制造沟槽型绝缘栅场效应管的方法2000包括下述步骤S210至步骤S240。

[0066] 步骤S210,形成沟槽。

[0067] 步骤S220,可通过离子注入方式形成第一预制掺杂区。示例性地,步骤S220可包括:步骤S221,形成第一本征区;及步骤S222,根据第一本征区形成第一预制掺杂区。

[0068] 步骤S230,可通过离子注入方式形成第一预制掺杂区。示例性地,步骤S230可包括步骤S231,形成第二本征区。步骤S230还可包括步骤S232,根据第二本征区形成第二预制掺杂区。在另一些实施方式中,可根据第一预制掺杂区形成第二本征区。

[0069] 步骤S240,形成绝缘栅结构。

[0070] 本公开实施方式提供的方法可形成结构丰富的沟槽型绝缘栅场效应管。

[0071] 结合图3至图14所示,详述本公开实施例中的用于制造沟槽型绝缘栅场效应管的方法,其中图3至9、12至14示出了该方法的工艺图。

[0072] 图3示出了本公开实施例中形成第二预制半导体层后的半导体结构。如图3所示,预制衬底1、预制外延层2及第二预制半导体层4沿Z轴方向依次堆叠。可以是在预制衬底1上依次生长n型外延和p型外延而获得图3所示结构,也可以是在预制衬底1上外延生长较厚的预制外延层2后,进行离子注入形成第二预制半导体层4并得到剩余的预制外延层2。该离子注入工艺可注入铝离子。第二预制半导体层4的掺杂元素可包括铝元素。

[0073] 预制衬底1可具有第一掺杂类型,例如为n+型掺杂,预制外延层2可具有n型掺杂。第二预制半导体层4可具有第二掺杂类型,例如为p型掺杂,第二预制半导体层4可为p阱区。预制衬底1和预制外延层2可用于构成预制复合衬底3,但不排除预制复合衬底3可以只包括预制外延层2的情况。在另一些实施例中,预制复合衬底3还包括其他功能层,例如位于预制衬底1和预制外延层2之间的过渡层。

[0074] 预制复合衬底3的材料包括碳化硅、硅、硅锗、锗、III-V族化合物如氮化镓和砷化镓中的至少一种。例如预制复合衬底3的材料包括碳化硅,继而所形成的沟槽型绝缘栅场效应管可实现高阻断电压和高开关速度。绝缘栅结构的侧壁处,碳化硅晶体可体现为{1-100}晶面或者{11-20}晶面,这些晶面的迁移率较高,可使得沟槽型绝缘栅场效应管具有低的比导通电阻。

[0075] 预制衬底1的掺杂浓度可大于预制外延层2的掺杂浓度。可以理解地。本公开中的“掺杂浓度”一般指的是体现电性能的自由载流子浓度。例如电子型半导体的掺杂浓度指自由电子的浓度,空穴型半导体的掺杂浓度指空穴的浓度。电子型半导体的自由电子浓度的数量级超过空穴浓度的数量级;空穴型半导体的空穴浓度的数量级超过自由电子浓度的数量级。

[0076] 图4示出了本公开实施例中形成第一预制半导体层后的半导体结构。可形成第一掩模5并对其图案化处理,第一掩模5的材料可包括氧化硅。继而可利用第一掩模5进行离子注入,形成第一预制半导体层6。第一预制半导体层6可具有n+型掺杂。第一预制半导体层6的掺杂元素可包括氮。如图4所示,该预制半导体结构可具有沿X轴方向的对称两半。可以描述第一区域A或第二区域B中的结构而了解整体结构。当然,预制半导体结构可以不完全对称,示例性地只在第一区域A内实现本公开实施方式。

[0077] 图5示出了本公开实施例中形成第三预制半导体层后的半导体结构。可去除第一掩模5后形成第二掩模7,第二掩模7的材料可包括氧化硅,其可遮盖第一预制半导体层6。继而可利用第二掩模7进行离子注入,形成第三预制半导体层8。该离子注入工艺可注入铝离子。第三预制半导体层8可具有p+型掺杂。第三预制半导体层8的掺杂元素可包括铝元素。如图5所示,第二预制半导体层4和第三预制半导体层8可用于构成预制体区9,预制体区9具有第二掺杂类型。

[0078] 图6示出了本公开实施例中形成沟槽后的半导体结构。可去除第二掩模7,形成第三掩模10,第三掩模10的材料可包括氧化硅。继而可利用第三掩模10进行刻蚀工艺形成沟槽11,沟槽11贯穿第一预制半导体层6和第二预制半导体层4、并可延伸入预制复合衬底3的预制外延层2中。

[0079] 图7示例性地示出了本公开实施例中形成第一本征区后的半导体结构。示例性地,可通过对沟槽11的底壁进行离子注入例如铝离子注入,而在沟槽11的底侧形成延伸入预制外延层2的第一本征区12。可将第一本征区12称作本征区。可理解的,该本征区的自由电子浓度和空穴浓度大致相等。

[0080] 在另一些实施方式中,可在形成预制外延层2后先形成第一本征区12,然后继续外延生长。继而在形成沟槽11时将第一本征区12的至少一部分暴露出来。

[0081] 图8示出了本公开实施例中形成第一预制掺杂区后的半导体结构。可根据第一本征区12形成第一预制掺杂区13。示例性地,可以连续进行离子注入工艺而在图6所示结构一步得到图8所示结构。在一些实施方式中,可控制离子注入的深度和剂量,实现掺杂浓度渐变的第一预制掺杂区13,越深的位置掺杂浓度可越大。示例性地,第一预制掺杂区13的掺杂浓度也可呈现多段状态,第一预制掺杂区13具有第一位置和相对第一位置远离沟槽11的第二位置,第二位置处的掺杂浓度大于第一位置处的掺杂浓度。例如第一预制掺杂区13底部可具有p+掺杂,顶端可近似零掺杂浓度。

[0082] 图9示出了本公开实施例中形成第二本征区后的半导体结构。示例性地,第一预制掺杂区13具有p+型掺杂。示例性地,第一预制掺杂区13具有空穴型掺杂且掺杂浓度沿Z轴方向渐变。如图9所示,可通过离子注入工艺形成延伸入部分第一预制掺杂区13的第二本征区14。可理解地,第二本征区14处,多次掺杂所注入的p型离子和n型离子平衡。第二本征区14的自由电子浓度和空穴浓度大致相等,第二本征区14可被称作本征区。

[0083] 第二本征区14和第一预制掺杂区13可用于构成预制保护层15。第一预制掺杂区13距离沟槽11更远,换言之第二本征区14距离沟槽更近。预制保护层15中,以第一预制掺杂区13的多数载流子浓度即空穴浓度为视角,第一预制掺杂区13的空穴浓度大于第二本征区14的空穴浓度。示例性地,当第一预制掺杂区13的掺杂浓度渐变时,需要控制步骤S231的离子注入的深度及浓度,以保证形成第二本征区14。

[0084] 图10示出了本公开实施例中形成第二预制掺杂区后的半导体结构。可根据第二本征区14形成第二预制掺杂区16。第二预制掺杂区16具有第一掺杂类型,例如为n型掺杂。示例性地,可以连续进行离子注入而在图8所示结构一步得到图10所示结构。第二预制掺杂区16的掺杂浓度可与预制外延层2的掺杂浓度相当。

[0085] 图11示出了本公开实施例中形成第二本征区后的半导体结构。在一些实施方式中,可根据第一预制掺杂区13形成第二本征区14。在通过离子注入形成第二本征区14的过程中,该步骤离子注入可穿透整个第一预制掺杂区13,所注入的n型离子引起的自由电子将第一预制掺杂区13的空穴大致中和。在一些可能的实施例中,同为本征区,第二本征区14中掺杂元素的浓度可大于第一本征区12中掺杂元素的浓度。在另一些实施例中,第一本征区12也可包括较大的量的掺杂元素。

[0086] 图12示出了本公开实施例中形成预制绝缘层后的半导体结构。以图9所示结构为例,可通过热氧生长工艺并进行退火,形成预制绝缘层17。预制绝缘层17的材料包括氧化物,例如氧化硅。预制绝缘层17包括沿沟槽11的内壁延展的预制绝缘部及覆盖在第一预制半导体层6之上的富余绝缘部。

[0087] 图13示出了本公开实施例中形成预制栅极后的半导体结构。可进行多晶硅的沉积和刻蚀,形成预制栅极18。原沟槽11可被填满。预制栅极18也可包括其他导电材料。

[0088] 图14示出了本公开实施例中形成层间介质后的半导体结构。可通过低压化学气相沉积工艺或等离子体增强化学气相沉积工艺形成层间介质19。层间介质19的材料可包括二氧化硅。层间介质19与预制绝缘层17共同将预制栅极18包围。

[0089] 示例性地,本公开提供的用于制造沟槽型绝缘栅场效应管的方法还包括如下步骤:对层间介质及富余绝缘部进行刻蚀,可得到绝缘栅结构;形成与第一预制半导体层6欧姆接触的源极金属层;以及形成与预制复合衬底3欧姆接触的漏极金属层。示例性地,漏极金属层与预制衬底1欧姆接触。

[0090] 图15示出了本公开实施方式中的沟槽型绝缘栅场效应管,具体可为其在XZ平面内的元胞结构。示例性地,该沟槽型绝缘栅场效应管100可由前述方法制造。可根据预制复合衬底3得到复合衬底103,可根据预制保护层15得到保护层111,可根据预制体区9得到体区106。在另一些实施方式中,也可通过其他方法制造该沟槽型绝缘栅场效应管100,例如漂移层102可分段外延而成,在每段外延过程中,可分别形成保护层111的不同位置的结构。

[0091] 如图15所示,本公开实施方式提供的沟槽型绝缘栅场效应管100包括复合衬底103、沟道层104、第一源接触区107、绝缘栅结构110以及保护层111。

[0092] 复合衬底103、沟道层104及第一源接触区107可沿Z轴方向依次堆叠。复合衬底103及第一源接触区107具有第一掺杂类型,第一源接触区107可具有n+型掺杂,示例性地,复合衬底103包括具有n+型掺杂的衬底101和具有n型掺杂的漂移层102。沟道层104具有第二掺杂类型,例如为p阱区。

[0093] 绝缘栅结构110贯穿第一源接触区107和沟道层104,并可延伸入漂移层102。绝缘栅结构110可包括栅极108及包围栅极108的绝缘层109。

[0094] 保护层111沿堆叠方向位于绝缘栅结构110与复合衬底103之间。示例性地,保护层111包括本征区112和位于本征区112背离绝缘栅结构110一侧的第一掺杂区113。第一掺杂区113可具有第二掺杂类型,例如为p+型掺杂。以空穴浓度为视角,本征区112的掺杂浓度小

于第一掺杂区113的掺杂浓度。

[0095] 图16示出了本公开实施方式提供的沟槽型绝缘栅场效应管的漂移区内自然状态下的耗尽区分布。如图16所示,本公开实施方式提供的沟槽型绝缘栅场效应管100的漂移层102内,具有第三区域C、第四区域D及第五区域E。第三区域C可为因沟道层104产生的第一耗尽区。第四区域D可为因第一掺杂区113产生的第二耗尽区。第五区域E中可存留有自由载流子。由于本征区112的设置,第一掺杂区113距离绝缘栅结构110及沟道层104较远,第五区域E较宽,继而该沟槽型绝缘栅场效应管100在工作时的电流宽度更大,即增加了正向导通时的通流面积,从而减小了导通电阻。

[0096] 在研究如何对绝缘栅结构底部进行保护时,注意到设置一些种类的保护层例如p+掺杂的保护层后,会在沟槽型绝缘栅场效应管中又引入寄生JFET区。偶然地,发现了一些既保证对绝缘栅结构底部的保护效果,又实现较小导通电阻的沟槽型绝缘栅场效应管。

[0097] 本公开实施方式提供的沟槽型绝缘栅场效应管具有较好的电性能又具有长期可靠性。通过设置本征区、第一掺杂类型结构或第二掺杂类型且掺杂浓度较低的结构,可以避免整个保护层都具有掺杂浓度较高的第二掺杂类型,绝缘栅结构的底部受到了良好的保护,漂移区及整体器件的导通电阻较小。

[0098] 示例性地,如图15所示,沟槽型绝缘栅场效应管100还包括源极金属层114和漏极金属层115,二者可分别与半导体结构欧姆接触。

[0099] 示例性地,沟槽型绝缘栅场效应管100包括体区106,体区106可包括沟道层104和第二源接触区105。第二源接触区105位于第一源接触区107背离绝缘栅结构110的一侧。沿Z轴方向,第二源接触区105可与源极金属层114电连接,并延伸入沟道层104。第二源接触区105可具有第二掺杂类型,例如为p+型掺杂。

[0100] 图17示出了本公开实施方式提供的沟槽型绝缘栅场效应管。示例性地,图17中沟槽型绝缘栅场效应管100的体区106为一体式结构,接触部1061可与沟道层104具有相同的掺杂浓度。保护层111包括本征区112和位于本征区112背离绝缘栅结构110一侧的第一掺杂区113。在一些实施方式中,第一掺杂区113可具有渐变的浓度,且第一掺杂区113越远离绝缘栅结构110的位置处的掺杂浓度可以越高。

[0101] 图18示出了本公开实施方式提供的沟槽型绝缘栅场效应管。示例性地,该沟槽型绝缘栅场效应管100中,保护层111包括靠近绝缘栅结构110的第二掺杂区116和远离绝缘栅结构110的第一掺杂区113。第二掺杂区116可具有第一掺杂类型。示例性地,第二掺杂区116的掺杂浓度可与漂移层102的掺杂浓度相当。示例性地,第二掺杂区116的掺杂浓度可大于漂移层102的掺杂浓度。该沟槽型绝缘栅场效应管100具有较低的导通电阻,具有较好的导电性能。

[0102] 图19示出了本公开实施方式提供的沟槽型绝缘栅场效应管。示例性地,图19中沟槽型绝缘栅场效应管100的体区106为一体式结构,接触部1061可与沟道层104具有相同的掺杂浓度。保护层111包括第二掺杂区116和位于第二掺杂区116背离绝缘栅结构110一侧的第一掺杂区113。该沟槽型绝缘栅场效应管100具有低的导通电阻,具有好的导电性能。

[0103] 图20示出了本公开实施方式提供的沟槽型绝缘栅场效应管。示例性地,图20所示的沟槽型绝缘栅场效应管100中,保护层111包括第一掺杂区113。第一掺杂区113的掺杂浓度可沿Z轴渐变,距离绝缘栅结构110越远的位置处掺杂浓度越高。示例性地,第一掺杂区

113可具有第一位置和相对第一位置远离绝缘栅结构110的第二位置,第一位置处的掺杂浓度小于第二位置处的掺杂浓度。体区106包括沟道层104和第二源接触区105。该沟槽型绝缘栅场效应管100在具有低的导通电阻的同时,可具有较好的长期可靠性,绝缘栅结构110的底部受到了较好的保护。

[0104] 图21示出了本公开实施方式提供的沟槽型绝缘栅场效应管。示例性地,图21所示的沟槽型绝缘栅场效应管100中,保护层111包括第一掺杂区113。第一掺杂区113可具有渐变掺杂浓度,距离绝缘栅结构110越远的位置处掺杂浓度越高。示例性地,第一掺杂区113可具有第一位置和相对第一位置远离绝缘栅结构110的第二位置,第一位置处的掺杂浓度小于第二位置处的掺杂浓度。示例性地,体区106为一体式结构,接触部1061可与沟道层104具有相同的掺杂浓度。该沟槽型绝缘栅场效应管100结构较简单,易于制造。

[0105] 总而言之,保护层111可具有第一位置和相对第一位置远离绝缘栅结构110的第二位置,第二位置处的掺杂类型为第二掺杂类型,第一位置处的掺杂浓度小于第二位置处的掺杂浓度。示例性地,第一位置处的掺杂类型为本征类型或第一掺杂类型。

[0106] 图22示出了本公开实施方式提供的沟槽型绝缘栅场效应管。在一些实施方式中,沟槽型绝缘栅场效应管100包括依次堆叠的复合衬底103、沟道层104及第一源接触区107,还包括绝缘栅结构110和位于绝缘栅结构110底侧的本征区112。沿Z轴方向,本征区112位于复合衬底103和绝缘栅结构110之间。该沟槽型绝缘栅场效应管100可由前述方法制造,本征区112可根据第一本征区12或第二本征区14获得。

[0107] 本征区112的掺杂元素的浓度分布可以比较均衡。本征区112的自由电子浓度与空穴浓度大致相等,可体现为绝缘性质。本征区112可对绝缘栅结构110的底部进行保护,使得沟槽型绝缘栅场效应管100具有长期可靠性。同时,本征区112几乎不会对漂移层102产生耗尽作用,使得漂移层102的通流面积较大。该沟槽型绝缘栅场效应管100具有较小的导通电阻。

[0108] 示例性地,体区106包括沟道层104和第二源接触区105。

[0109] 图23示出了本公开实施方式提供的沟槽型绝缘栅场效应管。示例性地,图23中沟槽型绝缘栅场效应管100的体区106为一体式结构,接触部1061可与沟道层104具有相同的掺杂浓度。该沟槽型绝缘栅场效应管100结构简单、易制造。

[0110] 图24示出了本公开实施方式提供的沟槽型绝缘栅场效应管。该沟槽型绝缘栅场效应管100的漂移层102可以分段外延而成,本征区112可在分段外延的过程中间形成。示例性地,在垂直于Z轴方向的X轴方向,本征区112比绝缘栅结构110宽。换言之,本征区112沿Z轴方向的投影覆盖绝缘栅结构110的投影。示例性地,体区106包括沟道层104和第二源接触区105。

[0111] 图25示出了本公开实施方式提供的沟槽型绝缘栅场效应管。该沟槽型绝缘栅场效应管100中,本征区112沿Z轴方向的投影覆盖绝缘栅结构110的投影。体区106为一体式结构。该沟槽型绝缘栅场效应管100结构简单,对绝缘栅结构110的保护效果较好。

[0112] 图26示出了本公开实施方式提供的电子器件。本公开实施方式提供一种电子器件300,该电子器件300包括沟槽型绝缘栅场效应管100和电路200。沟槽型绝缘栅场效应管100可以由前述的各实施例所提供。

[0113] 电路200与沟槽型绝缘栅场效应管100电连接,示例性地,可与源极金属层114、漏

极金属层115及栅极108电连接。电路200可包括金属互连或触点,材料可包括铜。

[0114] 本公开实施方式提供的电子器件具有长期可靠性,具有较低的电路损耗。该电子器件可适用于高压使用环境。

[0115] 以上公开的各实施例的各技术特征可以进行任意的组合,为使描述简洁,未对上述实施例中的各个技术特征所有可能的组合都进行描述,然而,只要这些技术特征的组合不存在矛盾,都应当认为是本说明书记载的范围。

[0116] 以上公开的实施例中,除非另有明确的规定和限定,否则不限制各步骤的执行顺序,例如可以并行执行,也可以不同次序地先后执行。各步骤的子步骤还可以交错地执行。可以使用上述各种形式的流程,还可重新排序、增加或删除步骤,只要能够实现本公开实施方式提供的技术方案所期望的结果,本文在此不进行限制。

[0117] 以上公开的实施例仅表达了本发明创造的几种实施方式,其描述较为具体和详细,但并不能因此而理解为对发明创造的专利保护范围的限制。应当指出的是,对于本领域的普通技术人员来说,在不脱离本发明创造构思的前提下,还可以做出若干变形和改进,这些都属于本发明创造要求的专利保护范围。因此,本发明创造的专利保护范围应以所附权利要求要求为准。

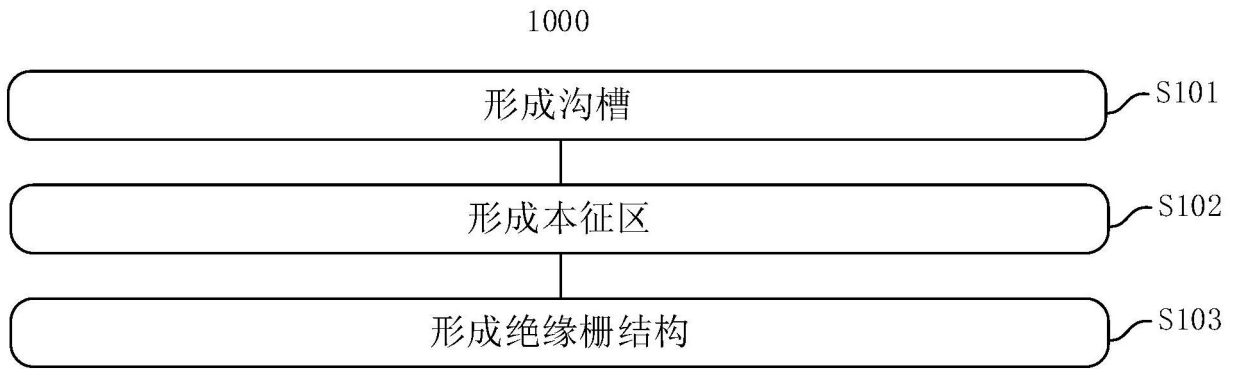


图1

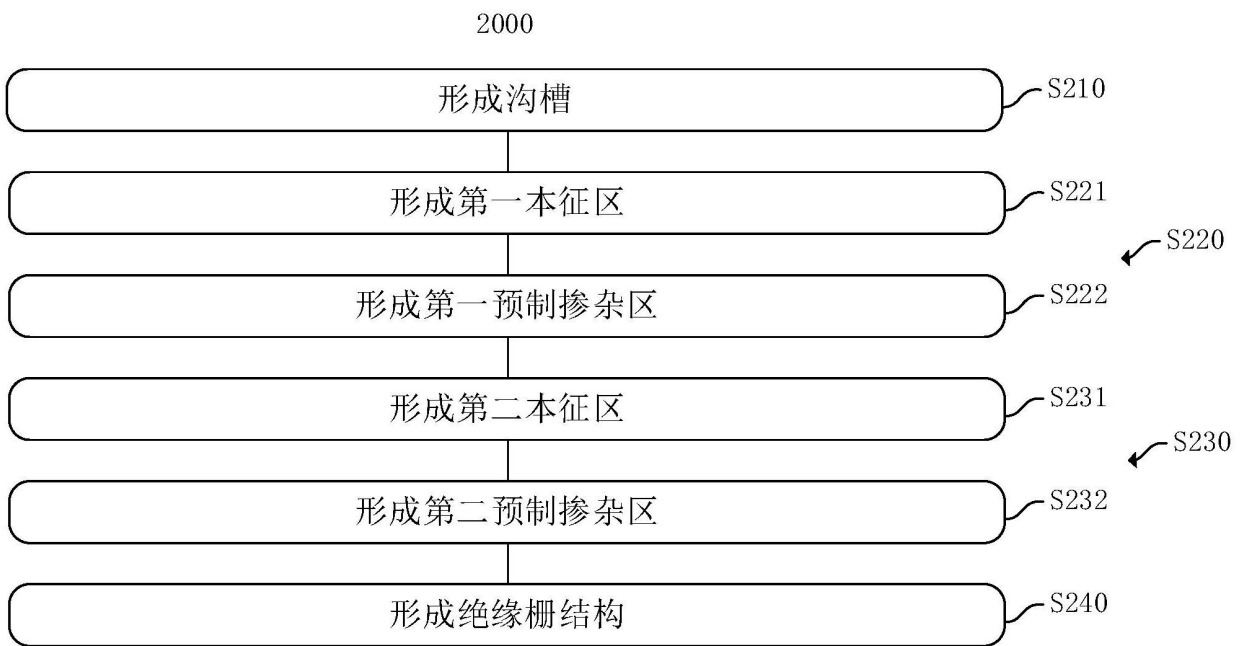


图2



图3

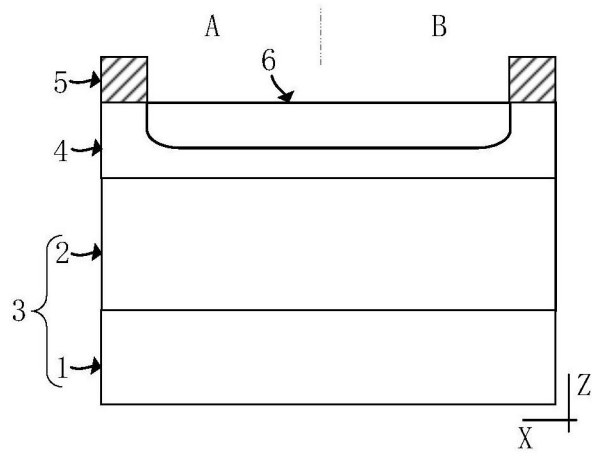


图4

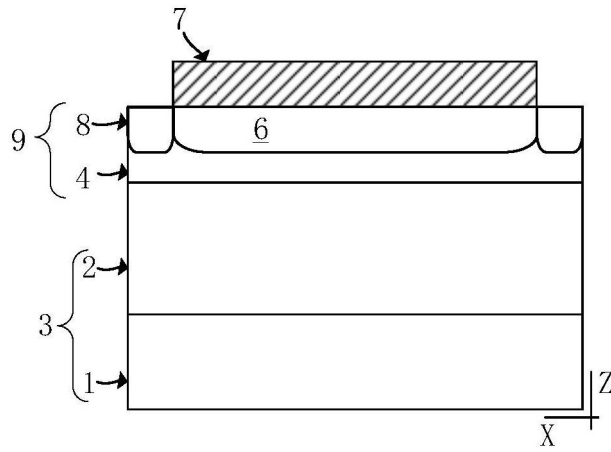


图5

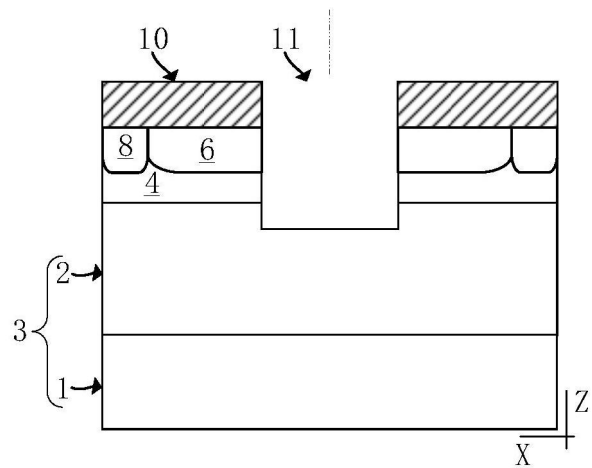


图6

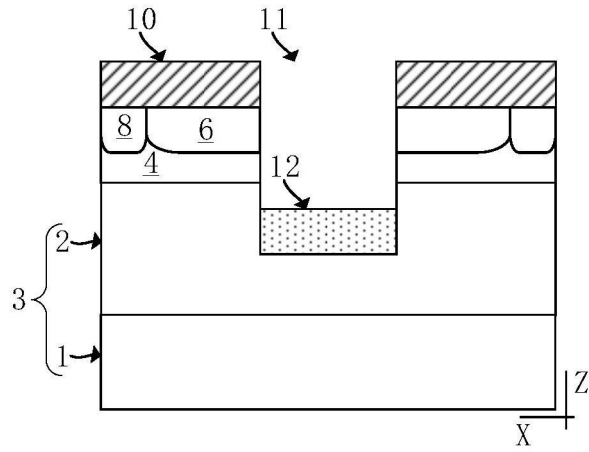


图7

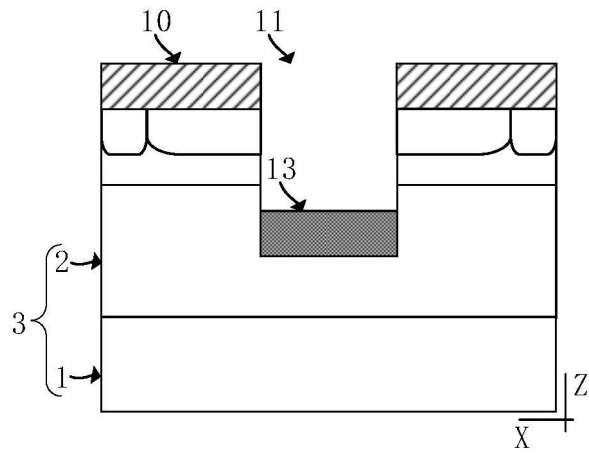


图8

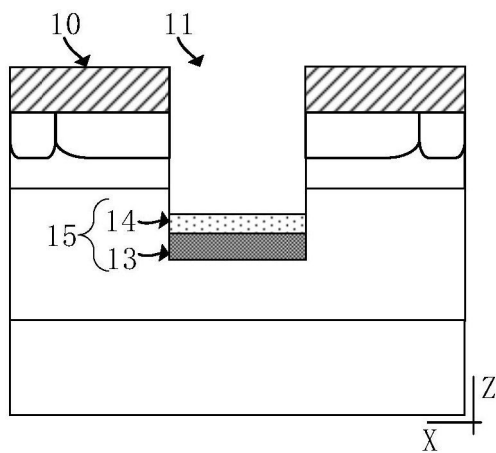


图9

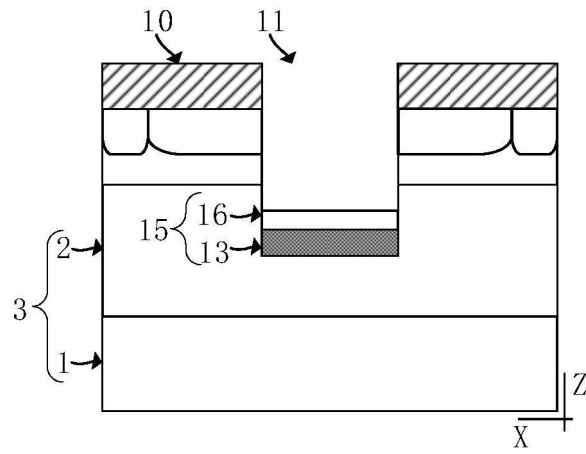


图10

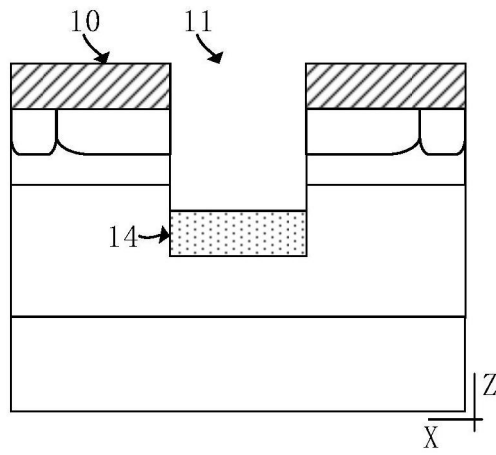


图11

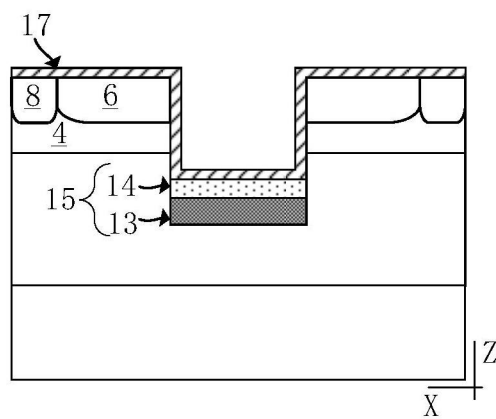


图12

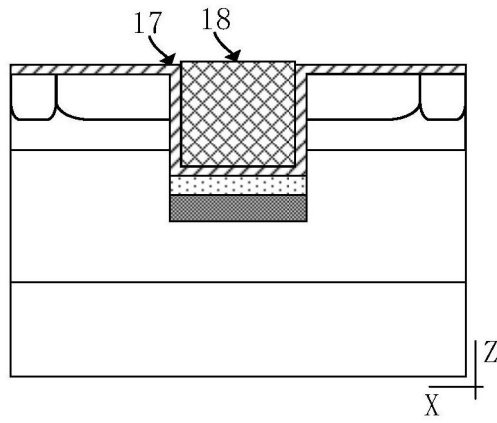


图13

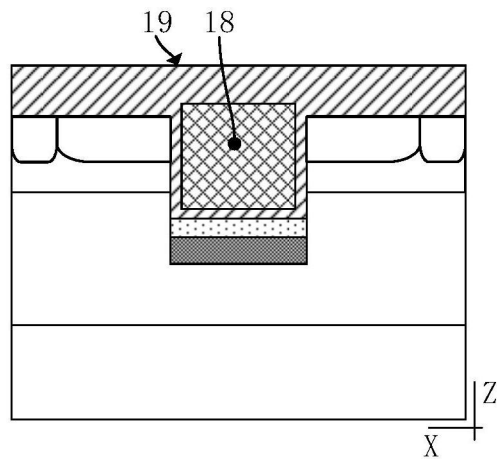


图14

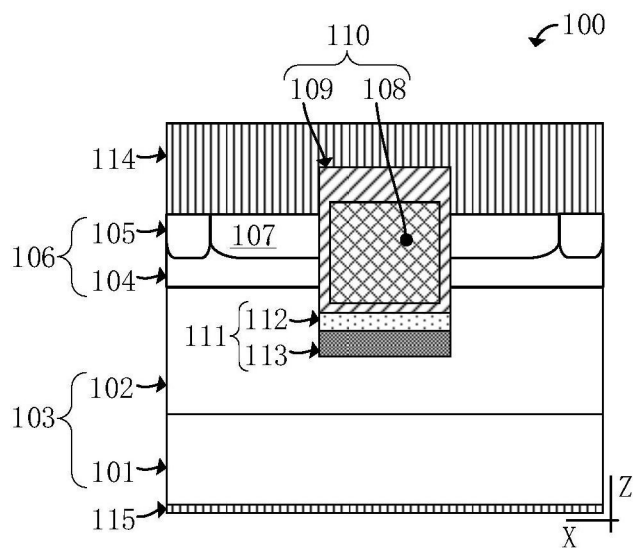


图15

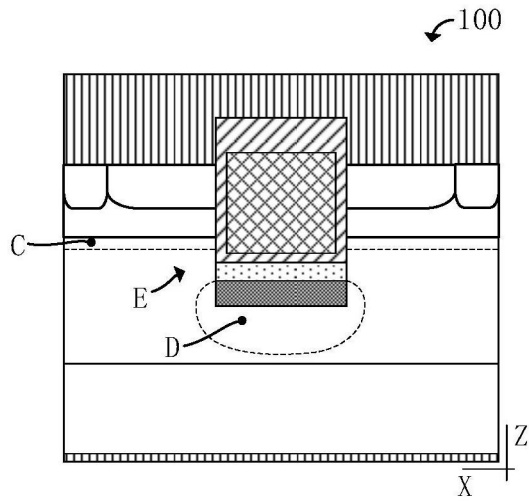


图16

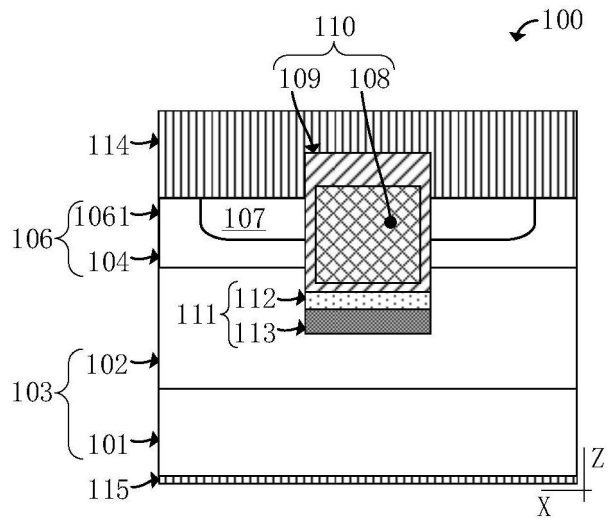


图17

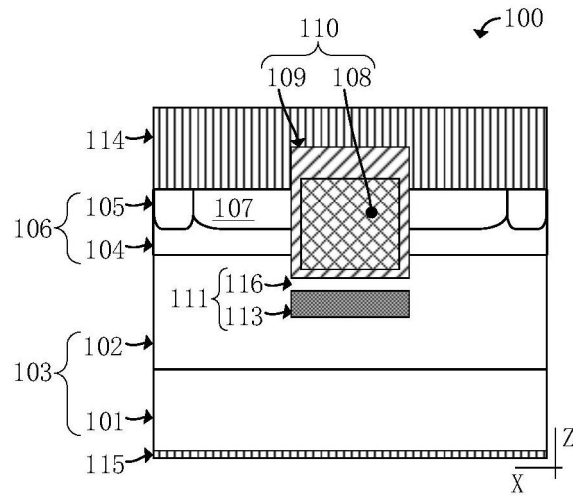


图18

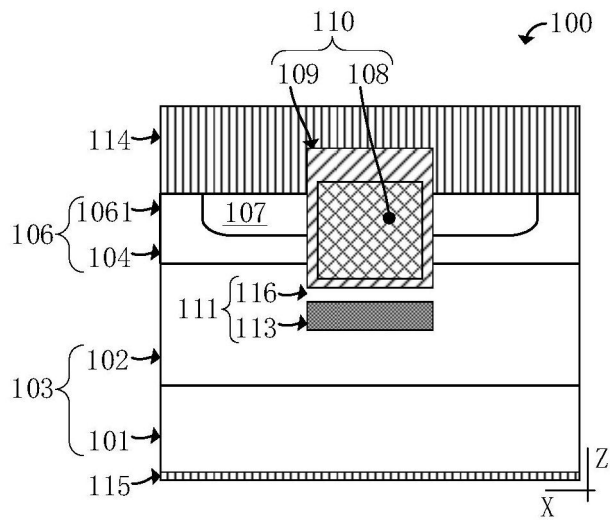


图19

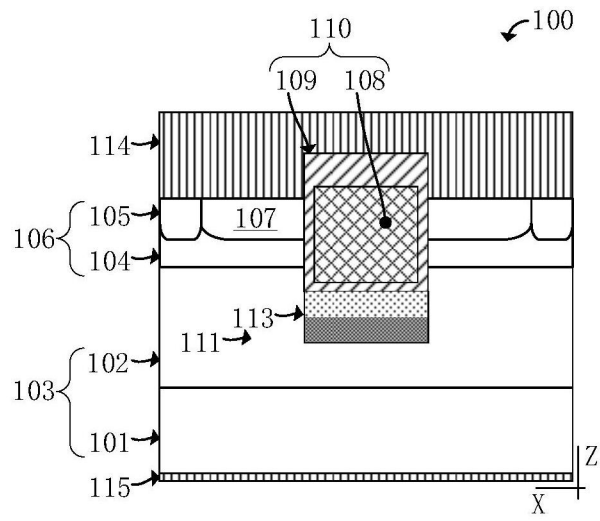


图20

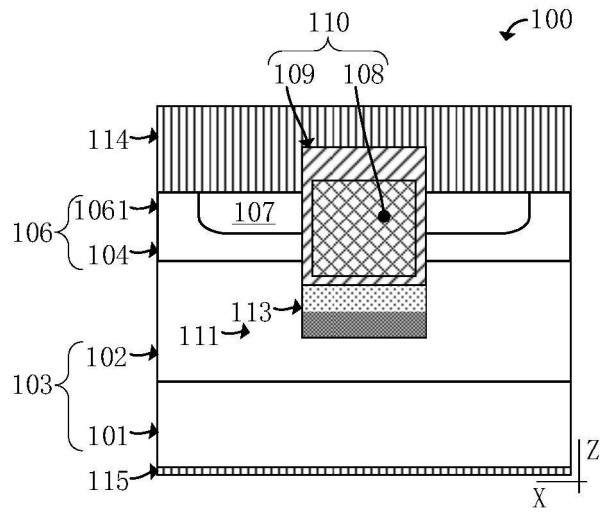


图21

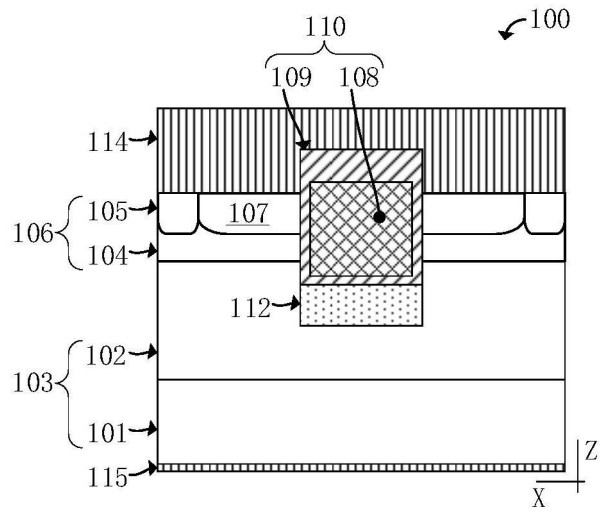


图22

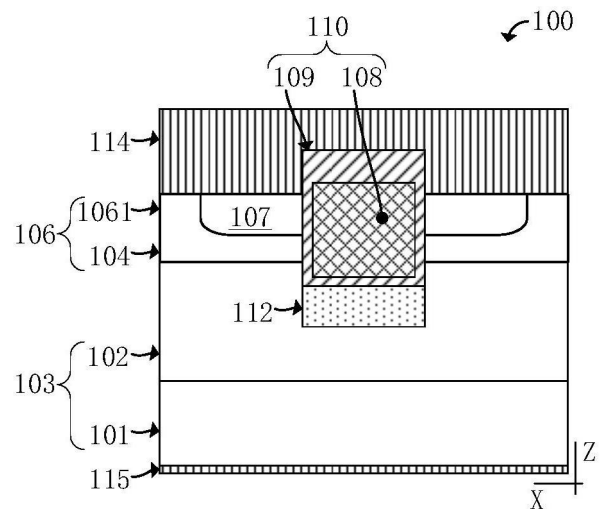


图23

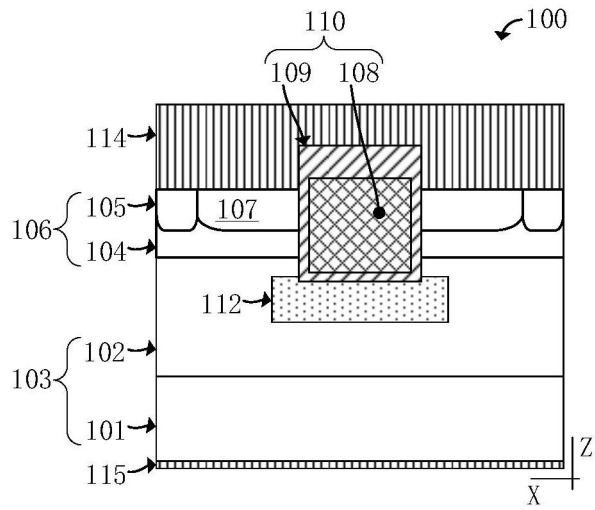


图24

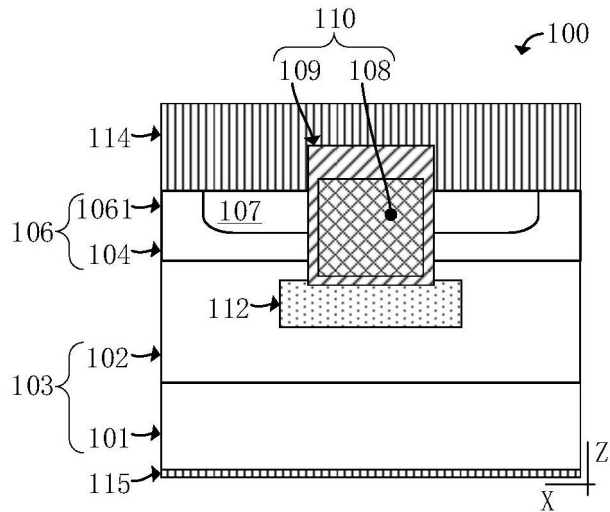


图25

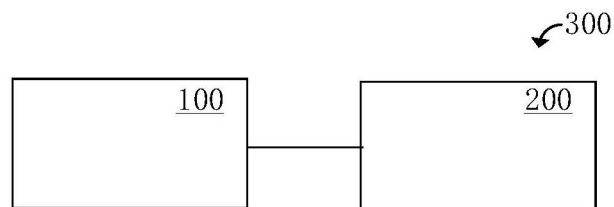


图26