



(12) 发明专利申请

(10) 申请公布号 CN 102428452 A

(43) 申请公布日 2012. 04. 25

(21) 申请号 201080020489. 9

安德鲁·T·斯温

(22) 申请日 2010. 04. 05

罗伯特·S·斯普林科

(30) 优先权数据

(74) 专利代理机构 北京律盟知识产权代理有限
责任公司 11287

61/167, 709 2009. 04. 08 US

61/187, 835 2009. 06. 17 US

12/537, 741 2009. 08. 07 US

代理人 刘国伟

(85) PCT申请进入国家阶段日

(51) Int. Cl.

2011. 11. 09

G06F 13/38(2006. 01)

G06F 3/06(2006. 01)

(86) PCT申请的申请数据

PCT/US2010/029917 2010. 04. 05

(87) PCT申请的公布数据

W02010/117929 EN 2010. 10. 14

(71) 申请人 谷歌公司

地址 美国加利福尼亚州

(72) 发明人 阿尔伯特·T·博尔歇斯

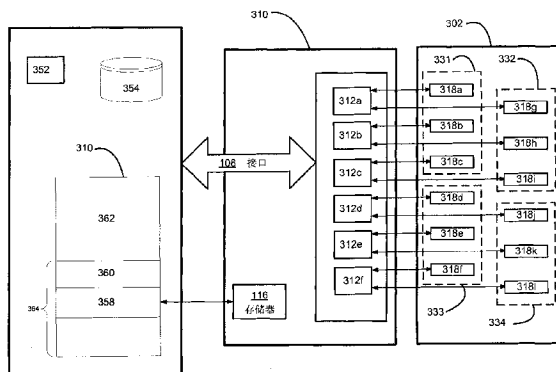
权利要求书 5 页 说明书 13 页 附图 6 页

(54) 发明名称

分割快闪存储器数据存储装置

(57) 摘要

一种分割具有多个存储器芯片 (118a、118b、218、318) 的数据存储装置 (100、302) 的方法包括:确定所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的数目;经由耦合到所述数据存储装置 (100、302) 的主机 (106、350) 界定所述数据存储装置 (100、302) 的第一分区 (321、331), 其中所述第一分区 (321、331) 包括所述多个存储器芯片 (118a、118b、218、318) 的第一子集;经由所述主机 (106、350) 界定所述数据存储装置 (100、302) 的第二分区 (322、332), 其中所述第二分区 (322、332) 包括所述多个存储器芯片 (118a、118b、218、318) 的第二子集, 使得所述第一子集不包括所述第二子集中的任何存储器芯片 (118a、118b、218、318) 且其中所述第二子集不包括所述第一子集中的任何存储器芯片 (118a、118b、218、318)。



1. 一种分割数据存储装置 (100、302) 的方法, 其中所述装置包括多个存储器芯片 (118a、118b、218、318), 所述方法包含:

确定 (402) 所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的数目;

经由耦合到所述数据存储装置 (100、302) 的主机 (106、350) 界定 (404) 所述数据存储装置 (100、302) 的第一分区 (321、331), 其中所述第一分区 (321、331) 包括所述多个存储器芯片 (118a、118b、218、318) 的第一子集;

经由耦合到所述数据存储装置 (100、302) 的所述主机 (106、350) 界定 (406) 所述数据存储装置 (100、302) 的第二分区 (322、332), 其中所述第二分区 (322、332) 包括所述多个存储器芯片 (118a、118b、218、318) 的第二子集;

其中所述第一子集不包括所述第二子集中的任何存储器芯片 (118a、118b、218、318), 且其中所述第二子集不包括所述第一子集中的任何存储器芯片 (118a、118b、218、318)。

2. 根据权利要求 1 所述的方法, 其进一步包含:

在从所述第二分区 (322、332) 读取数据的同时将数据写入到所述第一分区 (321、331)。

3. 根据前述权利要求中任一权利要求所述的方法, 其中确定所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的数目包括将指示所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的所述数目的信息从所述数据存储装置 (100、302) 传输到所述主机 (106、350)。

4. 根据前述权利要求中任一权利要求所述的方法, 其进一步包含在所述主机 (106、350) 中界定 (412) 所述数据存储装置 (100、302) 中的将从所述主机 (106、350) 向其写入数据的地址位置, 其中所述地址位置规定将所述数据写入到所述多个存储器芯片 (118a、118b、218、318) 中的特定一者。

5. 根据前述权利要求中任一权利要求所述的方法, 其中所述数据存储装置 (100、302) 包括用于在所述主机 (106、350) 与所述多个存储器芯片 (118a、118b、218、318) 之间传递数据的多个物理通道 (112), 每一通道可操作地连接到不同多个所述存储器芯片 (118a、118b、218、318), 所述方法进一步包含:

确定 (414) 物理通道 (112) 的数目;

确定 (416) 所述通道 (112) 的第一子集, 其中所述通道 (112) 的所述第一子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第一子集中的存储器芯片 (118a、118b、218、318);

确定 (418) 所述通道 (112) 的第二子集, 其中所述通道 (112) 的所述第二子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第二子集中的存储器芯片 (118a、118b、218、318); 及

在所述主机 (106、350) 中界定 (420) 所述数据存储装置 (100、302) 中的将从所述主机 (106、350) 向其写入数据的地址位置, 其中所述地址位置规定经由特定通道将所述数据写入到所述多个存储器芯片 (118a、118b、218、318) 中的特定一者。

6. 根据前述权利要求中任一权利要求所述的方法, 其中所述第一分区 (321、331) 包括可操作地连接到单个通道的存储器芯片 (118a、118b、218、318)。

7. 根据前述权利要求中任一权利要求所述的方法,其进一步包含:

经由耦合到所述数据存储装置(100、302)的所述主机(106、350)将所述数据存储装置(100、302)的所述第一分区(321、331)重新界定(422)为包括所述多个存储器芯片(118a、118b、218、318)的第三子集,

其中所述第三子集不同于所述第一子集,且

其中所述第三子集不包括所述第二子集中的任何存储器芯片(118a、118b、218、318),且其中所述第二子集不包括所述第三子集中的任何存储器芯片(118a、118b、218、318)。

8. 根据前述权利要求中任一权利要求所述的方法,其进一步包含:

接收所述第一子集中的所述存储器芯片(118a、118b、218、318)中的一者已出故障或接近出故障的指示;

其中重新界定(422)所述第一分区(321、331)包括将所述第三子集界定为所述第一子集的除已出故障或接近出故障的所述存储器芯片以外的存储器芯片(118a、118b、218、318)。

9. 一种设备,其包含:

数据存储装置(100、302),其包括多个存储器芯片(118a、118b、218、318);

主机(106、350),其经由接口可操作地耦合到所述数据存储装置(100、302),所述主机(106、350)包含:

配置检测引擎(358),其经配置以检测所述数据存储装置(100、302)中的存储器芯片(118a、118b、218、318)的数目;

分区引擎(360),其配置以:界定所述数据存储装置(100、302)的第一分区(321、331),其中所述第一分区(321、331)包括所述多个存储器芯片(118a、118b、218、318)的第一子集;及界定所述数据存储装置(100、302)的第二分区(322、332),其中所述第二分区(322、332)包括所述多个存储器芯片(118a、118b、218、318)的第二子集;

其中所述第一子集不包括所述第二子集中的任何存储器芯片(118a、118b、218、318),且其中所述第二子集不包括所述第一子集中的任何存储器芯片(118a、118b、218、318)。

10. 根据权利要求9所述的设备,其中所述数据存储装置(100、302)经配置以在从所述主机(106、350)接收到命令后即刻将指示所述数据存储装置(100、302)中的存储器芯片(118a、118b、218、318)的所述数目的信息从所述数据存储装置(100、302)传输到所述主机(106、350)。

11. 根据权利要求9到10中任一权利要求所述的设备,其中所述主机(106、350)进一步包含经配置以给待写入到所述数据存储装置(100、302)的数据指派存储器地址的地址指派引擎(366),其中所述所指派存储器地址规定将所述数据写入到所述多个存储器芯片(118a、118b、218、318)中的特定一者。

12. 根据权利要求9到11中任一权利要求所述的设备,其中所述数据存储装置(100、302)包括用于在所述主机(106、350)与所述多个存储器芯片(118a、118b、218、318)之间传递数据的多个物理通道(112),每一通道可操作地连接到不同多个所述存储器芯片(118a、118b、218、318),且

其中所述配置检测引擎(358)进一步经配置以检测所述数据存储装置(100、302)中的通道(112)的数目;

其中所述分区引擎 (360) 进一步经配置以界定所述通道 (112) 的第一子集, 其中所述通道 (112) 的所述第一子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第一子集中的存储器芯片 (118a、118b、218、318); 且

其中所述分区引擎 (360) 进一步经配置以界定所述通道 (112) 的第二子集, 其中所述通道 (112) 的所述第二子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第二子集中的存储器芯片 (118a、118b、218、318)。

13. 根据权利要求 9 到 12 中任一权利要求所述的设备, 其中所述主机 (106、350) 进一步包含经配置以给待写入到所述数据存储装置 (100、302) 的数据指派存储器地址的地址指派引擎 (366), 其中所述所指派存储器地址规定经由特定通道将所述数据写入到所述多个存储器芯片 (118a、118b、218、318) 中的特定一者。

14. 根据权利要求 9 到 13 中任一权利要求所述的设备, 其中所述第一分区 (321、331) 包括可操作地连接到单个通道的存储器芯片 (118a、118b、218、318)。

15. 根据权利要求 9 到 14 中任一权利要求所述的设备, 其中所述分区引擎 (360) 进一步经配置以将所述数据存储装置 (100、302) 的所述第一分区 (321、331) 重新界定为包括所述多个存储器芯片 (118a、118b、218、318) 的第三子集,

其中所述第三子集不同于所述第一子集, 且

其中所述第三子集不包括所述第二子集中的任何存储器芯片 (118a、118b、218、318), 且其中所述第二子集不包括所述第三子集中的任何存储器芯片 (118a、118b、218、318)。

16. 根据权利要求 15 所述的设备, 其中所述分区引擎 (360) 进一步经配置以接收所述第一子集中的所述存储器芯片 (118a、118b、218、318) 中的一者已出故障或接近出故障的指示; 且

其中将所述第一分区 (321、331) 重新界定为包括所述多个存储器芯片 (118a、118b、218、318) 的所述第三子集包括将所述第三子集界定为所述第一子集的除已出故障或接近出故障的所述存储器芯片以外的存储器芯片 (118a、118b、218、318)。

17. 一种分割数据存储装置 (100、302) 的方法, 其中所述装置包括多个存储器芯片 (118a、118b、218、318), 所述方法包含:

读取 (502) 所述数据存储装置 (100、302) 的物理配置, 其中包括所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的数目;

读取 (504) 所述数据存储装置 (100、302) 的分割方案;

经由耦合到所述数据存储装置 (100、302) 的主机 (106、350) 界定 (506) 所述数据存储装置 (100、302) 的第一分区 (321、331), 其中所述第一分区 (321、331) 包括所述多个存储器芯片 (118a、118b、218、318) 的第一子集;

分配 (508) 所述第一分区 (321、331) 的逻辑 / 物理存储器映射;

经由耦合到所述数据存储装置 (100、302) 的所述主机 (106、350) 界定 (510) 所述数据存储装置 (100、302) 的第二分区 (322、332), 其中所述第二分区 (322、332) 包括所述多个存储器芯片 (118a、118b、218、318) 的第二子集; 及

分配 (512) 所述第二分区 (322、332) 的逻辑 / 物理存储器映射,

其中所述第一子集不包括所述第二子集中的任何存储器芯片 (118a、118b、218、318), 且其中所述第二子集不包括所述第一子集中的任何存储器芯片 (118a、118b、218、318)。

18. 根据权利要求 17 所述的方法,其进一步包含:

在从所述第二分区 (322、332) 读取数据的同时将数据写入到所述第一分区 (321、331)。

19. 根据权利要求 17 到 18 中任一权利要求所述的方法,其中所述数据存储装置 (100、302) 包括用于在所述主机 (106、350) 与所述多个存储器芯片 (118a、118b、218、318) 之间传递数据的多个物理通道 (112),每一通道可操作地连接到不同多个所述存储器芯片 (118a、118b、218、318),其中所述数据存储装置 (100、302) 的所述物理配置进一步包括所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的所述数目,所述方法进一步包含:

确定所述通道 (112) 的第一子集,其中所述通道 (112) 的所述第一子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第一子集中的存储器芯片 (118a、118b、218、318);

确定所述通道 (112) 的第二子集,其中所述通道 (112) 的所述第二子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第二子集中的存储器芯片 (118a、118b、218、318);及

在所述主机 (106、350) 中界定所述数据存储装置 (100、302) 中的将从所述主机 (106、350) 向其写入数据的地址位置,其中所述地址位置规定经由特定通道将所述数据写入到所述多个存储器芯片 (118a、118b、218、318) 中的特定一者。

20. 一种设备,其包含:

数据存储装置 (100、302),其包括多个存储器芯片 (118a、118b、218、318);

主机 (106、350),其经由接口可操作地耦合到所述数据存储装置 (100、302),所述主机 (106、350) 包含:

配置检测引擎 (358),其经配置以读取所述数据存储装置 (100、302) 的物理配置,其中包括所述数据存储装置 (100、302) 中的存储器芯片 (118a、118b、218、318) 的数目,且经配置以读取所述数据存储装置 (100、302) 的分割方案;

分区引擎 (360),其经配置以:界定所述数据存储装置 (100、302) 的第一分区 (321、331),其中所述第一分区 (321、331) 包括所述多个存储器芯片 (118a、118b、218、318) 的第一子集;及界定所述数据存储装置 (100、302) 的第二分区 (322、332),其中所述第二分区 (322、332) 包括所述多个存储器芯片 (118a、118b、218、318) 的第二子集,且经配置以分配所述第一分区 (321、331) 的逻辑/物理存储器映射且分配所述第二分区 (322、332) 的逻辑/物理存储器映射;

其中所述第一子集不包括所述第二子集中的任何存储器芯片 (118a、118b、218、318),且其中所述第二子集不包括所述第一子集中的任何存储器芯片 (118a、118b、218、318)。

21. 根据权利要求 20 所述的设备,其中所述数据存储装置 (100、302) 经配置以在从所述主机 (106、350) 接收到命令后即刻将指示所述数据存储装置 (100、302) 的所述物理配置的信息从所述数据存储装置 (100、302) 传输到所述主机 (106、350)。

22. 根据权利要求 20 到 21 中任一权利要求所述的设备,其中所述数据存储装置 (100、302) 包括用于在所述主机 (106、350) 与所述多个存储器芯片 (118a、118b、218、318) 之间传递数据的多个物理通道 (112),每一通道可操作地连接到不同多个所述存储器芯片 (118a、

118b、218、318), 且

其中所述数据存储装置 (100、302) 的所述物理配置进一步包括所述数据存储装置 (100、302) 中的通道 (112) 的数目;

其中所述分区引擎 (360) 进一步经配置以界定所述通道 (112) 的第一子集, 其中所述通道 (112) 的所述第一子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第一子集中的存储器芯片 (118a、118b、218、318); 且

其中所述分区引擎 (360) 进一步经配置以界定所述通道 (112) 的第二子集, 其中所述通道 (112) 的所述第二子集中的通道 (112) 仅可操作地连接到存储器芯片 (118a、118b、218、318) 的所述第二子集中的存储器芯片 (118a、118b、218、318)。

23. 根据权利要求 21 到 22 中任一权利要求所述的设备, 其中所述第一分区 (321、331) 包括可操作地连接到单个通道的存储器芯片 (118a、118b、218、318)。

分割快闪存储器数据存储装置

[0001] 相关申请案交叉参考

[0002] 本申请案请求对在 2009 年 4 月 8 日提出申请且标题为“数据存储装置 (DATA STORAGE DEVICE)”的第 61/167,709 号美国临时申请案及在 2009 年 6 月 17 日提出申请且标题为“快闪存储器数据存储装置中的分割及剥离 (PARTITIONING AND STRIPING IN A FLASH MEMORY DATA STORAGE DEVICE)”的第 61/187,835 号美国临时申请案的权益,其两者以整体引用的方式并入本文中。

技术领域

[0003] 本说明涉及一种数据存储装置。

背景技术

[0004] 可使用数据存储装置来存储数据。数据存储装置可与计算装置一同使用以提供所述计算装置的数据存储需要。在某些实例中,可期望在数据存储装置上存储大量数据。此外,可期望快速地执行从所述数据存储装置读取数据及向所述数据存储装置写入数据的命令。

发明内容

[0005] 根据一个一般方面,揭示一种分割包括多个存储器芯片的数据存储装置的方法。所述方法包括确定所述数据存储装置中的存储器芯片的数目。耦合到所述数据存储装置的主机界定所述数据存储装置的第一分区及第二分区,其中所述第一分区包括所述多个存储器芯片的第一子集且其中所述第二分区包括所述多个存储器芯片的第二子集。所述第一子集不包括所述第二子集中的任何存储器芯片,且其中所述第二子集不包括所述第一子集中的任何存储器芯片。

[0006] 在另一一般方面中,揭示一种分割包括多个存储器芯片的数据存储装置的方法,其中读取:所述数据存储装置的物理配置,其中包括所述数据存储装置中的存储器芯片的数目;及所述数据存储装置的分割方案。耦合到所述数据存储装置的主机界定所述数据存储装置的第一分区及第二分区,其中所述第一分区包括所述多个存储器芯片的第一子集且所述第二分区包括所述多个存储器芯片的第二子集,且其中所述第一子集不包括所述第二子集中的任何存储器芯片且其中所述第二子集不包括所述第一子集中的任何存储器芯片。针对所述第一分区分配逻辑/物理存储器映射且针对所述第二分区分配逻辑/物理存储器映射。

[0007] 实施方案可包括以下特征中的一者或一者以上。可在从所述第二分区读取数据的同时将数据写入到所述第一分区。确定所述数据存储装置中的存储器芯片的数目可包括将指示所述数据存储装置中的存储器芯片的所述数目的信息从所述数据存储装置传输到所述主机。所述主机可界定所述数据存储装置中的将从所述主机向其写入数据的地址位置,其中所述地址位置规定将所述数据写入到所述多个存储器芯片中的特定一者。

[0008] 所述数据存储装置可包括用于在所述主机与所述多个存储器芯片之间传递数据的多个物理通道,每一通道可操作地连接到不同多个所述存储器芯片,且接着可确定物理通道的所述数目。可界定所述通道的第一子集及第二子集,其中所述通道的所述第一子集中的通道仅可操作地连接到存储器芯片的所述第一子集中的存储器芯片且其中所述通道的所述第二子集中的通道仅可操作地连接到存储器芯片的所述第二子集中的存储器芯片。且所述主机可界定所述数据存储装置中的将从所述主机向其写入数据的地址位置,其中所述地址位置规定经由特定通道将所述数据写入到所述多个存储器芯片中的特定一者。所述第一分区可包括可操作地连接到单个通道的存储器芯片。

[0009] 所述主机可将所述数据存储装置的所述第一分区重新界定为包括所述多个存储器芯片的第三子集,其中所述第三子集不同于所述第一子集,且其中所述第三子集不包括所述第二子集中的任何存储器芯片且其中所述第二子集不包括所述第三子集中的任何存储器芯片。可接收所述第一子集中的所述存储器芯片中的一者已出故障或接近出故障的指示,且接着重新界定所述第一分区可包括将所述第三子集界定为所述第一子集的除已出故障或接近出故障的所述存储器芯片以外的存储器芯片。

[0010] 在另一一般方面中,一种设备包括:数据存储装置,其包括多个存储器芯片;及主机,其经由接口可操作地耦合到所述数据存储装置。所述主机包括:配置检测引擎,其经配置以检测所述数据存储装置中的存储器芯片的数目;及分区引擎。所述分区引擎经配置以:界定所述数据存储装置的第一分区,其中所述第一分区包括所述多个存储器芯片的第一子集;及界定所述数据存储装置的第二分区,其中所述第二分区包括所述多个存储器芯片的第二子集,且其中所述第一子集不包括所述第二子集中的任何存储器芯片且其中所述第二子集不包括所述第一子集中的任何存储器芯片。

[0011] 在另一一般方面中,一种设备包括:数据存储装置,其包括多个存储器芯片;及主机,其经由接口可操作地耦合到所述数据存储装置。所述主机包括配置检测引擎,所述配置检测引擎经配置以读取所述数据存储装置的物理配置,其中包括所述数据存储装置中的存储器芯片的数目,且经配置以读取所述数据存储装置的分割方案。所述主机还包括分区引擎,所述分区引擎经配置以:界定所述数据存储装置的第一分区,其中所述第一分区包括所述多个存储器芯片的第一子集;及界定所述数据存储装置的第二分区,其中所述第二分区包括所述多个存储器芯片的第二子集,且经配置以分配所述第一分区的逻辑/物理存储器映射且分配所述第二分区的逻辑/物理存储器映射。所述第一子集不包括所述第二子集中的任何存储器芯片,且所述第二子集不包括所述第一子集中的任何存储器芯片。

[0012] 实施方案可包括以下特征中的一者或一者以上。举例来说,所述数据存储装置可经配置以在从所述主机接收到命令后即刻将指示所述数据存储装置中的存储器芯片的所述数目的信息从所述数据存储装置传输到所述主机。所述主机还可包括经配置以给待写入到所述数据存储装置的数据指派存储器地址的地址指派引擎,其中所述所指派存储器地址规定将所述数据写入到所述多个存储器芯片中的特定一者。

[0013] 所述数据存储装置可包括用于在所述主机与所述多个存储器芯片之间传递数据的多个物理通道,其中每一通道可操作地连接到不同多个所述存储器芯片。接着,所述配置检测引擎可进一步经配置以检测所述数据存储装置中的通道的所述数目,且所述分区引擎可进一步经配置以界定所述通道的第一子集,其中通道的所述第一子集中的通道仅可操作

地连接到存储器芯片的所述第一子集中的存储器芯片,且其中所述分区引擎可进一步经配置以界定所述通道的第二子集,其中通道的所述第二子集中的通道仅可操作地连接到存储器芯片的所述第二子集中的存储器芯片。

[0014] 所述主机可进一步包括经配置以给待写入到所述数据存储装置的数据指派存储器地址的地址指派引擎,其中所述所指派存储器地址规定经由特定通道将所述数据写入到所述多个存储器芯片中的特定一者。所述第一分区可包括可操作地连接到单个通道的存储器芯片。所述分区引擎可进一步经配置以将所述数据存储装置的所述第一分区重新界定为包括所述多个存储器芯片的第三子集,其中所述第三子集不同于所述第一子集,且其中所述第三子集不包括所述第二子集中的任何存储器芯片且其中所述第二子集不包括所述第三子集中的任何存储器芯片。所述分区引擎可进一步经配置以接收所述第一子集中的所述存储器芯片中的一者已出故障或接近出故障的指示;且将所述第一分区重新界定为包括所述多个存储器芯片的所述第三子集可包括将所述第三子集界定为所述第一子集的除已出故障或接近出故障的所述存储器芯片以外的存储器芯片。

附图说明

[0015] 图 1 是数据存储装置的示范性框图。

[0016] 图 2 是可在图 1 的数据存储装置中使用的 FPGA 控制器的示范性框图。

[0017] 图 3A 是与图 1 的数据存储装置一同使用的示范性计算装置的示范性框图。

[0018] 图 3B 是与图 1 的数据存储装置一同使用的示范性计算装置的示范性框图。

[0019] 图 4 是图解说明图 1 的数据存储装置的实例性过程的示范性流程图。

[0020] 图 5 是图解说明分割图 1 的数据存储装置的实例性过程的另一示范性流程图。

具体实施方式

[0021] 本文件描述用于数据存储的设备、系统及技术。此数据存储设备可包括可与一个或一个以上不同存储器板一同使用的控制器的控制器板,其中所述存储器板中的每一者具有多个快闪存储器芯片。所述数据存储设备可使用所述控制器板上的接口来与主机进行通信。以此方式,所述控制器板上的所述控制器可经配置以使用所述接口来从所述主机接收命令且使用所述存储器板上的所述快闪存储器芯片来执行这些命令。

[0022] 图 1 是数据存储装置 100 的框图。数据存储装置 100 可包括控制器板 102 以及一个或一个以上存储器板 104a 及 104b。数据存储装置 100 可经由接口 108 与主机 106 进行通信。接口 108 可在主机 106 与控制器板 102 之间。控制器板 102 可包括控制器 110、DRAM 111、多个通道 112、电力模块 114 及存储器模块 116。存储器板 104a 及 104b 可包括所述存储器板中的每一者上的多个快闪存储器芯片 118a 及 118b。存储器板 104a 及 104b 还可包括存储器装置 120a 及 120b。

[0023] 一般来说,数据存储装置 100 可经配置以将数据存储于快闪存储器芯片 118a 及 118b 上。主机 106 可将数据写入到快闪存储器芯片 118a 及 118b 及从快闪存储器芯片 118a 及 118b 读取数据,并且引起将关于快闪存储器芯片 118a 及 118b 执行的其它操作。可经由控制器板 102 上的控制器 110 来处理且由控制器 110 来控制主机 106 与快闪存储器芯片 118a 及 118b 之间的数据读取及写入以及其它操作。控制器 110 可从主机 106 接收命令且

致使使用存储器板 104a 及 104b 上的快闪存储器芯片 118a 及 118b 来执行这些命令。主机 106 与控制器 110 之间的通信可经由接口 108。控制器 110 可使用通道 112 来与快闪存储器芯片 118a 及 118b 进行通信。

[0024] 控制器板 102 可包括 DRAM 111。DRAM 111 可为可操作地耦合到控制器 110 且可用以存储信息。举例来说, DRAM 111 可用以存储逻辑地址到物理地址映射及坏块信息。DRAM 111 还可经配置以用作主机 106 与快闪存储器芯片 118a 及 118b 之间的缓冲器。

[0025] 在一个示范性实施方案中, 控制器板 102 以及存储器板 104a 及 104b 中的每一者为物理上单独的印刷电路板 (PCB)。存储器板 104a 可在可操作地连接到控制器板 102 PCB 的一个 PCB 上。举例来说, 存储器板 104a 可物理及 / 或电连接到控制器板 102。类似地, 存储器板 104b 可为与存储器板 104a 分开的 PCB 且可为可操作地连接到控制器板 102 PCB。举例来说, 存储器板 104b 可物理及 / 或电连接到控制器板 102。

[0026] 存储器板 104a 及 104b 每一者可单独地与控制器板 102 断开及从控制器板 102 移除。举例来说, 存储器板 104a 可从控制器板 102 断开且由另一存储器板 (未展示) 替换, 其中所述另一存储器板可操作地连接到控制器板 102。在此实例中, 可用其它存储器板换出存储器板 104a 及 104b 中的任一者或两者, 使得所述其它存储器板可与同一控制器板 102 及控制器 110 一同操作。

[0027] 在一个示范性实施方案中, 控制器板 102 以及存储器板 104a 及 104b 中的每一者可以磁盘驱动器形状因数物理连接。所述磁盘驱动器形状因数可包括不同大小, 例如 (举例来说) 3.5" 磁盘驱动器形状因数及 2.5" 磁盘驱动器形状因数。

[0028] 在一个示范性实施方案中, 控制器板 102 以及存储器板 104a 及 104b 中的每一者可使用高密度球栅阵列 (BGA) 连接器电连接。可使用 BGA 连接器的其它变化形式, 其中包括 (举例来说) 细球栅阵列 (FBGA) 连接器、超细球栅阵列 (UBGA) 连接器及微球栅阵列 (MBGA) 连接器。也可使用其它类型的电连接构件。

[0029] 接口 108 可包括控制器 110 与主机 106 之间的高速接口。所述高速接口可使得能够在主机 106 与快闪存储器芯片 118a 及 118b 之间快速传送数据。在一个示范性实施方案中, 所述高速接口可包括外围组件互连高速 ("PCIe") 接口。举例来说, 所述 PCIe 接口可为 PCIe x4 接口或 PCIe x8 接口。PCIe 接口 108 可包括到主机 106 的 PCIe 连接器电缆组合件。在此实例中, 控制器 110 可包括经配置以在主机 106 与接口 108 介接的接口控制器。所述接口控制器可包括 PCIe 端点控制器。也可使用其它高速接口、连接器及连接器组合件。

[0030] 在一个示范性实施方案中, 控制器板 102 与存储器板 104a 及 104b 上的快闪存储器芯片 118a 及 118b 之间的通信可布置及配置成多个通道 112。通道 112 中的每一者可与一个或一个以上快闪存储器芯片 118a 及 118b 通信。控制器 110 可经配置而使得从主机 106 接收的命令可由控制器 110 使用通道 112 中的每一者同时或至少实质上同时执行。以此方式, 可在不同通道 112 上同时执行多个命令, 此可改善数据存储装置 100 的吞吐量。

[0031] 在图 1 的实例中, 图解说明二十 (20) 个通道 112。完全实线图解说明控制器 110 与存储器板 104a 上的快闪存储器芯片 118a 之间的十 (10) 个通道。混合的实线与虚线图解说明控制器 110 与存储器板 104b 上的快闪存储器芯片 118b 之间的十 (10) 个通道。如图 1 中所图解说明, 通道 112 中的每一者可支持多个快闪存储器芯片。举例来说, 通道 112

中的每一者可支持多达 32 个快闪存储器芯片。在一个示范性实施方案中,所述 20 个通道中的每一者可经配置以支持 6 个快闪存储器芯片并与其通信。在此实例中,存储器板 104a 及 104b 中的每一者将各自包括 60 个快闪存储器芯片。依据快闪存储器芯片 118a 及 118b 的类型及数目,数据存储 100 装置可经配置以存储多达多个数据太字节且包括多个数据太字节在内。

[0032] 控制器 110 可包括微控制器、FPGA 控制器、其它类型的控制器或这些控制器的组合。在一个示范性实施方案中,控制器 110 为微控制器。可以硬件、软件或硬件与软件的组合来实施所述微控制器。举例来说,可从存储器(例如,存储器模块 116)给所述微控制器加载计算机程序产品,所述计算机程序产品包括在被执行时可致使所述微控制器以某一方式执行的指令。所述微控制器可经配置以使用接口 108 从主机 106 接收命令且执行所述命令。举例来说,所述命令可包括用以使用快闪存储器芯片 118a 及 118b 读取、写入、拷贝及擦除数据块的命令以及其它命令。

[0033] 在另一示范性实施方案中,控制器 110 为 FPGA 控制器。可以硬件、软件或硬件与软件的组合来实施所述 FPGA 控制器。举例来说,可从存储器(例如,存储器模块 116)给所述 FPGA 控制器加载固件,所述固件包括在被执行时可致使所述 FPGA 控制器以某一方式执行的指令。所述 FPGA 控制器可经配置以使用接口 108 从主机 106 接收命令且执行所述命令。举例来说,所述命令可包括用以使用快闪存储器芯片 118a 及 118b 读取、写入、拷贝及擦除数据块的命令以及其它命令。

[0034] 存储器模块 116 可经配置以存储数据,可将所述数据加载到控制器 110。举例来说,存储器模块 116 可经配置以存储 FPGA 控制器的一个或一个以上图像,其中所述图像包括供所述 FPGA 控制器使用的固件。存储器模块 116 可与主机 106 介接以与主机 106 通信。存储器模块 116 可与主机 106 直接介接及/或可经由控制器 110 间接与主机 106 介接。举例来说,主机 106 可将固件的一个或一个以上图像传递到存储器模块 116 以进行存储。在一个示范性实施方案中,存储器模块 116 包括电可擦除可编程只读存储器 (EEPROM)。存储器模块 116 还可包括其它类型的存储器模块。

[0035] 存储器板 104a 及 104b 可经配置以与不同类型的快闪存储器芯片 118a 及 118b 一同操作。在一个示范性实施方案中,快闪存储器芯片 118a 及快闪存储器芯片 118b 可为相同类型的快闪存储器芯片,其中包括需要来自电力模块 114 的相同电压及来自相同快闪存储器芯片销售商。术语销售商与制造商在本文件通篇中可互换使用。

[0036] 在另一示范性实施方案中,存储器板 104a 上的快闪存储器芯片 118a 可为与存储器板 104b 上的快闪存储器芯片 118b 不同的类型的快闪存储器芯片。举例来说,存储器板 104a 可包括 SLC NAND 快闪存储器芯片且存储器板 104b 可包括 MLC NAND 快闪存储器芯片。在另一实例中,存储器板 104a 可包括来自一个快闪存储器芯片制造商的快闪存储器芯片且存储器板 104b 可包括来自不同快闪存储器芯片制造商的快闪存储器芯片。具有全部相同类型的快闪存储器芯片或具有不同类型的快闪存储器芯片的灵活性使得能够使数据存储装置 100 适合主机 106 正在使用的不同应用程序。

[0037] 在另一示范性实施方案中,存储器板 104a 及 104b 可在同一存储器板上包括不同类型的快闪存储器芯片。举例来说,存储器板 104a 可在同一 PCB 上包括 SLC NAND 芯片及 MLC NAND 芯片两者。类似地,存储器板 104b 可包括 SLC NAND 芯片及 MLC NAND 芯片两者。

以此方式,数据存储装置 100 可有利地经定制以满足主机 106 的规格。

[0038] 在另一示范性实施方案中,存储器板 104a 及 104b 可包括其它类型的存储器装置,其中包括非快闪存储器芯片。举例来说,存储器板 104a 及 104b 可包括随机存取存储器 (RAM),例如(举例来说)动态 RAM(DRAM)及静态 RAM(SRAM)以及其它类型的 RAM 及其它类型的存储器装置。在一个示范性实施方案中,存储器板 104a 及 104b 两者可包括 RAM。在另一示范性实施方案中,所述存储器板中的一者可包括 RAM 且另一存储器板可包括快闪存储器芯片。此外,所述存储器板中的一者可包括 RAM 及快闪存储器芯片两者。

[0039] 存储器板 104a 及 104b 上的存储器模块 120a 及 120b 可分别用以存储与快闪存储器芯片 118a 及 118b 相关的信息。在一个示范性实施方案中,存储器模块 120a 及 120b 可存储快闪存储器芯片的装置特性。所述装置特性可包括所述芯片为 SLC 芯片还是 MLC 芯片、所述芯片为 NAND 还是 NOR 芯片、芯片选择的数目、块的数目、每块页的数目、每页字节的数目及所述芯片的速度。

[0040] 在一个示范性实施方案中,存储器模块 120a 及 120b 可包括串行 EEPROM。EEPROM 可存储装置特性。可针对任何给定类型的快闪存储器芯片汇编一次装置特性且可用所述装置特性产生适当 EEPROM 图像。当存储器板 104a 及 104b 可操作地连接到控制器板 102 时,则可从 EEPROM 读取所述装置特性,使得控制器 110 可自动辨识控制器 110 正在控制的快闪存储器芯片 118a 及 118b 的类型。另外,可针对特定类型的快闪存储器芯片 118a 及 118b 使用所述装置特性来将控制器 110 配置为适当参数。

[0041] 如上文所论述,控制器 110 可包括 FPGA 控制器。参照图 2,其图解说明 FPGA 控制器 210 的示范性框图。FPGA 控制器可经配置以按上文关于图 1 的控制器 110 所描述的方式操作。FPGA 控制器 210 可包括用以将多个通道 112 连接到快闪存储器芯片 218 的多个通道控制器 250。快闪存储器芯片 218 被图解说明为连接到通道控制器 250 中的每一者的多个快闪存储器芯片。快闪存储器芯片 218 表示图 1 的快闪存储器芯片 118a 及 118b,快闪存储器芯片 118a 及 118b 在图 1 的单独存储器板 104a 及 104b 上。所述单独存储器板未在图 2 的实例中展示。FPGA 控制器 210 可包括 PCIe 接口模块 208、双向直接存储器存取 (DMA) 控制器 252、动态随机存取存储器 (DRAM) 控制器 254、命令处理器 / 队列 256 及信息与配置接口模块 258。

[0042] 可使用接口与主机(例如,图 1 的主机 106)传递信息。在此实例(图 2)中,FPGA 控制器 210 包括用以与主机及 PCIe 接口模块 208 通信的 PCIe 接口。PCIe 接口模块 208 可经布置及配置以从主机接收命令且将命令发送到主机。PCIe 接口模块 208 可在主机与数据存储装置之间提供数据流控制。PCIe 接口模块 208 可使得能够在主机与控制器 210 且最终快闪存储器芯片 218 之间高速传送数据。在一个示范性实施方案中,PCIe 接口及 PCIe 接口模块 208 可包括 64 位总线。双向直接存储器存取 (DMA) 控制器 252 可经布置及配置以控制 PCIe 接口模块 208 与命令处理器 / 队列 256 之间的总线的操作。

[0043] 双向 DMA 控制器 252 可经配置以与 PCIe 接口 208 及通道控制器 250 中的每一者介接。双向 DMA 控制器 252 使得能够在主机 106 与快闪存储器芯片 218 之间进行双向直接存储器存取。

[0044] DRAM 控制器 254 可经布置及配置以控制逻辑地址到物理地址的翻译。举例来说,在其中主机使用逻辑地址来寻址存储器空间的实施方案中,DRAM 控制器 254 可借助将由主

机使用的逻辑地址翻译成快闪存储器芯片 218 中的实际物理地址（与正被写入到快闪存储器芯片 218 或从快闪存储器芯片 218 读取的数据相关）来辅助命令处理器 / 队列 256。从主机接收的逻辑地址可翻译成快闪存储器芯片 218 中的一者中的位置的物理地址。类似地，快闪存储器芯片 218 中的一者中的位置的物理地址可翻译成逻辑地址且被传递到主机。

[0045] 命令处理器 / 队列 256 可经布置及配置以经由 PCIe 接口模块 208 从主机接收命令且经由通道控制器 250 控制所述命令的执行。命令处理器 / 队列 256 可维持待执行的若干个命令的队列且使用有序列表来对所述命令进行排序以确保可首先处理最老命令。命令处理器 100 可维持指定给同一快闪存储器芯片的命令的次序且可对指定给不同快闪存储器芯片的命令进行重新排序。以此方式，可同时执行多个命令且可同时或至少实质同时使用通道 112 中的每一者。

[0046] 命令处理器 / 队列 256 可经配置以无序地处理不同通道 112 的命令且保持按通道命令排序。举例来说，命令处理器 / 队列 256 可无序地处理从主机接收且指定给不同通道的命令。以此方式，可保持所述通道忙碌。可按命令处理器 / 队列 256 从主机接收命令的次序来处理从主机接收以在同一通道上进行处理命令。在一个示范性实施方案中，命令处理器 / 队列 256 可经配置以将从主机接收的命令的列表维持为先进先出排序列表，以确保所述命令的及时执行。

[0047] 通道控制器 250 可经布置及配置以处理来自命令处理器 / 队列 256 的命令。通道控制器 250 中的每一者可经配置以处理多个快闪存储器芯片 218 的命令。在一个示范性实施方案中，通道控制器 250 中的每一者可经配置以处理多达 32 个快闪存储器芯片 218（且包括 32 个快闪存储器芯片 218 在内）的命令。

[0048] 通道控制器 250 可经配置以按命令处理器 / 队列 256 指定的次序来处理来自命令处理器 / 队列 256 的命令。可处理的命令的实例包括但不限于读取快闪页、编程快闪页、拷贝快闪页、擦除快闪块、读取快闪块的元数据、映射快闪存储器芯片的坏块及复位快闪存储器芯片。

[0049] 信息与配置接口模块 258 可经布置及配置以与存储器模块（例如，图 1 的存储器模块 116）介接以接收 FPGA 控制器 210 的配置信息。举例来说，信息与配置接口模块 258 可从所述存储器模块接收一个或一个以上图像以将固件提供到 FPGA 控制器 210。对所述图像及对所述固件的修改可由主机经由信息与配置接口模块 258 提供到控制器 210。经由信息与配置接口模块 258 接收的修改可应用于控制器 210 的组件中的任一者，其中包括（举例来说）PCIe 接口模块 208、双向直接存储器存取 (DMA) 控制器 252、DRAM 控制器 254、命令处理器 / 队列 256 及通道控制器 250。信息与配置接口模块 258 可包括一个或一个以上寄存器，可视需要通过来自主机的指令修改所述一个或一个以上寄存器。

[0050] FPGA 控制器 210 可经布置及配置以结合主机协作及处理命令。FPGA 控制器 210 可执行或至少辅助执行错误校正、坏块管理、逻辑 / 物理映射、无用单元收集、损耗均衡、与快闪存储器芯片 218 相关的分割及低级格式化。

[0051] 图 3A 是设备 300 的示意性框图，设备 300 包括具有组织成第一分区 321 及第二分区 322 的多个快闪存储器芯片 318a、318b、318c、318d、318e、318f、318g、318h、318i、318j、318k、318l 的数据存储装置 302。第一及第二分区 321 及 322 界定数据存储装置 302 中的存储空间的不同物理区域，使得可将不同种类的目录及文件分类在不同分区中，或使得一

个分区可用于不同于另一分区的目的。第一分区可包括第一子集快闪存储器芯片 318a 到 318f, 而第二分区可包括第二子集快闪存储器芯片 318g 到 318l, 其中不存在任何为两个分区的部分的快闪存储器芯片。也就是说, 在个别快闪存储器芯片之间划出分区 321 与分区 322 之间的边界, 以确保个别快闪存储器芯片不属于一个以上分区。

[0052] 将数据存储装置组织成两个或两个以上分区可用于若干个目的。举例来说, 可保持存储于一个分区上的操作系统文件与存储于另一分区上的用户文件分离。可动态且快速地改变大小 (可能使文件系统满) 的高速缓冲存储器及日志文件可存储于一个分区上且保持与存储于不同分区上的其它文件分离。分区可用于多重引导设置, 其允许用户在单个计算机上具有一个以上操作系统。举例来说, 用户可在同一数据存储装置的不同分区上安装 Linux、Mac OS X 及 Microsoft Windows 或操作系统且具有在加电时引导到任何操作系统 (由硬件支持) 中的选择。可使用分区来保护或隔离文件以使得更容易地恢复遭破坏文件系统或操作系统安装。举例来说, 如果一个分区遭破坏但任何其它文件系统均不受影响, 那么所述存储装置上的数据仍可为可挽回的。针对只读数据使用单独的分区还减少所述分区上的文件系统遭破坏的机会。分区还可提高其中较小文件系统更高效的系统上的总体计算机性能。举例来说, 仅具有一个 NTFS 文件系统的大硬盘驱动器通常具有非常大的顺序存取的主文件表 (MFT), 且通常比较小分区的较小 MFT 花费更多的时间来读取此 MFT。

[0053] 在另一实例性实施例中, 数据存储装置 302 可用以存储必须从所述数据存储装置快速读取且将其供应到主机的大量数据 (例如, 许多千兆字节或太字节的数据)。举例来说, 所述数据存储装置可用以高速缓冲存储大量的公开可存取信息 (例如, 来自万维网的网页的大语料库、书籍的电子版本的大库或表示大量电信的数字信息等), 所述大量的公开可存取信息可由主机响应于查询而提取。因此, 可为重要的是响应于主机所发出的读取命令而非常快速地存取并返回相关数据。然而, 还可需要随相关信息改变而不断地更新数据存储装置中所存储的信息以保持所述信息为最近的。举例来说, 如果存储装置上的信息与网页的语料库相关, 那么可需要随网页改变且随新网页被创建而更新存储装置上所存储的信息。

[0054] 在此系统中, 经分割快闪存储器数据存储装置 302 可提供优越性能。在快闪存储器存储装置中, 到快闪存储器芯片的写入操作比从快闪存储器芯片的读取操作花费更长的时间 (例如, 长 10 到 100 倍)。因此, 将数据存储装置的芯片 318a 到 318l 组织成两个或两个以上分区 (其中, 在不同芯片之间的边界处界定所述分区) 提供用以确保快速读取操作同时还允许实时更新所述数据存储装置上所存储的信息的方式。举例来说, 分区 321 及 322 两者可用以存储待响应于查询而提供的数据语料库 (例如, 网页语料库), 且个别分区可在服务于请求与用新信息更新之间交替。举例来说, 在第一时间周期中, 第一分区 321 可用以将信息提供到主机 (例如, 可响应于用户查询而请求的信息), 同时更新第二分区 322 上的数据 (例如, 响应于对语料库的网页的改变或增加)。接着, 在第二时间周期中, 最近经更新的第二分区 322 可用以将信息提供到主机, 同时更新第一分区 321 上的数据。可重复此过程, 使得数据总是从充当只读装置的分区来提供, 且因此提供对来自主机的读取命令的非常快速的响应, 而不会因写入命令减慢, 同时正在用新信息更新另一分区。界定分区而使得个别快闪存储器芯片仅包括于一个分区中确保没有快闪芯片将具有在实质相同时间向其写入且从其读取的数据, 此将导致对来自主机 350 的读取请求的响应的延迟。

[0055] 如上文所论述,存储器芯片 318a 到 318l 可连接到可包括 FPGA 控制器 310 的控制器。所述 FPGA 控制器可经配置以按上文关于图 1 控制器 110 或图 2 的 FPGA 210 所描述的方式操作。FPGA 控制器 310 可包括用以将多个通道 112 连接到快闪存储器芯片 318a 到 318l 的多个通道控制器 312a、312b、312c、312d、312e、312f。当然,如上文所描述,存储装置可包括 12 个以上快闪存储器芯片、六个以上通道控制器,且远多于两个快闪存储器芯片可为跨越物理通道可操作地连接到通道控制器。因此,图 3A 及图 3B 中所示的实施方案仅为示意性的,以用于说明的清晰性目的。

[0056] 在一个实施方案中,通道控制器 312a、312b、312c、312d、312e、312f 可控制可操作地连接到为每一分区 321 及 322 的部分的快闪存储器芯片的通道。举例来说,通道控制器 312a 可为可操作地连接到存储器芯片 318a(其为第一分区 321 的部分),且还可操作地连接到存储器芯片 318g(其为第二分区 322 的部分)。在此配置中,第一分区 321 中的至少一个存储器芯片连接到数据存储装置 302 与主机之间的每一通信通道,且第二分区 322 中的至少一个存储器芯片连接到数据存储装置 302 与主机 350 之间的每一通信通道。此配置产生分区 321 或 322 与主机之间的通信的最大并行性,此可产生从数据存储装置 302 的快速读取存取时间及向数据存储装置 302 的快速写入时间。

[0057] 在另一实施方案中,大约一半通道控制器可为可操作地连接到第一分区中的快闪存储器芯片且大约一半通道控制器可为可操作地连接到第二分区中的快闪存储器芯片。

[0058] 在图 3B 中所示的另一实施方案中,快闪存储器芯片 318a、318b、318c、318d、318e、318f、318g、318h、318i、318j、318k、318l 可组织成第一分区 331、第二分区 332、第三分区 333 及第四分区 334,其中不同分区界定数据存储装置 302 中的存储空间的不同物理区域,使得不同种类的目录及文件可存储于不同分区中,或使得一个分区可用于不同于另一分区的目的。第一分区 331 可包括第一子集快闪存储器芯片 318a 到 318c。第二分区 332 可包括第二子集快闪存储器芯片 318d 到 318f。第三分区 333 可包括第三子集快闪存储器芯片 318g 到 318i。第四分区 334 可包括第四子集快闪存储器芯片 318j 到 318l。在不同分区 331、332、333 及 334 当中,不存在任何其物理存储器地址空间为两个或两个以上分区的部分的个别快闪存储器芯片。也就是说,在个别快闪存储器芯片之间划出分区 331、332、333 及 334 之间的边界,以确保个别快闪存储器芯片不属于一个以上分区。

[0059] 在图 3B 的系统中,经分割快闪存储器数据存储装置 302 可提供优越性能(例如,当用以存储待响应于查询而提供的数据库(例如,网页语料库)时)且个别分区可在服务于请求与用新信息更新之间交替。举例来说,在第一时间周期中,第一、第二及第三分区 331、332 及 333 可用以将信息提供到主机(例如,可响应于用户查询而请求的信息),同时更新第四分区 334 上的数据(例如,响应于对语料库的网页的改变或增加)。接着,在第二时间周期中,最近经更新的第四分区 334 连同第二及第三分区 332 及 333 可用以将信息提供到主机,同时更新第一分区 331 上的数据。因此,可以循环方式更新每一分区上的数据,同时由其它分区服务于查询请求。可重复此过程,使得数据总是从充当只读装置的分区来提供,且因此提供对来自主机的读取命令的非常快速的响应,而不会因写入命令减慢,同时正在用新信息更新另一分区。界定四个分区产生数据存储装置上所存储的信息的冗余,使得如果一分区、通道或个别存储器芯片出故障而导致一个分区不再可用,那么剩余三个分区可继续用以提供数据存储装置,其中轮流更新所述剩余分区中的每一者,同时其它剩

余分区服务于数据请求。

[0060] 如上文所描述,数据存储装置 302 可经由接口 308 连接到主机 350,接口 308 可为高速接口,例如(举例来说)PCIe 接口。主机可包括(举例来说)处理器 352、第一存储器 354、第二存储器 356 及分区引擎 360。第一存储器 354 可包括(举例来说)适于存储可由处理器 352 执行的机器可读、可执行代码指令的非易失性存储器装置(例如,硬磁盘)。第一存储器 354 上所存储的代码指令可加载到第二存储器(例如,易失性存储器,例如随机存取存储器)356 中,在此处其可由处理器 352 执行以创建存储器装置检测引擎 358 及分区引擎 360。第二存储器可包括专用于用户模式应用程序的“用户空间”的逻辑块及专用于运行用户级应用程序必须控制以执行其功能的较低级资源的“核心空间”364 的逻辑块。存储器装置检测引擎 358 及分区引擎 360 可驻存于第二存储器 356 的核心空间 364 中。

[0061] 配置检测引擎 358 可经配置以检测数据存储装置 302 上的快闪存储器芯片 318 的数目,且分区引擎 360 可经配置以界定所述数据存储装置的第一分区 321 及第二分区 322。因此,在主机 350 上运行的配置检测引擎 358 及分区引擎 360 可由主机用来发现数据存储装置 302 的硬件装置性质且接着经由主机界定分区 321 及 322。在一个实施方案中,配置检测引擎 358 可向数据存储装置发出查询命令,且响应于所述查询命令,数据存储装置可将关于(举例来说)快闪存储器芯片 318 的数目、每一芯片的大小(例如,按字节测量)、数据存储装置中的通道的数目及每一通道控制器 312a 到 312e 可操作地连接到的快闪存储器芯片的信息返回到主机。此信息可存储于 FPGA 310 的 EEPROM 116 上及/或数据存储装置 302 的快闪板的 EEPROM 120a 上。配置检测引擎可轮询 EEPROM116 或 EEPROM 120a(例如,在主机 350 的启动操作期间)以致使数据存储装置将此信息返回到主机 350。在另一实施方案中,主机可轮询快闪存储器芯片 318 以提供关于(举例来说)快闪存储器芯片 318 的数目、每一芯片的大小(例如,按字节测量)、数据存储装置中的通道的数目、每一通道控制器 312a 到 312e 可操作地连接到的快闪存储器芯片的信息。

[0062] 分区引擎 360 可从存储器装置检测引擎 358 接收关于快闪芯片 318 的数目、每一快闪芯片的大小、通道的数目及每一通道可操作地连接到的存储器芯片的信息,且基于此信息,分区引擎可界定数据存储装置 302 中的第一分区 321 及第二分区 322。在主机 350 上运行的分区引擎可将第一分区界定为包括从存储器芯片 318 的第一子集抽取的存储器块及从存储器芯片 318 的第二子集抽取的第二分区存储器块,其中所述第一子集不包括所述第二子集中的任何个别快闪芯片且所述第二子集不包括所述第一子集中的任何个别快闪芯片。分区引擎 360 接着可将物理存储器块地址(其可包括(举例来说)唯一通道编号、唯一快闪存储器芯片编号及快闪存储器芯片内的块地址)映射到可由在用户空间中运行的应用程序使用的逻辑地址,使得在主机 350 上运行的用户空间应用程序可参照逻辑空间地址从数据存储装置 302 读取数据及向数据存储装置 302 写入数据。

[0063] 在已界定多个分区的分区方案且已将数据存储于数据存储装置 100 的快闪存储器芯片上之后,所述装置可将关于分割方案的信息存储于(例如)存储器 116 上,使得当在稍后时间引导所述装置时,其可将所述分割方案传递到主机 106 以供主机使用。举例来说,所述装置可维持关于所述数据存储装置的物理配置的信息(包括所述装置中的快闪存储器芯片的数目)及关于所述分割方案的信息(包括哪些快闪存储器存储芯片及通道与存储器 116 上的哪些分区相关联)。接着,当引导包括主机 106 及数据存储装置 100 的系统时,

存储装置 100 可（例如）响应于由主机 106 的配置检测引擎 358 执行的读取操作而将此信息传递到主机 106。主机 106 的分割引擎 360 接着可界定在主机上运行的操作系统及应用程序的分区。举例来说，分割引擎 360 可基于从存储装置 100 读取的信息来界定第一及第二分区，其中所述第一及第二分区不包括相同存储器芯片中的任一者。分割引擎 360 还可分配第一及第二分区的逻辑 / 物理存储器映射，使得用户级应用程序可使用逻辑地址，所述逻辑地址接着被映射到存储装置 100 的快闪存储器芯片的物理存储器地址。

[0064] 分区引擎 360 还可用以将数据存储装置的第一分区重新界定为包括所述多个快闪存储器芯片的第三子集，其中所述第三子集不同于所述第一子集，且其中所述第三子集不包括所述第二子集中的任何快闪存储器芯片且其中所述第二子集不包括所述第三子集中的任何快闪存储器芯片。举例来说，参照图 3A 及图 3B，用户可决定图 3A 中所示的原始分区方案不适合他或她的需要，且因此可使用主机来重新界定分区 321 及 322（例如，以在特定分区中包括更多或更少的快闪存储器芯片）或向所述方案添加额外分区。在一个实施方案中，第一分区 321 可重新界定为分区 331 及 333。允许用户经由主机界定分区而非迫使用户接受由控制器 310 预界定或预加载于控制器 310 中的分区方案给予用户按照他或她的期望来界定分区且在需要产生时改变分区方案的灵活性。在另一实施方案中，主机可检测快闪存储器芯片中的一者（例如，318a）的即将来临的故障，且响应于此信息，分区引擎可将第一分区 321 重新界定为从分区排除快闪存储器芯片 318a，即重新界定为除存储器芯片 318a 以外的原始界定的第一分区。因此，可界定任何数目个分区（多达存储装置 100 中的快闪存储器芯片 118a 及 118b 的数目），且分区方案内的不同分区可包括不同数目个快闪存储器芯片且可包括不同量的存储器空间。

[0065] 主机还可包括地址指派引擎 366，地址指派引擎 366 可存在于核心 364 中且可给待写入到数据存储装置 302 的数据指派物理存储器地址。举例来说，在用户空间 362 中运行的应用程序可要求将数据从主机 350 写入到数据存储装置 302，且用户空间应用程序可规定将数据写入到特定逻辑存储器地址。地址指派引擎 366 可将逻辑地址翻译成物理地址，所述物理地址可包括（举例来说）应将数据写入到的特定通道、可操作地连接到应将数据写入到其的所述所规定通道的特定快闪存储器芯片及应将数据写入到其的所述所规定存储器芯片的特定物理块地址。在此实施方案中，逻辑地址到物理存储器空间地址的翻译可由地址指派引擎 366 来执行，使得 FPGA 210 的 DRAM 控制器 254 的作用减小或不相关。

[0066] 图 4 是图解说明分割图 1 的数据存储装置的实例性过程 400 的示范性流程图，其中所述装置包括多个快闪存储器芯片。过程 400 可包括确定数据存储装置中的快闪存储器芯片的数目 402。举例来说，配置检测引擎可查询数据存储装置以收集关于数据存储装置中的快闪存储器芯片的数目的信息。可经由耦合到数据存储装置的主机来界定数据存储装置的第一分区，其中所述第一分区包括所述多个快闪存储器芯片的第一子集 404。可经由主机来界定数据存储装置的第二分区，其中所述第二分区包括所述多个快闪存储器芯片的第二子集 406。作为此过程的结果，确保第一子集不包括第二子集中的任何快闪存储器芯片且第二子集不包括第一子集中的任何快闪存储器芯片。

[0067] 任选地，过程 400 可包括在从第二分区读取数据的同时将数据写入到第一分区 408。确定数据存储装置中的快闪存储器芯片的数目可包括将指示数据存储装置中的快闪存储器芯片的数目的信息从数据存储装置传输到主机 410。可在主机中界定所述数据存储

装置中的将从主机向其写入数据的地址位置,其中所述地址位置规定将所述数据写入到所述多个存储器芯片中的特定一者 412。

[0068] 当数据存储装置包括用于在主机与多个快闪存储器芯片之间传递数据的多个物理通道时,其中每一通道可操作地连接到不同多个所述存储器芯片,过程 400 可进一步包括:确定物理通道的数目 414;确定所述通道的第一子集,其中所述通道的所述第一子集中的通道仅可操作地连接到存储器芯片的第一子集中的存储器芯片 416;确定所述通道的第二子集,其中所述通道的所述第二子集中的通道仅可操作地连接到存储器芯片的第二子集中的存储器芯片 418;及在主机中界定数据存储装置中的将从主机向其写入数据的地址位置,其中所述地址位置规定经由特定通道将数据写入到所述多个存储器芯片中的特定一者 420。另外,过程 400 可包括经由耦合到数据存储装置的主机将数据存储装置的第一分区重新界定为包括所述多个快闪存储器芯片的第三子集 422。

[0069] 图 5 是图解说明分割包括多个快闪存储器芯片的数据存储装置的实例性过程 500 的另一示范性流程图。过程 500 可包括读取所述数据存储装置的物理配置,其中包括所述数据存储装置中的快闪存储器芯片的数目 502。所述过程还可包括读取所述数据存储装置的分割方案 504。举例来说,配置检测引擎可从所述数据存储装置的存储器 116 读取所述物理配置及所述分割方案。耦合到所述数据存储装置的主机可界定所述数据存储装置的第一分区,其中所述第一分区包括所述多个快闪存储器芯片的第一子集 506,且可分配所述第一分区的逻辑/物理存储器映射 508。所述主机可界定所述数据存储装置的第二分区,其中所述第二分区包括所述多个快闪存储器芯片的第二子集 510,且其中所述第一子集不包括所述第二子集中的任何快闪存储器芯片,且其中所述第二子集不包括所述第一子集中的任何快闪存储器芯片,且可分配所述第二分区的逻辑/物理存储器映射 512。

[0070] 本文中所描述的各种技术的实施方案可以数字电子电路或者以计算机硬件、固件、软件或其组合来实施。实施方案可实施为计算机程序产品,即,有形地体现于信息载体中(例如,体现于机器可读存储装置中)的计算机程序,以由数据处理设备(例如,可编程处理器、一计算机或多个计算机)执行或控制所述数据处理设备的操作。可以任何形式的编程语言(包含编译语言或解译语言)来编写计算机程序(例如,上文所描述的计算机程序),且可以任何形式来部署所述计算机程序,包含部署为独立程序或部署为模块、组件、子例程或适合在计算环境中使用的其它单元。计算机程序可经部署以在一个计算机上或在位于一个位点处或跨越多个位点分布且由通信网络互连的多个计算机上执行。

[0071] 方法步骤可由执行计算机程序的一个或一个以上可编程处理器执行,以通过对输入数据进行操作并产生输出来执行功能。方法步骤还可由专用逻辑电路(例如,FPGA 或 ASIC(专用集成电路))执行,且设备可实施为专用逻辑电路。

[0072] 举例来说,适合执行计算机程序的处理器包括通用及专用微处理器两者,以及任何种类的数字计算机的任何一个或一个以上处理器。一般来说,处理器将从只读存储器或随机存取存储器或两者接收指令及数据。计算机的元件可包括用于执行指令的至少一个处理器及用于存储指令及数据的一个或一个以上存储器装置。一般来说,计算机还可包括用于存储数据的一个或一个以上大容量存储装置(例如,磁盘、磁光盘或光盘),或经操作地耦合以从所述一个或一个以上大容量存储装置接收数据或向其传送数据或既接收数据又传送数据。适合包含计算机程序指令及数据的信息载体包括所有形式的非易失性存储器,

其中包括（举例来说）：半导体存储器装置，例如 EPROM、EEPROM 及快闪存储器装置；磁盘，例如内部硬磁盘或可抽换式磁盘；磁光盘；及 CD-ROM 及 DVD-ROM 光盘。所述处理器及存储器可由专用逻辑电路补充或并入于专用逻辑电路中。

[0073] 为提供与用户的交互，实施方案可实施于计算机上，所述计算机具有用于向所述用户显示信息的显示装置（例如，阴极射线管（CRT）或液晶显示器（LCD）监视器）及所述用户可通过其来向计算机提供输入的键盘及指向装置（例如，鼠标或轨迹球）。也可使用其它种类的装置来提供与用户的交互；举例来说，提供给所述用户的反馈可为任何形式的感观反馈，例如，视觉反馈、听觉反馈或触觉反馈；且来自所述用户的输入可以任何形式来接收，其中包括声音、语音或触觉输入。

[0074] 实施方案可实施于计算系统（包括后端组件，例如，作为数据服务器；或包括中间件组件，例如，应用程序服务器；或包括前端组件，例如，具有用户可经其来与实施方案交互的图形用户接口或 Web 浏览器的客户端计算机）或此类后端、中间件或前端组件的任一组合中。组件可由任何数字数据通信形式或媒体（例如，通信网络）互连。通信网络的实例包括局域网（LAN）及广域网（WAN），例如因特网。

[0075] 虽然本文已图解说明及描述了所描述实施方案的某些特征，然而所属领域的技术人员现在将能想出许多修改、替代、改变及等效形式。因此，应理解，所附权利要求书打算涵盖归属于本发明的范围内的所有此类修改及改变。

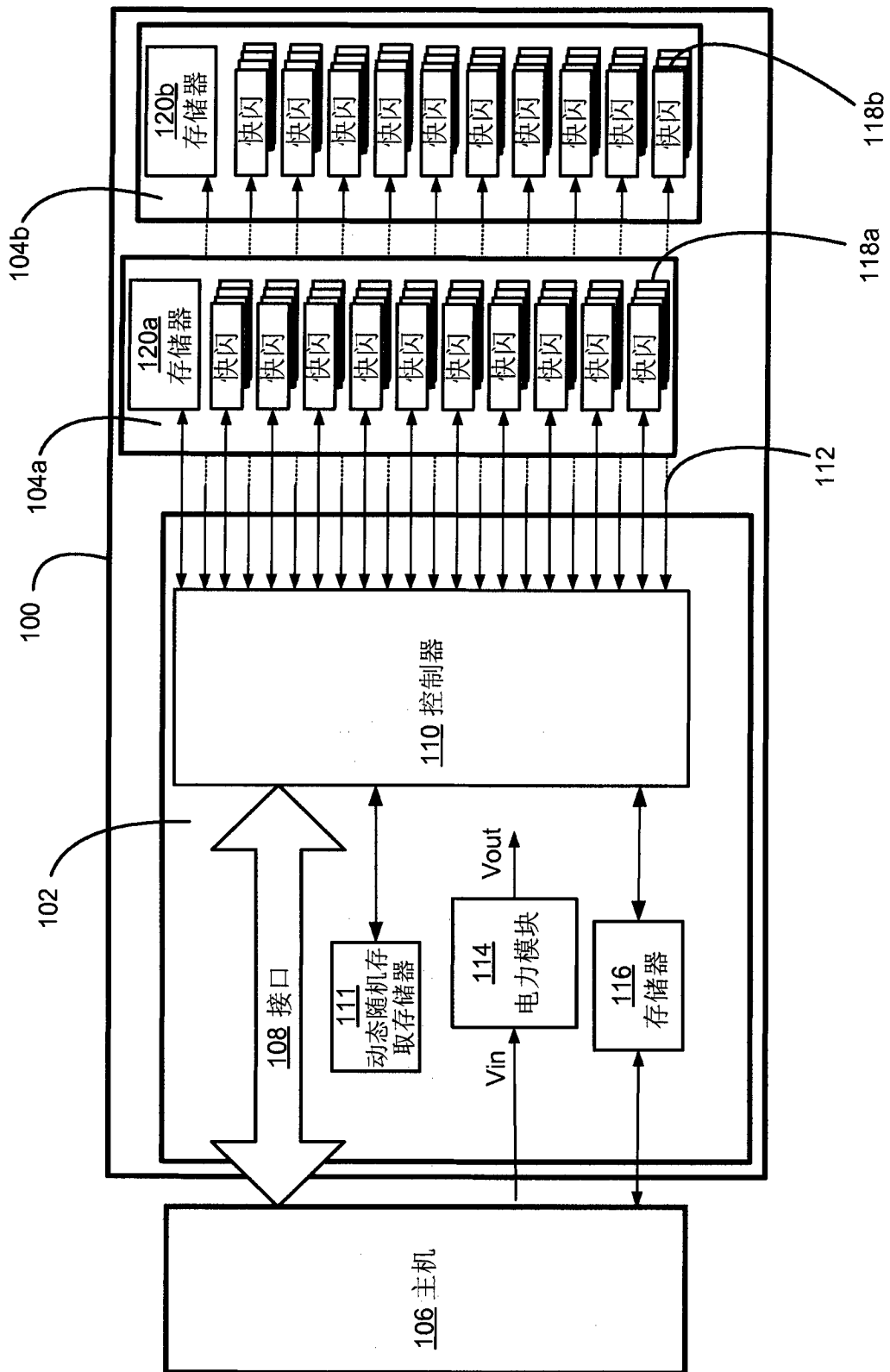


图 1

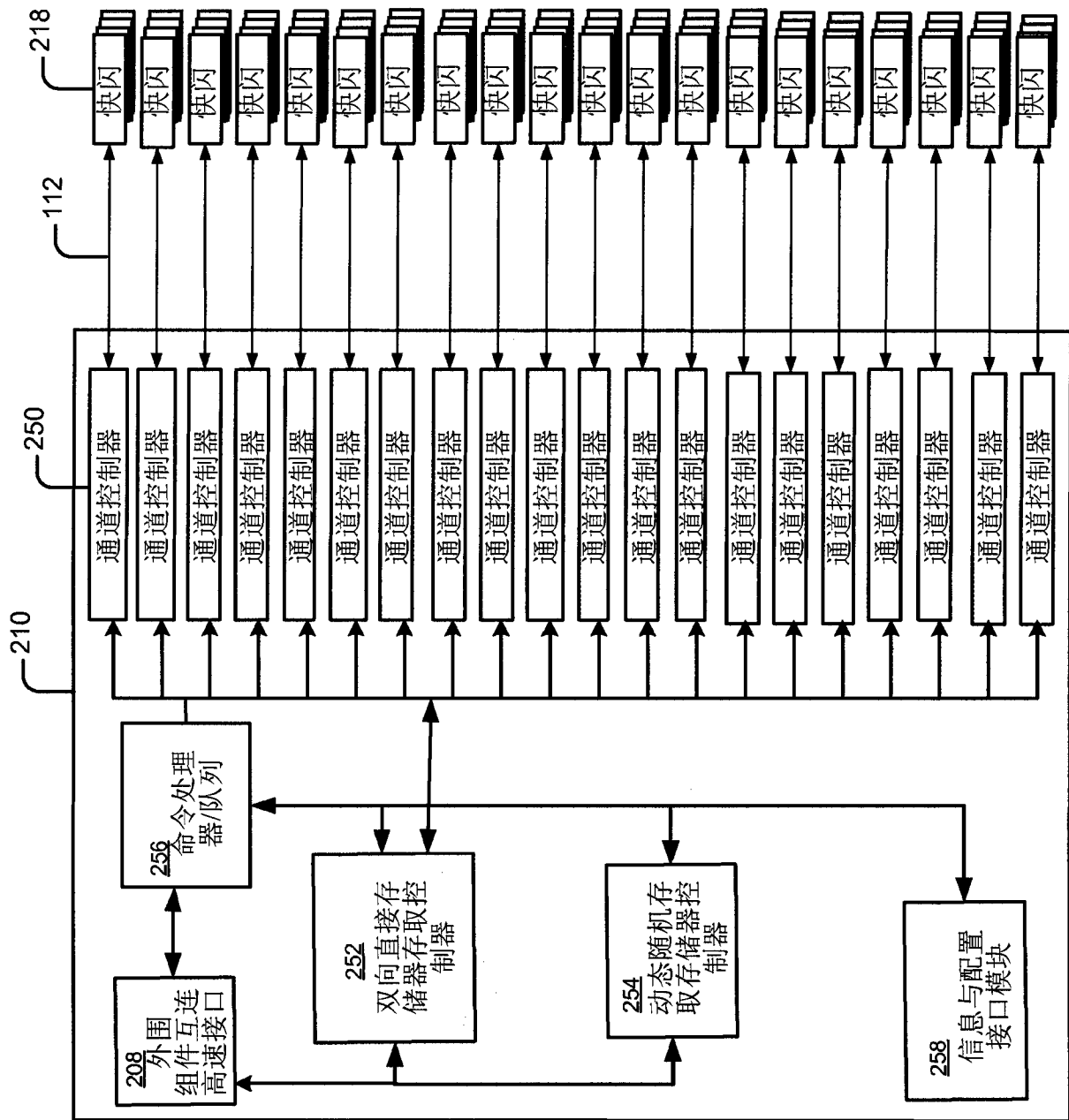


图 2

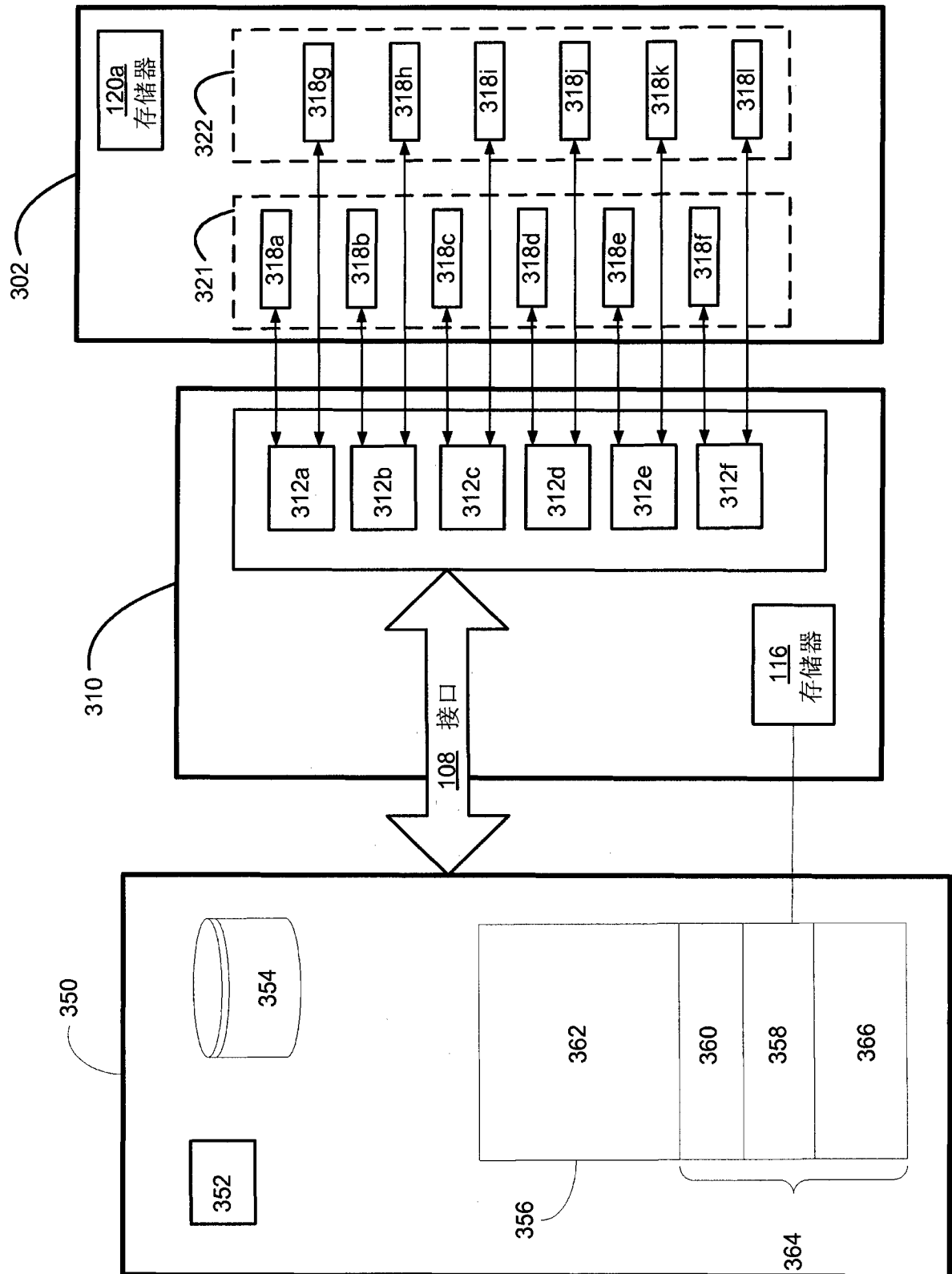


图 3A

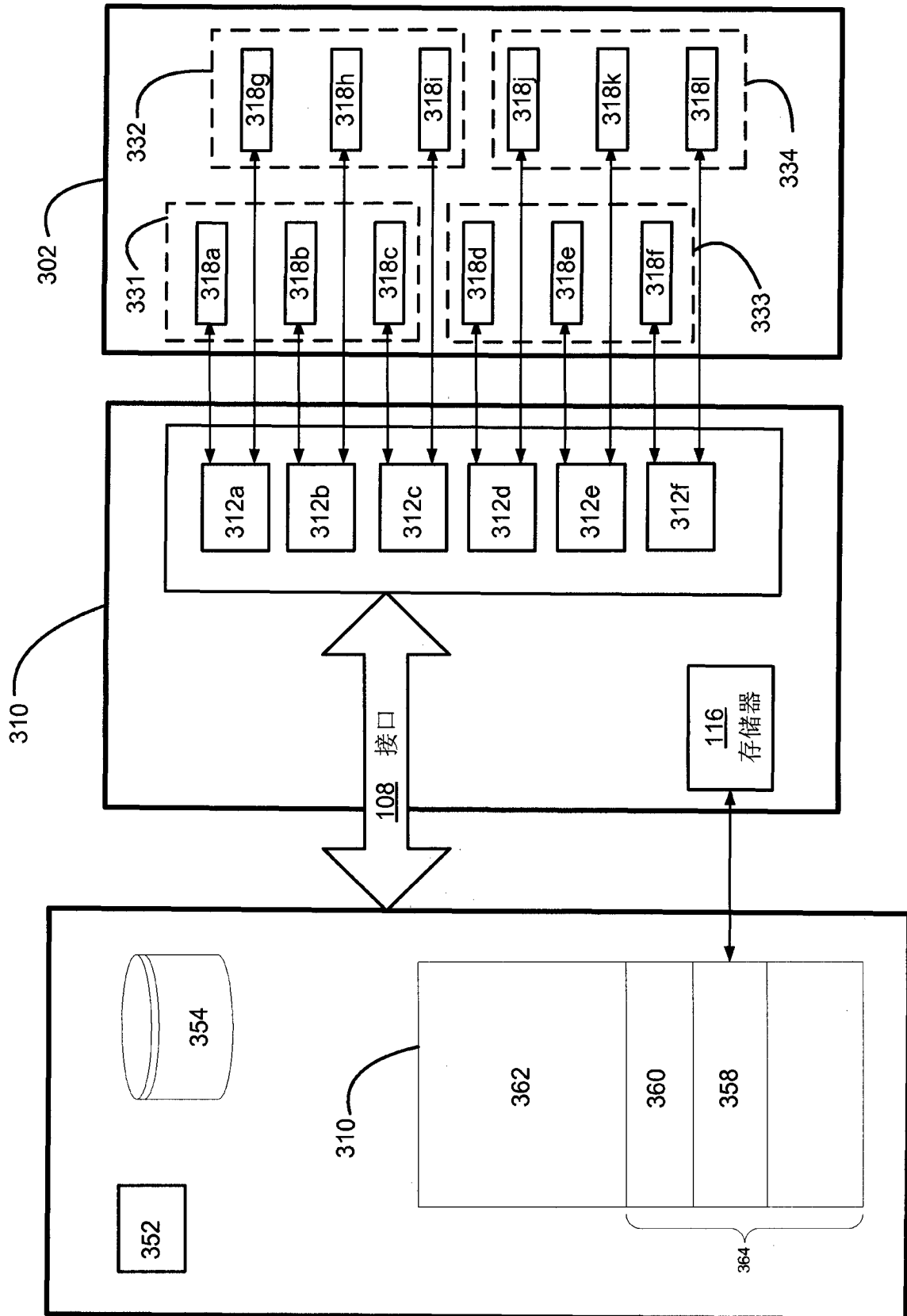


图 3B

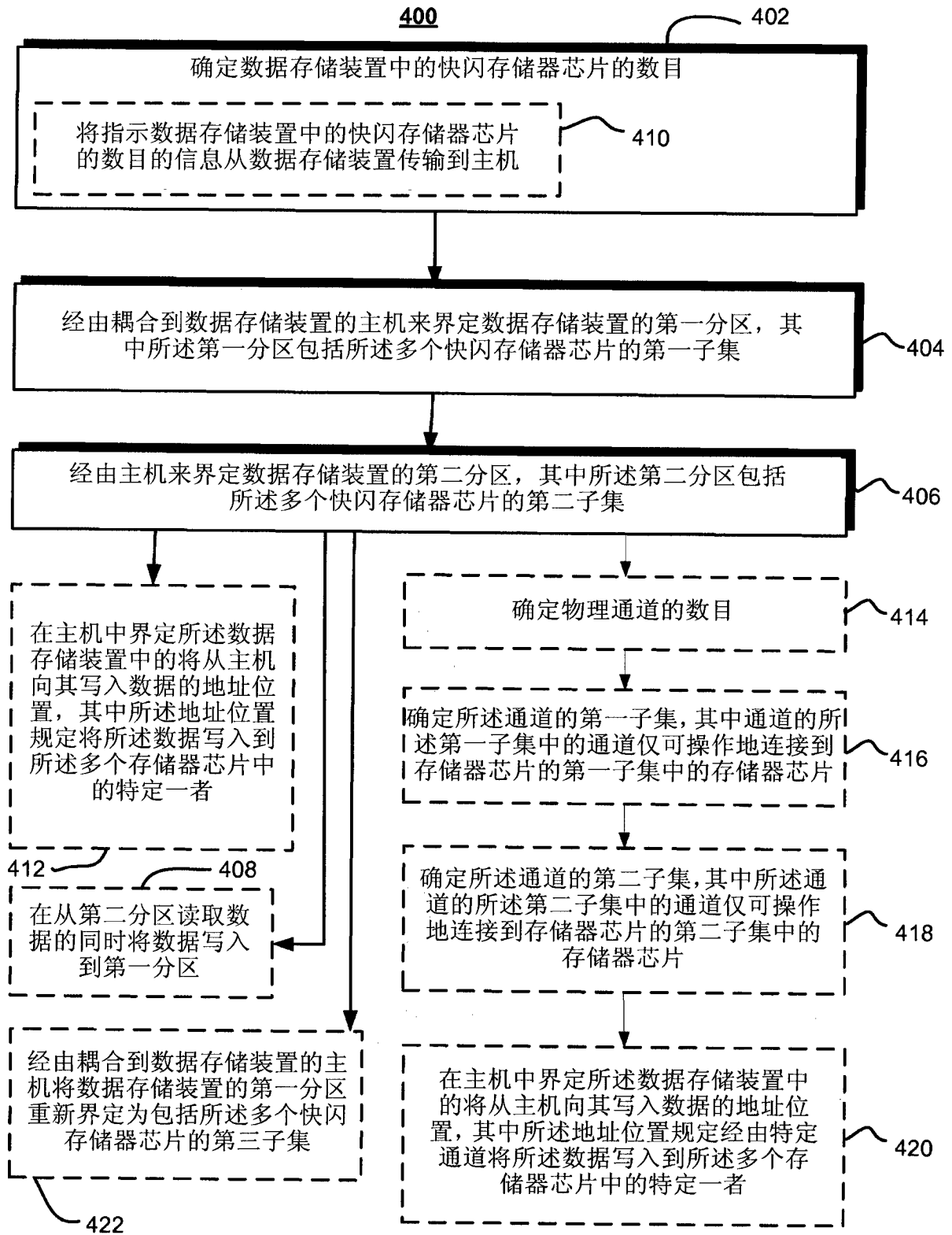


图 4

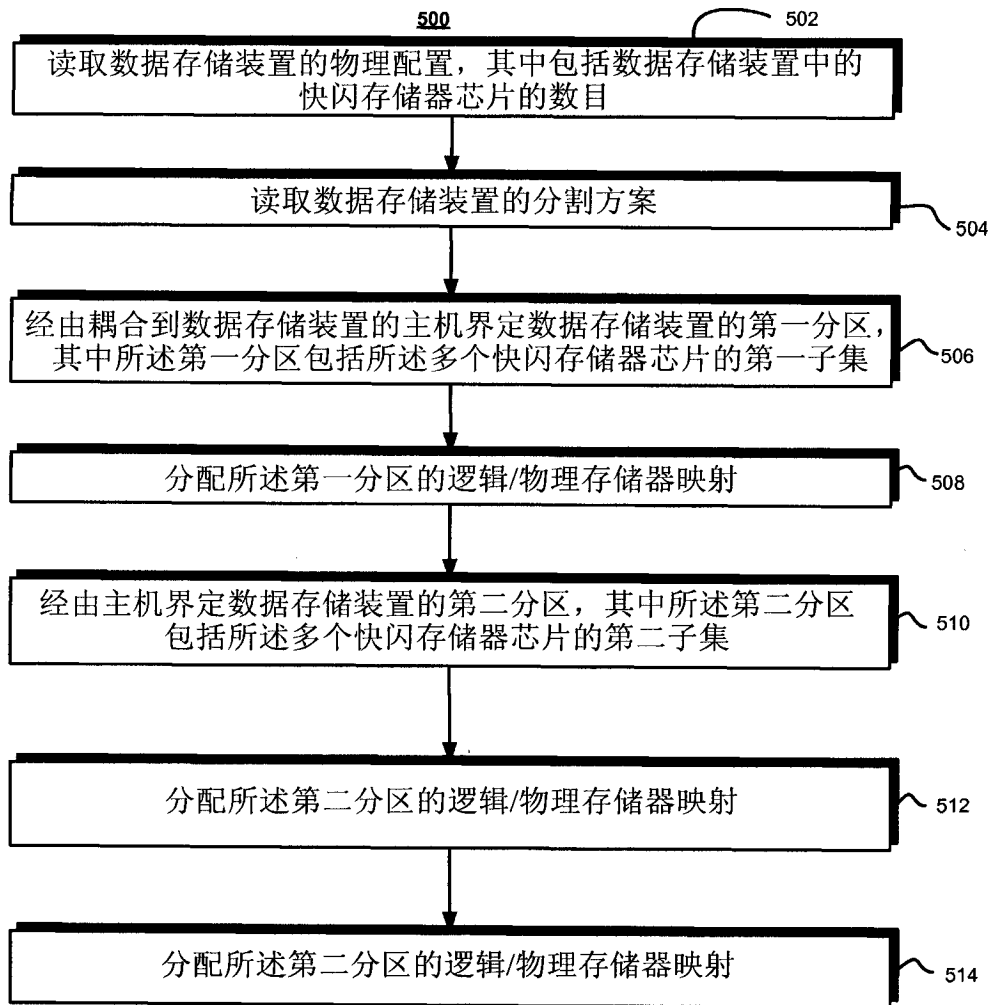


图 5