



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년12월15일
 (11) 등록번호 10-1472638
 (24) 등록일자 2014년12월08일

(51) 국제특허분류(Int. Cl.)
 H05K 3/46 (2006.01) H05K 1/18 (2006.01)
 (21) 출원번호 10-2012-0158335
 (22) 출원일자 2012년12월31일
 심사청구일자 2012년12월31일
 (65) 공개번호 10-2014-0087740
 (43) 공개일자 2014년07월09일

(73) 특허권자
 삼성전기주식회사
 경기도 수원시 영통구 매영로 150 (매탄동)
 (72) 발명자
 이두환
 충청남도 연기군 동면 삼성길 25 삼성전기(주)
 정윤교
 충청남도 연기군 동면 삼성길 25 삼성전기(주)
 (뒷면에 계속)
 (74) 대리인
 김창달

전체 청구항 수 : 총 6 항

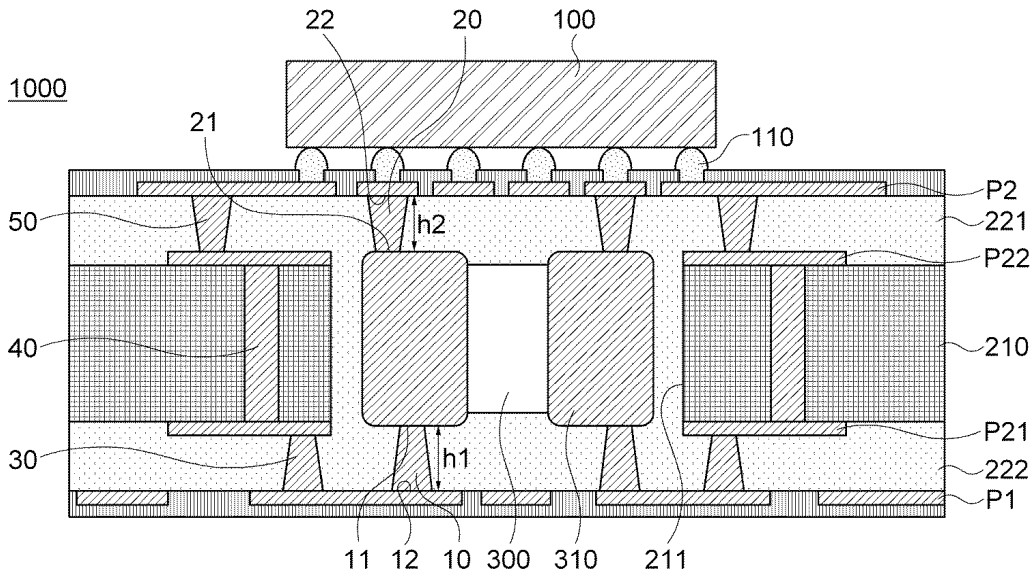
심사관 : 김상걸

(54) 발명의 명칭 수동소자 내장기판

(57) 요약

본 발명은 수동소자 내장기판에 관한 것으로, 하부면에 제1 도체 패턴층이 구비되고, 상부면에는 제2 도체 패턴층이 구비되며, 외부전극이 구비된 수동소자가 내장되는 수동소자 내장기판에 있어서, 상기 외부전극 하부면과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제1 비아; 및 상기 외부전극 상부면과 상기 제2도체 패턴층 사이를 전기적으로 연결하는 제2 비아;를 포함하며, 상기 제1 비아의 부피는 상기 제2 비아의 부피보다 큰 것일 수 있다.

대표도



(72) 발명자

신이나

경기도 수원시 영통구 매영로 150 삼성전기

이승은

경기도 수원시 영통구 매영로 150 삼성전기

특허청구의 범위

청구항 1

외부전극을 갖는 수동소자가 내장된 제1 절연층;
 상기 제1 절연층의 하부면에 구비되는 제3 도체 패턴층;
 상기 제1 절연층의 상부면에 구비되는 제4 도체 패턴층;
 상기 제1 절연층의 상부면 및 상기 제4 도체 패턴층을 덮는 제2 절연층;
 상기 제1 절연층의 하부면 및 상기 제3 도체 패턴층을 덮는 제3 절연층;
 상기 제3 절연층의 하부면에 구비되는 제1 도체 패턴층;
 상기 제2 절연층의 상부면에 구비되는 제2 도체 패턴층;
 상기 제2 도체 패턴층의 상측에 실장되는 능동소자;
 상기 외부전극 하부면과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제1 비아;
 상기 외부전극 상부면과 상기 제2 도체 패턴층 사이를 전기적으로 연결하며 상기 제1 비아보다 부피가 작은 제2 비아;
 상기 제3 절연층을 관통하여 상기 제3 도체 패턴층과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제3 비아;
 상기 제1 절연층을 관통하여 상기 제3 도체 패턴층과 상기 제4 도체 패턴층 사이를 전기적으로 연결하는 제4 비아; 및
 상기 제2 절연층을 관통하여 상기 제4 도체 패턴층과 상기 제2 도체 패턴층 사이를 전기적으로 연결하는 제5 비아;
 를 포함하되,
 상기 제1 비아 및 상기 제3 비아는 상기 제1 도체 패턴층 중 한 도체 패턴에 함께 접촉되고,
 상기 제3 비아 및 상기 제4 비아는 상기 제3 도체 패턴층 중 한 도체 패턴에 함께 접촉되며,
 상기 제4 비아 및 상기 제5 비아는 상기 제4 도체 패턴층 중 한 도체 패턴에 함께 접촉되어,
 상기 제1 비아, 상기 제1 도체 패턴층 중 한 도체 패턴, 상기 제3 비아, 상기 제3 도체 패턴층 중 한 도체 패턴, 상기 제4 비아, 상기 제4 도체 패턴층 중 한 도체 패턴, 상기 제5 비아 및 상기 제2 도체 패턴층 중 한 도체 패턴이 순차적으로 연결되어 이루어지는 경로에 의하여 상기 능동소자와 상기 수동소자가 전기적으로 연결되는 수동소자 내장기판.

청구항 2

청구항 1에 있어서,
 상기 제1 비아의 높이는 상기 제2 비아의 높이의 0.5 ~ 1.5배인 것을 특징으로 하는 수동소자 내장기판.

청구항 3

청구항 2에 있어서,
 상기 제1 비아 1개와 상기 외부전극 하부면이 접하는 면의 단면적은,
 상기 제2 비아 1개와 상기 외부전극 상부면이 접하는 면의 단면적 보다 큰 것을 특징으로 하는 수동소자 내장기

관.

청구항 4

청구항 2에 있어서,
 상기 제1 비아 1개와 상기 제1 도체 패턴층이 접하는 면의 단면적은,
 상기 제2 비아 1개와 상기 제2 도체 패턴층이 접하는 면의 단면적 보다 큰 것을 특징으로 하는 수동소자 내장기
 관.

청구항 5

외부전극을 갖는 수동소자가 내장된 절연층;
 상기 절연층의 하부면에 구비되는 제1 도체 패턴층;
 상기 절연층의 상부면에 구비되는 제2 도체 패턴층;
 상기 제2 도체 패턴층의 상측에 실장되는 능동소자;
 상기 외부전극 하부면과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제1 비아; 및
 상기 외부전극 상부면과 상기 제2 도체 패턴층 사이를 전기적으로 연결하는 제2 비아;
 를 포함하되,
 상기 외부전극 1개에 접촉되는 상기 제1 비아의 개수는 상기 외부전극 1개에 접촉되는 상기 제2 비아의 개수보
 다 많고, 상기 외부전극 1개에 접촉되는 상기 제1 비아의 총 부피는 상기 외부전극 1개에 접촉되는 상기 제2 비
 아의 총 부피보다 큰 것을 특징으로 하는 수동소자 내장기판.

청구항 6

청구항 5에 있어서,
 상기 수동소자는 적층 세라믹 커패시터인 것을 특징으로 하는 수동소자 내장기판.

명세서

기술분야

[0001] 본 발명은 수동소자 내장기판에 관한 것이다.

배경기술

[0002] 최근 출시되고 있는 스마트폰, 태블릿 PC 등의 모바일 기기들은 그 성능이 비약적으로 향상되면서도 높은 휴대
 성이 요구됨에 따라, 이러한 모바일 기기에 사용되는 전자부품들의 소형화, 슬림화 및 고성능화를 위한 연구가
 계속되고 있다.

[0003] 여기서, 특허문헌1 등에 소개된 바 있는 전자부품 내장기판은, 전자부품을 기판 내부에 내장함으로써, 그 표면
 에 여분의 부품을 실장할 수 있는 공간을 확보할 수 있는 바, 모바일 기기에 탑재되는 전자부품들의 소형화, 슬
 림화 및 고성능화를 구현하기 위한 한 방법으로써 각광받고 있다.

[0004] 특히, 반도체 칩의 성능이 향상될 수록, 반도체 칩에 공급되는 전원의 안정성이 중요시되는데, 이를 위하여 소
 위 디커플링 커패시터(Decoupling capacitor) 또는 바이패스 커패시터(Bypass capacitor)를 반도체 칩과 전원

공급선 사이에 구비하여, 전원의 노이즈를 제거하고 전원전류가 급변하는 상황에서도 반도체 칩에 안정적인 전류가 공급될 수 있도록 하고 있다.

- [0005] 이때, 캐패시터가 내장된 기판에 반도체 칩을 실장하게 되면, 디커플링 캐패시터와 반도체 칩 사이의 거리를 최소화 할 수 있게 되므로 고성능 반도체 칩에 안정적인 전원공급이 가능하면서도 소형화 및 슬림화가 가능해 질 수 있다.
- [0006] 한편, 특허문헌1에 따르면, 전자부품이 들어갈 위치에 캐비티(cavity)를 가공한 후 캐패시터를 고정시키고, 절연재를 이용하여 열압착하여 내장한 다음, 레이저(laser)로 미세 비아홀(micro via hole)을 가공하고 도금을 통하여 전기적 접속을 이루는 방식이 소개된 바 있다.
- [0007] 즉, 기판에 내장된 전자부품과 기판 표면에 구비되는 회로패턴 사이를 전기적으로 연결하기 위해서, 레이저를 이용하여 비아홀을 가공한 뒤 비아홀 내부에 도금 등의 방법으로 도전성 물질을 충전하는 방식이 보편적으로 적용되고 있었던 것이다.
- [0008] 한편, 반도체 칩 등 능동소자에 공급되는 전원전압을 안정시키는 목적으로 사용되는 캐패시터 등의 수동소자가 내장되는 경우에는, 수동소자와 능동소자 사이의 경로에서 임피던스를 최대한으로 낮추고 접속 신뢰성을 확보할 필요성이 더욱 높아진다.
- [0009] 그러나, 종래에는 제조기술의 한계 및 그에 따른 공정상의 제약으로 인하여 기판에 내장된 수동소자와 다른 디바이스 사이의 전류 경로에서의 임피던스를 감소시키는데 한계가 있었다.

선행기술문헌

특허문헌

- [0010] (특허문헌 0001) 대한민국공개특허공보 제2007-0101183호

발명의 내용

해결하려는 과제

- [0011] 상기와 같은 문제점을 해결하기 위하여 창안된 본 발명은, 수동소자와 다른 디바이스 사이의 전류 경로에서 임피던스를 감소시킬 수 있는 수동소자 내장기판을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0012] 상기와 같은 목적을 달성하기 위하여 창안된 본 발명의 일실시예에 따른 수동소자 내장기판은, 외부전극을 갖는 수동소자가 내장된 절연층; 상기 절연층의 하부면에 구비되는 제1 도체 패턴층; 상기 절연층의 상부면에 구비되는 제2 도체 패턴층; 상기 제2 도체 패턴층의 상측에 실장되는 능동소자; 상기 외부전극 하부면과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제1 비아; 및 상기 외부전극 상부면과 상기 제2 도체 패턴층 사이를 전기적으로 연결하며 상기 제1 비아보다 부피가 작은 제2 비아;를 포함할 수 있다.
- [0013] 또한, 본 발명의 일실시예에 따른 수동소자 내장기판은, 하부면에 제1 도체 패턴층이 구비되고, 상부면에는 제2 도체 패턴층이 구비되며, 외부전극이 구비된 수동소자가 내장되는 수동소자 내장기판에 있어서, 상기 외부전극 하부면과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제1 비아; 및 상기 외부전극 상부면과 상기 제2 도체 패턴층 사이를 전기적으로 연결하는 제2 비아;를 포함하며, 상기 제1 비아의 부피는 상기 제2 비아의 부피보다 큰 것일 수 있다.
- [0014] 이때, 상기 제1 비아의 높이는 상기 제2 비아의 높이의 0.5 ~ 1.5배일 수 있다.
- [0015] 또한, 상기 제1 비아 1개와 상기 외부전극 하부면이 접하는 면의 단면적은, 상기 제2 비아 1개와 상기 외부전극 상부면이 접하는 면의 단면적 보다 큰 것일 수 있다.
- [0016] 또한, 상기 제1 비아 1개와 상기 제1 도체 패턴층이 접하는 면의 단면적은, 상기 제2 비아 1개와 상기 제2 도체

패턴층이 접하는 면의 단면적 보다 큰 것일 수 있다.

[0017] 또한, 상기 제1 비아의 개수는 제2 비아의 개수보다 많을 수 있다.

[0018] 또한, 상기 제1 비아의 개수는 적어도 두 개인 것이 바람직하다.

[0019] 본 발명의 일실시예에 따른 수동소자 내장기판은, 하부면에 제1 도체 패턴층이 구비되고, 상부면에는 능동소자의 외부단자가 직접 접촉되는 제2 도체 패턴층이 구비되며, 외부전극이 구비된 수동소자가 내장되는 수동소자 내장기판에 있어서, 상기 외부전극 하부면과 상기 제1 도체 패턴층 사이를 전기적으로 연결하는 제1 비아; 및 상기 외부전극 상부면과 상기 제2도체 패턴층 사이를 전기적으로 연결하는 제2 비아;를 포함하며, 상기 제1 비아의 부피는 상기 제2 비아의 부피보다 큰 것일 수 있다.

[0020] 이때, 상기 수동소자는 적층 세라믹 커패시터(Multi-layered Ceramic Capacitor; MLCC)일 수 있다.

[0021] 또한, 상기 제1 비아의 높이는 상기 제2 비아의 높이의 0.5 ~ 1.5배인 것이 바람직하다.

[0022] 또한, 상기 제1 비아 1개와 상기 외부전극 하부면이 접하는 면의 단면적은, 상기 제2 비아 1개와 상기 외부전극 상부면이 접하는 면의 단면적 보다 큰 것일 수 있다.

[0023] 또한, 상기 제1 비아 1개와 상기 제1 도체 패턴층이 접하는 면의 단면적은, 상기 제2 비아 1개와 상기 제2 도체 패턴층이 접하는 면의 단면적 보다 큰 것일 수 있다.

[0024] 또한, 상기 제1 비아의 개수는 적어도 두 개인 것이 바람직하다.

발명의 효과

[0025] 상기와 같이 구성된 본 발명은 수동소자와 다른 디바이스 사이의 연결 경로의 임피던스가 감소될 수 있으므로 전원전류가 급변하는 상황에서도 반도체 칩에 안정적인 전류가 공급될 수 있고, 전류 이동속도가 향상된다는 유용한 효과를 제공한다.

[0026] 또한, 제1 비아의 상부면 및 하부면 단면적이 증가됨에 따라 제1 비아와 수동소자 사이의 연결성 및 연결 신뢰성이 향상될 수 있다.

도면의 간단한 설명

[0027] 도 1은 본 발명의 일실시예에 따른 수동소자 내장기판을 개략적으로 예시한 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 수동소자 내장기판을 개략적으로 예시한 단면도이다.

도 3은 본 발명의 일실시예에 따른 수동소자 내장기판에서, 제1 비아와 제2 비아의 부피비 및 제1 비아의 높이에 따른 임피던스 특성을 개략적으로 보인 그래프이다.

도 4는 본 발명의 일실시예에 따른 수동소자 내장기판에서, 제1 비아의 높이를 고정된 상태에서 제1 비아와 제2 비아의 부피비에 따른 임피던스 특성을 개략적으로 보인 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 기술 등은 첨부되는 도면들과 함께 상세하게 후술되어 있는 실시예를 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있다. 본 실시예는 본 발명의 개시가 완전하도록 함과 더불어, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공될 수 있다. 명세서 전문에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0029] 본 명세서에서 사용된 용어들은 실시예를 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 '포함한다(comprise)' 및/또는 '포함하는(comprising)'은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른

구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.

- [0030] 도시의 간략화 및 명료화를 위해, 도면은 일반적 구성 방식을 도시하고, 본 발명의 설명된 실시예의 논의를 불필요하게 불명료하도록 하는 것을 피하기 위해 공지된 특징 및 기술의 상세한 설명은 생략될 수 있다. 부가적으로, 도면의 구성요소는 반드시 축척에 따라 그려진 것은 아니다. 예컨대, 본 발명의 실시예의 이해를 돕기 위해 도면의 일부 구성요소의 크기는 다른 구성요소에 비해 과장될 수 있다. 서로 다른 도면의 동일한 참조부호는 동일한 구성요소를 나타내고, 유사한 참조부호는 반드시 그렇지는 않지만 유사한 구성요소를 나타낼 수 있다.
- [0031] 명세서 및 청구범위에서 "제 1", "제 2", "제 3" 및 "제 4" 등의 용어는, 만약 있는 경우, 유사한 구성요소 사이의 구분을 위해 사용되며, 반드시 그렇지는 않지만 특정 순차 또는 발생 순서를 기술하기 위해 사용된다. 그와 같이 사용되는 용어는 여기에 기술된 본 발명의 실시예가, 예컨대, 여기에 도시 또는 설명된 것이 아닌 다른 시퀀스로 동작할 수 있도록 적절한 환경하에서 호환 가능한 것이 이해될 것이다. 마찬가지로, 여기서 방법이 일련의 단계를 포함하는 것으로 기술되는 경우, 여기에 제시된 그러한 단계의 순서는 반드시 그러한 단계가 실행될 수 있는 순서인 것은 아니며, 임의의 기술된 단계는 생략될 수 있고/있거나 여기에 기술되지 않은 임의의 다른 단계가 그 방법에 부가 가능할 것이다.
- [0032] 명세서 및 청구범위의 "왼쪽", "오른쪽", "앞", "뒤", "상부", "바닥", "위에", "아래에" 등의 용어는, 만약 있다면, 설명을 위해 사용되는 것이며, 반드시 불변의 상대적 위치를 기술하기 위한 것은 아니다. 그와 같이 사용되는 용어는 여기에 기술된 본 발명의 실시예가, 예컨대, 여기에 도시 또는 설명된 것이 아닌 다른 방향으로 동작할 수 있도록 적절한 환경하에서 호환 가능한 것이 이해될 것이다. 여기서 사용된 용어 "연결된"은 전기적 또는 비 전기적 방식으로 직접 또는 간접적으로 접속되는 것으로 정의된다. 여기서 서로 "인접하는" 것으로 기술된 대상은, 그 문구가 사용되는 문맥에 대해 적절하게, 서로 물리적으로 접촉하거나, 서로 근접하거나, 서로 동일한 일반적 범위 또는 영역에 있는 것일 수 있다. 여기서 "일 실시예에서"라는 문구의 존재는 반드시 그런 것은 아니지만 동일한 실시예를 의미한다.
- [0033] 이하에서는 첨부된 도면을 참조하여 본 발명의 구성 및 작용효과를 더욱 상세하게 설명한다.
- [0034] 도 1은 본 발명의 일실시예에 따른 수동소자 내장기관(1000)을 개략적으로 예시한 단면도이다.
- [0035] 도 1을 참조하면, 본 발명의 일실시예에 따른 수동소자 내장기관(1000)은, 기관, 기관에 내장되는 수동소자(300), 제1 도체 패턴층(P1), 제2 도체 패턴층(P2), 제1 비아(10) 및 제2 비아(20)를 포함할 수 있다.
- [0036] 먼저, 수동소자 내장기관(1000)의 하면에는 제1 도체 패턴층(P1)이 구비되고, 수동소자 내장기관(1000)의 상면에는 제2 도체 패턴층(P2)이 구비된다.
- [0037] 이때, 기관은 상기 제1 도체 패턴층(P1) 및 제2 도체 패턴층(P2) 외에도 제3 도체 패턴층(P21) 및 제4 도체 패턴층(P22) 등 다층 도체 패턴을 더 포함할 수 있다.
- [0038] 또한, 기관은 제1 절연층(210), 제1 절연층(210) 상에 구비되는 제2 절연층(221) 및 제3 절연층(222) 등을 더 포함할 수 있다.
- [0039] 여기서, 제1 절연층(210)은 코어기관일 수 있으며, 일 영역에 캐비티(211)가 구비되어 수동소자(300)를 수용할 수 있다.
- [0040] 또한, 제2 절연층(221) 및 제3 절연층(222)은 빌드업 절연층일 수 있다.
- [0041] 한편, 제1 절연층(210)의 일면 또는 양면에는 제3 도체 패턴층(P21) 및 제4 도체 패턴층(P22)이 더 구비될 수 있으며, 제3 도체 패턴층(P21) 및 제4 도체 패턴층(P22) 사이에는 제1 절연층(210)을 관통하는 제4 비아(40)가 구비되어 서로 전기적으로 도통될 수 있다.
- [0042] 수동소자(300)는 MLCC 등의 캐패시터일 수 있으며, 바디부의 양측에 외부전극(310)이 구비되는 것일 수 있다.
- [0043] 이때, 수동소자(300)는 기관 내부에 내장되는데, 전술한 제1 절연층(210)의 캐비티(211) 내부로 수동소자(300)

의 적어도 일부가 삽입될 수 있다.

- [0044] 또한, 수동소자(300)의 외부전극(310)은 제1 도체 패턴층(P1) 방향 및 제2 도체 패턴층(P2) 방향으로 도전면이 위치될 수 있다.
- [0045] 이에 따라, 제1 도체 패턴층(P1)과 외부전극(310) 사이에 제1 비아(10)가 구비되어 이 둘을 전기적으로 연결할 수 있고, 제2 도체 패턴층(P2)과 외부전극(310) 사이에 제2 비아(20)가 구비되어 이 둘을 전기적으로 연결할 수 있다.
- [0046] 또한, 제1 도체 패턴층(P1)은 제3 비아(30)에 의하여 제3 도체 패턴층(P21)과 연결되고, 제4 도체 패턴층(P22)은 제5 비아(50)에 의하여 제1 도체 패턴층(P1)과 연결될 수 있다.
- [0047] 여기서, 제3 도체 패턴층(P21)과 제4 도체 패턴층(P22)은 제4 비아(40)에 의하여 전기적으로 연결될 수 있음을 전술한 바 있다.
- [0048] 또한, 제2 도체 패턴층(P2)에 능동소자(100)의 외부단자(110)가 직접 연결될 수 있다.
- [0049] 이에 따라, 수동소자(300)는 제2 비아(20)와 제2 도체 패턴층(P2)을 경유하는 제1 경로 및 제1 비아(10), 제1 도체 패턴층(P1), 제3 비아(30), 제3 도체 패턴층(P21), 제4 비아(40), 제4 도체 패턴층(P22), 제5 비아(50), 제2 도체 패턴층(P2)을 경유하는 제2 경로로 능동소자(100)와 전기적으로 연결될 수 있다.
- [0050] 여기서, 제2 경로는 제1 경로에 비하여 상대적으로 매우 길다는 점을 이해할 수 있을 것이다.
- [0051] 한편, 능동소자(100)의 고기능화에 따라 좁은 면적에 많은 수의 외부단자(110)가 구비되는 추세이며, 이러한 고기능 능동소자(100)가 제2 도체 패턴층(P2)에 전기적으로 연결될 경우에는 제2 도체 패턴층(P2)의 배선편 및 피치가 미세해질 필요가 있다.
- [0052] 따라서, 제2 도체 패턴층(P2)의 자유로운 설계를 위해서는 제2 비아(20)의 크기나 수량이 제한될 수 밖에 없다.
- [0053] 도 1 에서는 도체 패턴층이 4층인 경우를 예시하였지만, 이러한 원리는 6층 이상의 도체 패턴층이 구비된 경우에도 유사하게 적용될 수 있다.
- [0054] 즉, 일반적으로 수동소자(300)에서 능동소자(100) 방향의 영역에 존재하는 비아 및 도체 패턴들은 능동소자(100)가 직접 접촉되는 도체 패턴의 집적도에 가깝게 집적되도록 설계되고 있기 때문에, 결국 도체 패턴층이 4층 이상인 경우에도 전술한 바와 유사한 이유로 제2 비아(20)의 크기나 수량이 제한될 수 밖에 없다.
- [0055] 반면에, 능동소자(100)가 실장되는 면의 반대측의 경우 기판의 외곽에 볼 그리드 어레이(Ball Grid Array)가 형성되고, 마더보드 등과 접속되고 있는 바, 능동소자(100)가 실장되는 면에 비하여 상대적으로 피치에 대한 제약이 덜한 편이다.
- [0056] 따라서, 본 발명의 발명자는 능동소자(100)가 실장되는 영역의 반대편에서 수동소자(300)의 외부전극(310)에 접촉되는 제1 비아(10)의 특성을 개선함으로써 임피던스 감소 효과를 구현하고자 한 것이다.
- [0057] 즉, 제1 비아(10)의 부피가 제2 비아(20)의 부피보다 크도록 함으로써 전술한 제2 경로의 임피던스가 감소될 수 있도록 하였다.
- [0058] 이때, 제1 비아(10)의 부피를 증가시키기 위하여 제1 비아(10)의 높이(h1)를 증가시킬 수도 있는데, 이는 결국 전류 경로의 증가를 유발할 수도 있는 바, 임피던스 감소에 바람직하지 않다.
- [0059] 또한, 제1 비아(10)의 높이(h1)와 제2 비아(20)의 높이(h2) 사이의 차이가 커지면, 수동소자 내장기관(1000)이 제1 절연층(210)을 중심으로 비대칭화 되는데, 이러한 비대칭화는 워피지 증가를 유발할 수 있다.
- [0060] 따라서, 제1 비아(10)의 높이(h1)는 제2 비아(20)의 높이(h2)의 50 ~ 150% 범위에 있도록 하는 것이 바람직하다.
- [0061] 한편, 제1 비아(10)의 부피를 증가시키기 위해서 제1 비아 상부면(11), 즉 제1 비아(10)와 외부전극(310)의 하부면이 접촉되는 면의 단면적이, 제2 비아 하부면(21), 즉 제2 비아(20)와 외부전극(310) 상부면이 접촉되는 면의 단면적에 비하여 크게 할 수 있다.

- [0062] 마찬가지로, 제1 비아(10)의 부피를 증가시키기 위해서 제1 비아 하부면(12), 즉 제1 비아(10)와 제1 도체 패턴층(P1)이 접촉되는 면의 단면적이 제2 비아 상부면(22), 즉 제2 비아(20)와 제2 도체 패턴층(P2)이 접촉되는 면의 단면적에 비하여 크게 할 수 있다.
- [0063] 도 2는 본 발명의 다른 실시예에 따른 수동소자 내장기관(2000)을 개략적으로 예시한 단면도이다.
- [0064] 도 2에 예시된 바와 같이, 제1 비아(10, 10')를 복수 개 구비함으로써 제1 비아(10, 10')의 전체 부피를 증가시키는 효과를 구현할 수도 있다.
- [0065] 도 3은 본 발명의 일실시예에 따른 수동소자 내장기관(1000)에서, 제1 비아(10)와 제2 비아(20)의 부피비 및 제1 비아(10)의 높이에 따른 임피던스 특성을 개략적으로 보인 그래프이다.
- [0066] 도 3을 참조하면, 제2 비아(20)의 부피 대비 제1 비아(10)의 부피가 증가할 수록 임피던스는 낮아지는 것을 이해할 수 있을 것이다. 또한, 제1 비아(10)의 높이가 낮아질 수록 임피던스가 낮아진다.
- [0067] 이때, 오옴(Ohm)의 법칙에 따르면 저항, 즉 임피던스는 높이의 제곱에 비례하고 부피에 반비례한다. 즉, 제1 비아(10)의 높이 증가에 동일한 비율의 제1 비아(10) 부피의 감소에 비하여 임피던스를 증가시키는 정도가 더 크다.
- [0068] 또한, 제1 비아(10)의 높이를 증가시키기 위해서는, 내장되는 전자부품의 두께를 조절하거나, 절연층의 두께를 조절해야만 하는데, 이를 위해서는 제조공정의 효율이 감소되고 제품설계가 어려워짐에 따라, 제조비용 증가가 수반될 수 밖에 없다.
- [0069] 뿐만 아니라, 전술한 바와 같이 워피지를 감소시켜야 한다는 대명제를 고려한다면 임피던스의 감소를 위하여 수동소자(300) 등 전자부품의 두께 및 절연층의 두께를 큰폭으로 변경시키는 것은 현실적으로 매우 어렵기도 하다.
- [0070] 따라서, 제1 비아(10)의 높이(h1)가 비교적 일정한 범위에서 유지되도록 하면서 제1 비아(10)의 부피, 크기 및 수량 등을 조절함으로써 임피던스 감소 효과가 구현되도록 하는 것이 가장 바람직하다.
- [0071] 도 4는 본 발명의 일실시예에 따른 수동소자 내장기관(1000)에서, 제1 비아(10)의 높이를 고정된 상태에서 제1 비아(10)와 제2 비아(20)의 부피비에 따른 임피던스 특성을 개략적으로 보인 그래프이다.
- [0072] 도 4를 참조하면, 제1 비아(10)의 높이를 고정된 상태에서 제1 비아(10)의 부피가 증가됨에 따라 임피던스가 낮아질 수 있음을 이해할 수 있을 것이다.

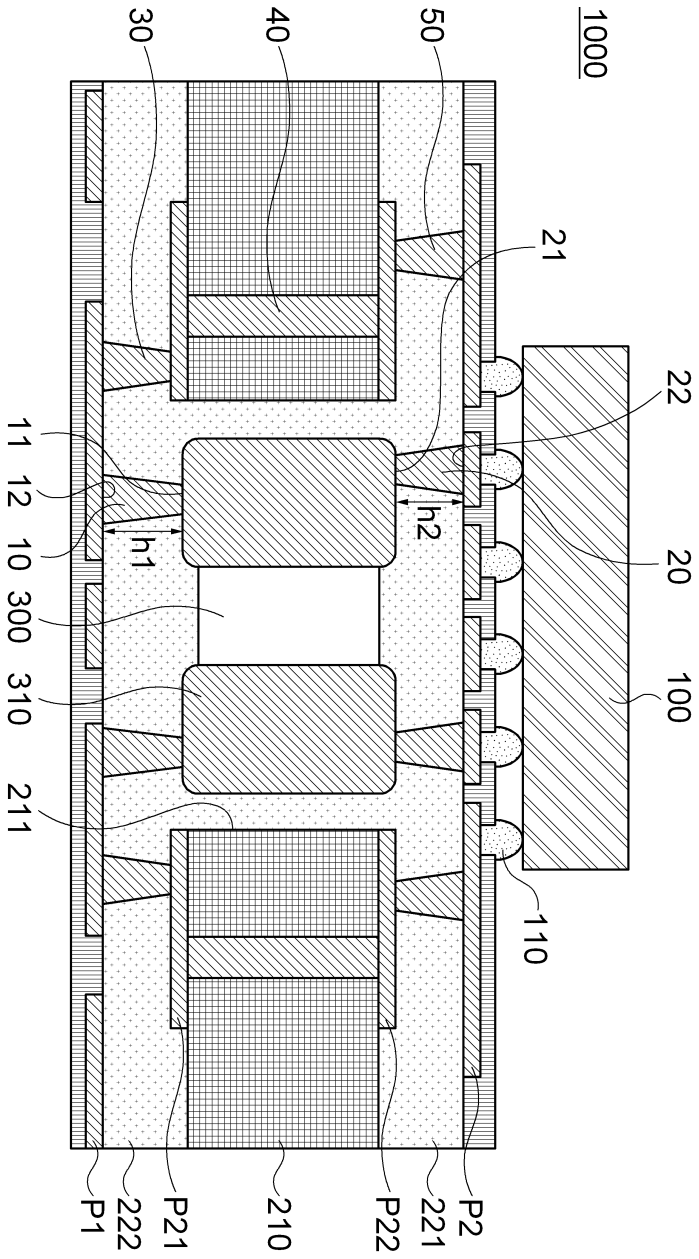
부호의 설명

- [0073] 10, 10' : 제1 비아
- 11 : 제1 비아 상부면
- 12 : 제1 비아 하부면
- 20 : 제2 비아
- 21 : 제2 비아 하부면
- 22 : 제2 비아 상부면
- 30 : 제3 비아
- 40 : 제4 비아

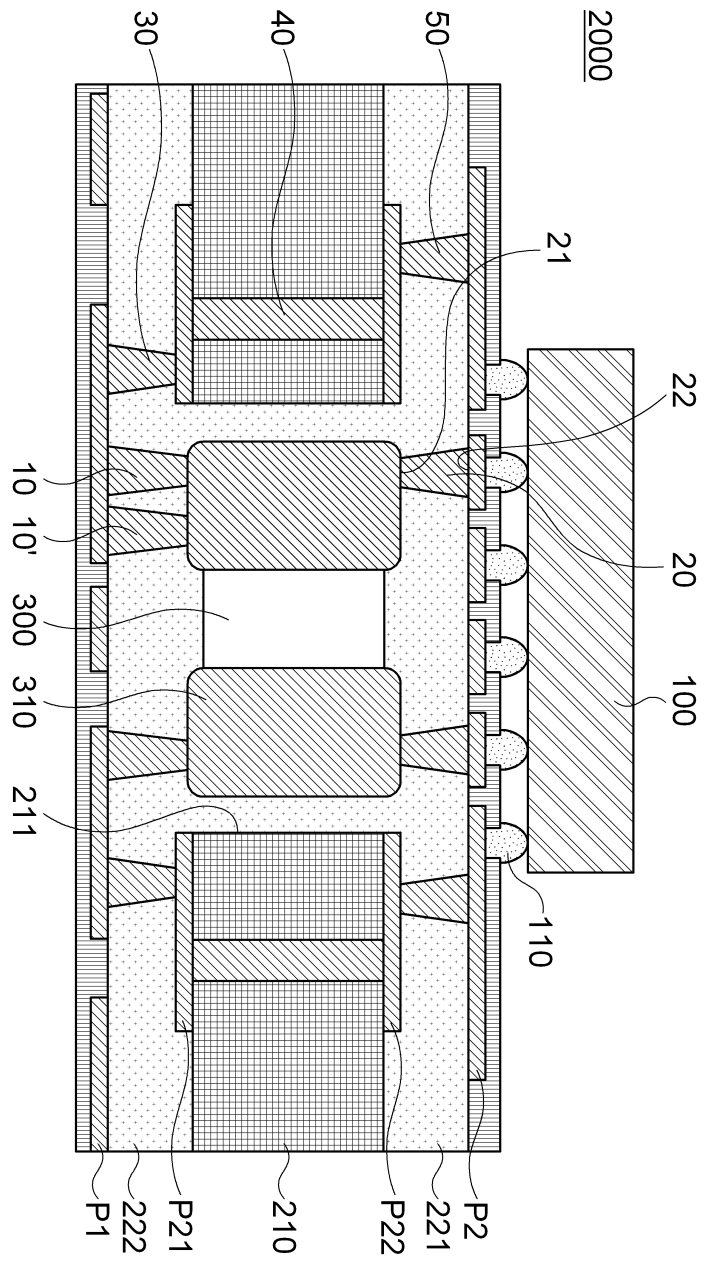
- 50 : 제5 비아
- 100 : 능동소자
- 110 : 외부단자
- 210 : 제1 절연층
- 211 : 캐비티
- 221 : 제2 절연층
- 222 : 제3 절연층
- 300 : 수동소자
- 310 : 외부전극
- P1 : 제1 도체 패턴층
- P2 : 제2 도체 패턴층
- P21 : 제3 도체 패턴층
- P22 : 제4 도체 패턴층
- 1000, 2000 : 수동소자 내장기판

도면

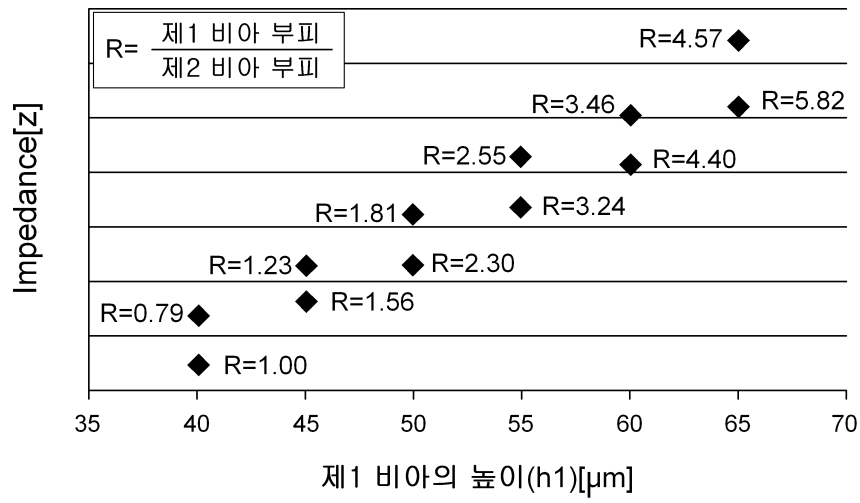
도면1



도면2



도면3



도면4

