

(19) 대한민국특허청(KR)  
(12) 특허공보(B1)

(51) Int. Cl.<sup>5</sup>  
H01L 21/318

(45) 공고일자 1994년09월 12일  
(11) 공고번호 특1994-0008373

(21) 출원번호	특1991-0005741	(65) 공개번호	특1992-0001620
(22) 출원일자	1991년04월 10일	(43) 공개일자	1992년01월30일
(30) 우선권주장	90-148185 1990년06월05일	일본(JP)	
(71) 출원인	미쓰비시 덴끼 가부시끼가이샤 시기 모리야 일본국 도오교도 지요다구 마루노우찌 2쵸메 2-3		
(72) 발명자	하라다 시게루 일본국 효고켄 이다미시 미즈하라 4쵸메 1번지 미쓰비시 덴끼 가부시끼 가이샤 기다이 다미세이사쿠쇼내		
(74) 대리인	김영길		

심사관 : 박형식 (책자공보 제3740호)

(54) 반도체 장치의 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치의 제조방법

[도면의 간단한 설명]

제1도는 이 발명의 1실시예에 관한 반도체 장치의 단면도.

제2a도~제2f도는 제1도에 표시하는 반도체 장치의 제조공정의 단면도.

제3도는 보호절연막의 퇴적에 사용되는 화학기상 성장장치의 개략도.

제4도는 이 발명의 타의 실시예에 관한 반도체 장치의 단면도.

제5도는 이 발명의 더욱 타의 실시예에 관한 반도체 장치의 단면도.

제6도는 이 발명의 더욱 타의 실시예에 관한 반도체 장치의 단면도.

제7도는 이 발명의 더욱 타의 실시예에 관한 반도체 장치의 단면도.

제8도는 이 발명의 더욱 타의 실시예에 관한 반도체 장치의 단면도.

제9도는 이 발명의 더욱 타의 실시예에 관한 반도체 장치의 단면도.

제10도는 종래의 몰드(mold) 수지봉지형 패키지의 반도체 장치의 단면도.

제11도는 제10도에 있어 a부분의 확대도.

제12a~제12f도는 제11도에 표시하는 반도체 장치의 제조공정의 단면도.

제13도는 종래의 몰드수지봉지형 패키지 반도체 장치의 문제점을 도시한 개념도.

제14도는 제13도에 있어 a부분의 확대도.

제15a도 및 제15b도는 실란(silane)을 사용하여 퇴적하는 종래의 실리콘 산화막의 형성방법의 문제점을 도시한 단면도.

\* 도면의 주요부분에 대한 부호의 설명

1 : 실리콘 반도체기판

2 : DRAM 소자

4 : 제1의 배선

100 : 실리콘산 질화막

각 도면중, 동일부호는 동일 또는 상당부분을 표시한다.

[발명의 상세한 설명]

이 발명은, 일반적으로 반도체 장치에 관한 것으로서, 구체적으로는 소자가 수분 · 응력등의 외부 환경에 의해 변화를 일으키지 않도록 하기 위해 소자표면부에 보호절연막이 피복되어서 형성된 반도체에 장치의 제조방법에 관한 것이다.

반도체 장치는, 통상 반도체기판상에 소자가 형성된 후, 소자가 수분 · 응력등의 외부환경에 의해 변화를 일으키지 않도록 하기 위해, 소자표면부에 보호절연막이 피복되고, 더욱, 몰드수지 페케지나 셀라믹 페케지에 수납된다.

제10도는, 종래의 몰드수지봉지형 페케지의 반도체 장치의 단면도이다.

제11도는, 제10도에 있어서 a부분의 확대도이다.

제10도를 참조하여 칩(21)이 다이패드부(23a)의 위에 배치되어 있다.

칩(21)에는, 소자가 형성되어 있다.

칩(21)의 전극과 리드부(23b)는, 본딩와이어(24)에 의해 전기적으로 접속되어 있다. 다이패드부(23a)와 리드부(23b)를 합쳐서 리드프레임(23)이라 불리운다. 칩(21) 위에는, 보호절연막(5)이 형성되어 있다.

칩은, 몰드수지봉지재(25)에 의해 보지되어 있다.

제11도를 참조하여, 상기 칩의 구조를 더욱 상세하게 설명한다.

여기서는, DRAM(Dynamic Random Access Memory) 디바이스를 예로들어 설명한다.

실리콘 반도체기판(1)의 표면에, DRAM 소자(2)(스택크셀)가 형성되어 있다.

DRAM 소자(2)상에는, 제1의 절연막(3)이 퇴적되어 있다.

제1의 절연막(3)상에는, 제1의 배선(4)이 형성되어 있다.

제1의 배선(4)을 덮도록, 보호절연막(5)이 퇴적되어 있다.

보호절연막(5)에는, 본딩패드부(6)를 노출하기 위해서는 열린부(5a)가 설치되어 있다.

본딩패드부(6)에는, 외부리드(23b)와 제1의 배선(4)을 접속하기 위해서는 본딩와이어(24)가 접속되어 있다.

다음은, 제11도에 표시하는 DRAM 디바이스의 제조방법을 제12a도~제12f도를 참조하여 설명한다.

더욱, 배선구조로서는 다결정 실리콘배선, 고용점 금속 실리콘사이드 배선, 고용점 금속배선, 알루미늄 배선등으로 되는 다층배선 구조가 일반적이거나, 여기에서는 간단히 하기 위해, 배선구조는 다층으로 하고, 제11도에 있어 제1의 배선(4)이 알루미늄 배선인 경우에 대해 설명한다.

제12A도를 참조하여, 실리콘 반도체기판(1)의 표면에 소자분리용 산화막(301), 트랜스퍼 게이트전극(302), 불순물 확산층(303), 워드선(304), 기억노드(305), 커패시터 절연막(306) 및 셀프레이트(307)로 구성된 DRAM 소자(스택크셀)(2)를 형성한다.

다음은, 제12B도를 참조하여 DRAM 소자(2)의 형성된 실리콘 반도체기판(1)상에 제1의 절연막(3)을 퇴적한다.

그후, 제1의 절연막(3)중에, 사진제판과 에칭법을 사용하여 소망의 부분에 컨택터 구멍(308)을 형성한다.

다음에, 비트선으로서 제1의 배선(4)인 알루미늄 배선을 형성한다. 알루미늄 배선(4)은, 본딩패드부(6)를 포함한다.

제12c도를 참조하여, 제1의 배선(4)을 덮도록 실리콘 반도체기판(1)상에 예를들면 실란(SiH<sub>4</sub>)과 이산화질소(N<sub>2</sub>O)가스를 사용하여, 300~450℃의 막퇴적 온도로 열이나 플라즈마를 사용한 화학기상 성장법(CVD법)에 의해, 보호절연막(5)인 실리콘 산화막을 퇴적한다.

제12d도를 참조하여, 사진제판 및 에칭법을 사용하여, 보호절연막(5)중에, 와이어 본딩을 행하기 위해서는 본딩패드부(6)를 노출되게 하기 위해서는 열린부(5a)를 형성한다.

제10도 및 제12e도를 참조하여, 소자의 형성된 반도체기판(1)을 다이싱에 의해 반도체칩(21)로서 잘라낸다.

그후, 반도체칩(21)을 리드프레임(23)의 다이패드(23a)에 납땀이나 도전성 수지를 사용하여 접착한다.

다음은, 본딩패드부(6)와 리드프레임의 리드부(23b)를, 본딩와이어(24)로 접속한다.

제12f도를 참조하여, 최후에 몰드수지봉지재(25)에 의해 전체를 페케지 한다.

더욱, 보호절연막으로서, 상기 실리콘 산화막 이외에, 실란과 질소나 암모니아를 사용하여 CVD법으로 형성한 실리콘 질화막, 실란과 질소나 암모니아, 이산화질소를 사용하여 CVD법으로 형성한 실리콘 산 질화막 및 이들이 적층구조물 등도 사용된다. 종래의 몰드수지봉지형 페케지 반도체 장치는 이상과 같이 구성되어 있고, 다음과 같은 문제점이 있었다.

반도체 장치의 고기능화에 수반하여, 제13도를 참조하여, 반도체칩(21)의 면적은 더욱 크게 되는 경향에 있다.

이와 같은 대면적 반도체칩을 패키징 하는 경우, 도면에 표시한 것과 같이, 몰드수지(25)의 수축응력(26)이 문제를 일으키게 된다.

즉, 몰드수지(25)의 수축응력(26)이 반도체칩(21)이 표면에 가해지는 것에 의해, 제14도(제13도에 있어 a부 확대도)에 표시하는 것과 같이, 제1의 배선(4)(알루미늄 배선)의 기계적 변형(알루미늄 배선의 슬라이드 현상)이 일어나, 이것에 수반하여, 보호절연막(5)에 크랙크(8)가 발생한다.

보호절연막(5)에 이와 같은 크랙크(8)가 발생하면 외부에서 몰드수지(25)를 통하여 진입해 오는 수분(9)이 제1의 배선(4)에까지 달하고, 제1의 배선(4)을 부식되게 한다.

이와 같은 부식부분(10)은, 반도체 장치의 내습성 등의 신뢰성 레벨을 저하되게 하는 문제였다.

이와 같은 문제점을 해결하는 방법으로서, 제1의 배선(4)의 단차부의 보호절연막(5)의 기계적 강도를 몰드수지(25)의 수축응력(26)에 감당해 나갈때까지 크게하는 것을 고려할 수 있다.

그러나 종래의 수단에 의해 퇴적된 실란형 실리콘 산화막을 사용하는 경우, 예를들면 「 $\text{SiH}_4 + \text{N}_2\text{O}$ 계 플라즈마 CVD 실리콘 산화막」 등을 사용하는 경우, 기상중에서의 막퇴적 반응이 추가되기 때문에, 제15a도에 도시되어 있는 바와 같이, 제1의 배선(4)의 단차부(31)에서의 스텝 커버레지가 좋지 않다.

즉, 플라즈마중(기상중)에서  $\text{SiH}_4 + \text{N}_2\text{O} + \text{NH}_3$  가 반응하여  $\text{SiON}$ 의 분자가 생성되어서 반도체기판에 퇴적하는 것에 의해 막이 형성되는 것이다.

그 때문에, 제15b도에 도시되어 있는 바와 같이, 수축응력을 감당하기 위해 보호절연막(32)의 퇴적하는 막두께를 두껍게 하여도, 스텝 커버레지가 특성이 좋지 않기 때문에, 제1의 배선(4)의 단차부(33)의 막두께를 두껍게 할 수가 없다.

따라서, 종래의 실란계 실리콘 산화막과 같은 스텝 커버레지 특성이 좋지 않은 보호절연막을 사용하는 경우, 제1의 배선(4)의 단차부에 있어서 보호절연막의 막두께를 두껍게 할 수 없고, 또한 그 기계적 강도도 몰드수지의 수축응력에 견디어낼 수 있을때까지 크게 할 수는 없으며, 알루미늄 배선의 슬라이드 현상에 기인하는 보호절연막 크랙을 완전히 방지할 수 없었다.

따라서, 이 방법은 상기의 문제점이 해결책으로서 사용할 수가 없었다.

더욱, 이것은 보호절연막으로서 실란을 사용하여 퇴적한 실리콘 질화막, 실리콘산 질화막 등의 타의 절연막에도 동일하였다.

또, 최근 스텝 커버레지에 뛰어난 막으로서 테트라에토기실란(TEOS)과 산소를 사용한 플라즈마 CVD 실리콘 산화막도 보고 되어 있으나, 얻게 되는 막이 실리콘 산화막이기 때문에, 종래 보호절연막으로서 사용되고 있는 실리콘 질화막이나 실리콘산 질화막 만큼 막이 치밀하지는 않다.

그 때문에, 외부에서 진입해 오는 수분에 대한 배리어성이나, 몰드수지의 수축응력에 감당하지 못한다.

따라서, 막의 기계적 강도라는 점에서 불충하였다.

이 발명은, 상기와 같은 문제점을 해결하기 위해 이루어진 것이고, 몰드수지의 수축응력에 감당할 수 있게 개량되어, 또한 내습성 등의 신뢰성 레벨을 향상하게 한 반도체 장치의 제조방법을 제공하는데 있다.

상기 목적을 달성하기 위해, 이 발명에 따른 반도체 장치는, 소자가 수분 · 응력 등의 외부환경에 의해 변화를 일으키지 않도록 하기 위해 소자표면부에 보호절연막이 피복되어 이루어진다.

당해 반도체 장치는, 상기 소자가 형성된 반도체기판과, 당해 반도체 장치의 최상층부에 설치되어, 상기 소자와 전기적 접속되는 배선패턴과, 상기 배선패턴을 피복하도록 상기 반도체기판상에 퇴적된 실리콘산 질화막을 비치하고 있다.

상기 실리콘산 질화막은, 유기실란과 질화성 가스를 포함하는 가스를 사용하여, 플라즈마를 이용한 화학기상 성장법으로 퇴적되어 있다.

이 발명에 사용되는 질화성 가스에는, 질소나 암모니아 등이 사용된다.

이 발명의 타의 특징에 의한 방법은, 소자가 수분, 응력 등의 외부환경에 의해 변화를 일으키게 하지 않기 위해, 소자 표면부에 보호절연막이 피복되어 있는 반도체 장치의 제조방법에 관한 것이다.

그리고, 상기 보호절연막을 유기실란과 질화성 가스를 포함하는 혼합가스를 사용하여, 플라즈마를 이용한 화학기상 성장법으로 퇴적하는 것을 특징으로 한다.

이 발명에 관한 반도체 장치에 의하면, 보호절연막을 유기실란과 질화성 가스를 포함하는 가스를 사용하여, 플라즈마를 이용한 화학기상 성장법으로 퇴적한 실리콘산 질화막에 의해 구성되어 있다.

이 실리콘산 질화막은, 유기실란을 사용한 막대형 프로세스의 특징이나, 기판표면에서의 막퇴적 반응이 주이기 때문에, 스텝 커버레지에 뛰어나다.

즉, 막 형성과정에 있어서 플라즈마 중에서 질화성 가스가 해리되어 생성한 질소라디칼과 TEOS가 표면 중합반응을 일으켜 유동성을 가지는 TEOS 중합체를 형성하므로써 양호한 스텝 커버레지를 가지는 실리콘산 질화막을 얻을 수 있다.

그 때문에, 제1도를 참조하여 제1의 배선(4)상에 퇴적된 경우, 단차부에 있어서 보호절연막(100)의 막 두께가 얇게 되지 않는다.

그 결과, 보호절연막(100)의 기계적 강도를 몰드수지의 수축응력에 감당해 나갈때까지 크게 할 수가 있다.

그래서, 제1의 배선(4)의 기계적 변형이나, 이것에 수반하는 보호절연막(100)의 크랙크의 발생을 방지할 수 있다.

또, 이 보호절연막은 실리콘산 질화막이므로 실리콘 산화막에 비해, 막이 치밀하고 외부에서 진입해 오는 수분에 대한 배리어성도 높다.

따라서, 내습성 등의 신뢰성 레벨에 뛰어난 반도체 장치를 제공한다.

이 발명의 타의 국면에 따르는 반도체 장치의 제조방법에 의하면, 보호절연막을 유기실란과 질화성 가스를 포함하는 가스를 사용하여, 플라즈마를 이용하는 화학기상 성장법으로 퇴적한다.

이 방법은, 유기실란을 사용하는 막형성 프로세스의 특징으로 하고 있는 막퇴적 반응이 기관표면에서 주로 실행되기 때문에, 스텝 커버레지가 뛰어나다.

그 때문에, 제2c도를 참조하여 제1의 배선(4)상에 퇴적한 경우, 단차부에 있어 보호절연막(100)의 막두께가 얇게 되지 않는다.

그 결과, 보호절연막(100)의 기계적 강도를 몰드수지의 수축응력에 이겨낼때까지 크게 할 수 있다.

또, 이 방법에 의해 형성되는 보호절연막은 실리콘산 질화막이므로, 실리콘 산화막에 비해 막이 치밀하고 외부에서 진입해 오는 수분에 대한 배리어성도 높게 된다.

그 때문에, 내습성 등의 신뢰성 레벨에 뛰어난 반도체 장치를 제공한다.

[실시예]

이하, 이 발명의 1실시예를 도면에 대해 설명한다.

제1도는, 이 발명의 1실시예에 관한 반도체 장치의 단면도이다.

실리콘 반도체기판(1)의 표면에, DRAM 소자(2)(스톡크셀)가 형성되어 있다. DRAM 소자(2)를 덮도록, 제1의 절연막(3)이 형성되어 있다. 제1의 절연막(3)상에는, 제1의 배선(4)의 패턴이 형성되어 있다. 제1의 배선(4)의 패턴은, 본딩 패드부(6)를 포함한다. 제1의 배선(4)의 패턴을 덮도록, 보호절연막(100)이 형성되어 있다.

보호절연막(100)은, 유기실란과 질화성 가스를 포함하는 가스를 사용하여, 플라즈마를 이용한 화학 기상성장법으로 퇴적된 실리콘산 질화막이다.

이 실리콘산 질화막은, 유기실란을 사용한 막형성 프로세스의 특징인 막퇴적 반응이 기관표면에서 주로 일어나기 때문에, 스텝 커버레지가 뛰어나다.

그 때문에, 제1도를 참조하여 제1의 배선(4)상에 퇴적된 경우, 단차부에 있어 제15A도 및 제15B도와 같이 보호절연막의 막두께가 얇게 되지 않는다.

상기 실리콘산 질화막(100)은, 유기실란을 이용하는 막형성 프로세스의 일특징인 막퇴적반응(아래에서 상세히 설명됨)이 주로 상기 기판의 표면상에서 일어나기 때문에, 우수한 스텝 커버레지를 갖는다.

제1도에 의하면, 상기 제1배선(4)상에 상기 보호절연막을 피복할때, 상기 막의 두께는 상기 스텝부에서 얇게 형성되지 않는다.

보호절연막(100)에는 본딩 패드부(6)를 노출되게 하기 위해서 열린부(100a)가 설치되어 있다.

본딩 패드부(6)에는, 리드 프레임의 리드부를 접속하기 위해서 본딩 와이어(24)가 접속되어 있다.

반도체 장치 전체는, 몰드수지봉지재(25)에 의해, 몰드 패키지 되어 있다.

상기와 같이 구성되는 보호절연막(100)은, 스텝 커버레지가 뛰어나기 때문에, 제1도를 참조하여, 제1의 배선(4)상에 퇴적된 경우, 단차부에 있어, 제15A도 및 제15B도와 같이, 보호절연막의 막두께가 얇게 되지 않는다.

그 결과, 보호절연막(100)의 기계적 강도를 몰드수지봉지재(25)의 수축응력에 이겨낼때까지 크게 할 수가 있다.

그 결과, 제1의 배선(4)의 기계적 변형이나, 이것에 수반하는 보호절연막(100)의 크랙크의 발생을 방지할 수 있다.

또, 이 보호절연막(100)은 실리콘산 질화막이므로 실리콘 산화막에 비해, 막이 치밀하고, 외부에서 진입해 오는 수분에 대한 배리어성도 높다.

그래서, 내습성 등의 신뢰성 레벨에 뛰어난 반도체 장치가 얻게 된다.

다음은, 제1도에 표시하는 반도체 장치의 제조방법을 제2a도~제2f도를 참조하여 설명한다.

제2a도를 참조하여, 실리콘 반도체기판(1) 표면에, 소자분리용 산화막(301), 트랜스퍼 게이트전극(302) 불순물 확산층(303), 워드선(304), 기억노드(305), 커패시터 절연막(306), 셀플레이트(307)로 구성되는 DRAM 소자(2)(스톡크셀)를 형성한다.

제2b도를 참조하여, DRAM 소자(2)를 포함하는 실리콘 반도체기판(1)의 표면 전면에, 제1의 절연막(3)을 퇴적한다.

계속하여, 사진제판 및 에칭법을 사용하여 제1의 절연막(3)의 소망의 부분에 컨택터 구멍(308)을 연다.

다음은, 비트선으로서 알루미늄 배선인 제1의 배선(4)을 형성한다.

제1의 배선(4)은, 본딩 패드부(6)를 포함한다.

제2c도를 참조하여, 유기실란의 일종인 테트라에토기 시실란(TEOS)과 질화성 가스인 암모니아나 질소가스를 사용하여 플라즈마를 이용한 화학기상 성장법으로, 실리콘산 질화막(100)을 제1의 배선(4)을 덮도록 퇴적한다.

이하, 이 실리콘산 질화막(100)을 「TEOS+NH<sub>3</sub>+N<sub>2</sub>계 플라즈마 CVD 실리콘산 질화막」이라 한다.

이 TEOS+NH<sub>3</sub>+N<sub>2</sub>계 플라즈마 CVD 실리콘산 질화막」은, 유기실란을 사용한 타의 막형성 프로세스와 동일하게, 기판표면에서의 막퇴적 반응의 비율이 많기 때문에, 실란(SiH<sub>4</sub>)을 사용한 프로세스의 비헤스텝 커버리지성에 뛰어나다고 하는 특징을 가진다.

즉, 상기 "TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막"은 실란(SiH<sub>4</sub>)을 이용하는 프로세스와 비교하여 볼때, 유기실란을 이용하는 막형성 프로세스의 일특징인 막퇴적 반응의 대부분이 상기 기판의 표면상에서 일어나기 때문에, 스텝 커버리지에 있어서 우수한 특성을 갖는다.

다음은 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막」이 스텝 커버리지에 있어서 우수한 이유를 설명한다.

TEOS와 NH<sub>3</sub>의 반응에 있어서, 먼저 NH<sub>3</sub>가 분해되어 질소기(nitrogen radical)를 발생한다.

상기 질소기와 TEOS의 중합반응이 기상에서(in vapor) 일어난다.

상기 기상에서 생성된 TEOS 중합체와 질소기는 평탄하지 않는 패턴을 갖는 제1절연막(3)의 표면상에 전달되고, 그리고 또다른 중합반응이 그 표면상에서 일어나게 되어 막을 생성한다.

액체와 유사한 특성을 갖는 상기 TEOS 중합체는 상기 스텝부분에서 함께 흐르게 되어서, 상기 막이 우수한 스텝 커버리지를 갖게 된다.

더욱, 이리하여 얻은 실리콘산 질화막은 「TEOS+O<sub>2</sub>계 플라즈마 CVD 실리콘 산화막」에 비해 치밀하므로, 수분등에 대한 배리어성도 높고, 배선상에 퇴적하는 보호절연막으로서도 유용하다.

제2d도를 참조하여, 사진제판이나 에칭법을 사용하여 보호절연막(100), 본딩패드(6)를 노출되게 하기 위해서 열린부(100a)를 형성한다.

제2e도 및 제10도를 참조하여, 소자의 형성된 실리콘 반도체기판(1)을 다이상에 의해 반도체칩(21)으로서 잘라낸 후, 리드프레임(23)의 다이패드(23a)에 납땀이나 도전성의 접착제를 사용하여 접착한다.

다음은, 본딩 패드부(6)와 리드프레임의 리드부(23b)를 본딩 와이어(24)로 접속한다.

최후에, 제2f도를 참조하여 몰드수지(25)에 의해 전체를 패키지 한다.

제3도는, 보호절연막인 실리콘산 질화막을 퇴적되게 하기 위해서 화학기상 성장장치의 개념도이다.

화학기상 성장장치는 반응실 챔버(401)를 배치하고 있다. 반응실 챔버(401)는 가스분산 헤드(402)를 배치하고 있다.

반응실 챔버(401)내에는, 반도체기판(403)을 놓기 위해서 기판홀더(404)가 설치되어 있다.

기판홀더(404)내에는, 반도체기판(403)을 소망의 온도에 가열하기 위해서 히터(405)가 설치되어 있다.

가스분산 헤드(402)에는 밸브(406a)를 포함하는 TEOS 가스공급라인(406)이 접속되어 있다.

가스분산 헤드(402)에는, 또 밸브(407a)를 포함하는 질소가스 공급라인(407)이 접속되어 있다. 가스분산 헤드(402)에는, 또 밸브(408a)를 포함하는 NH<sub>3</sub> 가스공급라인(408)이 접속되어 있다.

반응실 챔버(401)는, 진공 배기계(409)에 접속되어 있다.

가스분산 헤드(402)와 기판홀더(404)에는, 고주파 전원(410)이 접속되어 있다.

고주파 전원(410)의 ON/OFF는 고주파 전력 ON/OFF 스위치(411)에 의해 행하여진다.

다음은, 상기 화학기상 성장장치를 사용하여, 보호절연막의 퇴적을 행하는 순서를 설명한다.

우선, 반도체기판(403)을 기판홀더(404)의 위에 놓고, 히터(405)에 의해, 소망의 온도, 예를들면 300~450℃까지 가열한다.

다음은, 진공배기계(409)를 사용하여 반응실 챔버(401)내를 소망의 진공도, 예를들면 10<sup>-4</sup> Torr 정도까지 배기한다.

다음은, 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」을 퇴적하는 경우에는, TEOS 가스공급라인(406)의 밸브(406a)와, 질소가스공급라인(407)의 밸브(407a)와, NH<sub>3</sub> 가스공급라인(408)의 밸브(408a)를 열고, 소정류량의 가스를 흘리면서, 10~100Torr 정도의 압력하에서, 고주파 전력 ON/OFF 스위치(411)를 ON으로 하고, 고주파 전원(410)에 고주파 전력을 공급한다.

이리하여, 반응실 챔버(401)내에 발생하는 플라즈마(412)중에서의 반응을 이용하여, 막을 퇴적한다.

더욱, 상기 실시예에서는 제1도를 참조하여 보호절연막(100)의 전부를 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」으로 형성한 경우를 표시했으나, 타의 절연막과의 적층구조이라도 좋다.

예를들면, 제4도에 표시하는 것과 같이 제1의 배선(4)상에, 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막」으로 형성한 경우를 표시했으나, 타의 절연막과의 적층구조이라도 좋다. 예를들면, 제4도에 표시하는 것과 같이 제1의 배선(4)상에, 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」을 퇴적한 후, 그위에 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」(201)을 퇴적한다. 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」은, 치밀하고 수분에 대한 배리어성이 높은 막이다.

그래서 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」상에 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」을 피복하는 것에 의해, 반도체 장치의 내습성 레벨을 더욱 개선할 수가 있다.

또, 상기 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」(201)은 막응력이  $2 \times 10^9 \text{ dym/cm}^2$  (압축성)이상 큰 것이 결점이나, 이것이 문제가 되는 민감한 반도체 장치의 경우는 다음의 개량이 가해진다.

즉, 제5도를 참조하여 제1의 배선(4)상에, 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」(100)을 퇴적한 후, 그위에, 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」 또는, 제6도에 표시하는 것과 같이 제1의 배선(4)상에 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」(100)을 퇴적한 후, 그 위에 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」(203)을 퇴적한다.

이와 같이 구성하면, 더욱 내습성 레벨에 뛰어난 반도체 장치가 얻게 된다.

또, 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막」(100)의 유전율은 4~5 정도이나, 이것이 문제가 되는 고속동작의 반도체 장치의 경우에는, 다음과 같은 개량이 이루어진다.

즉, 제7도를 참조하여 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막」(100)의 하층에, 실리콘산 질화막 보다도 유전율이 3~4 작은 실리콘 산화막(204)을 형성한다.

이 경우, 스텝 커버리지가 좋은 것이 필요하므로, 이 실리콘 산화막(204)은, TEOS+O<sub>2</sub> 계 플라즈마 CVD 실리콘 산화막으로 형성한다.

이와 같이 구성하면, 고속 동작시에 문제가 되는 배선간 용량을 주로 정하고 있다.

배선간의 절연막이, 유전율이 작은 「TEOS+O<sub>2</sub> 계 플라즈마 CVD 실리콘 산화막」으로 되므로, 고속동작의 반도체 장치에도 대응할 수 있다.

동시에, 상층에는 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」(100)이 피복되어 있으므로, 상기 와 같이 내습성 등의 신뢰성 레벨에도 뛰어난 반도체 장치가 얻게 된다.

또, 제8도를 참조하여, 반도체체의 표면에 가해지는 물드수지(25)의 수축응력을 저감할 목적으로, 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막」(100) 및 「SiH<sub>4</sub>+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘 질화막」(201)이 적층되어 이루어지는 막상에, 폴리미드 수지나 실리콘 · 라타 폴리마 수지등으로 되는 버퍼 코드막(201)을 조립하여도 좋다.

더욱, 상기 실시예에서는 유기실란의 예로서 TEOS를 사용한 경우를 예지했으나, 타의 유기실란, 예를들면 데트라 메토기시실란, 데트라이소프로포키시실란, 지타 샤리프토키시아세토키시실란 등을 사용하여도 같은 효과를 얻는다.

또, 상기 실시예에서는 배선구조가 단층이고 또한 제1의 배선이 알루미늄 배선의 경우에 대해 설명했으나, 제1의 배선은 고용점 금속(W, Mo, Ti 등) 등의 타의 금속배선, 고용점 금속 실리콘사이드(WSi<sub>2</sub>, MoSi<sub>2</sub>, TiSi<sub>2</sub> 등) 배선, 또는 단결정 실리콘 배선이라도 같은 효과를 낸다.

또, 이들의 배선구조는 다층구조라도 좋다.

또, 상기 실시예에서는 유기실란(TEOS)과 질화성 가스(질소, 암모니아)를 사용하여, 플라즈마를 이용한 화학기상 성장법으로 실리콘산 질화막을 퇴적하는 경우를 설명하였으나, 실리콘산 질화막의 유전율을 더욱 작게 하고 싶은 경우에는 막의 산화도를 올리기 위해, 이들 가스에 산소나 오존등의 산화성 가스를 첨가하여, 실리콘산 질화막을 형성하여도, 같은 효과를 낸다.

또, 상기 실시예에서는 반도체기판 표면에 DRAM 소자가 형성된 반도체 장치에 적용한 경우를 설명했으나, 타의 보호절연막을 가지는 반도체 장치에 적용하여도, 같은 효과를 얻게 된다.

제9도는, 반도체기판 표면에 SRAM 소자가 형성된 반도체 장치의 단면도이다.

제9도를 참조하여, 실리콘 반도체기판(1)의 표면에 SRAM 소자(310)가 형성되어 있다.

SRAM 소자(310)는, 소자분리 산화막(313)으로 분리된 활성영역에 형성된 P형 웰영역(311)과 N형 웰영역(312)을 포함한다. P형 웰영역(311)의 주표면에는 N형 불순물 확산층(315)이 형성되어 있다. N

형 웰영역(312)의 주표면에는 P형 불순물 확산층(316)이 형성되어 있다. P형 웰영역(311) 및 N형 웰영역(312) 상방에는, 게이트전극(314)이 형성되어 있다.

SRAM 소자(310)는, P형 웰영역(311) 및 N형 웰영역(312) 상방에 설치되었던 다결정 실리콘 배선(317)을 포함한다.

SRAM 소자(310)를 덮도록 제1의 절연막(3)이 형성되어 있다.

제1의 절연막(3)의 위에는 제1의 배선(4)이 형성되어 있다.

제1의 배선(4)은 본딩 패드부(6)를 포함한다.

제1의 배선(4)을 덮도록 보호절연막(100)인 「TEOS+NH<sub>3</sub>+N<sub>2</sub> 계 플라즈마 CVD 실리콘산 질화막」이 형성되어 있다.

「TEOS+NH<sub>3</sub>+N<sub>2</sub> 플라즈마 CVD 실리콘산 질화막」(100)에는, 본딩 패드부(6)를 노출되게 하기 위해서 열린부(100a)가 설치되어 있다.

본딩 패드부(6)에는, 본딩 와이어(24)가 접속되어 있다.

당해 반도체 장치는, 몰드수지봉지재(25)에 의해 전체가 패키징 되어 있다.

이와 같이 구성되는 반도체 장치이더라도, 상기의 실시예와 같은 효과를 실현한다.

또, 반도체기판의 표면에 형성되는 소자는 DRAM 소자나 SRAM 소자 이외의 타의 소자, 예를들면 EPROM 소자, E<sup>2</sup> PROM 소자, 마이크로 컴퓨터 회로소자, CMOS 논리회로 소자, 바이폴라 트랜지스터 소자 등의 소자이라도 좋다.

이상, 이 발명을 요약하면 다음과 같다.

(1) 특허청구의 범위 제1항의 기재의 반도체 장치에 있어, 상기 실리콘산 질화막 상에 적층된 제2의 실리콘산 질화막을 더욱 비치하여, 상기 제2의 실리콘산 질화막은, 실란과 질화성 가스를 포함하는 가스를 사용하여, 플라즈마를 이용한 화학기상 성장법으로 퇴적되어 있는 반도체장치.

(2) 특허청구의 범위 제1항의 기재의 반도체 장치에 있어서, 상기 실리콘산 질화막상에 적층된 제2의 실리콘산 질화막을 더욱 비치하고, 상기 제2의 실리콘산 질화막은, 실란과 질화성 가스 및 산화성 가스를 포함하는 가스를 사용하여 플라즈마를 이용한 화학기상 성장법으로 퇴적되어 있는 반도체장치.

(3) 특허청구의 범위 제1항의 기재의 반도체 장치에 있어서, 상기 실리콘산 질화막 상에 적층된 제2의 실리콘산 질화막을 더욱 비치하고, 상기 제2의 실리콘산 질화막은, 실란과 산화성 가스를 포함하는 가스를 사용하여, 플라즈마 또는 열을 이용한 화학기상 성장법으로 퇴적되어 있는 반도체장치.

(4) 특허청구의 범위 제1항의 기재의 반도체 장치에 있어서, 상기 실리콘산 질화막상에 적층된 제2의 실리콘산 질화막을 더욱 비치하고, 상기 제2의 실리콘산 질화막은, 유기실란과 산화성 가스를 포함하는 가스를 사용하여, 플라즈마 또는 열을 이용한 화학기상 성장법으로 퇴적되어 있는 반도체장치.

(5) 특허청구의 범위 제2항의 기재의 방법에 있어서, 상기 혼합가스중에 산화성 가스를 첨가하는 방법.

이상 설명한 것과 같이, 이 발명에 관한 반도체 장치에 의하면, 보호절연막의 기계적 강도를 몰드수지의 수축응력에 이겨낼때까지 크게할 수가 있다.

그 결과, 배선의 기계적 변형이나, 이것에 수반하는 보호절연막의 크랙크의 발생을 방지할 수 있다.

또, 실리콘산 질화막은 실리콘산에 비해 막이 치밀하므로, 외부에서 진입해 오는 수분에 대한 배리어성도 높다.

따라서, 내습성등의 신뢰성 레벨에 뛰어난 반도체 장치가 얻게 된다.

이 발명의 타의 국면에 따른 반도체 장치의 제조방법에 의하면, 보호절연막을 유기실란과 질화성 가스를 포함하는 혼합가스를 사용하여, 플라즈마를 이용한 화학기상 성장법으로 퇴적한다.

이 방법은, 유기실란을 사용하는 막형성 프로세스의 특징이나 기판표면에서의 막퇴적 반응이 주이기 때문에, 스텝 커버리지에 뛰어나다.

그 때문에, 알루미늄 배선상에 퇴적한 경우, 단차부의 보호절연막의 막두께, 즉 기계적 강도를 몰드수지의 수축응력에 이겨낼때까지 크게할 수가 있다.

그 결과, 제1의 배선의 기계적 변형이나, 이것에 수반하는 보호절연막의 크랙크의 발생을 방지할 수 있다.

또, 이 막은 실리콘산 질화막이므로 실리콘 산화막에 비해 막이 치밀하고, 외부에서 진입해 오는 수분에 대한 배리어성도 높다.

그 결과 내습성 등의 신뢰성 레벨에 뛰어난 반도체 장치가 얻게 되는 효과가 있다.

## (57) 청구의 범위

### 청구항 1

보호절연막을 갖는 반도체 장치의 제조방법에 있어서, 반도체기판상에 소자들을 형성하는 공정과, 상기 소자들과 전기적으로 접속되어 있는 배선패턴을 상기 반도체기판상에 형성하는 공정 및 실리콘 산 질화막을 상기 배선패턴상에 피복하는 공정을 포함하여, 상기 실리콘 산 질화막이 10 내지 100Torr 범위내에 있는 막형성 압력에서 유기실란과 질화성 가스를 포함하는 혼합가스를 사용하여, 플라즈마를 사용하는 화학기상 성장법으로 피복되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 2**

제1항에 있어서, 상기 유기실란은 테트라 에톡시 실란, 테트라 이소프로폭시 실란, 디-티시어리 부톡시 아세톡시실란과 테트라 에톡시 실란으로 구성되는 그룹으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 3**

제1항에 있어서, 상기 플라즈마는 질소 플라즈마를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 4**

제1항에 있어서, 상기 혼합가스는 산소와 오존으로 구성되는 그룹으로부터 선택된 산화가스를 부가하여 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 5**

보호절연막을 갖는 반도체 장치의 제조방법에 있어서, 반도체기판상에 소자들을 형성하는 공정과, 상기 소자들과 전기적으로 접속된 배선패턴을 상기 반도체기판상에 형성하는 공정 및, 실리콘 질화막을 상기 배선패턴상에 피복하는 공정을 포함하며, 상기 실리콘 산 질화막이 유기실란과 질화성 가스를 필수적으로 구성하는 혼합가스를 사용하여, 플라즈마를 사용하는 화학기상 성장법으로 피복되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 6**

제5항에 있어서, 상기 유기실란은 테트라 에톡시 실란, 테트라 이소프로폭시 실란, 디-티시어리 부톡시 아세톡시 실란과 테트라 에톡시 실란으로 구성되는 그룹으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 7**

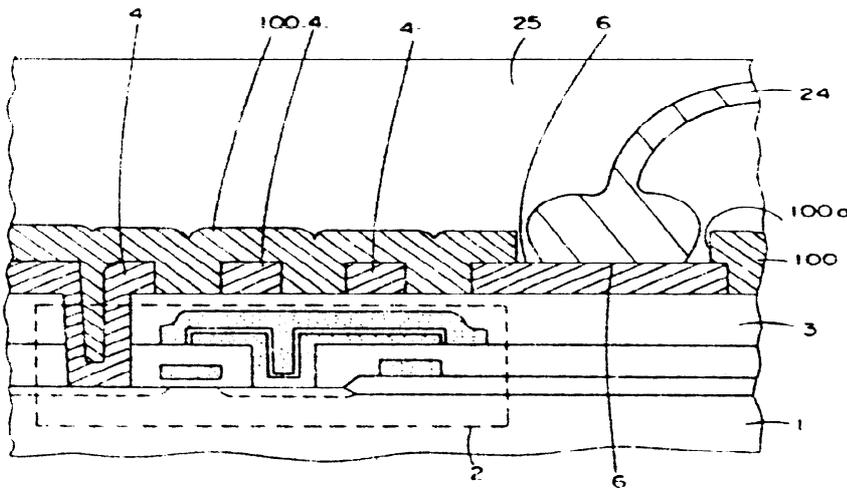
제6항에 있어서, 상기 질화성 가스는 N<sub>2</sub>, NH<sub>3</sub> 과 그의 혼합물로 구성되는 그룹으로부터 선택되는 것을 특징으로 하는 반도체 장치의 제조방법.

**청구항 8**

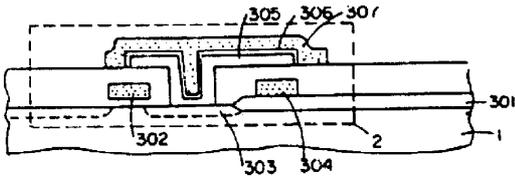
제1항에 있어서, 상기 플라즈마는 질소 플라즈마를 포함하는 것을 특징으로 하는 반도체 장치의 제조방법.

**도면**

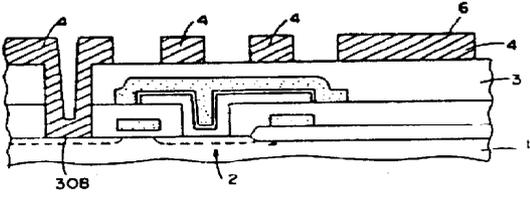
도면1



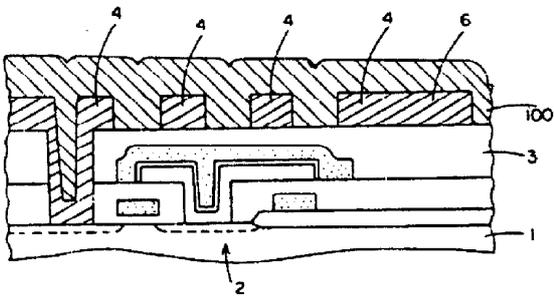
도면2A



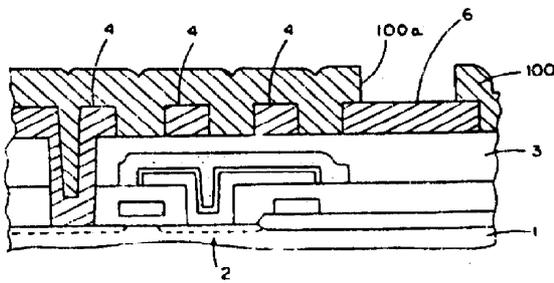
도면2B



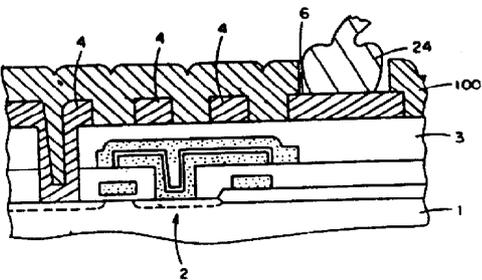
도면2C



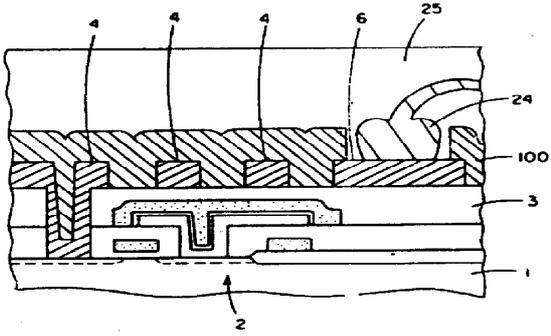
도면2D



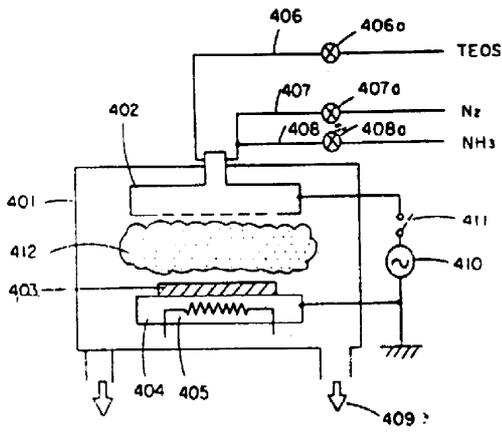
도면2E



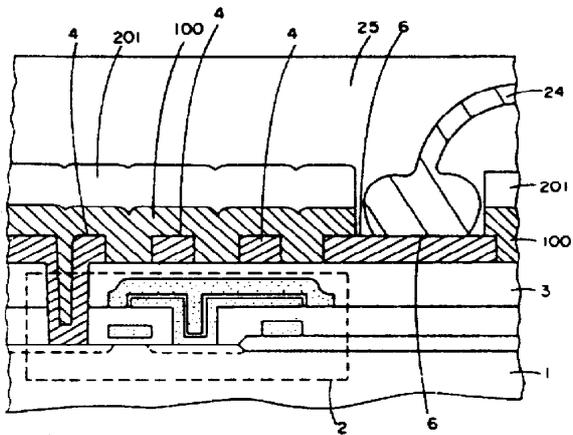
도면2F



도면3

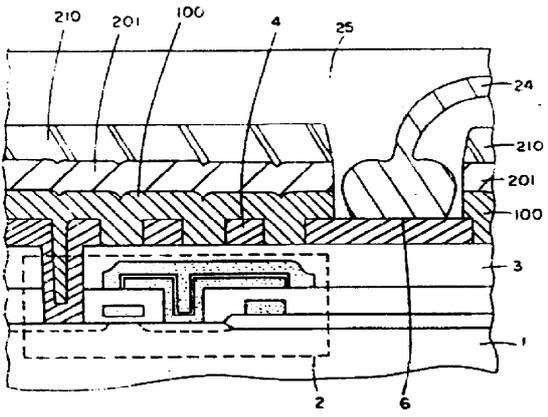


도면4

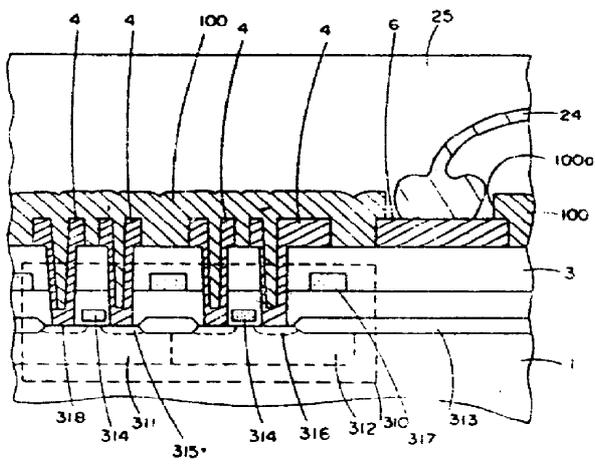




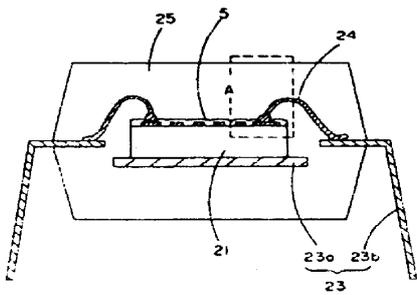
도면8



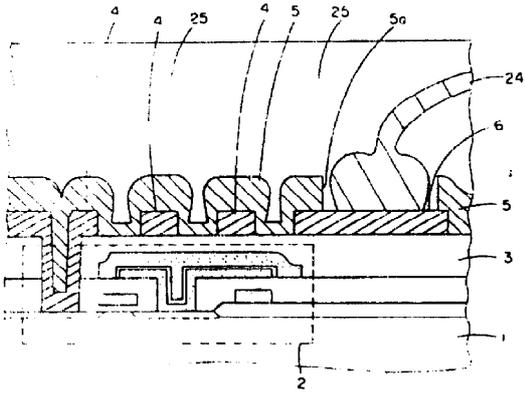
도면9



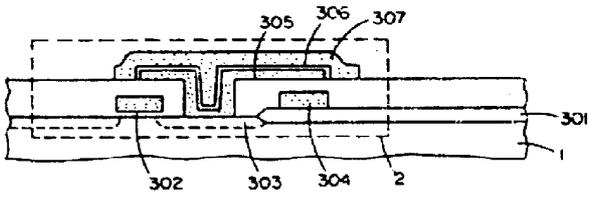
도면10



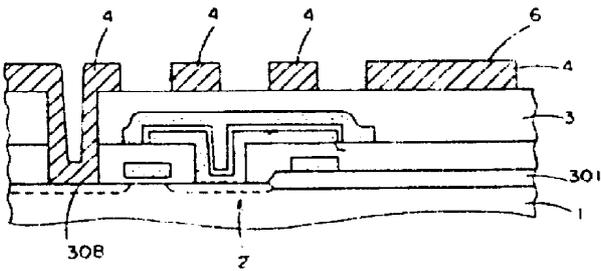
도면11



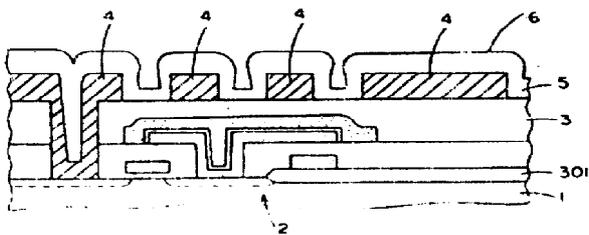
도면12A



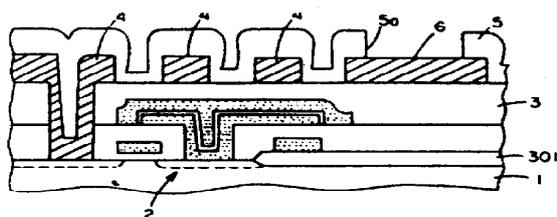
도면12B



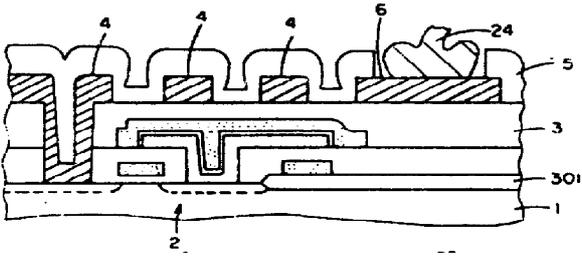
도면12C



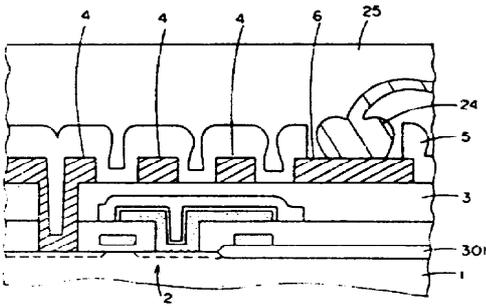
도면12D



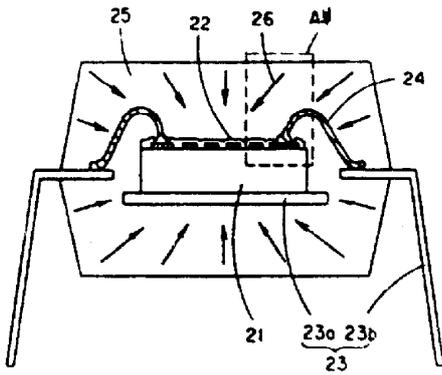
도면 12E



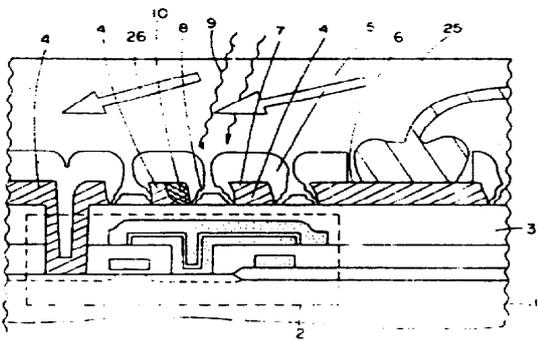
도면 12F



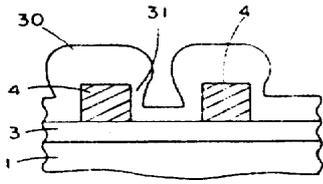
도면 13



도면 14



도면 15A



도면 15B

