



(12) 发明专利

(10) 授权公告号 CN 101622608 B

(45) 授权公告日 2016. 04. 20

(21) 申请号 200880006535. 2

G06F 12/00(2006. 01)

(22) 申请日 2008. 09. 08

(56) 对比文件

(30) 优先权数据

US 2007/0033332 A1, 2007. 02. 08,

339946/2007 2007. 12. 28 JP

审查员 冯骥

(85) PCT国际申请进入国家阶段日

2009. 08. 28

(86) PCT国际申请的申请数据

PCT/JP2008/066508 2008. 09. 08

(87) PCT国际申请的公布数据

W02009/084286 EN 2009. 07. 09

(73) 专利权人 株式会社东芝

地址 日本东京都

(72) 发明人 橘内和也 菅野伸一 矢野浩邦

檜田敏克 矢野纯二

(74) 专利代理机构 北京市中咨律师事务所

11247

代理人 杨晓光 杨博

(51) Int. Cl.

G06F 12/16(2006. 01)

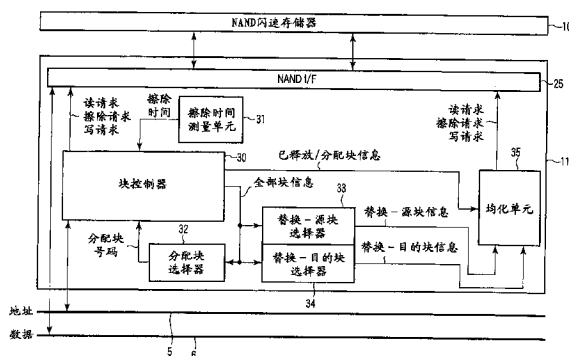
权利要求书4页 说明书17页 附图25页

(54) 发明名称

存储器系统

(57) 摘要

一种存储器系统,包括:非易失性存储器,其包括作为数据擦除单元的多个块;测量单元,其测量每个块的数据被擦除的擦除时间;以及块控制器,其将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块。



1. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

第一选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为使用中状态的预设数量的块中,选择擦除计数最小的第二个块;

第二选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为空闲状态的预设数量的块中,选择擦除计数最大的第三个块;以及

均化单元,其计算所述第二个块与所述第三个块的擦除计数之间的差,并在所述差超过阈值时将所述第二个块的数据移动到所述第三个块中。

2. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

第一选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为使用中状态的预设比例的块中,选择擦除计数最小的第二个块;

第二选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为空闲状态的预设比例的块中,选择擦除计数最大的第三个块;以及

均化单元,其计算所述第二个块和所述第三个块的擦除计数之间的差,并且在所述差超过阈值时,将所述第二个块的数据移动到所述第三个块中。

3. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

第一选择器,其基于所述块表的信息,在被设置为使用中状态且擦除时间比预设时间老的块中选择擦除计数最小的第二个块;

第二选择器,其基于所述块表的信息,在被设置为空闲状态且擦除时间比预设时间老的块中选择擦除计数最大的第三个块;以及

均化单元,其计算所述第二个块和所述第三个块的擦除计数之间的差,并且在所述差超过阈值时,将所述第二个块的数据移动到所述第三个块中。

4. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

管理单元,其管理与关于所述非易失性存储器的擦除间隔对应的载荷大小,并生成指示所述载荷大小的载荷集中程度;

均化确定单元,其在所述载荷集中程度超过阈值时,将被设置为使用中状态的第二个块中的数据移动到被设置为空闲状态的第三个块中;

第一选择器,其基于所述块表的信息选择第二个块;以及

第二选择器,其基于所述块表的信息选择第三个块,

其中,所述第二个块是在从擦除时间最老的块开始的被设置为使用中状态的预设数量的块中擦除计数最小的块,

所述第三个块是在从擦除时间最老的块开始的被设置为空闲状态的预设数量的块中擦除计数最大的块。

5. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

管理单元,其管理与关于所述非易失性存储器的擦除间隔对应的载荷大小,并生成指示所述载荷大小的载荷集中程度;

均化确定单元,其在所述载荷集中程度超过阈值时,将被设置为使用中状态的第二个块中的数据移动到被设置为空闲状态的第三个块中;

第一选择器,其基于所述块表的信息选择第二个块;以及

第二选择器,其基于所述块表的信息选择第三个块,

其中,所述第二个块是在从擦除时间最老的块开始的被设置为使用中状态的预设比例的块中擦除计数最小的块,以及

所述第三个块是在从擦除时间最老的块开始的被设置为空闲状态的预设比例的块中擦除计数最大的块。

6. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

管理单元,其管理与关于所述非易失性存储器的擦除间隔对应的载荷大小,并生成指示所述载荷大小的载荷集中程度;

均化确定单元,其在所述载荷集中程度超过阈值时,将被设置为使用中状态的第二个块中的数据移动到被设置为空闲状态的第三个块中;

第一选择器,其基于所述块表的信息选择第二个块;以及

第二选择器,其基于所述块表的信息选择第三个块,

其中,所述第二个块是在被设置为使用中状态且擦除时间比预设时间老的块中擦除计数最小的块,以及

所述第三个块是在被设置为空闲状态且擦除时间比预设时间老的块中擦除计数最大的块。

7. 一种存储器系统,包括:

非易失性存储器,包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;以及

块控制器,其具有块表,所述块表指示对于每个块的状态值与擦除时间之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个,并将至少从外部提供的数据写入被设置为空闲状态且擦除时间最老的第一个块;

管理单元,其管理与关于所述非易失性存储器的擦除间隔对应的载荷大小,并生成指示所述载荷大小的载荷集中程度;所述管理单元包括:增加值表,其指示多个擦除时间和对应于各个擦除时间而设置的增加值;以及第二计数器,每当块被从空闲状态更新为使用中状态时,其增加对应于该块的擦除时间的增加值,每当块被从使用中状态更新为空闲状态时,所述第二计数器增加对应于该块的擦除时间的增加值;

均化确定单元,其在所述载荷集中程度超过均化阈值时,将被设置为使用中状态的第二个块中的数据移动到被设置为空闲状态的第三个块中,

所述载荷集中程度对应于所述第二计数器的计数值。

8. 根据权利要求7所述的系统,进一步包括均化限制单元,该均化限制单元基于所述载荷集中程度,限制所述均化确定单元进行的均化处理的 数量,并生成指示均化处理是否被执行的逻辑值,

其中,所述均化确定单元基于所述逻辑值确定是否执行所述均化处理。

9. 根据权利要求8所述的系统,其中,所述均化限制单元包括:

随机数生成单元,其生成随机数;以及

随机数确定单元,其确定所述随机数是否小于限制的阈值,以及基于确定结果生成所述逻辑值。

10. 一种存储器系统,包括:

非易失性存储器,其包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;

块控制器,其计数每个块的擦除计数,并具有块表,该块表指示对于每个块的状态值、所述擦除时间和所述擦除计数之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个;

第一选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为空闲状态的预设数量的块中,选择擦除计数最小的第一个块,

第二选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为使用中状态的预设数量的块中,选择擦除计数最小的第二个块;

第三选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为空闲状

态的预设数量的块中,选择擦除计数最大的第三个块;以及

均化单元,其计算所述第二个块和所述第三个块的擦除计数之间的差,并在所述差超过阈值时将所述第二个块的数据移动到所述第三个块中;

其中,所述块控制器将至少从外部提供的数据写入所述第一个块。

11. 一种存储器系统,进一步包括:

非易失性存储器,其包括作为数据擦除单元的多个块;

测量单元,其测量每个块的数据被擦除的擦除时间;

块控制器,其计数每个块的擦除计数,并具有块表,该块表指示对于每个块的状态值、所述擦除时间和所述擦除计数之间的对应关系,其中,所述状态值指示空闲状态和使用中状态中的一个;

第一选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为空闲状态的预设数量的块中,选择擦除计数最小的第一个块,

第二选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为使用中状态的预设比例的块中,选择擦除计数最小的第二个块;

第三选择器,其基于所述块表的信息,在从擦除时间最老的块开始的被设置为空闲状态的预设比例的块中,选择擦除计数最大的第三个块;以及

均化单元,其计算所述第二个块和所述第三个块的擦除计数之间的差,并在所述差超过阈值时将所述第二个块的数据移动到所述第三个块中;

其中,所述块控制器将至少从外部提供的数据写入所述第一个块。

存储器系统

技术领域

[0001] 本发明涉及一种存储器系统,例如具有 NAND 闪速存储器的存储器系统。

背景技术

[0002] 近来,非易失性半导体存储器被用于例如大型计算机、个人计算机、家用电器、便携电话等的各个部分中。特别地,NAND 闪速存储器是这样的非易失性半导体存储器,其是可电重写的,并且可以以大容量和高集成密度被构成。另外,最近考虑使用 NAND 闪速存储器来取代硬盘驱动器 (HDD)。

[0003] NAND 闪速存储器是一种在写处理被执行之前需要擦除处理的半导体存储器。其使用寿命取决于重写操作的数量。NAND 闪速存储器中的数据写/擦除操作将通过在基底与控制栅极之间施加高电压来对浮动栅极注入/释放电子。如果以上操作被执行很多次,则围绕浮动栅极的栅极氧化膜被降级 (degrade),并且注入到浮动栅极中的电子被抽出而破坏数据。也就是说,当重写操作的次数增加时,数据在被写入之后被保持的时间长度变短(保持特征被降级)。

[0004] 另外,利用个人计算机等记录的数据具有时间局部性和区域局部性这两者(文献 1:David A. Patterson 和 John L. Hennessy,“Computer Organization and Design: The Hardware/Software Interface”,Morgan Kaufmann 出版,2004/8/31)。因此,如果当数据被记录时,数据项被按照被从外部指定的地址中的那样顺序地记录,则重写处理即擦除处理在短时间内被集中在指定区域中,并且因此擦除处理的数量变得很大程度上不均衡。

[0005] 已知的是 NAND 闪速存储器的使用寿命还取决于擦除处理之间的间隔,并且,随着该间隔变得更长,保持特征变得更好,且使用寿命变得更长(文献 2:Neal Mielke 等,“Flash EEPROM Threshold Instabilities due to Charge Trapping During Program/Erase Cycling”,IEEE 设备和材料可靠性学报,第 4 卷,第 3 号,2004 年 9 月,第 335-344 页)。这还表明随着擦除间隔变得更短,保持特征变得降级,且使用寿命变得更短。

[0006] 另外,已知的是即使在写操作被以短间隔执行时保持特征也被恢复,除非擦除处理被以对应的长时间段执行(文献 3:Neal Mielke 等,“Recovery Effects in the Distributed Cycling of Flash Memories”,第 44 年度国际可靠性物理讨论会,圣何塞,2006,第 29-35 页)。

发明内容

[0007] 根据本发明的一方面,提供了一种存储器系统,包括:非易失性存储器,其包括作为数据擦除单元的多个块;测量单元,其测量每个块的数据被擦除的擦除时间;以及块控制器,其将至少提供自外部的数据写入被设置为空闲状态且擦除时间最老 (oldest) 的第一个块。

[0008] 根据本发明的一方面,提供了一种存储器系统,包括:非易失性存储器,其包括作为数据擦除单元的多个块;测量单元,其测量每个块的数据被擦除的擦除时间;块控制器,

其计算每个块的擦除计数,并且具有指示对于每个块的状态值、擦除时间和擦除计数之间的对应关系的块表,其中,所述状态值指示空闲状态和使用中状态中的一个;以及第一选择器,其基于所述块表的信息,在从擦除时间最老的块开始被设置为空闲状态的预设数量的块中,选择擦除计数最小的第一个块,其中,所述块控制器将至少提供自外部的数据写入所述第一个块。

[0009] 根据本发明的一方面,提供了一种存储器系统,包括:非易失性存储器,其包括作为数据擦除单元的多个块;测量单元,其测量每个块的数据被擦除的擦除时间;块控制器,其计算每个块的擦除计数,并且具有指示对于每个块的状态值、擦除时间和擦除计数之间的对应关系的块表,其中,所述状态值指示空闲状态和使用中状态中的一个;以及第一选择器,其基于所述块表的信息,从擦除时间最老的块开始,在被设置为空闲状态的预设比例的块中选择擦除计数最小的第一个块,其中,所述块控制器将至少提供自外部的数据写入所述第一个块。

[0010] 根据本发明的一方面,提供了一种存储器系统,包括:非易失性存储器,其包括作为数据擦除单元的多个块;测量单元,其测量每个块的数据被擦除的擦除时间;块控制器,其计算每个块的擦除计数,并且具有指示对于每个块的状态值、擦除时间和擦除计数之间的对应关系的块表,其中,所述状态值指示空闲状态和使用中状态中的一个;以及第一选择器,其基于所述块表的信息,在被设置为空闲状态且擦除时间比预设时间老的块中选择擦除计数最小的第一个块,其中,所述块控制器将至少提供自外部的数据写入所述第一个块。

附图说明

[0011] 图 1 是示出包括根据本发明的第一实施例的存储器系统 1 的计算机系统的示例的示意图;

[0012] 图 2 是示出根据第一实施例的存储系统 1 的配置的示意图;

[0013] 图 3A 是示出包括在 NAND 闪存存储器 10 中的块的排列的电路图;

[0014] 图 3B 是示出在四级数据记录系统中获得的阈值分布示例的图;

[0015] 图 4 是用于阐明 NAND 控制器 11 的示例的框图;

[0016] 图 5 是示出块控制器 30 和擦除时间测量单元 31 的配置的框图;

[0017] 图 6 是用于示例性说明 NAND 控制器 11 的一系列写操作的流程图;

[0018] 图 7 是用于示例性说明 NAND 控制器 11 的块释放操作的流程图;

[0019] 图 8 是示出分配块选择器 32 的配置的框图;

[0020] 图 9 是用于示例性说明分配块选择器 32 的分配块选择处理的流程图;

[0021] 图 10 是用于示例性说明 NAND 控制器 11 的块分配处理的流程图;

[0022] 图 11 是用于示例性说明 NAND 控制器 11 的块擦除处理的流程图;

[0023] 图 12 是示出均化 (leveling) 单元 35 的配置的框图;

[0024] 图 13 是用于示例性说明 NAND 控制器 11 的均化处理的流程图;

[0025] 图 14 是示出替换-源块选择器 33 的配置的框图;

[0026] 图 15 是用于示例性说明替换-源块选择器 33 的替换-源块选择处理的流程图;

[0027] 图 16 是示出替换-目的块选择器 34 的配置的框图;

[0028] 图 17 是用于示例性说明替换-目的块选择器 34 的替换-目的块选择处理的流程

图；

[0029] 图 18 是示出根据本发明的第二实施例的分配块选择器 32 的配置的框图；

[0030] 图 19 是用于示例性说明分配块选择器 32 的分配块选择处理的流程图；

[0031] 图 20 是示出根据本发明的第三实施例的均化单元 35 的配置的框图；

[0032] 图 21 是示出均化限制单元 37 的配置的框图；

[0033] 图 22 是用于示例性说明 NAND 控制器 11 的均化处理的流程图；

[0034] 图 23 是用于示例性说明均化限制单元 37 的随机数确定处理的流程图；

[0035] 图 24 是示出根据本发明的第四实施例的 NAND 控制器 11 的配置的框图；

[0036] 图 25 是示出均化单元 35 的配置的框图；

[0037] 图 26 是用于示例性说明 NAND 控制器 11 的均化处理的流程图；

[0038] 图 27 是示出根据一个实施例的 SSD 100 的配置的框图；

[0039] 图 28 是示出驱动控制电路 102 的配置的框图；

[0040] 图 29 是示出处理器 107 的配置的框图；

[0041] 图 30 是示出在其上安装了 SSD 100 的便携式计算机 200 的一个示例的透视图；以及

[0042] 图 31 是示出使用 SSD 100 的便携式计算机 200 的系统配置示例的框图。

具体实施方式

[0043] 现在将参考附图描述本发明的实施例。在以下阐述中，具有相同功能和配置的元件通过相同的符号来表示，并且仅在需要的情况下做出重复阐述。

[0044] 【第一个实施例】

[0045] 本实施例的存储器系统被安装在安装有主机设备的印刷电路板上，并且经由总线与所述主机设备交换数据。可替换地，本实施例的存储器系统被设计为可拆卸地附到主机设备。该存储器系统连接到所述主机设备，并且经由总线与主机设备交换数据。图 1 是示出包括本实施例的存储器系统 1 的计算机系统示例的示意图。

[0046] 计算机系统包括中央处理单元 (CPU) 2、例如动态随机访问存储器 (DRAM) 的主存储器 3、用于控制主存储器 3 的存储器控制器 4 和本实施例的存储器系统 1。CPU 2、主存储器 3 和存储器系统 1 经由用于处理地址的地址总线 5 和用于处理数据的数据总线 6 互连接。

[0047] 在该计算机系统中，如果来自 CPU 2 的传输请求（读请求或写请求）是写请求，则 CPU 2 的数据（包括外部输入的数据）或主存储器 3 的数据被传输到存储器系统 1。如果来自 CPU 2 的该传输请求是读请求，则存储器系统 1 的数据被传输到 CPU 2 或主存储器 3。

[0048] 存储器系统 1 包括作为一种非易失性半导体存储器的 NAND 闪速存储器 10 和用于控制 NAND 闪速存储器 10 的 NAND 控制器 11。存储器系统 1 的配置的示例将在下面阐述。

[0049] 【1. 存储器系统 1 的配置】

[0050] 图 2 是示出存储器系统 1 的配置的示意图。存储器系统 1 包括 NAND 闪速存储器 10 和 NAND 控制器 11。NAND 控制器 11 包括主机接口电路（主机 I/F）21、微处理单元 (MPU) 22、只读存储器 (ROM) 23、随机访问存储器 (RAM) 24 和 NAND 接口电路 (NAND I/F) 25。

[0051] 主机接口电路 21 根据预定协议执行 NAND 控制器 11 与主机设备 (CPU 2、主存储器

3 等)之间的接口处理。

[0052] MPU 22 控制存储器系统 1 的整体运转。例如,当存储器系统 1 的电源被打开时,MPU 22 将存储在 ROM 23 中的固件(控制程序)读到 RAM24 中并执行预定处理,由此形成 RAM 24 上的各种表。MPU 22 还接收来自主机设备的写请求、读请求和擦除请求,并根据这些请求在 NAND 闪速存储器 10 上执行预定处理。

[0053] ROM 23 存储例如将由 MPU 22 控制的控制程序。RAM 24 被用作 MPU 22 的工作区域,并存储从 ROM 23 加载的控制程序和各种表。NAND 接口电路 25 根据预定协议执行 NAND 控制器 11 与 NAND 闪速存储器 10 之间的接口处理。

[0054] 通过排列多个作为数据擦除的最小单元的块来形成 NAND 闪速存储器 10。图 3A 是示出包括在 NAND 闪速存储器 10 中的块的排列的电路图。每个块包括沿 X 方向按顺序排列的 $(m+1)$ 个 NAND 串(string) (m 为大于等于 0 的整数)。包括在 $(m+1)$ 个 NAND 串中的每个串中的选择晶体管 ST1 具有连接到位线 BL0 到 BL m 中对应的一个的漏极,以及连接到公共选择栅极线 SGD 的栅极。包括在 $(m+1)$ 个 NAND 串中的每个串中的选择晶体管 ST2 具有连接到公共源极线 SL 的源极,以及连接到公共选择栅极线 SGS 的栅极。

[0055] 在每个 NAND 串中, $(n+1)$ 个存储器基元晶体管 MT 被安排在选择晶体管 ST1 的源极与选择晶体管 ST2 的漏极之间,从而存储器基元晶体管 MT 的电流路径被串联地连接 (n 为大于等于 0 的整数)。也就是说, $(n+1)$ 个存储器基元晶体管 MT 在 Y 方向上被串联地连接,从而相邻晶体管共享扩散区(源极区或漏极区)。

[0056] 控制栅电极从位于漏极侧最近处的存储器基元晶体管 MT 开始按顺序连接到字线 WL0 至 WLn。从而连接到字线 WL0 的存储器基元晶体管 MT 的漏极被连接到选择晶体管 ST1 的源极,并且连接到字线 WLn 的存储器基元晶体管 MT 的源极被连接到选择晶体管 ST2 的漏极。

[0057] 字线 WL0 至 WLn 将块中的 NAND 串之间的存储器基元晶体管 MT 的控制栅电极连接在一起。也就是说,块中同一行上的存储器基元晶体管 MT 的控制栅电极被连接到相同的字线 WL。连接到相同字线 WL 的 $(m+1)$ 个存储器基元晶体管 MT 被作为页来处理,并且,数据写和读被逐页地执行。

[0058] 位线 BL0 至 BL m 将块之间的选择晶体管 ST1 的漏极连接在一起。也就是说,多个块中同一列中的 NAND 串被连接到相同的位线 BL。

[0059] 每个存储器基元晶体管 MT 是金属氧化物半导体场效应晶体管(MOSFET),其具有在半导体基底上形成的堆叠栅极结构。通过在半导体基底上顺序地堆叠栅极绝缘膜、电荷存储层(浮动栅电极)、栅极间(intergate)绝缘膜和控制栅电极而形成所述堆叠栅极结构。存储器基元晶体管 MT 根据存储在浮栅电极中的电子的数量来改变其阈值电压,并根据阈值电压之间的差异来存储数据。存储器基元晶体管 MT 可以被设计为存储二进制数据(一位)或多级数据(具有两个或更多位的数据)。

[0060] 存储器基元晶体管 MT 的结构不限于具有浮栅电极的结构,并且还可以是例如金属氧化物氮化物氧化物硅(MONOS)结构的结构,该结构中,可以通过在作为电荷存储层的氮化物膜界面中俘获电子来调整阈值。具有该 MONOS 结构的存储器基元晶体管 MT 也可以被设计为存储一位或多级(multilevel)数据(具有两个或更多位的数据)。

[0061] 图 3B 示出了当四级数据记录系统被使用时获得的阈值分布的示例,即,所述系统

中两个位被记录在一个存储器晶体管 MT 中。

[0062] 在四级数据记录系统中,由上部页 (upper page) 数据“x”和下部页 (lower page) 数据“y”定义的四级数据“xy”中的一个可以被保持在存储器基元晶体管 MT 中。

[0063] 数据“11”、“01”、“00”和“10”(其按存储器基元晶体管 MT 的阈值电压的升序排列)作为四级数据“xy”被指派。数据“11”代表擦除状态,该状态中存储器基元晶体管 MT 的阈值电压为负。

[0064] 在下部页写中,通过选择性地将低位数据“y”写入处于数据“11”状态(擦除状态)的存储器基元晶体管 MT 来写数据“10”。

[0065] 处在上部页写之前的数据“10”的阈值分布位于处在上部页写之后的数据“01”和数据“00”的阈值分布之间。数据“10”的阈值分布被允许宽于上部页写之后的数据的阈值分布。

[0066] 在上部页写中,高位数据“x”被选择性地写入处于数据“11”状态的存储基元和处于数据“10”状态的存储器基元。

[0067] 本发明的每个实施例中的每个功能框可以通过硬件、软件或硬件和软件的组合来实现。因此,在下面,将从其功能的角度来阐述每个功能框,以便清楚地示出该框可以是硬件和软件中的一个或两个。功能作为硬件还是软件被实现取决于实际实施例或施加于整个系统的设计限制。本领域技术人员可以针对每个实际实施例通过各种方法来实现这些功能,并且本发明的范围包括实现的确定。

[0068] NAND 控制器 11 的具体配置的一个示例被阐述。图 4 是用于阐述 NAND 控制器 11 的一个示例的框图。

[0069] NAND 控制器 11 包括块控制器 30、擦除时间测量单元 31、分配块选择器 32、替换-源块选择器 33、替换-目的块选择器 34、均化单元 35 和 NAND 接口电路 (NAND I/F) 25。

[0070] 擦除时间测量单元 31 测量每当 NAND 闪速存储器 10 的每个块的数据被擦除时的块擦除时间。然后,擦除时间测量单元 31 将擦除时间发送到块控制器 30。

[0071] 块控制器 30 管理用于每个块的各种信息项(包含擦除时间)。此外,块控制器 30 响应于来自 CPU 2 的传输请求,向 NAND 闪速存储器 10 发出写请求、读请求和擦除请求。具体地,块控制器 30 具有将在随后被描述的地址表 30A 和块表 30B,并通过使用以上表来发出写请求、读请求和擦除请求。

[0072] 例如,当分配块选择器 32 将提供自外部单元 (CPU 2 或主存储器 3) 的新数据写入 NAND 闪速存储器 10 时,其选择被分配用于写处理的块(该块在以下被称为分配块)。然后,分配块选择器 32 将对应于分配块的块号码 (block number) (分配块号码) 发送到块控制器 30。作为将被写入 NAND 闪速存储器 10 的数据,两种类型的数据项被提供,其包括从存储器系统 1 的外部提供的用户数据和存储器系统 1 的内部部分管理所需的系统数据。

[0073] 均化单元 35 执行将在随后被描述的均化处理。均化单元 35 在执行均化处理时向 NAND 闪速存储器 10 发出写请求、读请求和擦除请求。均化处理意味着块的擦除处理的数量被设为近似统一(所谓的磨损均化处理)。由此,由于通过将块的擦除处理的数量设为近似统一,可以防止擦除处理被集中于所述块中的一部分,因而 NAND 闪速存储器 10 的使用寿命可以被延长。

[0074] 替换-源块选择器 33 选择用于由均化单元 35 进行均化处理的数据替换源的块

(该块以下被称为替换-源块)。替换-目的块选择器 34 选择用于由均化单元 35 进行均化处理的数据替换目的块(该块以下被称为替换-目的块)。

[0075] NAND 接口电路 25 接收来自块控制器 30 和均化单元 35 的写请求、读请求和擦除请求。然后, NAND 接口电路 25 根据以上请求将数据写操作、读操作和擦除操作通知给 NAND 闪速存储器 10。

[0076] 图 5 是示出块控制器 30 和擦除时间测量单元 31 的配置的框图。块控制器 30 包括地址表 30A、块表 30B 和算术单元 30C。

[0077] 地址表 30A 示出包含经由地址总线从主机设备(CPU 2)提供的地址的地址区域(逻辑块地址)与对应于该地址区域的 NAND 闪速存储器 10 中的块号码(物理块地址)之间的关系。块控制器 30 可以通过使用地址表 30A 来指定包含从主机设备提供的地址的地址区域中的数据所对应的一个块。例如,在将在随后描述的块释放处理和块分配处理时更新地址表 30A。

[0078] 块表 30B 存储块状态、数据被擦除的数量(擦除计数)以及作为信息被从擦除时间测量单元 31 提供的擦除时间,其中块状态指示在地址表 30A 中没有设置块号码(该状态以下被称为空闲状态)或在地址表 30A 中设置了块号码(该状态以下被称为使用中状态)。例如,在将在随后描述的块释放处理、块分配处理和块擦除处理时更新块表 30B。

[0079] 当块状态被设置为空闲状态时,不论事实上是否在 NAND 闪速存储器 10 中对该块执行了擦除处理,从主机设备角度看,对应于该块的地址区域被认为是没有任何数据被存储的空闲区域。另一方面,当块状态被设置为使用中状态时,从主机设备角度看,对应于该块的地址区域被认为是数据被存储在其中的使用中区域。

[0080] 实际上,地址表 30A 和块表 30B 被存储在 RAM 24 中或 RAM 24 和 NAND 闪速存储器 10 这两者中。然而,每当 RAM 24 被更新时,以非易失方式存储在 NAND 闪速存储器 10 中的地址表 30A 和块表 30B 并非总是有必要被更新。

[0081] 每当 NAND 闪速存储器 10 的数据被擦除时,对于包含在块表 30B 中的经历擦除处理的块,算术单元 30C 将擦除计数加“1”。实际上,算术单元 30C 的处理通过 MPU 22 来执行。

[0082] 块控制器 30 接收来自分配块选择器 32 的分配块号码。然后,块控制器 30 通过使用该分配块号码来更新地址表 30A 的块号码。此外,块控制单元 30 将对应于分配块号码的块表 30B 中的信息(分配块信息)和在块分配时被释放的块的信息(已释放块信息)发送到均化单元 35。

[0083] 块控制器 30 通过使用块表 30B 将包含在 NAND 闪速存储器 10 中的所有块的信息项(全体块信息)发送到分配块选择器 32、替换-源块选择器 33 和替换-目的块选择器 34。

[0084] 擦除时间测量单元 31 包括计算擦除计数的擦除-计数计数器 31A 和更新擦除-计数计数器 31A 的计数值的算术单元 31B。擦除时间测量单元 31 测量对 NAND 闪速存储器 10 中的块执行的擦除处理的数量,并将由此测量出的数作为擦除时间输出。

[0085] 具体地,每当块中的任一个被擦除时,算术单元 31B 将擦除-计数计数器 31A 加“1”。擦除计数计数器 31A 的计数值(擦除数, erase number)被作为擦除时间提供给块控制器 30(具体地,块表 30B)。在该示例的擦除时间测量单元 31 中,随着擦除数被设置得更

小,擦除时间变得更老。实际上,算术单元 31B 的处理通过 MPU 22 来执行。

[0086] 作为擦除时间,除以上情况外,擦除处理被执行的时间(擦除计时,erase timing)、NAND 控制器 11 的电源时间等可以被使用。在擦除计时被用作擦除时间的情况下,擦除时间测量单元 31 具有时钟,并输出擦除处理被执行时的定时作为擦除时间。在电源时间被用作擦除时间的情况下,擦除时间测量单元 31 具有计时器,每当擦除处理被执行时,测量等于每个擦除处理的电源时间,并输出该电源时间作为擦除时间。由此,擦除计数、擦除定时或电源时间可以被自由地选择和用作擦除时间。如果可以指定擦除时间的信息被使用,则可使用除以上三种类型之外的信息。

[0087] 【2. NAND 控制器 11 的写操作】

[0088] 接下来,NAND 控制器 11 的写操作被阐述。图 6 是用于示例性说明 NAND 控制器 11 的一系列写操作的流程图。

[0089] 首先,NAND 控制器 11 接收来自 CPU 2 的写请求,并开始写操作(步骤 S10)。然后,块控制器 30 通过使用地址表 30A 来确定块号码是否被关于包含写请求的地址的地址区域注册(块被分配)(步骤 S11)。如果块号码被注册(块被分配),则所述地址区域需要数据重写处理,并且因此,NAND 控制器 11 执行释放对应于所述块号码的块的块释放处理(步骤 S12)。

[0090] 如果在步骤 S11 中确定块号码未被注册(块未被分配),或者在块释放处理在步骤 S12 中被执行之后,分配块选择器 32 执行选择被分配给地址区域的块(分配块)的分配块选择处理(步骤 S13)。

[0091] 接下来,块控制器 30 通过使用对应于分配块的块号码(分配块号码)来执行块分配处理以便更新地址表 30A 和块表 30B(步骤 S14)。然后,块控制器 30 对分配块执行块擦除处理(步骤 S15)。

[0092] 此后,块控制器 30 将数据写入已被擦除的分配块(步骤 S16)。也就是说,块控制器 30 向 NAND 接口电路 25 发出写请求。NAND 接口电路 25 通知 NAND 闪速存储器 10:数据基于写请求被写入分配块。

[0093] 接下来,NAND 控制器 11 执行均化处理(步骤 S17)。在均化处理结束之后,终止 NAND 控制器 11 的一系列写操作。步骤 S17 中的均化处理可以在步骤 S13 中的分配块选择处理之前执行。

[0094] 包含在写操作中的各个处理在下面阐述。

[0095] 【2-1. 块释放处理】

[0096] 图 7 是用于示例性说明 NAND 控制器 11 的块释放处理的流程图。块控制器 30 将对应用于包含写请求的地址并且包含在地址表 30A 中的地址区域的块号码设置为未分配状态(步骤 S20)。接下来,块控制器 30 将包含在块表 30B 中的该块号码的状态设置为空闲状态。在块释放处理中新被设置为空闲状态的块以下被称为已释放块(步骤 S21)。

[0097] 然后,块控制器 30 将包含在块表 30B 中的已释放块的信息(已释放块信息)发送到均化单元 35。已释放块信息至少包含已释放块号码的擦除时间。均化单元 35 通过使用已释放块信息来更新将在随后描述的载荷集中的程度(步骤 S22)。

[0098] 【2-2. 分配块选择处理】

[0099] 图 8 是示出分配块选择器 32 的配置的框图。图 9 是用于示例性说明分配块选择

器 32 的分配块选择处理的流程图。

[0100] 分配块选择器 32 具有两个选择器 32A 和 32B。分配块选择器 32 接收来自块控制器 30 全部块信息（步骤 S30）。全部块信息被提供给选择器 32A。然后，选择器 32A 确认所有块的状态，并从所有块中提取处于空闲状态的块（步骤 S31）。在此之后，选择器 32A 将对应于空闲状态块的块信息（空闲状态块信息）发送到选择器 32B。

[0101] 接下来，选择器 32B 在由选择器 32A 提取的块中选择对应于最老擦除时间的块作为分配块（步骤 S32）。对应于该分配块的分配块号码被提供给块控制器 30。

[0102] 【2-3. 块分配处理】

[0103] 图 10 是用于示例性说明 NAND 控制器 11 的块分配处理的流程图。块控制器 30 将分配块的块号码设置到包括写请求的地址并且包含在地址表 30A 中的地址区域（步骤 S40）。然后，块控制器 30 将包含在块表 30B 中的块号码的状态设置为使用中状态（步骤 S41）。

[0104] 接下来，块控制器 30 将包含在块表 30B 中的分配块的信息（分配块信息）发送到均化单元 35。分配块信息至少包含分配块号码的擦除时间。均化单元 35 通过使用分配块信息来更新将在随后描述的载荷集中的程度（步骤 S42）。

[0105] 【2-4. 块擦除处理】

[0106] 图 11 是用于示例性说明 NAND 控制器 11 的块擦除处理的流程图。块控制器 30 向 NAND 接口电路 25 发出对分配块的擦除请求（步骤 S50）。响应于该擦除请求，NAND 接口电路 25 通知 NAND 闪速存储器 10 分配块的数据被擦除（步骤 S51）。然后，擦除时间测量单元 31（具体地，算术单元 31B）将擦除计数计数器 31A 的计数值（擦除数）加“1”（步骤 S52）。

[0107] 接下来，块控制器 30 更新包含在块表 30B 中对应于已擦除分配块的擦除计数和擦除时间（步骤 S53）。具体地，块控制器 30 通过使用从擦除时间测量单元 31 提供的擦除时间，来更新包含在块表 30B 中对应于已擦除分配块的块号码的擦除时间。此外，算术单元 30C 将包含在块表 30B 中的对应于已擦除分配块的块号码的擦除计数加“1”。

[0108] 【2-5. 均化处理】

[0109] 为了延长 NAND 闪速存储器 10 的使用寿命，有必要将各个块的擦除计数设置为彼此近似相等，同时避免在短时间内对特定区域频繁地执行重写处理。如果通过将各个块的擦除计数设置为彼此近似相等来尝试延长 NAND 闪速存储器 10 的使用寿命，则依据写状态，可以在短时间内过多地进行对于特定区域的重写处理。如果校正（均化）处理在短时间内被频繁地执行，则将增加由校正处理导致的擦除处理的数量，并且结果是，尽管可以使擦除计数近似统一，并且可以避免短时间内关于特定区域的写操作的集中，但使用寿命不能被延长。另一方面，如果使校正间隔过长，则具有短间隔的擦除处理被集中在特定区域，并且使用寿命被缩短。通过考虑以上事实，在本实施例的均化单元中，均化处理的数量被设为最优值，并且各个块的擦除计数被设为近似统一。

[0110] 通过使用均化单元 35、替换 - 源块选择器 33 和替换 - 目的块选择器 34 来执行均化处理。如之前描述的，均化处理可以在图 6 的分配块选择处理（步骤 S13）之前被执行。图 12 是示出均化单元 35 的配置的框图。

[0111] 均化单元 35 包括载荷集中程度管理单元 36、均化确定单元 35A 和存储均化阈值的存储单元 35B。均化确定单元 35A 通过使用均化阈值和从载荷集中程度管理单元 36 提供的载荷集中程度，来确定均化处理是否在当前写操作时被执行。当均化处理被执行时，均化确

定单元 35A 向 NAND 接口电路 25 提供伴随均化处理的读请求、擦除请求和写请求。

[0112] 载荷集中程度管理单元 36 包括已释放块增加值表 36A、分配块增加值表 36B、算术单元 36C 和载荷集中程度计数器 36D。载荷集中程度管理单元 36 接收来自块控制器 30 的已释放块信息和分配块信息。

[0113] 已释放块增加值表 36A 指示多个擦除时间和与其对应的多个增加值之间的对应关系。增加值的大小根据擦除时间改变,并且可以被设为正值、零和负值。所述增加值在擦除时间更新时被设置得较大,在擦除时间更老时被设置得较小。在更简化的情况下,当擦除时间超过预设值时,常数负增加值可以被输出,并且当擦除时间不超过所述预设值时,常数正增加值可以被输出。已释放块增加值表 36A 将与包含在已释放块信息中的擦除时间对应的增加值提供给算术单元 36C。

[0114] 同样,分配块增加值表 36B 指示多个擦除时间和与其对应的多个增加值之间的对应关系。增加值的大小根据擦除时间改变,并且可以被设为正值、零和负值。所述增加值在擦除时间更新时被设置得较大,在擦除时间更老时被设置得较小。在更简化的情况下,当擦除时间超过预设值时,常数负增加值可以被输出,当擦除时间不超过预设值时,常数正增加值可以被输出。分配块增加值表 36B 将与包含在分配块信息中的擦除时间对应的增加值提供给算术单元 36C。

[0115] 算术单元 36C 通过使用从已释放块增加值表 36A 和分配块增加值表 36B 提供的增加值,来更新载荷集中程度计数器 36D 的计数值。实际上,算术单元 36C 的处理通过 MPU 22 来执行。载荷集中程度计数器 36D 将计数值作为载荷集中程度提供给均化确定单元 35A。可以根据载荷集中程度的值来确定具有短间隔的擦除处理是否被频繁地执行。

[0116] 图 13 是用于示例性说明 NAND 控制器 11 的均化处理的流程图。均化确定单元 35A 确定从载荷集中程度管理单元 36 提供的载荷集中程度是否超过均化阈值(步骤 S60)。均化阈值被用于确定均化处理是否将被执行,并且基于 NAND 闪速存储器 10 的使用寿命(或数据保持时间段)被延长的程度这样的准则而设置均化阈值。

[0117] 每当数据被擦除时,NAND 闪速存储器 10 的保持特性被降级(也就是说,使用寿命被缩短)。如果擦除间隔变得更长,则 NAND 闪速存储器 10 的保持特性被逐渐地恢复。也就是说,如果擦除处理被以短间隔接连地执行,则由于不能达到保持特性的足够长的恢复时间,NAND 闪速存储器 10 的使用寿命被缩短。因此,在本实施例中,用于确定擦除间隔长还是短的准则被替换为用于确定载荷集中程度高还是低的准则。于是,基于载荷集中程度是否超过均化阈值来确定擦除处理是否被以短间隔接连地执行,并且仅在载荷集中程度已超过均化阈值时,均化处理被执行,以便防止擦除处理被集中于块的一部分。在设置均化阈值时,考虑 NAND 闪速存储器 10 的特性,所述特性指示通过将擦除间隔延长预设时间段,使用寿命可以被恢复的程度。

[0118] 如果在步骤 S60 中确定载荷集中程度超过均化阈值,则替换-源块选择器 33 执行替换-源块选择处理(步骤 S61)。通过替换-源块选择处理选择的替换-源块的信息(替换-源块信息)被提供给均化确定单元 35A。然后,替换-目的块选择器 34 执行替换-目的块选择处理(步骤 S62)。通过替换-目的块选择处理选择的替换-目的块的信息(替换-目的块信息)被提供给均化确定单元 35A。

[0119] 然后,块控制器 30 和载荷集中程度管理单元 36 执行块释放处理,以便释放通过替

换-源块选择器 33 选择的替换-源块 (步骤 S63)。块释放处理与图 7 中的相同。接下来,块控制器 30 和载荷集中程度管理单元 36 执行块分配处理,以便将通过替换-目的块选择器 34 选择的替换-目的块分配为替换-源块的数据被移动到的块 (步骤 S64)。块分配处理与图 10 中的相同。

[0120] 在此之后,NAND 控制器 11 读取包含在 NAND 闪速存储器 10 中的替换-源块的数据 (步骤 S65)。具体地,均化确定单元 35A 通过使用从替换-源块选择器 33 提供的替换-源块信息,向 NAND 接口电路 25 发出读请求。基于该读请求,NAND 接口电路 25 通知 NAND 闪速存储器 10:数据被从替换-源块读取。由此读取的数据被临时存储在 RAM 24 等中。

[0121] 然后,NAND 控制器 11 擦除包含在 NAND 闪速存储器 10 中的替换-目的块的数据 (步骤 S66)。具体地,均化确定单元 35A 通过使用从替换-目的块选择器 34 提供的替换-目的块信息,向 NAND 接口电路 25 发出擦除请求。基于该擦除请求,NAND 接口电路 25 通知 NAND 闪速存储器 10:替换-目的块的数据被擦除。此时,替换-目的块的擦除计数和擦除时间被块控制器 30 更新 (见图 11)。

[0122] 接下来,NAND 控制器 11 将从替换-源块读取的数据写入包含在 NAND 闪速存储器 10 中的替换-目的块 (步骤 S67)。具体地,均化确定单元 35A 通过使用替换-目的块信息向 NAND 接口电路 25 发出写请求。基于该写请求,NAND 接口电路 25 通知 NAND 闪速存储器 10:数据被写入替换-目的块。

[0123] 【2-5-1. 替换-源块选择处理】

[0124] 图 14 是示出替换-源块选择器 33 的配置的框图。图 15 是用于示例性说明替换-源块选择器 33 的替换-源块选择处理的流程图。

[0125] 替换-源块选择器 33 具有 33A 至 33C 三个选择器,以及存储替换-源块设置值的存储单元 33D。替换-源块选择器 33 接收来自块控制器 30 的全部块信息 (步骤 S70)。全部块信息被提供给选择器 33A。然后,选择器 33A 确认所有块的状态,并从所有块中提取被设置为使用中状态的块 (步骤 S71)。此后,选择器 33A 将对应于被设置为使用中状态的块的块信息 (使用中状态块信息) 提供给选择器 33B。

[0126] 接下来,选择器 33B 通过根据替换-源块设置值设置的条件下从使用中状态块信息中提取块信息 (步骤 S72)。对于替换-源块设置值,以下条件中的一个被设置。

[0127] (A) 从具有最老擦除时间的块开始的预设数量的块

[0128] (B) 从具有最老擦除时间的块开始的预设比例的块

[0129] (C) 擦除时间比预设时间老的块

[0130] 可以随意选择被用作替换-源块设置值的条件 (A) 至 (C) 中的一个。例如,如果条件 (A) 被用作替换-源块设置值,则选择器 33B 从被设置为使用中状态的块中从具有最老擦除时间的块开始提取预设数量的块。然后,选择器 33B 将对应于已提取块的块信息发送到选择器 33C。

[0131] 在条件 (A) 和 (B) 中,按照擦除时间的顺序拣选被设置为空闲状态的块,并且从具有最老擦除时间的块开始的预设数量或预设比例的块被搜索。因此,由于可以增加在步骤 S72 中选择的块的数量,因此具有较小擦除计数的块在步骤 S73 中被选择的概率被增大。在条件 (C) 中,由于仅对那些被设置为空闲状态并且擦除时间超过预设时间的块进行拣选就足够,所以处理载荷变得最小。在条件 (A) 和 (B) 中,总是提取从具有最老擦除时间的块开

始的预设数量或预设比例的块,在条件(C)中,提取擦除时间被通过预设时间段或更长而隔开的块。因此,在条件(C)中,擦除间隔总是可以被设置为比预设间隔长,并且因此,可减少擦除计数的比较候选的数量。

[0132] 接下来,选择器 33C 在由选择器 33B 提取的块中选择最小擦除计数的块作为替换-源块(步骤 S73)。对应于替换-源块的替换-源块信息被提供给均化确定单元 35A。

[0133] 通过以上替换-源块选择处理,存储不被频繁重写的数据的具有出色保持特性的块可被选择为替换-源块。

[0134] 【2-5-2. 替换-目的块选择处理】

[0135] 图 16 是示出替换-目的块选择器 34 的配置的框图。图 17 是用于示例性说明替换-目的块选择器 34 的替换-目的块选择处理的流程图。

[0136] 替换-目的块选择器 34 具有 34A 至 34C 三个选择器,以及存储替换-目的块设置值的存储单元 34D。替换-目的块选择器 34 接收来自块控制器 30 的全部块信息(步骤 S80)。全部块信息被提供给选择器 34A。然后,选择器 34A 确认所有块的状态,并在所有块中提取被设置为空闲状态的块(步骤 S81)。此后,选择器 34A 将对应于被设置为空闲状态的块的块信息(空闲状态块信息)提供给选择器 34B。

[0137] 接下来,选择器 34B 通过根据替换-目的块设置值设置的从空闲状态块信息中提取块信息(步骤 S82)。对于替换-目的块设置值,以下条件中的一个被设置。

[0138] (A) 从具有最老擦除时间的块开始的预设数量的块

[0139] (B) 从具有最老擦除时间的块开始的预设比例的块

[0140] (C) 擦除时间比预设时间老的块

[0141] 可以随意地选择被用作替换-目的块设置值的条件(A)至(C)中的一个。例如,如果条件(A)被用作替换-目的块设置值,则选择器 34B 从被设置为空闲状态的块中从具有最老擦除时间的块开始提取预设数量的块。然后,选择器 34B 将对应于已提取块的块信息发送到选择器 34C。

[0142] 在条件(A)和(B)中,按照擦除时间的顺序拣选被设置为空闲状态的块,并从最老块开始的预设数量或预设比例的块被搜索。因此,由于可以使在步骤 S82 中选择的块的数量较大,因此具有较小擦除计数的块在步骤 S83 中被选择的概率可以被增大。在条件(C)中,由于仅对那些被设置为空闲状态擦除时间超过预设时间的块进行拣选就足够,所以处理载荷变得最小。在条件(A)和(B)中,总是提取从具有最老擦除时间的块开始的预设数量或预设比例的块,在条件(C)中,提取擦除时间被预设时间段或更长隔开的块。因此,在条件(C)中,擦除间隔总是可以被设置为比预设间隔长,因此,擦除计数的比较候选的数量可以被减少。

[0143] 接下来,选择器 34C 在由选择器 34B 提取的块中选择最大擦除计数的块作为替换-目的块(步骤 S83)。对应于替换-目的块的替换-目的块信息被提供给均化确定单元 35A。

[0144] 通过以上替换-目的块选择处理,保持特性被降级到一定程度的被设置为空闲状态的块可被选择为替换-目的块。此后,已被存储在替换-源块中并且不被频繁重写的的数据被存储在替换-目的块中。作为结果,对于替换-目的块,数据擦除计数可以被减小,并且保持特性可以被恢复。

[0145] 如以上描述的,根据本实施例,每个块被擦除的时间被测量,并且,块以及以对应关系被设置的其擦除时间被存储在块表 30B 中。然后,当从外部提供的数据被写入 NAND 闪速存储器 10 时,被设置为空闲状态的块中对应于最老擦除时间的块被选择为分配块,以及,以上数据被写入该分配块中。

[0146] 因此,根据本实施例,由于对于每个块可以设置长的擦除间隔,所以可以通过使用保持特性可以通过设置长擦除间隔来恢复的存储器基元晶体管的特性,来抑制每个块的保持特性的降级。因此,NAND 存储器 10 的使用寿命可以被延长。

[0147] 此外,在本实施例中,NAND 闪速存储器 10 的保持特性的降级由载荷集中程度管理单元 36 制定为载荷集中程度,并且如果载荷集中程度超过均化阈值,则均化处理被执行。由此,均化处理的数量可以被设置为不频繁执行均化处理的最优值,并且可以使各个块的擦除计数近似统一。因此,可以防止通过增加一部分块的擦除计数而缩短 NAND 闪速存储器 10 的整体部分的使用寿命。

[0148] 此外,替换-源块选择处理将数据不被频繁重写的块选择为替换-源块,以及,保持特性被降级到一定程度的块被替换-目的块选择处理选择为替换-目的块。然后,已被存储在替换-源块中并且不被频繁重写的的数据被移动到替换-目的块。由此,可以通过执行均化处理来释放那些曾经被写、在长时间内被保持已分配且不被释放的块。因此,此后对于替换-目的块执行的数据擦除处理的数量可以被减少,并且替换-目的块的保持特性的降级可以被抑制。

[0149] 在多级数据记录系统被应用的情况下,需要对存储基元的晶体管 MT 的阈值分布的精细控制。因此,防止保持特性的降级是有利的。

[0150] 【第二实施例】

[0151] 本发明的第二实施例示出了由分配块选择器 32 进行的分配块选择处理的另一示例。当分配块被选择时,擦除时间老且擦除计数小的块被选为分配块。

[0152] 图 18 是示出分配块选择器 32 的配置的框图。图 19 是用于示例性说明分配块选择器 32 的分配块选择处理的流程图。除了分配块选择器 32 之外 NAND 控制器 11 的配置与第一实施例中的相同。

[0153] 分配块选择器 32 具有 32A 至 32C 三个选择器,以及存储分配块设置值的存储单元 32D。分配块选择器 32 接收来自块控制器 30 的全部块信息(步骤 S90)。全部块信息被提供给选择器 32A。然后,选择器 32A 确认所有块的状态,并从所有块中提取被设置为空闲状态的块(步骤 S91)。此后,选择器 32A 将对应于被设置为空闲状态的块的块信息(空闲状态块信息)提供给选择器 32B。

[0154] 接下来,选择器 32B 通过由分配块设置值设置的条件从空闲状态块信息中提取块信息(步骤 S92)。对于分配块设置值,以下条件中的一个被设置。

[0155] (A) 从具有最老擦除时间的块开始的预设数量的块

[0156] (B) 从具有最老擦除时间的块开始的预设比例的块

[0157] (C) 擦除时间比预设时间老的块

[0158] 可以随意选择被用作分配块设置值的条件(A)至(C)中的一个。例如,如果条件(A)被用作分配块设置值,则选择器 32B 从被设置为空闲状态的块中从具有最老擦除时间的块开始提取预设数量的块。然后,选择器 32B 将对应于已提取块的块信息发送到选择器

32C。

[0159] 在条件 (A) 和 (B) 中,被设置为空闲状态的块被按照擦除时间的顺序拣选,并且从最老块开始的预设数量或预设比例的块被搜索。因此,由于在步骤 S92 中选择的块的数量可以被增大,所以具有较小擦除计数的块在步骤 S93 中被选择的概率被增大。在条件 (C) 中,由于仅对被设置为空闲状态其中擦除时间超过预设时间的块进行拣选就足够,所以处理载荷变得最小。在条件 (A) 和 (B) 中,总是提取从具有最老擦除时间的块开始的预设数量或预设比例的块,在条件 (C) 中,擦除时间被预设时间段或更长隔开的块被提取。因此,在条件 (C) 中,擦除间隔总是可以被设置为比预设间隔长,以及因此,擦除计数的比较候选的数量可以被减少。

[0160] 接下来,选择器 32C 从由选择器 32B 提取的块中选择具有最小擦除计数的块作为分配块(步骤 S93)。对应于分配块的分配块号码被提供给块控制器 30。

[0161] 如以上详细描述,根据本实施例,当从外部提供的数据被写入到的分配块被选择时,在被设置为空闲状态的块中擦除时间老且擦除计数小的块可被选作分配块,因此,来自外部的数据可以被写入具有更优选保持特性的块,以及因此,NAND 闪速存储器 10 的使用寿命可以被延长。

[0162] 【第三实施例】

[0163] 通过执行均化处理可以使包含在 NAND 闪速存储器 10 中的所有块的擦除计数近似统一。然而,如果均化处理被过于频繁地执行,则由于由均化处理导致的擦除处理频繁发生,所以出现 NAND 闪速存储器 10 的使用寿命可能被阻止延长的可能。因此,在本实施例中,即使在载荷集中程度超过均化阈值时,均化处理的数量也被限制。

[0164] 图 20 是示出根据本发明的第三实施例的均化单元 35 的配置的框图。

[0165] 均化单元 35 包括载荷集中程度管理单元 36、均化确定单元 35A、存储均化阈值的存储单元 35B 和均化限制单元 37。载荷集中程度管理单元 36 的配置与第一实施例中的相同。

[0166] 均化限制单元 37 接收来自载荷集中程度管理单元 36 的载荷集中程度。然后,其基于载荷集中程度生成用于限制均化处理数量的逻辑值。该逻辑值被提供给均化确定单元 35A。当载荷集中程度超过均化阈值且来自均化限制单元 37 的逻辑值为真时,均化确定单元 35A 执行均化处理。

[0167] 图 21 是示出均化限制单元 37 的配置的框图。均化限制单元 37 包括随机数阈值表 37A、随机数生成单元 37B 和随机数确定单元 37C。

[0168] 随机数阈值表 37A 示出多个载荷集中程度和与其对应的多个随机数阈值之间的对应关系。随机数阈值表 37A 将与从载荷集中程度管理单元 36 提供的载荷集中程度对应的随机数发送到随机数确定单元 37C。可以根据随机阈值随意设置均化处理的数量被限制的程度。例如,在载荷集中程度高(也就是说,擦除处理被以短间隔接连地执行)的应用状态下,做出通过设置大的随机阈值来不过度地限制均化处理的数量的尝试。另一方面,在载荷集中程度低(也就是说,擦除间隔长)的应用状态下,通过设置小的随机阈值来较大程度地限制均化处理的数量。

[0169] 随机数生成单元 37B 生成随机数。随机数被提供给随机数确定单元 37C。随机数确定单元 37C 确定该随机数是否小于随机数阈值。然后,当随机数小于随机数阈值时,随机

数确定单元 37C 生成真逻辑值,当随机数大于或等于随机数阈值时生成假逻辑值。所述逻辑值被提供给均化确定单元 35A。

[0170] 接下来,具有以上配置的 NAND 控制器 11 的均化处理被阐述。图 22 是用于示例性说明 NAND 控制器 11 的均化处理的流程图。

[0171] 首先,均化确定单元 35A 确定从载荷集中程度管理单元 36 提供的载荷集中程度是否超过均化阈值(步骤 S60)。如果确定超过了均化阈值,则均化限制单元 37 执行随机数确定处理(步骤 S100)。

[0172] 图 23 是用于示例性说明均化限制单元 37 的随机数确定处理的流程图。首先,随机数生成单元 37B 生成随机数(步骤 S101)。然后,均化限制单元 37 通过使用随机数阈值表 37A,来计算对应于从载荷集中程度管理单元 36 提供的载荷集中程度的随机数阈值(步骤 S102)。

[0173] 接下来,随机数确定单元 37C 确定随机数是否小于随机数阈值(步骤 S103)。然后,当随机数小于随机数阈值时,随机数确定单元 37C 输出真逻辑值(步骤 S104)。另一方面,当随机数大于或等于随机数阈值时,随机数确定单元 37C 输出假逻辑值(步骤 S105)。

[0174] 再次参考图 22,均化确定单元 35A 确定从随机数确定单元 37C 输出的逻辑值(步骤 S106)。然后,当所述逻辑值为真时,均化确定单元 35A 执行均化处理(在第一实施例中示出的步骤 S61 至 S67)。此外,当所述逻辑值为假时,均化确定单元 35A 中断均化处理。

[0175] 如以上描述的,根据本实施例,即便在载荷集中程度超过均化阈值时,均化处理的数量也可以被限制。由此,可以防止增加由于由均化处理导致的擦除处理的数量,NAND 闪存存储器 10 的使用寿命可以被延长。

[0176] 此外,可以使包含在 NAND 闪存存储器 10 中的所有块的擦除计数近似统一,以及,均化处理的数量可以被设置为最优值。

[0177] **【第四实施例】**

[0178] 本发明的第四实施例在确定均化处理是否被执行的方法上不同于第一实施例,并且示出了在替换-源块的擦除计数与替换-目的块的擦除计数之间的差超过均化阈值时,均化处理被执行的示例。

[0179] 图 24 是示出根据本发明的第四实施例的 NAND 控制器 11 的配置的框图。基本上,NAND 控制器 11 与第一实施例中在图 4 示出的相同。NAND 控制器 11 在以下方面不同于第一实施例:均化单元 35 的内部部分,以及,从块控制器 30 提供给均化单元 35 的已释放块信息和分配块信息被忽略(未被使用)。

[0180] 图 25 是示出均化单元 35 的配置的框图。均化单元 35 包括均化确定单元 35A,和存储均化阈值的存储单元 35B。均化确定单元 35A 接收从替换-源块选择器 33 提供的替换-源块信息和从替换-目的块选择器 34 提供的替换-目的块信息。然后,均化确定单元 35A 计算包含在替换-源块信息中的擦除计数与包含在替换-目的块信息中的擦除计数之间的差,并且通过使用上述差和均化阈值来确定在当前写操作时是否执行均化处理。如果均化处理被执行,则均化确定单元 35A 向 NAND 接口电路 25 发出读请求、擦除请求和写请求。

[0181] 图 26 是用于示例性说明 NAND 控制器 11 的均化处理的流程图。首先,替换-源块选择器 33 执行替换-源块选择处理(步骤 S110)。由替换-源块选择处理选择的替换-源

块的信息（替换 - 源块信息）被提供给均化确定单元 35A。然后，替换 - 目的块选择器 34 执行替换 - 目的块选择处理（步骤 S111）。由替换 - 目的块选择处理选择的替换 - 目的块的信息（替换 - 目的块信息）被提供给均化确定单元 35A。在该情况下，替换 - 源块选择处理和替换 - 目的块选择处理与第一实施例中的相同。

[0182] 接下来，均化确定单元 35A 计算包含在替换 - 源块信息中的擦除计数与包含在替换 - 目的块信息中的擦除计数之间的差（步骤 S112）。然后，均化确定单元 35A 确定所计算的差是否超过均化阈值（步骤 S113）。均化阈值被用于确定是否执行均化处理，并且基于关于 NAND 闪速存储器 10 的使用寿命（或数据保持时间段）被延长的程度的准则来设置所述均化阈值。

[0183] 如果确定超过均化阈值，则块控制器 30 执行释放由替换 - 源块选择器 33 选择的替换 - 源块的块释放处理（步骤 S63）。块释放处理与第一实施例中的相同。此后，与第一实施例中图 13 的情况相似，NAND 控制器 11 执行步骤 S64 至 S67 的操作。

[0184] 如果在步骤 S113 中确定未超过均化阈值，则均化单元 35 中断均化处理。

[0185] 如以上描述的，根据本实施例，可以检测块之间的擦除计数的不均衡，并且可以通过执行均化处理来校正该不均衡。由此，由于可以使块的擦除计数彼此近似相等，所以 NAND 闪速存储器 10 的使用寿命可以被延长。

[0186] 第三实施例中所示的均化限制单元 37 可以被应用于第四实施例。

[0187] **【实施例】**

[0188] 阐述了通过将以上每个实施例的存储器系统 1 配置为固态驱动器 (SSD) 而获得的实施例。图 27 是示出 SSD 100 的配置的框图。

[0189] SSD 100 包括多个用于数据存储的 NAND 闪速存储器 (NAND 存储器) 10、用于数据传输或用于工作区域的 DRAM 101、控制以上单元的驱动器控制电路 102 和电源电路 103。驱动器控制电路 102 输出控制信号以控制在 SSD 100 外部提供的状态显示 LED。

[0190] SSD 100 经由 ATA 接口 (ATA I/F) 传输关于例如个人计算机的主机设备的数据。此外，SSD 100 经由 RS232C 接口 (RS232C I/F) 传输关于调试设备的数据。

[0191] 电源电路 103 被供应外部电源电压，并且利用外部电源电压生成多个内部电源电压。内部电源电压被提供给 SSD 100 的各个单元。此外，电源电路 103 检测外部电源电压的上升或下降，并生成加电复位信号或断电复位信号。加电复位信号和断电复位信号被提供给驱动器控制电路 102。

[0192] 图 28 是示出驱动器控制电路 102 的配置的框图。驱动器控制电路 102 包括数据访问总线 104、第一电路控制总线 105 和第二电路控制总线 106。

[0193] 控制驱动器控制电路 102 的整体部分的处理器 107 连接到第一电路控制总线 105。此外，存储管理程序的引导程序 (FW: 固件) 的引导 ROM108 经由 ROM 控制器 109 连接到第一电路控制总线 105。同样，接收来自电源电路 103 的加电 / 断电复位信号并将复位信号和时钟信号提供给各个单元的时钟控制器 109 连接到第一电路控制总线 105。

[0194] 第二电路控制总线 106 连接到第一电路控制总线 105。为状态显示 LED 提供状态显示信号的并行 I/O (PIO) 电路 111、以及控制 RS232C 接口的串行 I/O (SIO) 电路 112 连接到第二电路控制总线 106。

[0195] ATA 接口控制器 (ATA 控制器) 113、第一错误检查和校正 (ECC) 电路 114、NAND 控

制器 115 和 DRAM 控制器 119 连接到数据访问总线 104 和第一电路控制总线 105 这两者。ATA 控制器 113 经由 ATA 接口传输关于主机设备的数据。被用作数据工作区域的 SRAM 120 经由 SRAM 控制器 121 连接到数据访问总线 104。

[0196] NAND 控制器 115 包括执行关于四个 NAND 存储器 10 的接口处理的 NAND I/F 118、第二 ECC 电路 117 和执行 NAND 存储器与 DRAM 之间的访问控制的 DMA 传输控制 DMA 控制器 116。

[0197] 图 29 是示出处理器 107 的配置的框图。处理器 107 包括数据管理单元 122、ATA 命令处理单元 123、安全管理单元 124、引导加载器 125、初始化管理单元 126 和调试支持单元 127。

[0198] 数据管理单元 122 控制关联于 NAND 芯片的各种功能以及经由 NAND 控制器 115 和第一 ECC 电路 114 的 NAND 存储器与 DRAM 之间的数据传输。

[0199] ATA 命令处理单元 123 经由 ATA 控制器 113 和 DRAM 控制器 119 协同数据管理单元 122 执行数据传输处理。安全管理单元 124 协同数据管理单元 122 和 ATA 命令处理单元 123 来管理各种安全信息。引导加载器 125 在加电时将各种管理程序 (FW) 从 NAND 存储器 10 加载到 SRAM 120 中。

[0200] 初始化管理单元 126 初始化驱动器控制电路 102 中的各种控制器 / 电路。调试支持单元 127 处理经由 RS232C 接口从外部提供的调试数据。

[0201] 图 30 是示出安装有 SSD 100 的便携式计算机 200 的一个示例的透视图。便携式计算机 200 具有主体 201 和显示单元 202。显示单元 202 包括显示外壳 203 和容纳在显示外壳 203 中的显示设备 204。

[0202] 主体 203 包括罩壳 205、键盘 206 和用作指示设备的触摸板 207。在罩壳 205 中容纳主电路板、光盘设备 (ODD) 单元、卡槽、SSD 100 等。

[0203] 临近罩壳 205 的外围壁来提供卡槽。在外围壁中, 形成面对卡槽的开口 208。用户可以经由开口 208 可移除地将附加设备从罩壳 205 的外部插入卡槽中。

[0204] SSD 100 可以被安装在便携式计算机 200 的内部部分并且代替常规 HDD 来使用, 或者被插入便携式计算机 200 的卡槽中并用作附加设备。

[0205] 图 31 示出了使用 SSD 100 的便携式计算机 200 的系统配置的示例。便携式计算机 200 包括 CPU 301、北桥 302、主存储器 303、视频控制器 304、音频控制器 305、南桥 306、BIOS-ROM 307、SSD 100、ODD 单元 308、嵌入式控制器 / 键盘控制器 IC (EC/KBC) 309、网络控制器 310 等。

[0206] CPU 301 是用于控制便携式计算机 200 的运转的处理器, 并执行从 SSD 100 加载到主存储器 303 中的操作系统 (OS)。当 ODD 单元 308 使得能够对已加载的光盘执行读处理和写处理中的至少一个时, CPU 301 执行该处理。

[0207] CPU 301 还执行存储在 BIOS-ROM 307 中的系统 BIOS (基本输入输出系统)。系统 BIOS 是用于控制便携式计算机 200 的硬件部件的程序。

[0208] 北桥 302 是用于连接 CPU 301 的本地总线和南桥 306 的桥设备。南桥 306 合并了用于控制对主存储器 303 的访问的存储器控制器。

[0209] 北桥 302 具有经由 AGP 总线 (图形加速端口总线) 执行与视频控制器 304 和音频控制器 305 的通信的功能。

[0210] 主存储器 303 临时存储程序和数据并充当 CPU 301 的工作区域。主存储器 303 例如由 DRAM 构成。

[0211] 视频控制器 304 是用于控制显示单元 (LCD) 202 的视频再现控制器。显示单元 202 被用作便携式计算机 200 的显示监视器。

[0212] 音频控制器 305 是用于控制便携式计算机 200 的扬声器 311 的音频再现控制器。

[0213] 南桥 306 控制 LPC(低管脚数,Low Pin Count)总线上的设备和 PCI(外围部件互连)总线上的设备。南桥 306 还通过 ATA 接口控制 SSD 100。SSD 100 是用于存储各种软件 and 数据的存储单元。

[0214] 便携式计算机 200 以扇区为单位访问 SSD 100。通过 ATA 接口将写命令、读命令、闪速命令等提供给 SSD 100。

[0215] 南桥 306 具有控制对 BIOS-ROM 307 和 ODD 单元 308 的访问的功能。

[0216] EC/KBC 309 是单片 (1-chip) 微计算机,其中嵌入有用于执行电源管理的嵌入式控制器,以及用于控制键盘 (KB) 206 和触摸板 207 的键盘控制器。

[0217] EC/KBC 309 具有根据用户对电源按钮 312 的操作打开或关闭便携式计算机 200 的功能。网络控制器 310 是执行与例如互联网的外部网络的通信的通信单元。

[0218] 以上实施例的存储器系统 1 不限于 SSD,并且可被配置为由 SD(商标)卡代表的存储卡。当存储器系统 1 被配置为存储卡时,其不仅可以被应用于便携式计算机,还可应用于其它各种电子设备,例如便携式电话、PDS、数码照相机和数码摄像机。

[0219] 另外的优点和修改对于本领域技术人员将是显而易见的。因此,本发明在其较宽泛的方面不限于这里示出和描述的特定细节和代表性实施例。相应地,可以作出各种修改,而不脱离由所附权利要求及其等价方式限定的一般发明概念的精神和范围。

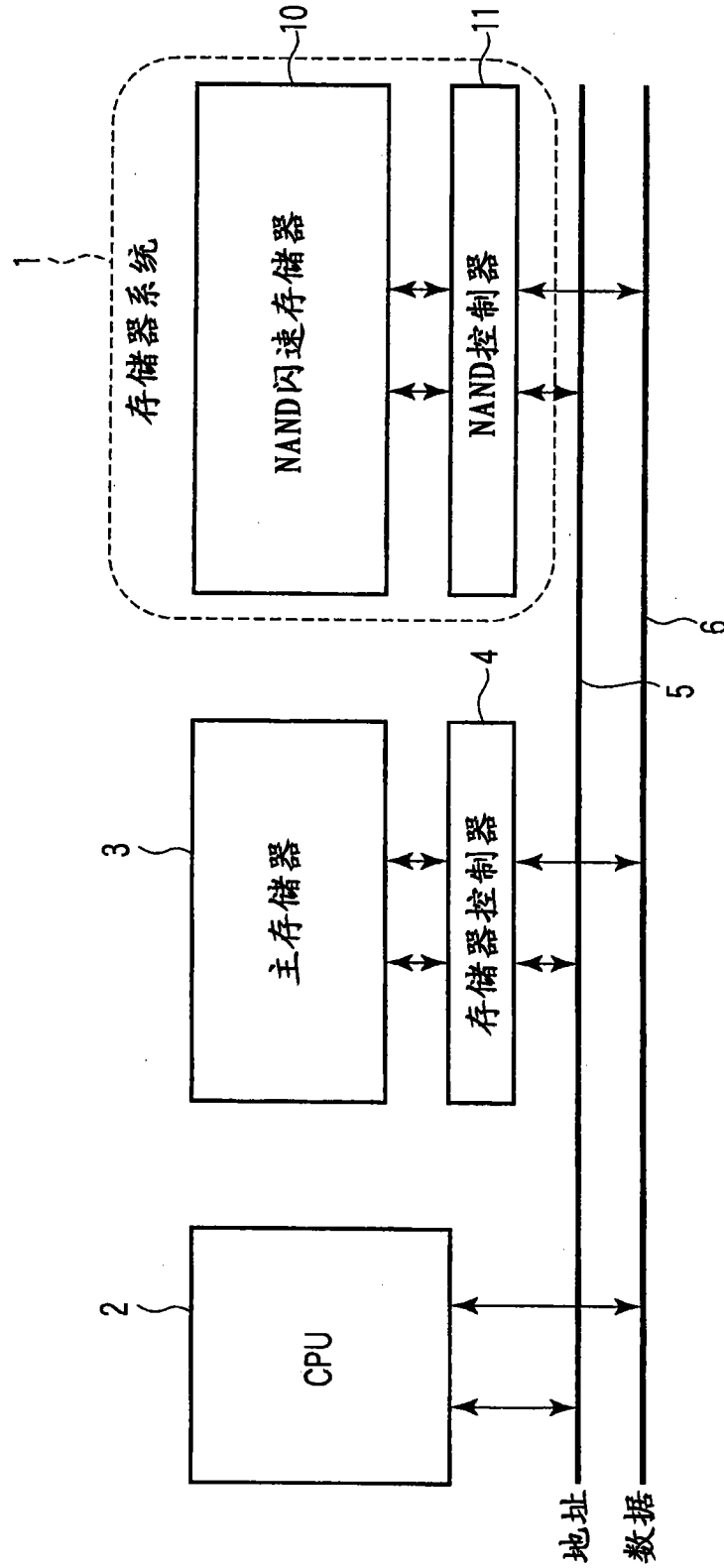


图 1

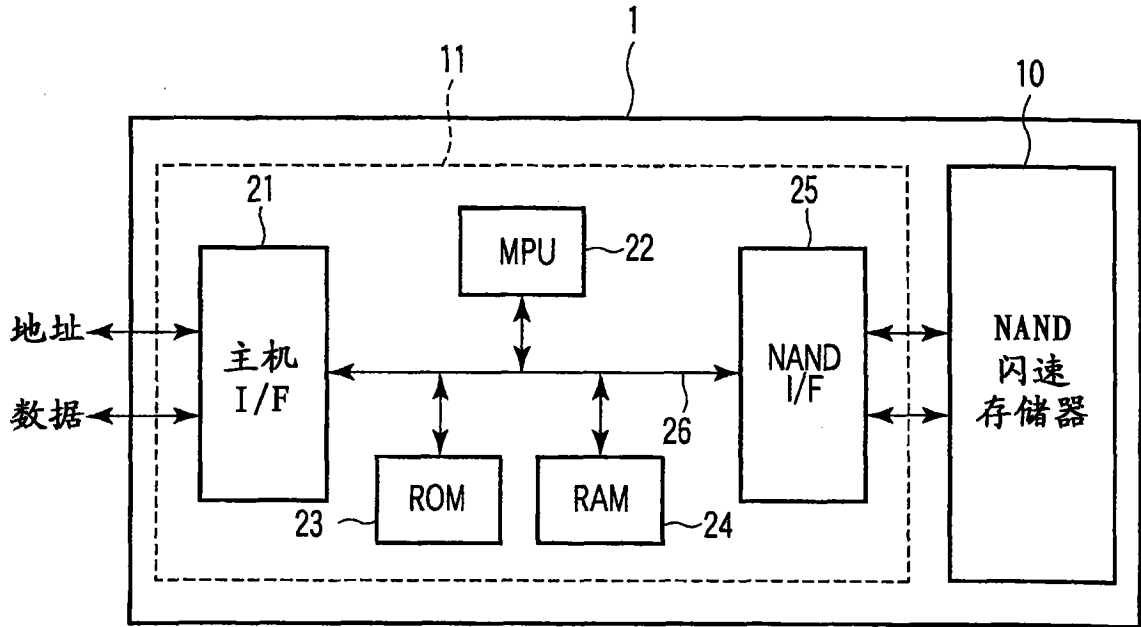


图 2

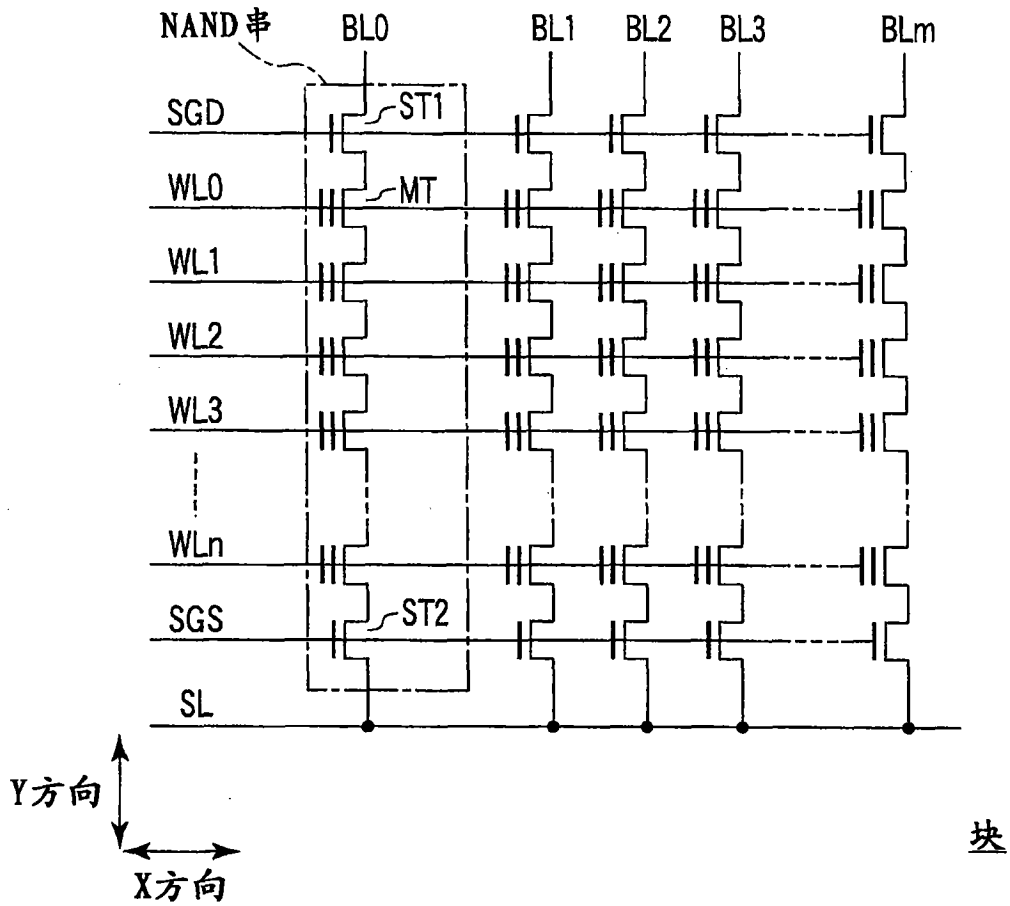


图 3A

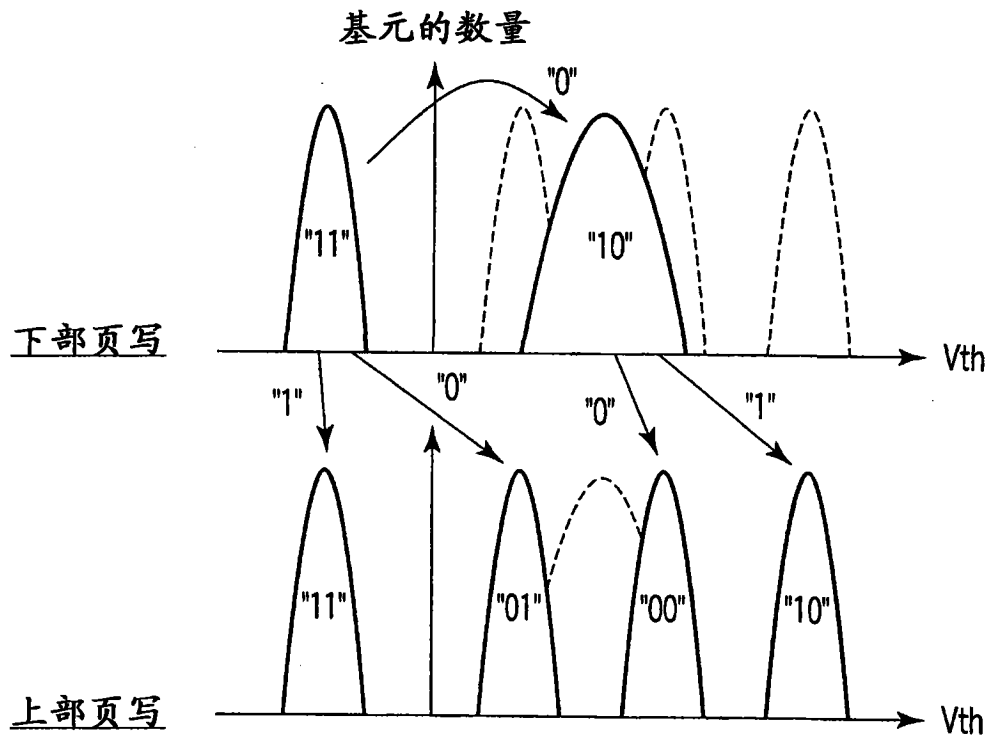


图 3B

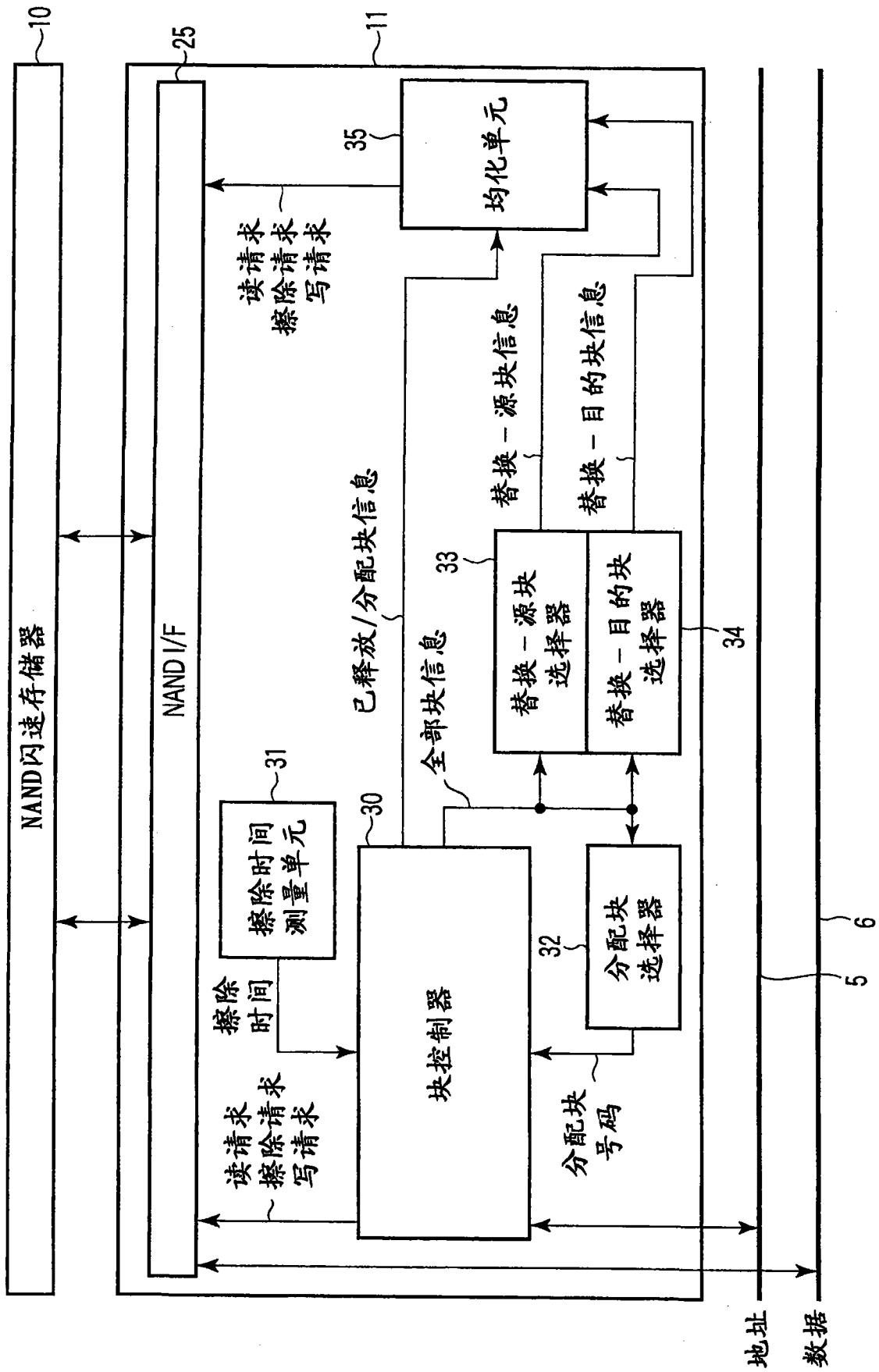


图 4

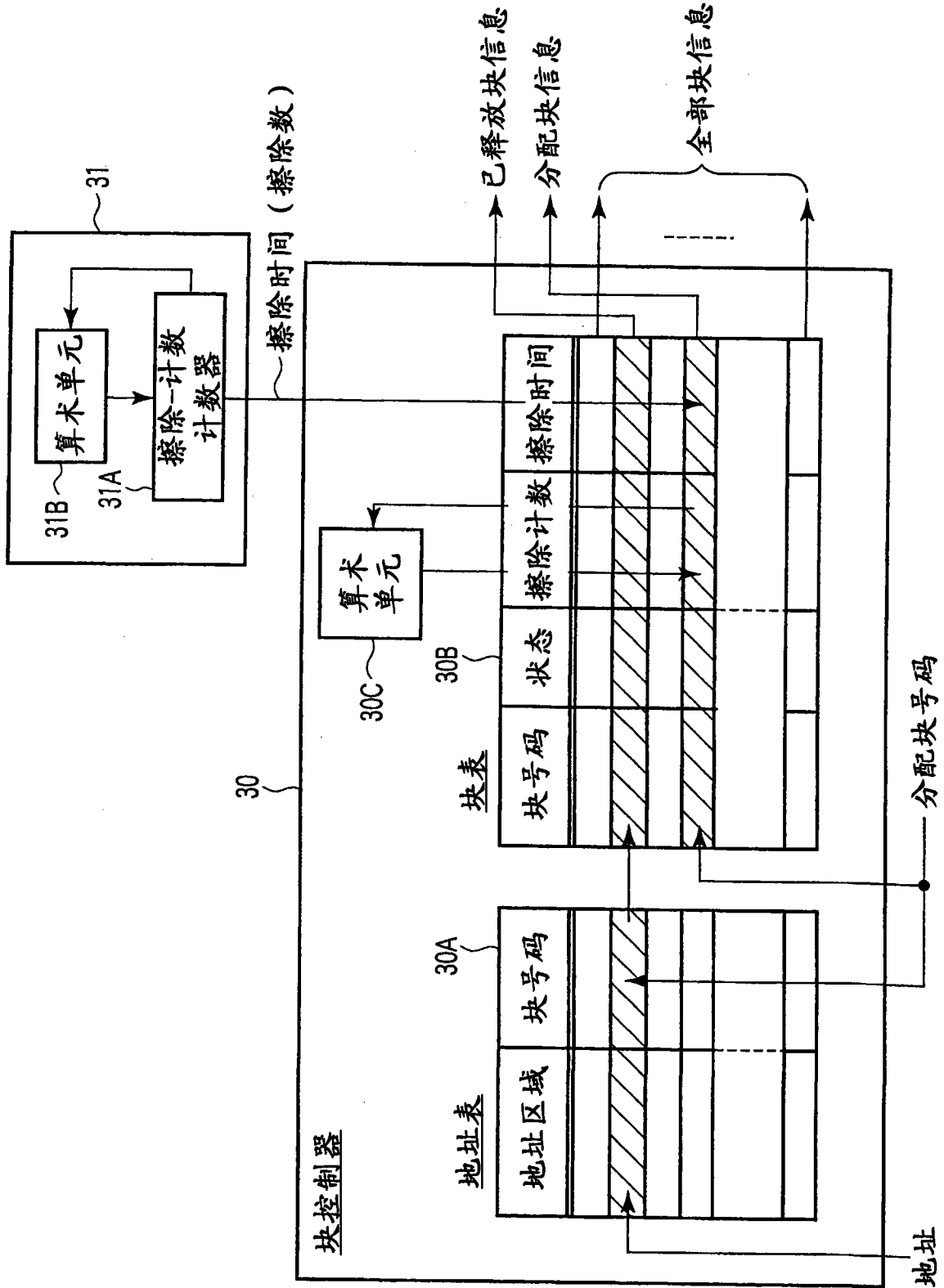


图 5

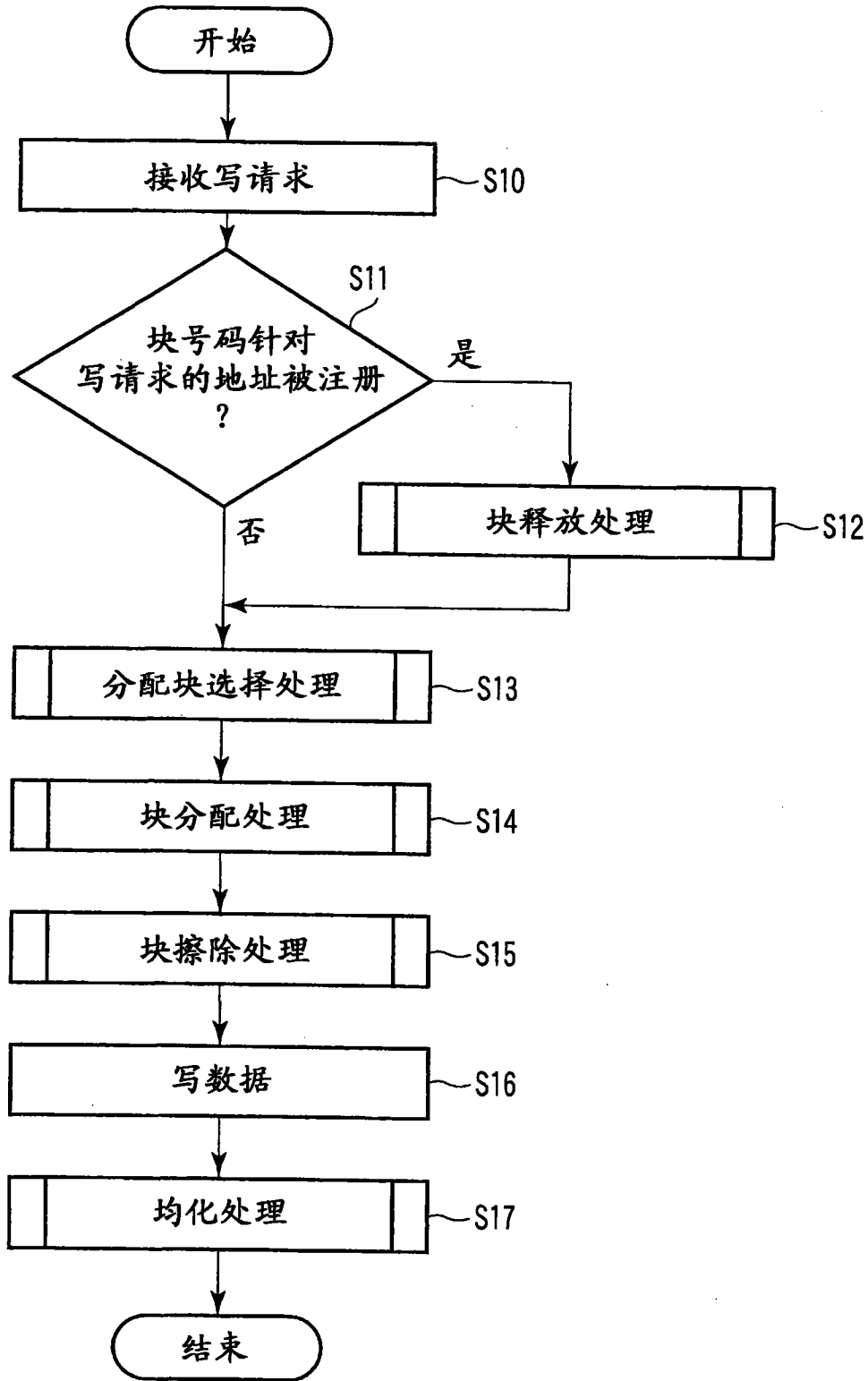


图 6

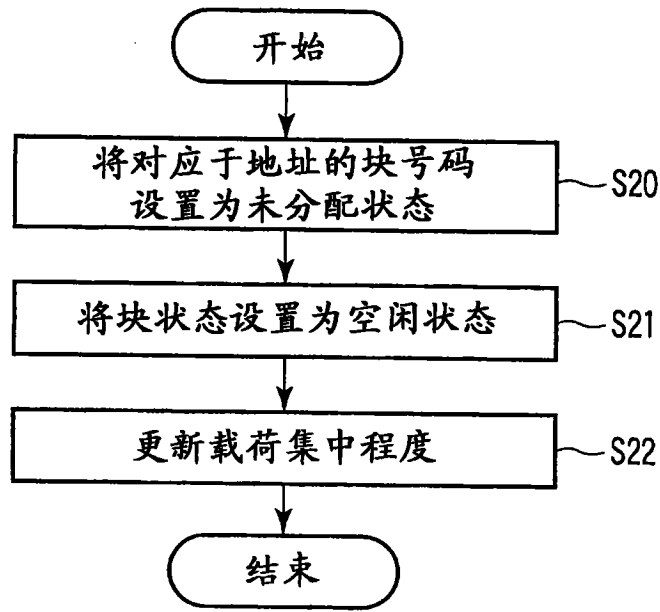


图 7

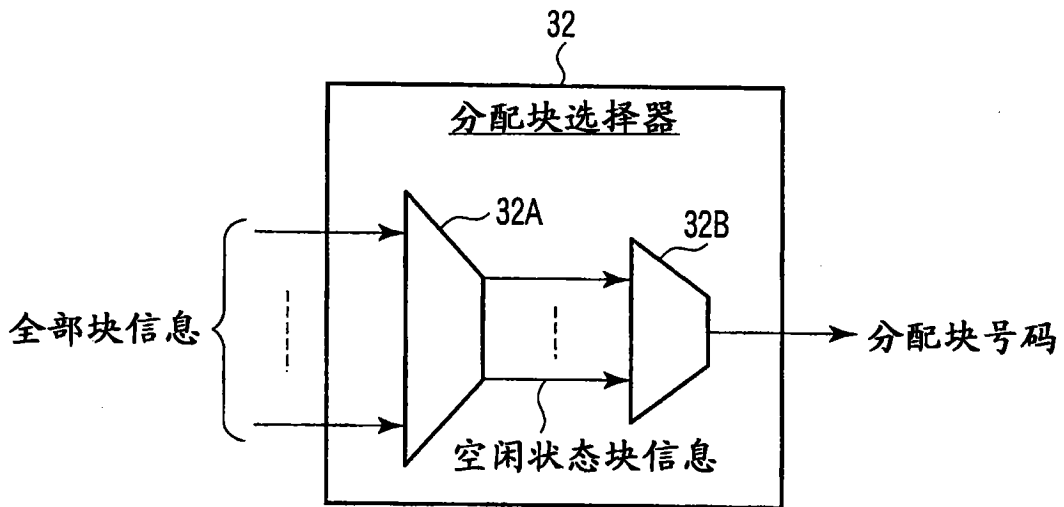


图 8

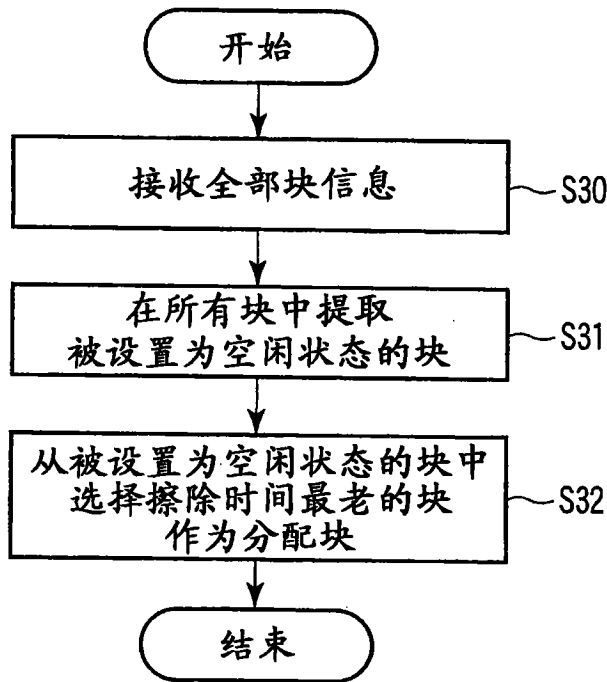


图 9

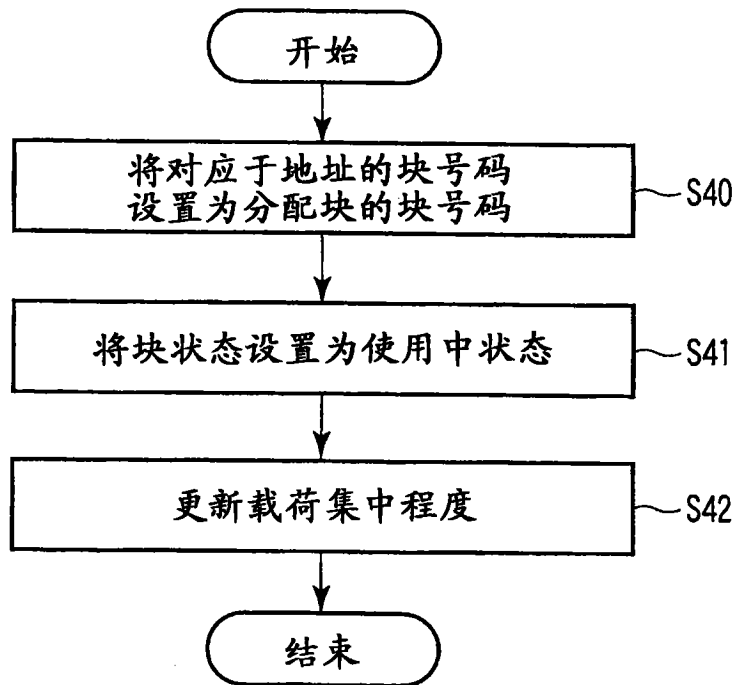


图 10

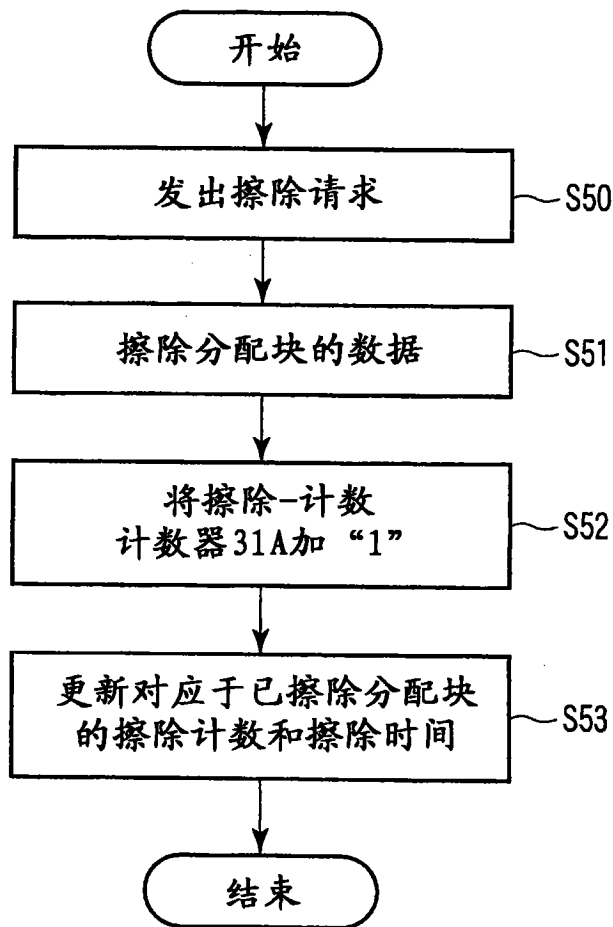


图 11

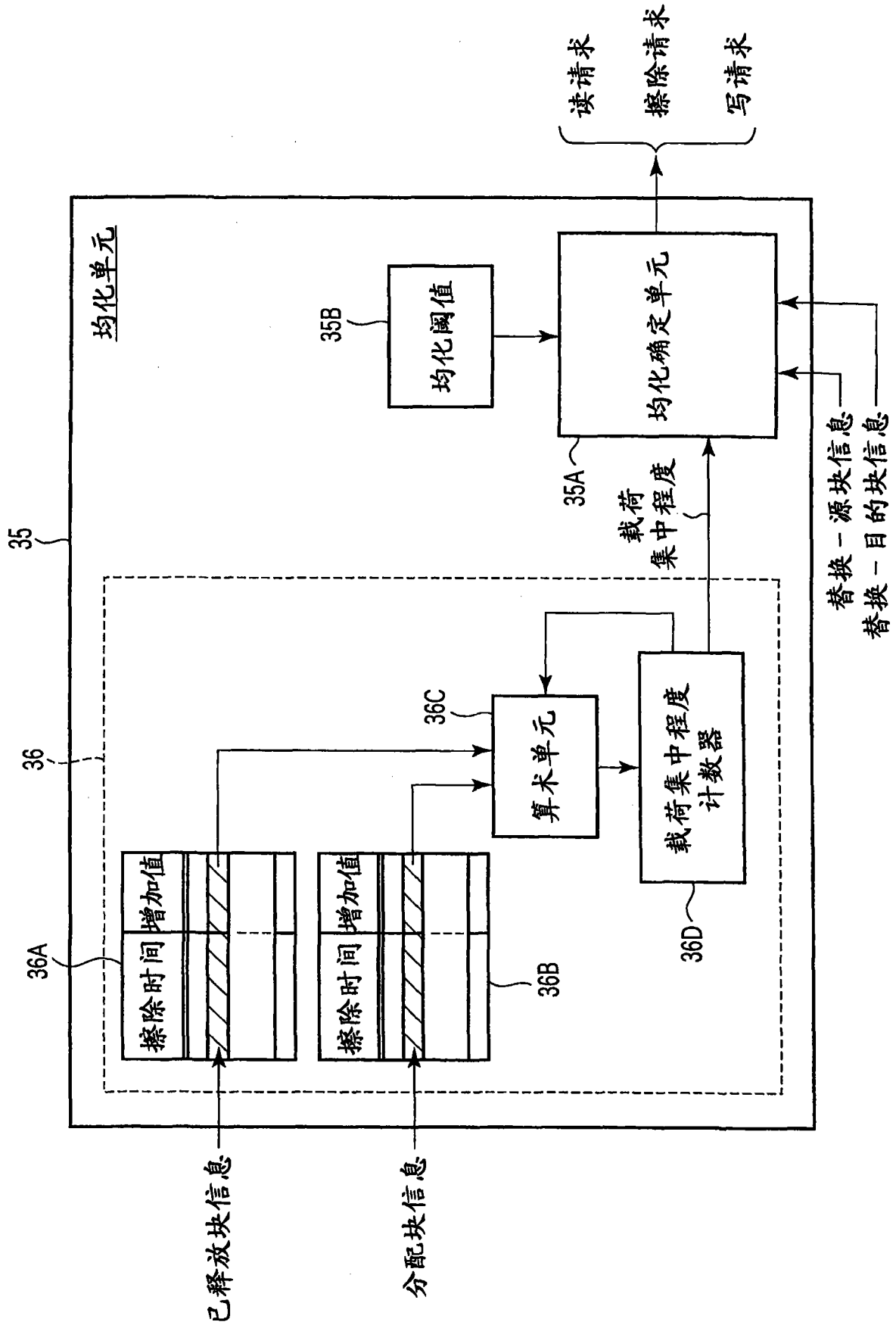


图 12

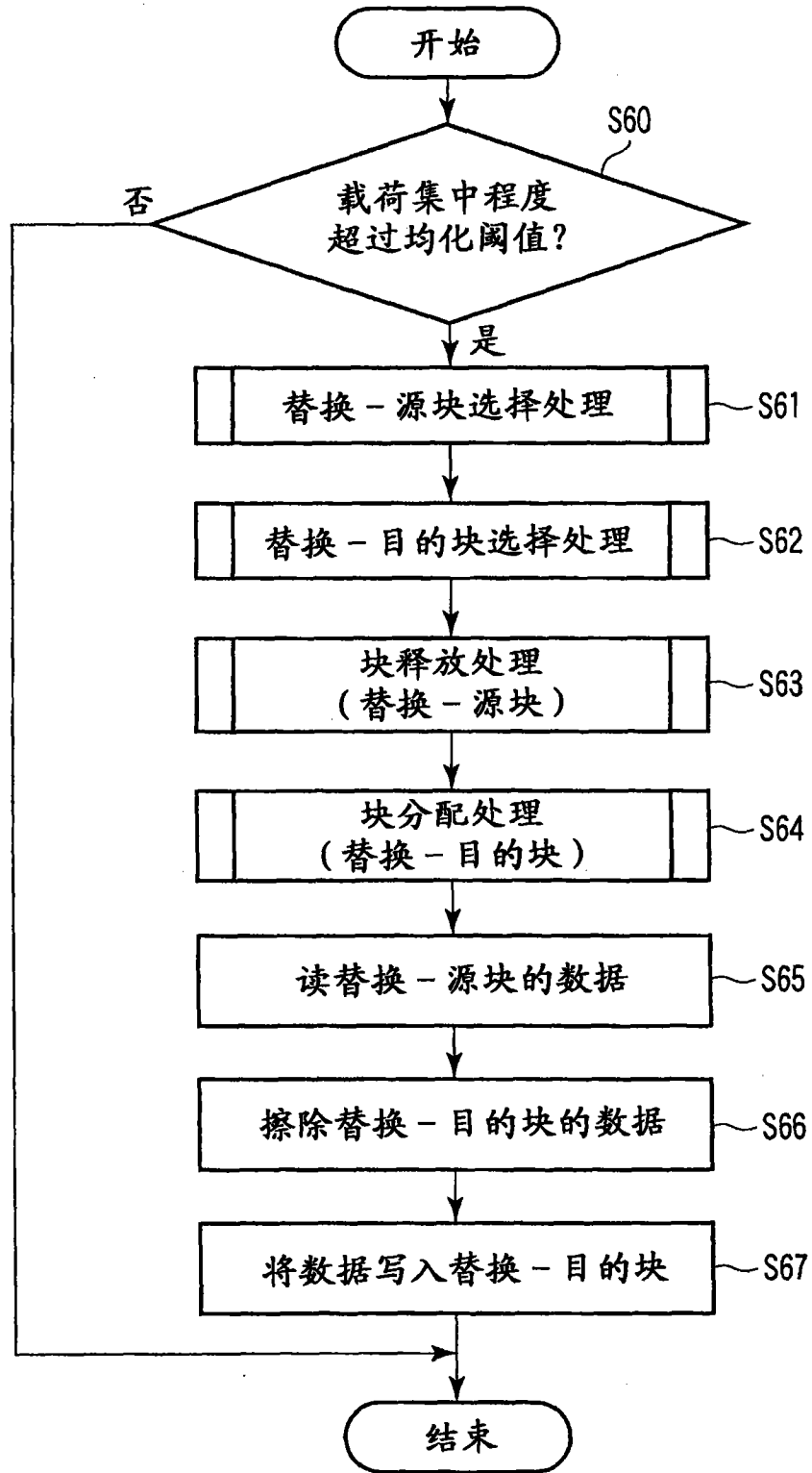


图 13

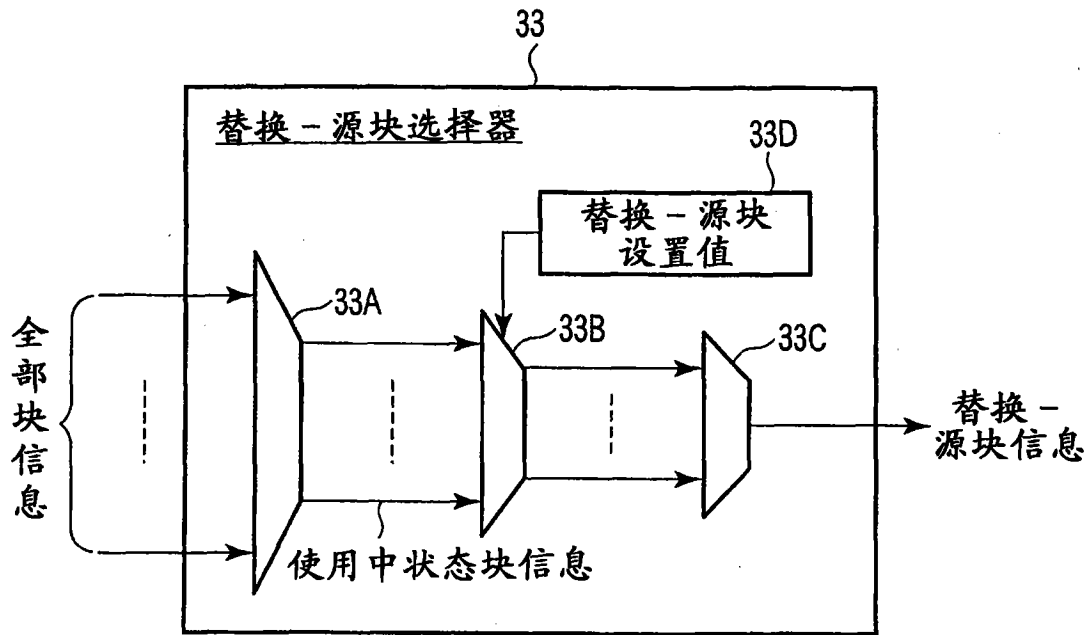


图 14

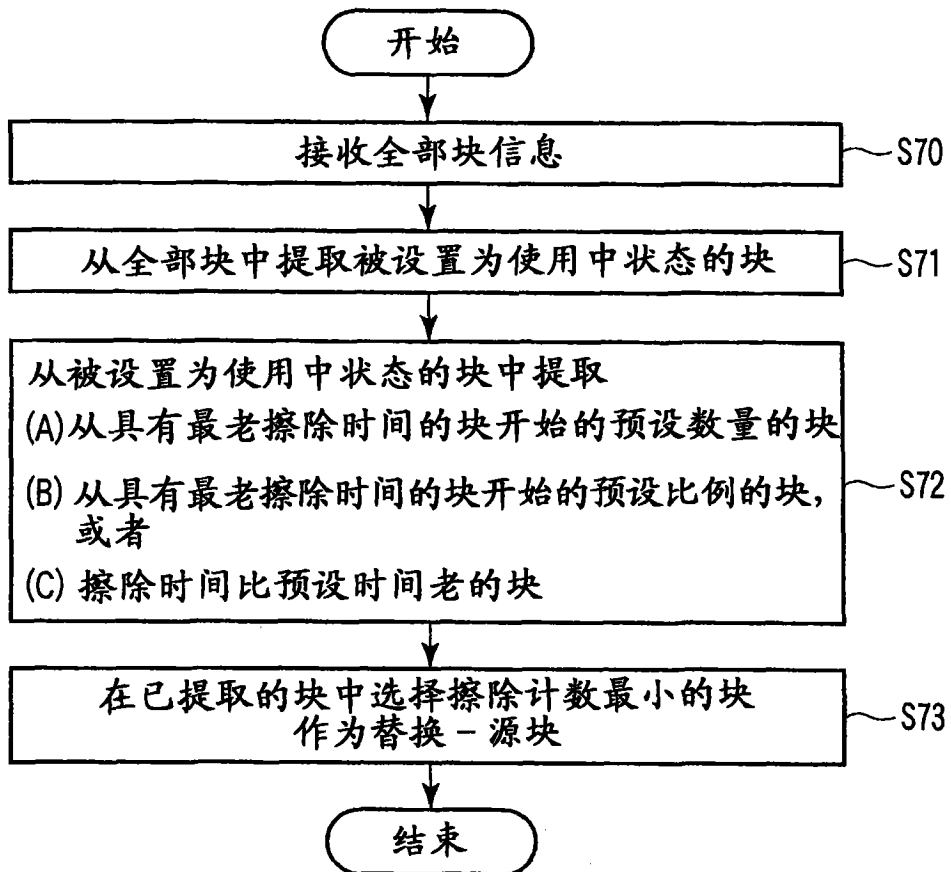


图 15

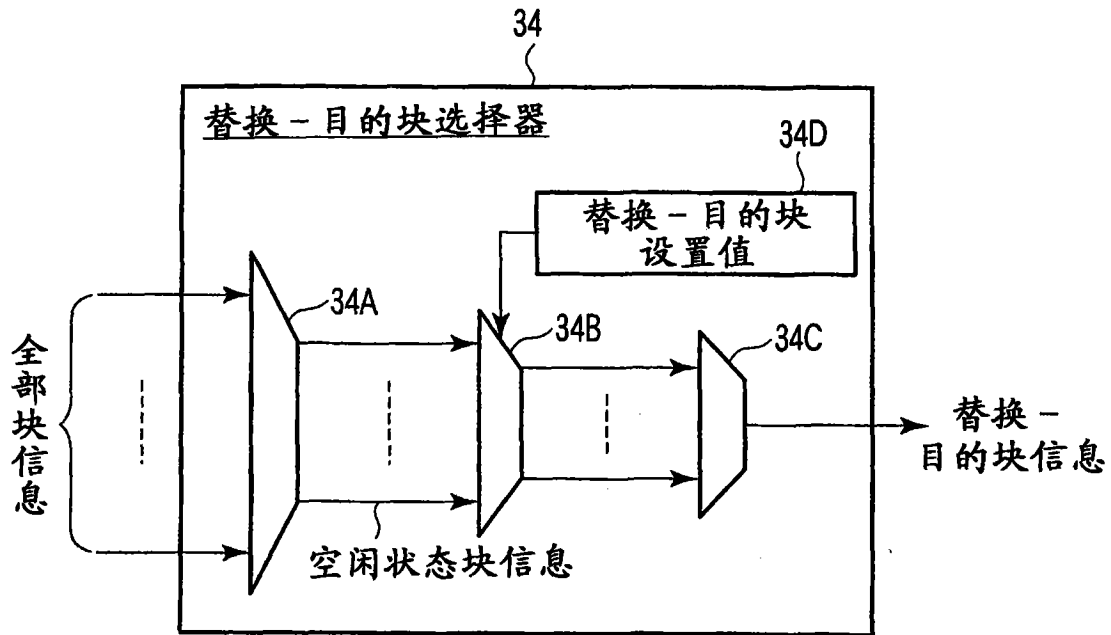


图 16

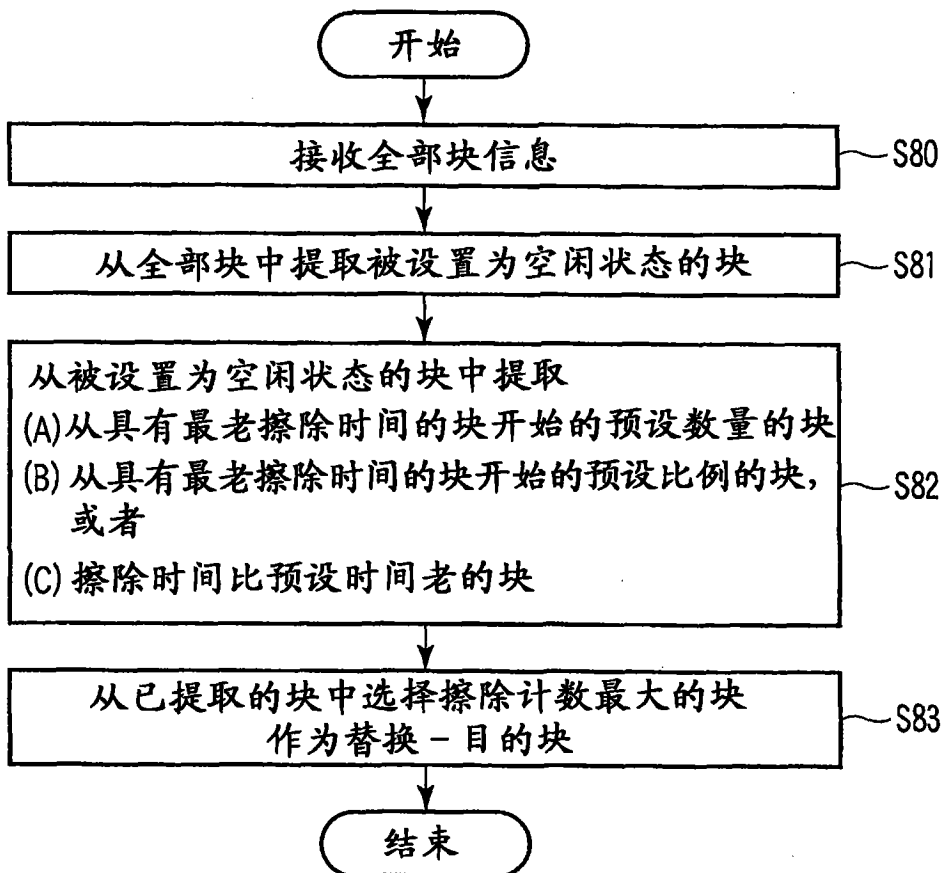


图 17

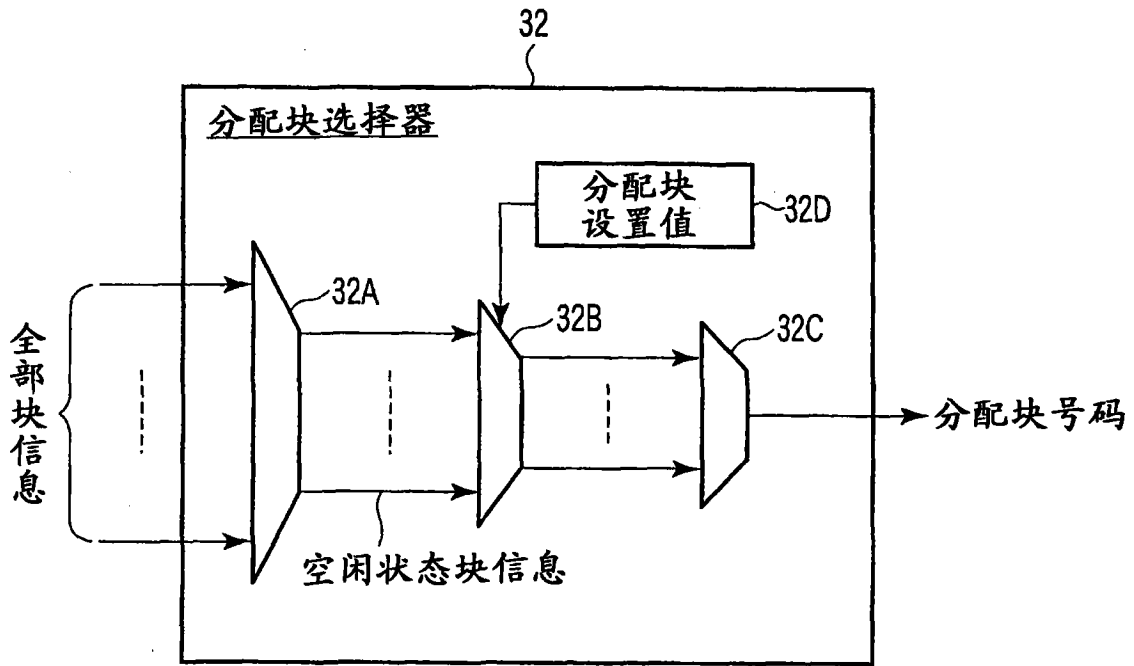


图 18

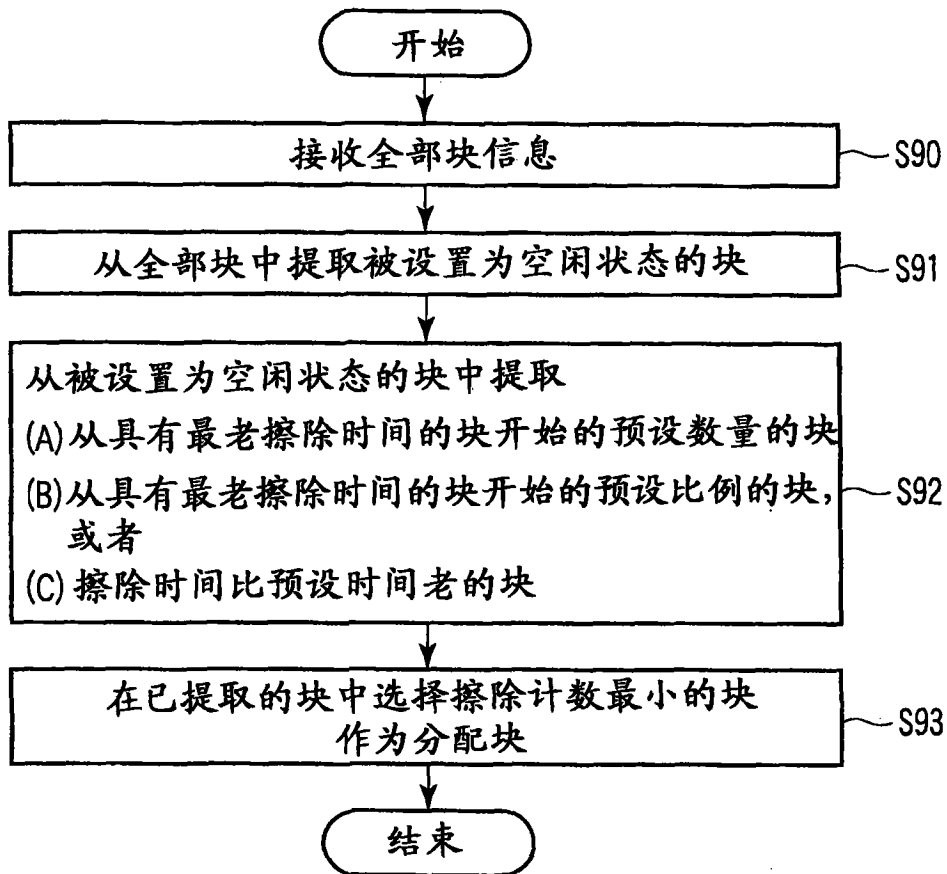


图 19

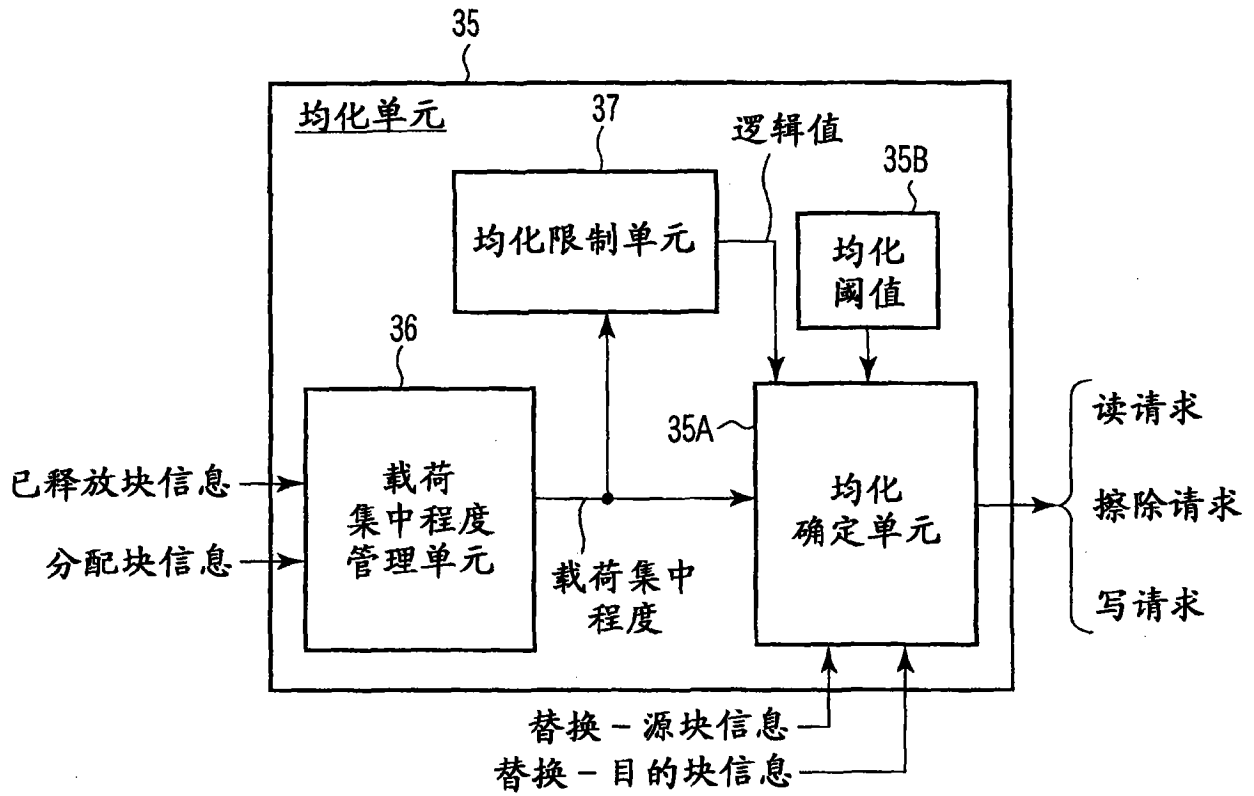


图 20

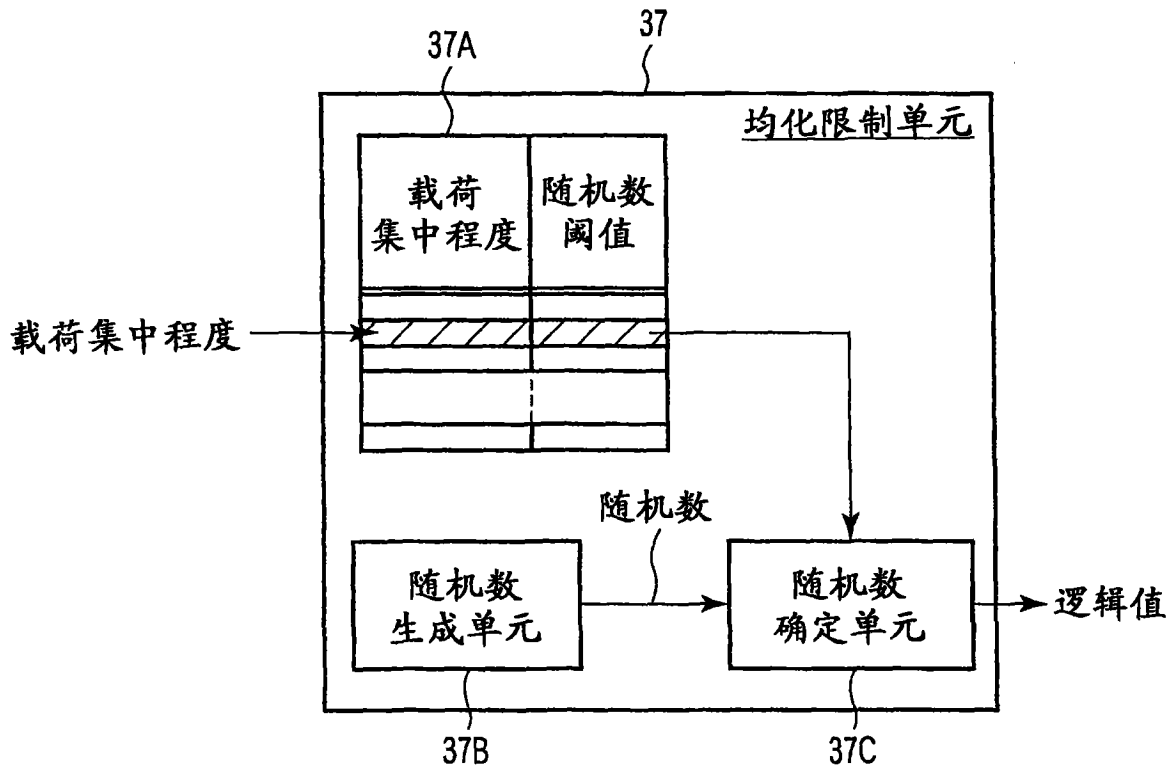


图 21

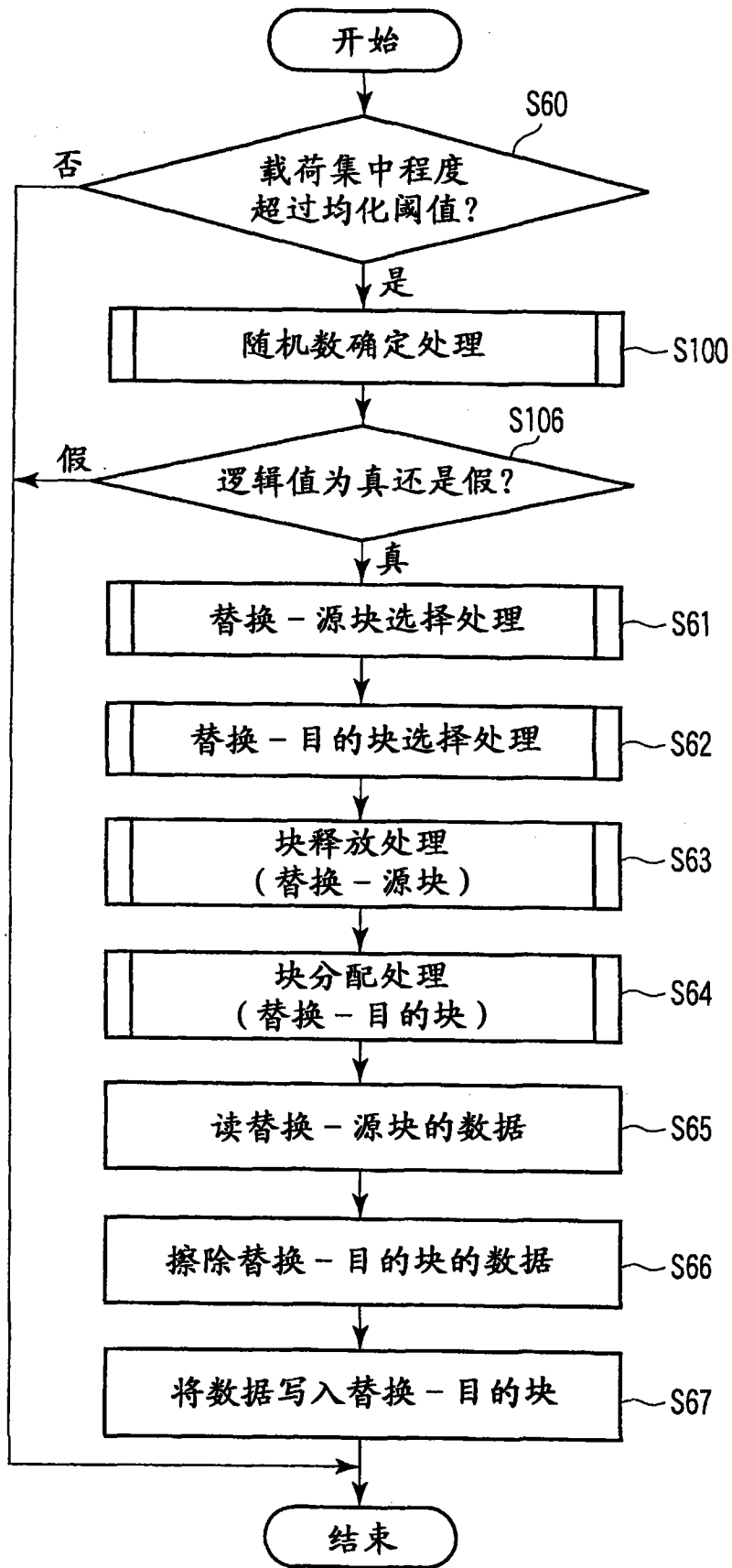


图 22

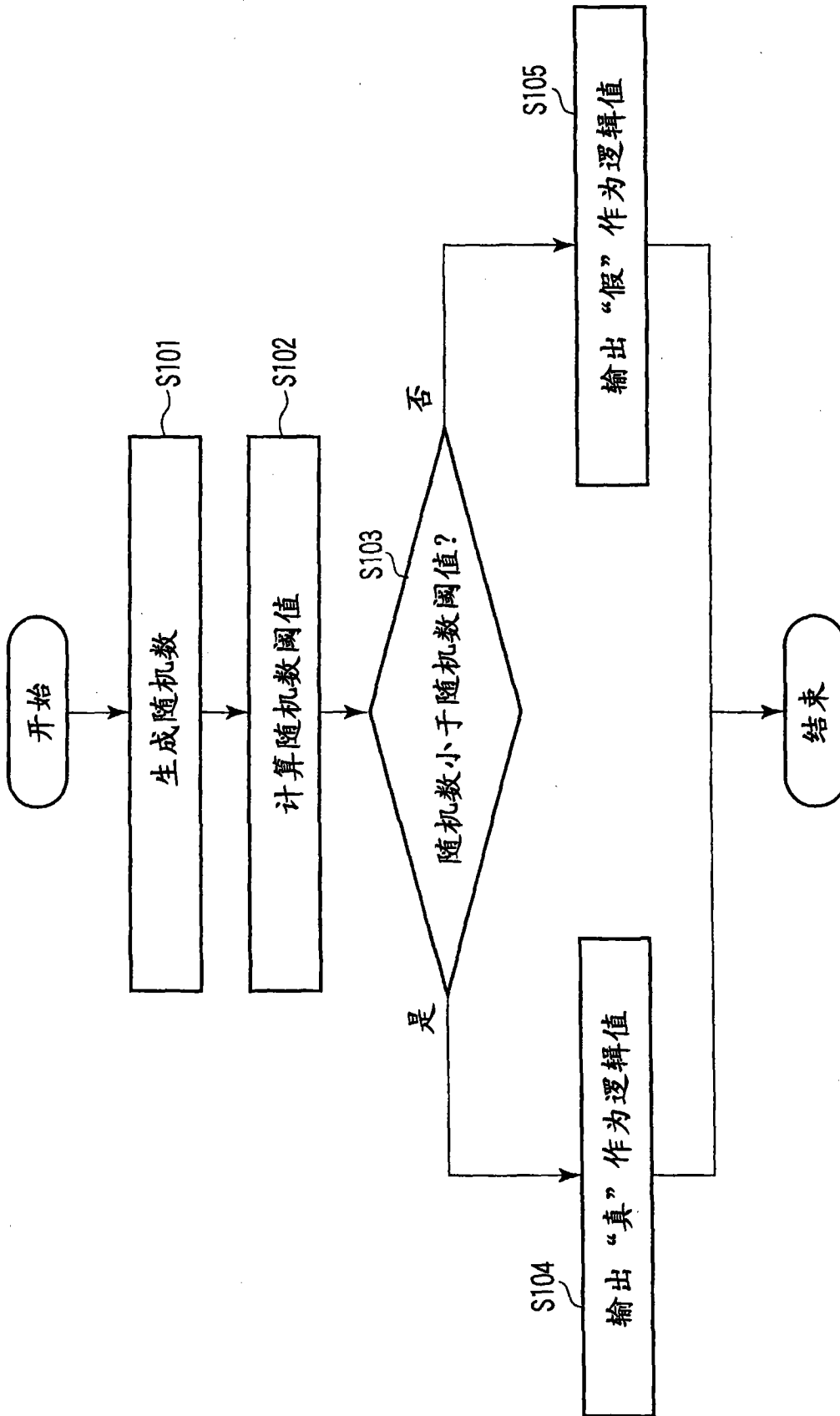


图 23

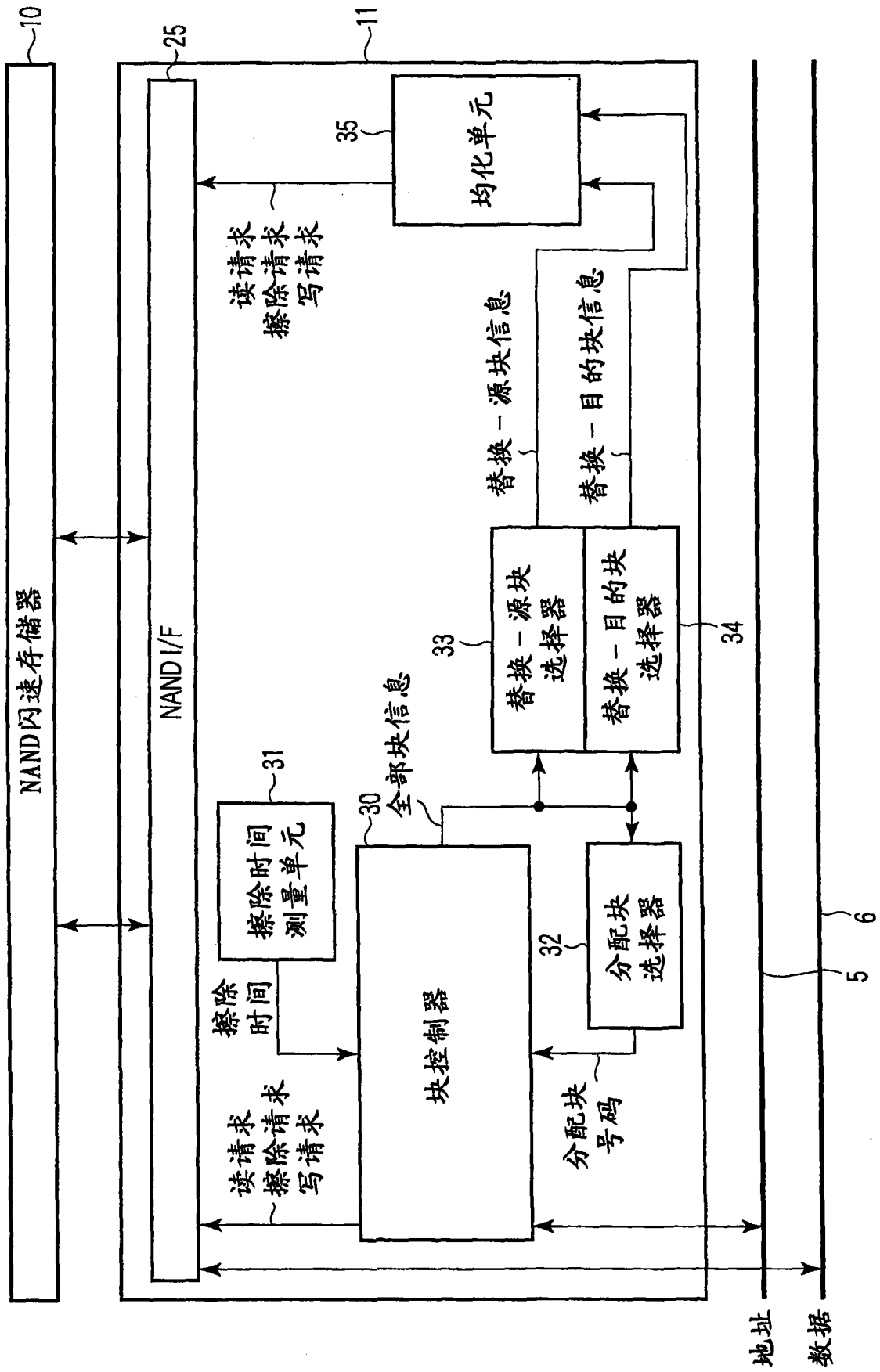


图 24

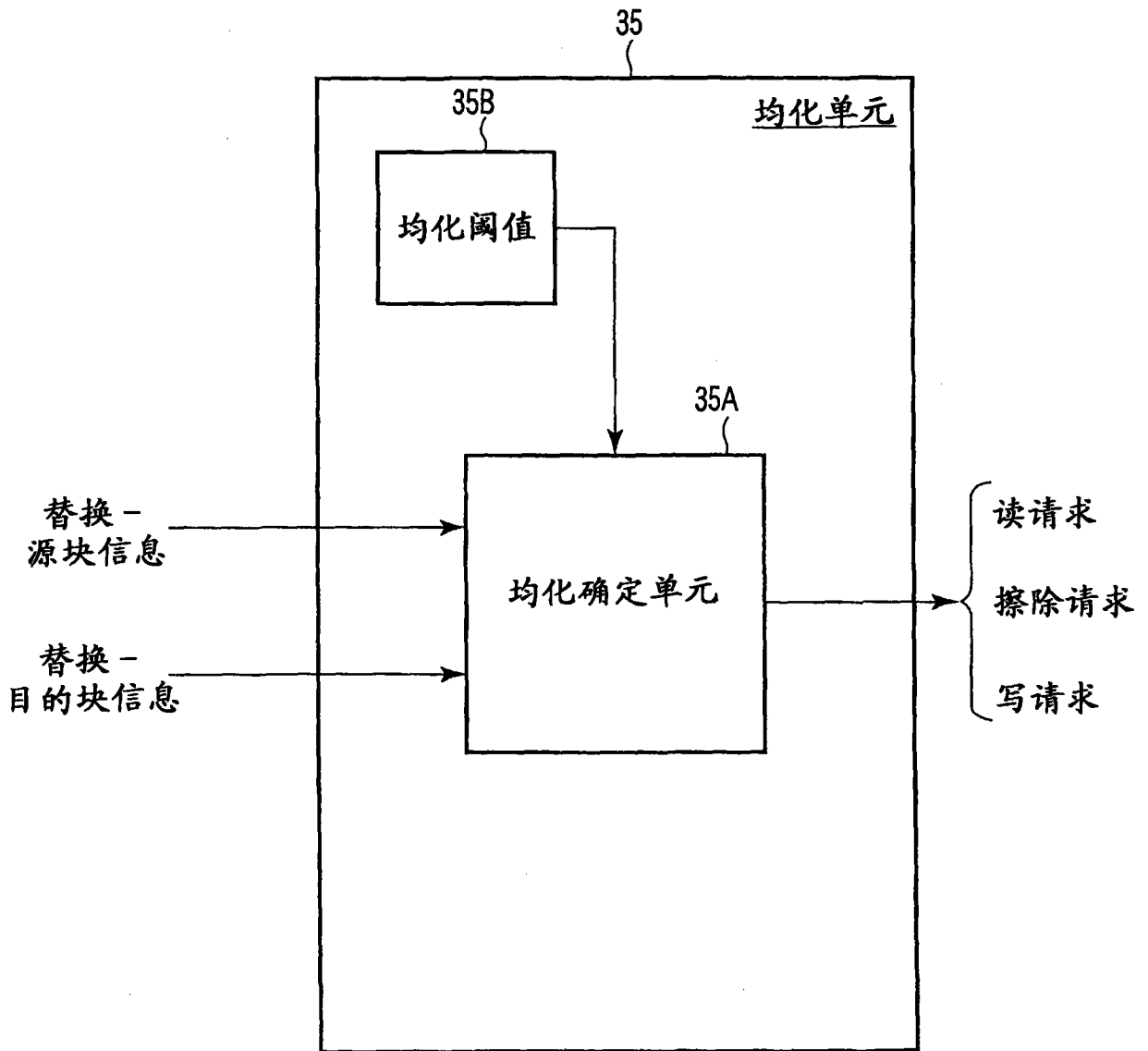


图 25

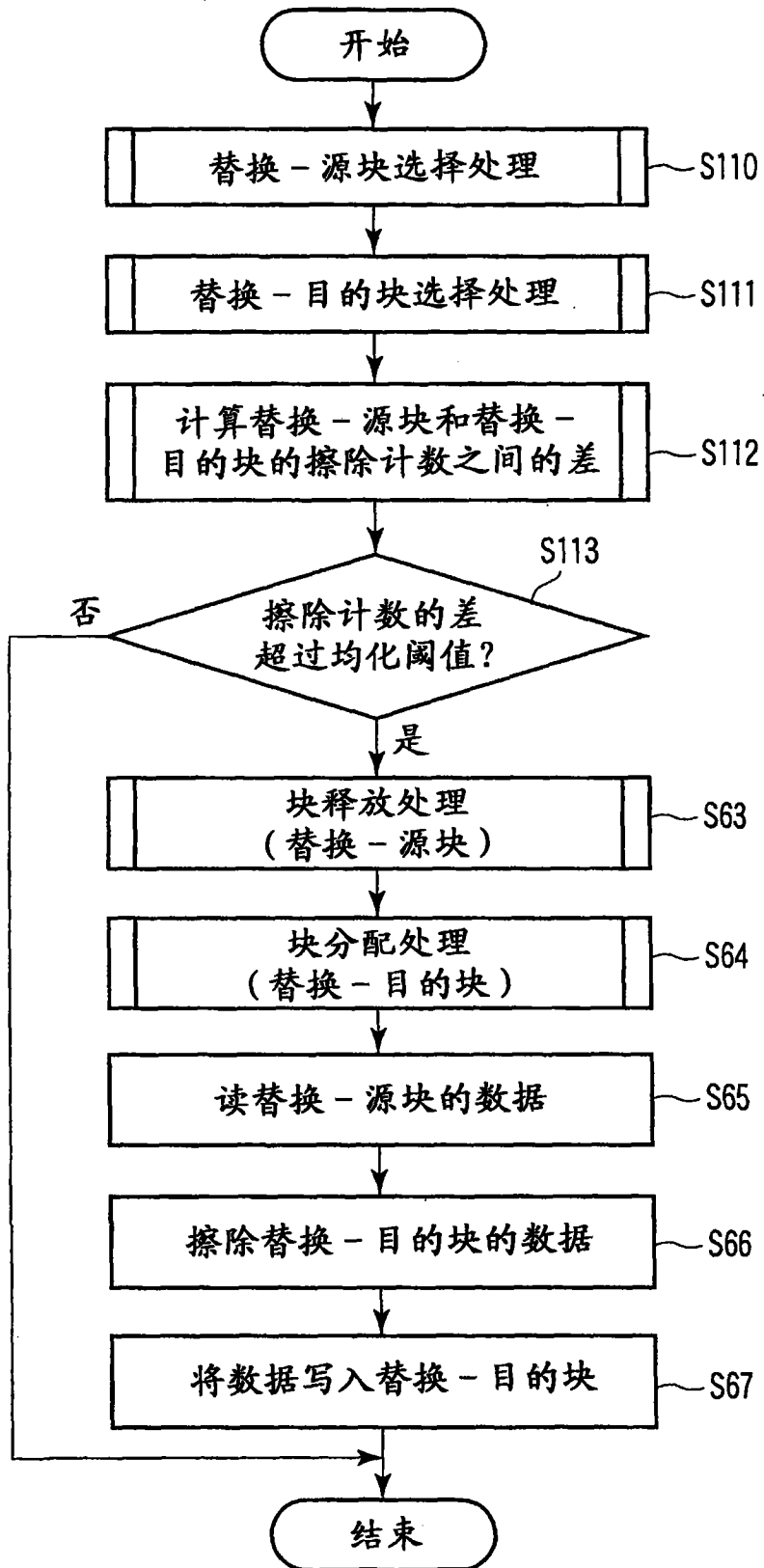


图 26

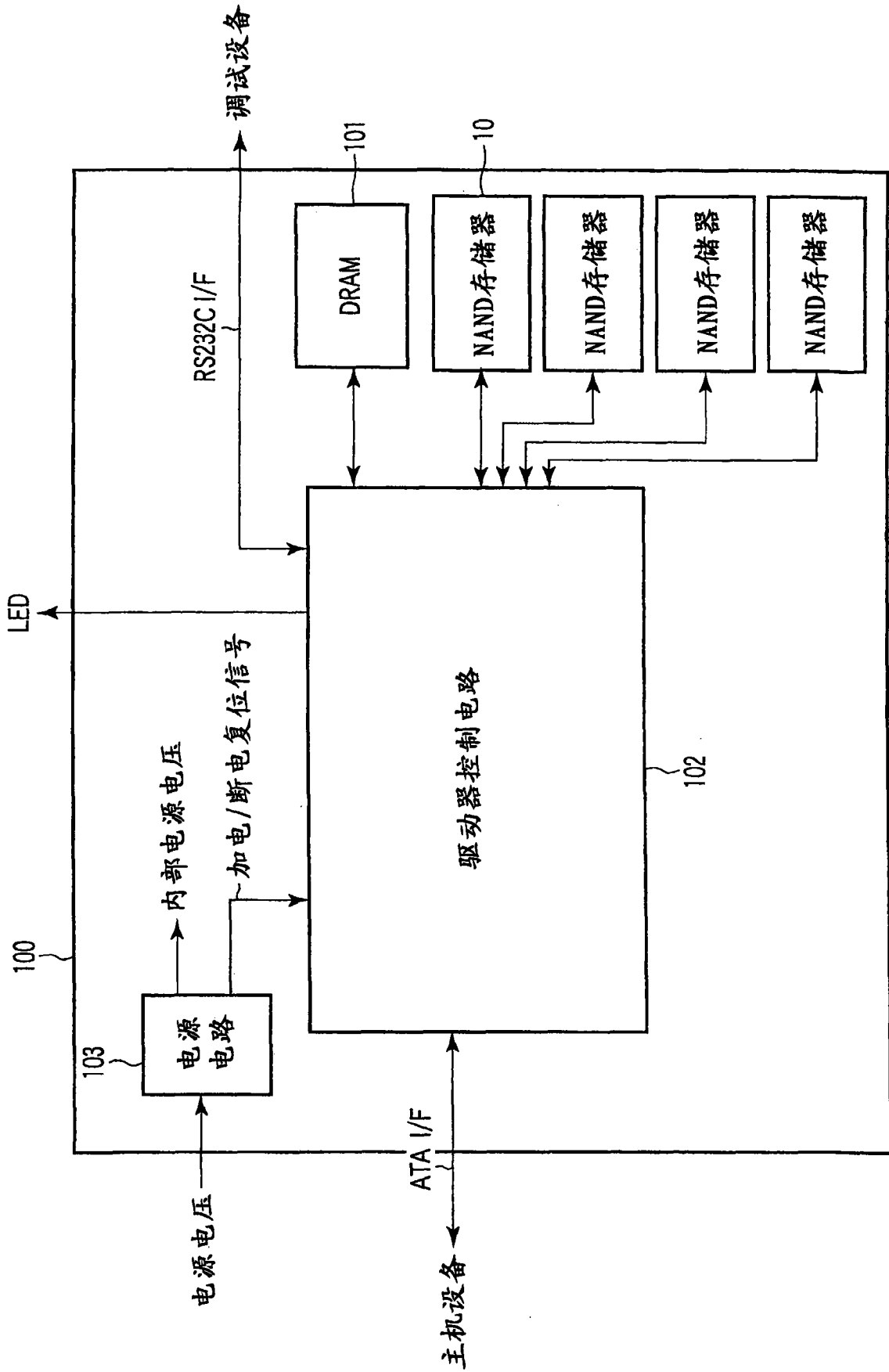


图 27

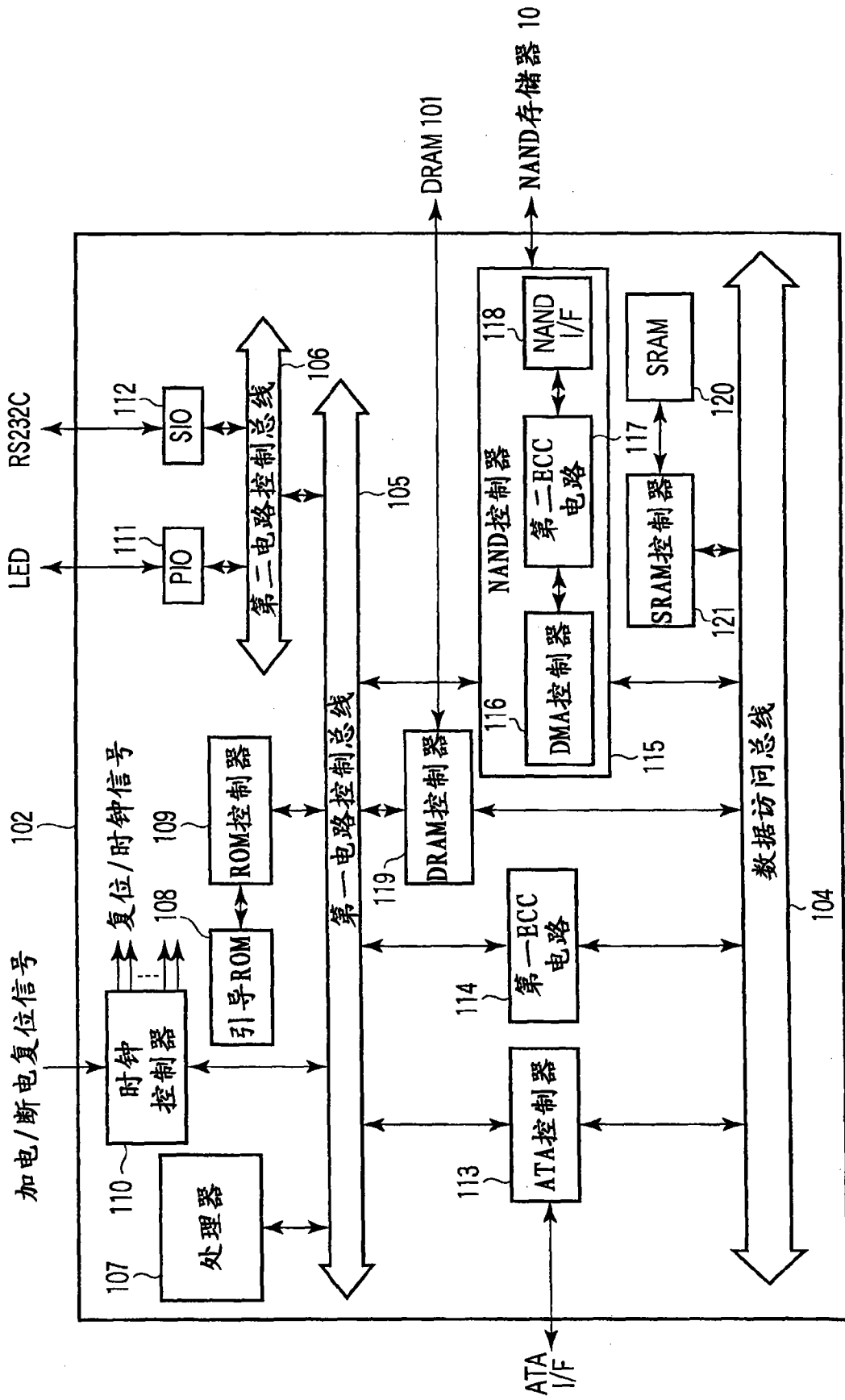


图 28

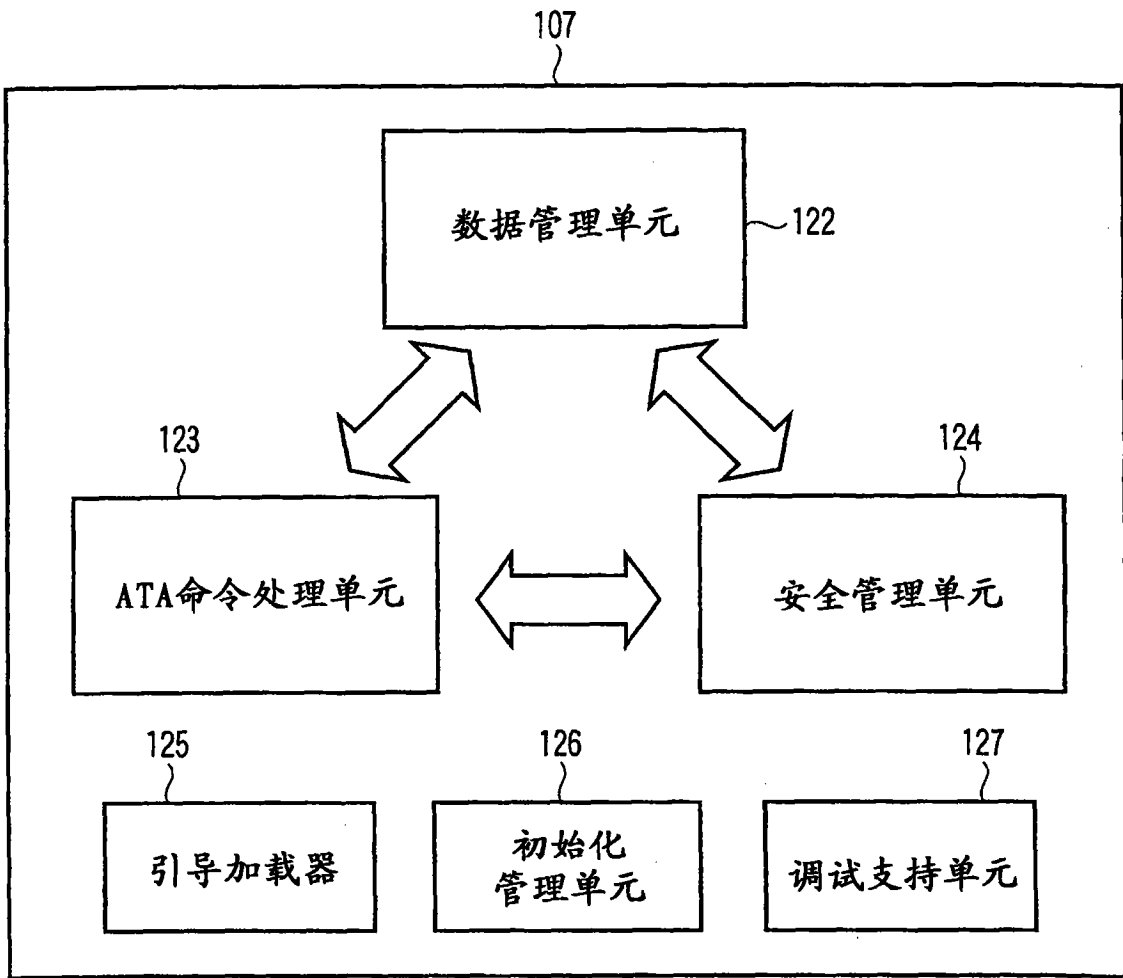


图 29

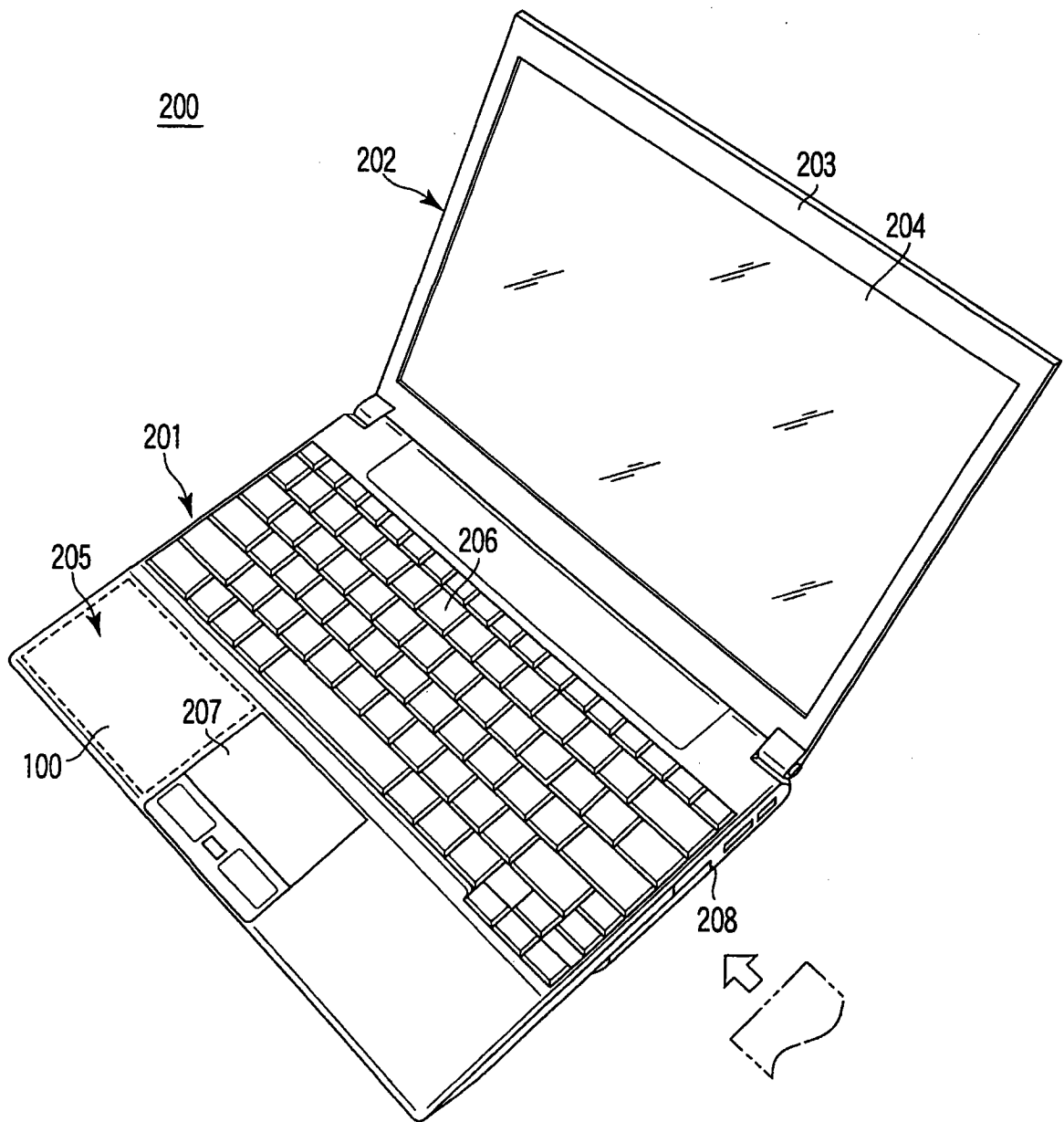


图 30

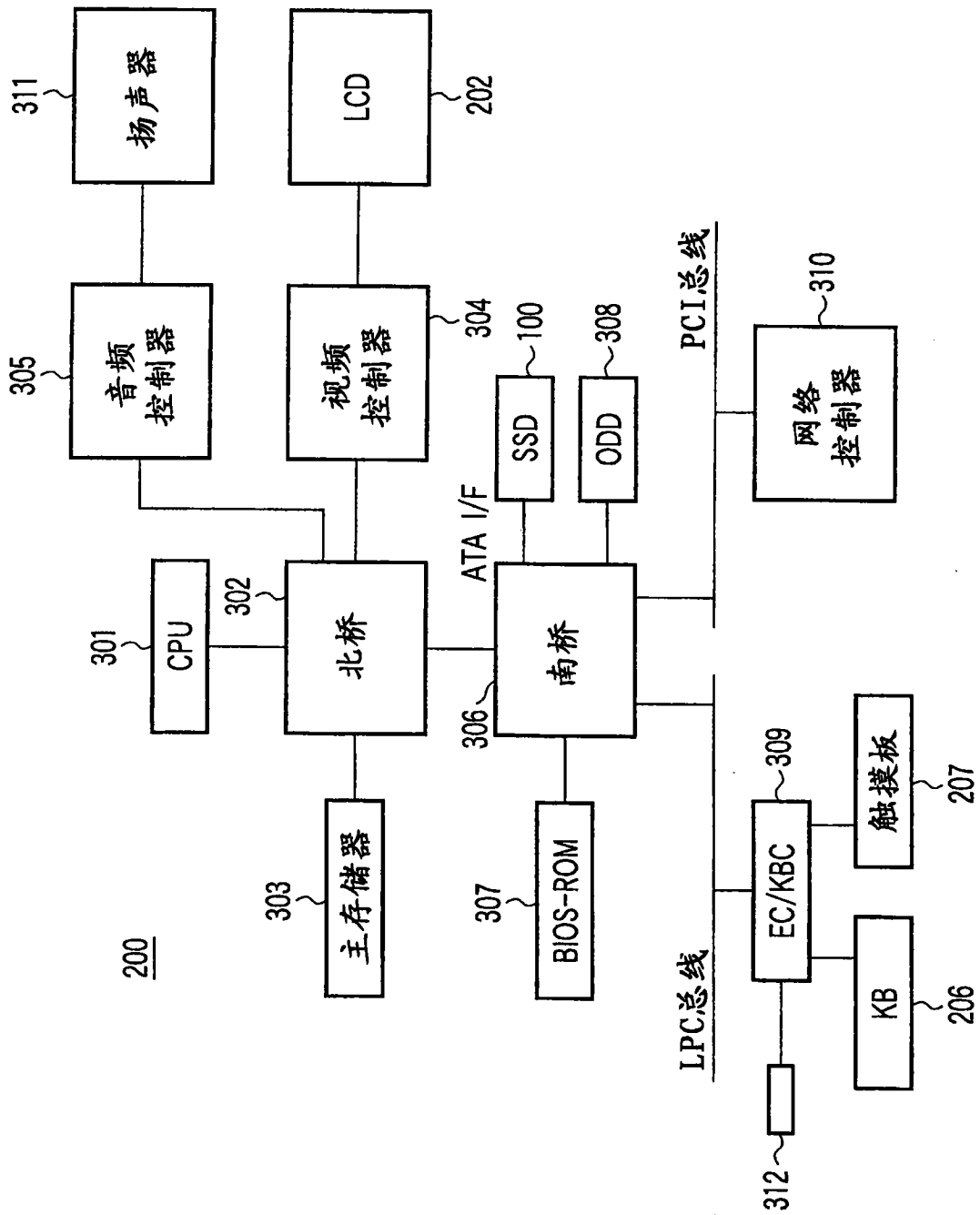


图 31