

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-55338

(P2017-55338A)

(43) 公開日 平成29年3月16日(2017.3.16)

(51) Int.Cl.	F I	テーマコード (参考)
HO3M 1/12 (2006.01)	HO3M 1/12 A	4M118
G11C 27/02 (2006.01)	G11C 27/02 601T	5F038
HO1L 21/8234 (2006.01)	G11C 27/02 602D	5F048
HO1L 27/06 (2006.01)	HO1L 27/06 102A	5F083
HO1L 21/8238 (2006.01)	HO1L 27/08 321G	5F110

審査請求 未請求 請求項の数 15 O L (全 80 頁) 最終頁に続く

(21) 出願番号 特願2015-179572 (P2015-179572)
 (22) 出願日 平成27年9月11日 (2015.9.11)

(特許庁注：以下のものは登録商標)

1. ブルートゥース

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 塩野入 豊
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 Fターム(参考) 4M118 BA06 CA01 GA02 GB03 GB07
 GD04
 5F038 AC05 AC15 AZ07 BG02 BG04
 DF03 DF05 DF08 EZ20

最終頁に続く

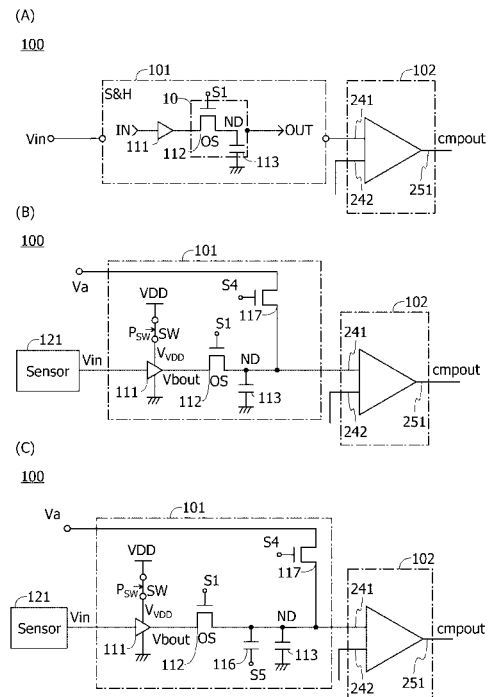
(54) 【発明の名称】 半導体装置、及び電子機器

(57) 【要約】

【課題】消費電力を低減する。または、集積化された半導体装置を提供する。または、信頼性の高い半導体装置を提供する。

【解決手段】サンプルホールド回路と、第1の回路と、を有し、第1の回路は、増幅器を有し、サンプルホールド回路は、バッファ回路と、チャンネル長は1nm以上500nm以下の第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子と、を有する半導体装置である。第1のトランジスタのソースまたはドレインの一方は、第1の容量素子の一方の電極、第2の容量素子の一方の電極、および第2のトランジスタのソースまたはドレインの一方、と電気的に接続される。第1のトランジスタは、オフすることにより第1のトランジスタのソースまたはドレインの一方に電荷を保持する機能を有し、バッファ回路は、電荷を保持した後に、電源電圧の供給が停止される機能を有する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

サンプルホールド回路と、第 1 の回路と、を有し、
 前記第 1 の回路は、増幅器を有し、
 前記サンプルホールド回路は、バッファ回路と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有し、
 前記第 1 のトランジスタのチャネル長は 1 nm 以上 500 nm 以下であり、
 前記第 1 のトランジスタは、酸化物半導体を有し、
 前記第 1 のトランジスタのゲート容量は、 $0.1 \mu\text{F} \cdot \text{cm}^{-2}$ 以上 $1 \mu\text{F} \cdot \text{cm}^{-2}$ 以下であり、
 前記第 2 の容量素子の容量は、前記第 1 のトランジスタのゲート容量の 0.3 倍以上 0.7 倍以下であり、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の容量素子の一方の電極と電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 の容量素子の一方の電極と電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、
 前記第 1 のトランジスタは、オフすることにより第 1 のトランジスタのソースまたはドレインの一方に電荷を保持する機能を有し、
 前記バッファ回路は、前記第 1 のトランジスタのソースまたはドレインの一方に前記電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置。

10

20

【請求項 2】

サンプルホールド回路と、第 1 の回路と、を有し、
 前記第 1 の回路は、コンパレータを有し、
 前記サンプルホールド回路は、バッファ回路と、第 1 のトランジスタと、第 2 のトランジスタと、第 1 の容量素子と、第 2 の容量素子と、を有し、
 前記第 1 のトランジスタのチャネル長は 1 nm 以上 500 nm 以下であり、
 前記第 1 のトランジスタは、酸化物半導体を有し、
 前記第 1 のトランジスタのゲート容量は、 $0.1 \mu\text{F} \cdot \text{cm}^{-2}$ 以上 $1 \mu\text{F} \cdot \text{cm}^{-2}$ 以下であり、
 前記第 2 の容量素子の容量は、前記第 1 のトランジスタのゲート容量の 0.3 倍以上 0.7 倍以下であり、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 1 の容量素子の一方の電極と電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 の容量素子の一方の電極と電氣的に接続され、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、
 前記第 1 のトランジスタは、オフすることにより第 1 のトランジスタのソースまたはドレインの一方に電荷を保持する機能を有し、
 前記バッファ回路は、前記第 1 のトランジスタのソースまたはドレインの一方に前記電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置。

30

40

【請求項 3】

請求項 1 または請求項 2 において、
 前記第 1 の回路は第 3 のトランジスタを有し、
 前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 3 のトランジスタのゲートと電氣的に接続される半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一において、

50

前記バッファ回路からの出力は、前記第 1 のトランジスタのソースまたはドレインの他方に入力され、

前記第 1 のトランジスタのソースまたはドレインの一方に保持される前記電荷に応じた信号は、前記第 1 の回路に入力される半導体装置。

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一において、

デジタルアナログ変換回路を有し、

前記第 1 の回路には、前記デジタルアナログ変換回路が接続される半導体装置。

【請求項 6】

請求項 5 において、

逐次比較レジスタとタイミングコントローラを有する半導体装置。

10

【請求項 7】

バッファ回路と、第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を有し、

前記第 1 のトランジスタのチャネル長は 1 nm 以上 500 nm 以下であり、

前記第 1 のトランジスタは、酸化物半導体を有し、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記容量素子の一方の電極と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

20

前記第 2 のトランジスタのソースまたはドレインの他方に第 1 の電位が与えられ、

前記第 2 のトランジスタは、オンすることにより前記第 1 のトランジスタのソースまたはドレインの一方に前記第 1 の電位に応じた第 1 の電荷を与えた後、オフすることにより、前記第 1 の電荷を保持する機能を有し、

前記第 1 のトランジスタのソースまたはドレインの他方に第 2 の電位が与えられ、

前記第 1 のトランジスタは、オンすることにより前記第 1 のトランジスタのソースまたはドレインの一方に第 2 の電位に応じた第 2 の電荷を与えた後、オフすることにより、前記第 2 の電荷を保持する機能を有し、

前記バッファ回路は、前記第 2 の電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置。

30

【請求項 8】

バッファ回路と、第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、第 2 の容量素子と、を有し、

前記第 1 のトランジスタのチャネル長は 1 nm 以上 500 nm 以下であり、

前記第 1 のトランジスタは、酸化物半導体を有し、

前記第 2 の容量素子の容量は、前記第 1 のトランジスタのゲート容量の 0.3 倍以上 0.7 倍以下であり、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記容量素子の一方の電極と電氣的に接続され、

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 のトランジスタのソースまたはドレインの一方と電氣的に接続され、

40

前記第 1 のトランジスタのソースまたはドレインの一方は、前記第 2 の容量素子の一方の電極と電氣的に接続され、

前記第 2 のトランジスタのソースまたはドレインの他方に第 1 の電位が与えられ、

前記第 2 のトランジスタは、オンすることにより前記第 1 のトランジスタのソースまたはドレインの一方に前記第 1 の電位に応じた第 1 の電荷を与えた後、オフすることにより、前記第 1 の電荷を保持する機能を有し、

前記第 1 のトランジスタのソースまたはドレインの他方に第 2 の電位が与えられ、

前記第 1 のトランジスタのゲートに第 3 の電位を与えることにより前記第 1 のトランジスタをオンし、

50

前記第 2 の容量素子の他方の電極に、第 4 の電位が与えられ、

前記第 1 のトランジスタのソースまたはドレインの一方に第 2 の電位に応じた第 2 の電荷が与えられ、

前記第 1 のトランジスタは、オフすることにより、前記第 2 の電荷を保持する機能を有し、

前記バッファ回路は、前記第 2 の電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置。

【請求項 9】

請求項 7 または請求項 8 において、

前記第 1 の電位と、前記第 2 の電位の差は、 0.1 V より大きく 4 V より小さい半導体装置。

10

【請求項 10】

請求項 7 乃至請求項 9 のいずれか一において、

前記第 2 の電位に対する前記第 3 の電位の電位差は、

前記第 2 の電位に対する前記第 4 の電位の電位差と極性が異なる半導体装置。

【請求項 11】

請求項 7 乃至請求項 10 のいずれか一において、

前記第 1 のトランジスタのゲート容量は、 $0.1\text{ }\mu\text{F}\cdot\text{cm}^{-2}$ 以上 $1\text{ }\mu\text{F}\cdot\text{cm}^{-2}$ 以下である半導体装置。

【請求項 12】

20

請求項 7 乃至請求項 11 のいずれか一において、

前記バッファ回路からの出力は、前記第 1 のトランジスタのソースまたはドレインの他方に入力され、

前記第 1 のトランジスタのソースまたはドレインの一方に保持される前記電荷に応じた信号は、前記第 1 の回路に入力される半導体装置。

【請求項 13】

請求項 7 乃至請求項 12 のいずれか一において、

デジタルアナログ変換回路を有する半導体装置。

【請求項 14】

請求項 13 において、

30

逐次比較レジスタとタイミングコントローラを有する半導体装置。

【請求項 15】

請求項 1 乃至請求項 14 のいずれか一に記載の半導体装置と、

表示部と、を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、半導体装置、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、蓄電装置、撮像装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げるができる。

40

【0003】

なお、本明細書等において、半導体装置は、半導体特性を利用することで機能しうる素子、回路、又は装置等を指す。一例としては、トランジスタ、ダイオード等の半導体素子は半導体装置である。また別の一例としては、半導体素子を有する回路は、半導体装置である。また別の一例としては、半導体素子を有する回路を備えた装置は、半導体装置であ

50

る。

【背景技術】

【0004】

半導体特性を利用する半導体装置の一種である、アナログデジタル変換回路（以下、A/Dコンバータ）は、様々な装置に搭載されている。特許文献1は、消費電力を低減するA/Dコンバータの構成について開示している。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】米国特許出願公開第2012/0112937号明細書

10

【発明の概要】

【発明が解決しようとする課題】

【0006】

一般的に、A/Dコンバータは常に電源が供給されており、アナログデータを入力している間は、デジタルデータを出力し続ける。つまり、電源が供給されている間は、電力が消費され続けるということになる。

【0007】

消費電力を低減するには、駆動する電圧を下げることで、駆動する周波数を下げることで、あるいは電源の供給を停止する期間を設けることで、等の手段がある。しかしながら、駆動する電圧や周波数を下げることは、A/Dコンバータの分解能とサンプリングレートに直接関係があるため、性能の低下を招いてしまう。また、間欠的に電源の供給を停止することは、アナログデータを保持するためのフラッシュメモリを使用すれば可能であるものの、専用の高電圧生成回路や周辺回路が必要になるので、却って消費電力の増加を招いてしまう。

20

【0008】

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することを課題の一とする。

【0009】

または、本発明の一態様は、消費電力を低減できる、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、分解能とサンプリングレートといった、A/Dコンバータの性能を低下しない、新規な構成の半導体装置等を提供することを課題の一とする。または、本発明の一態様は、アナログデータを保持するための、専用の高電圧生成回路や周辺回路が必要とするもののない、新規な構成の半導体装置等を提供することを課題の一とする。

30

【0010】

または、本発明の一態様は、集積化された半導体装置を提供することを課題の一とする。または、本発明の一態様は、信頼性の高い半導体装置を提供することを課題の一とする。

【0011】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び/又は他の課題のうち、少なくとも一つの課題を解決するものである。

40

【課題を解決するための手段】

【0012】

本発明の一態様は、サンプルホールド回路と、第1の回路と、を有し、第1の回路は、増幅器を有し、サンプルホールド回路は、バッファ回路と、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子と、を有し、第1のトランジスタ

50

のチャンネル長は1 nm以上500 nm以下であり、第1のトランジスタは、酸化物半導体を有し、第1のトランジスタのゲート容量は、 $0.1 \mu\text{F} \cdot \text{cm}^{-2}$ 以上 $1 \mu\text{F} \cdot \text{cm}^{-2}$ 以下であり、第2の容量素子の容量は、第1のトランジスタのゲート容量の0.3倍以上0.7倍以下であり、第1のトランジスタのソースまたはドレインの一方は、第1の容量素子の一方の電極と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2の容量素子の一方の電極と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタは、オフすることにより第1のトランジスタのソースまたはドレインの一方に電荷を保持する機能を有し、バッファ回路は、第1のトランジスタのソースまたはドレインの一方に電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置である。

10

【0013】

または、本発明の一態様は、サンプルホールド回路と、第1の回路と、を有し、第1の回路は、コンパレータを有し、サンプルホールド回路は、バッファ回路と、第1のトランジスタと、第2のトランジスタと、第1の容量素子と、第2の容量素子と、を有し、第1のトランジスタのチャンネル長は1 nm以上500 nm以下であり、第1のトランジスタは、酸化物半導体を有し、第1のトランジスタのゲート容量は、 $0.1 \mu\text{F} \cdot \text{cm}^{-2}$ 以上 $1 \mu\text{F} \cdot \text{cm}^{-2}$ 以下であり、第2の容量素子の容量は、第1のトランジスタのゲート容量の0.3倍以上0.7倍以下であり、第1のトランジスタのソースまたはドレインの一方は、第1の容量素子の一方の電極と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2の容量素子の一方の電極と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第1のトランジスタは、オフすることにより第1のトランジスタのソースまたはドレインの一方に電荷を保持する機能を有し、バッファ回路は、第1のトランジスタのソースまたはドレインの一方に電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置である。

20

【0014】

また、上記構成において、第1の回路は第3のトランジスタを有し、第1のトランジスタのソースまたはドレインの一方は、第3のトランジスタのゲートと電氣的に接続されることが好ましい。また、上記構成において、バッファ回路からの出力は、第1のトランジスタのソースまたはドレインの他方に入力され、第1のトランジスタのソースまたはドレインの一方に保持される電荷に応じた信号は、第1の回路に入力されることが好ましい。また、上記構成において、半導体装置は、デジタルアナログ変換回路を有し、第1の回路には、デジタルアナログ変換回路が接続されることが好ましい。また、上記構成において、半導体装置は、逐次比較レジスタとタイミングコントローラを有することが好ましい。

30

【0015】

または、本発明の一態様は、バッファ回路と、第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、第1のトランジスタのチャンネル長は1 nm以上500 nm以下であり、第1のトランジスタは、酸化物半導体を有し、第1のトランジスタのソースまたはドレインの一方は、容量素子の一方の電極と電氣的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電氣的に接続され、第2のトランジスタのソースまたはドレインの他方に第1の電位が与えられ、第2のトランジスタは、オンすることにより第1のトランジスタのソースまたはドレインの一方に第1の電位に応じた第1の電荷を与えた後、オフすることにより、第1の電荷を保持する機能を有し、第1のトランジスタのソースまたはドレインの他方に第2の電位が与えられ、第1のトランジスタは、オンすることにより第1のトランジスタのソースまたはドレインの一方に第2の電位に応じた第2の電荷を与えた後、オフすることにより、第2の電荷を保持する機能を有し、バッファ回路は、第2の電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置である。

40

【0016】

50

または、本発明の一態様は、バッファ回路と、第1のトランジスタと、第2のトランジスタと、容量素子と、第2の容量素子と、を有し、第1のトランジスタのチャンネル長は1 nm以上500 nm以下であり、第1のトランジスタは、酸化物半導体を有し、第2の容量素子の容量は、第1のトランジスタのゲート容量の0.3倍以上0.7倍以下であり、第1のトランジスタのソースまたはドレインの一方は、容量素子の一方の電極と電気的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2のトランジスタのソースまたはドレインの一方と電気的に接続され、第1のトランジスタのソースまたはドレインの一方は、第2の容量素子の一方の電極と電気的に接続され、第2のトランジスタのソースまたはドレインの他方に第1の電位が与えられ、第2のトランジスタは、オンすることにより第1のトランジスタのソースまたはドレインの一方に第1の電位に応じた第1の電荷を与えた後、オフすることにより、第1の電荷を保持する機能を有し、第1のトランジスタのソースまたはドレインの他方に第2の電位が与えられ、第1のトランジスタのゲートに第3の電位を与えることにより第1のトランジスタをオンし、第2の容量素子の他方の電極に、第4の電位が与えられ、第1のトランジスタのソースまたはドレインの一方に第2の電位に応じた第2の電荷が与えられ、第1のトランジスタは、オフすることにより、第2の電荷を保持する機能を有し、バッファ回路は、第2の電荷を保持した後に、電源電圧の供給が停止される機能を有する半導体装置である。

10

20

30

40

50

【0017】

また、上記構成において、第1の電位と、第2の電位の差は、0.1 Vより大きく4 Vより小さいことが好ましい。また、上記構成において、第2の電位に対する第3の電位の電位差は、第2の電位に対する第4の電位の電位差と極性が異なることが好ましい。また、上記構成において、第1のトランジスタのゲート容量は、 $0.1 \mu\text{F} \cdot \text{cm}^{-2}$ 以上 $1 \mu\text{F} \cdot \text{cm}^{-2}$ 以下であることが好ましい。また、上記構成において、バッファ回路からの出力は、第1のトランジスタのソースまたはドレインの他方に入力され、第1のトランジスタのソースまたはドレインの一方に保持される電荷に応じた信号は、第1の回路に入力されることが好ましい。また、上記構成において、半導体装置は、デジタルアナログ変換回路を有することが好ましい。また、上記構成において、半導体装置は、逐次比較レジスタとタイミングコントローラを有することが好ましい。

【0018】

または、本発明の一態様は、上記のいずれかに記載の半導体装置と、表示部と、を有する電子機器である。

【0019】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】**【0020】**

本発明の一態様は、新規な半導体装置、新規な電子機器等を提供することができる。

【0021】

または、本発明の一態様は、消費電力を低減できる、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、分解能とサンプリングレートといった、ADコンバータの性能を低下しない、新規な構成の半導体装置等を提供することができる。または、本発明の一態様は、アナログデータを保持するための、専用の高電圧生成回路や周辺回路が必要とすることのない、新規な構成の半導体装置等を提供することができる。

【0022】

また、本発明の一態様により、集積化された半導体装置を提供することができる。また、本発明の一態様により、信頼性の高い半導体装置を提供することができる。

【0023】

なお本発明の一態様の効果は、上記列挙した効果に限定されない。上記列挙した効果は、他の効果の存在を妨げるものではない。なお他の効果は、以下の記載で述べる、本項目

で言及していない効果である。本項目で言及していない効果は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した効果、及び/又は他の効果のうち、少なくとも一つの効果を有するものである。したがって本発明の一態様は、場合によっては、上記列挙した効果を有さない場合もある。

【図面の簡単な説明】

【0024】

- 【図1】本発明の一態様を説明するための回路図。
- 【図2】本発明の一態様を説明するためのタイミングチャート。
- 【図3】本発明の一態様を説明するためのブロック図。 10
- 【図4】本発明の一態様を説明するためのブロック図。
- 【図5】本発明の一態様を説明するためのブロック図。
- 【図6】本発明の一態様を説明するためのブロック図。
- 【図7】本発明の一態様を説明するためのブロック図。
- 【図8】本発明の一態様を説明するためのブロック図および波形図。
- 【図9】本発明の一態様を説明するためのブロック図。
- 【図10】本発明の一態様を説明するための波形図。
- 【図11】本発明の一態様を説明するための回路図。
- 【図12】本発明の一態様を説明するための回路図。
- 【図13】本発明の一態様を説明するための回路図。 20
- 【図14】本発明の一態様を説明するためのブロック図。
- 【図15】本発明の一態様を説明するためのブロック図。
- 【図16】本発明の一態様を説明するためのタイミングチャート。
- 【図17】本発明の一態様を説明するための回路図。
- 【図18】本発明の一態様を説明するための模式図。
- 【図19】本発明の一態様を説明するための模式図。
- 【図20】本発明の一態様を説明するための断面図。
- 【図21】本発明の一態様を説明するための断面図。
- 【図22】本発明の一態様を説明するための断面図。
- 【図23】本発明の一態様を説明するための電子機器。 30
- 【図24】本発明の一態様を説明するためのブロック図。
- 【図25】本発明の一態様を説明するためのブロック図。
- 【図26】本発明の一態様を説明するためのブロック図。
- 【図27】本発明の一態様を説明するためのブロック図。
- 【図28】本発明の一態様を説明するための回路図。
- 【図29】本発明の一態様を説明するための回路図。
- 【図30】本発明の一態様を説明するためのタイミングチャート。
- 【図31】本発明の一態様を説明するための回路図。
- 【図32】本発明の一態様を説明するためのタイミングチャート。
- 【図33】本発明の一態様を説明するための模式図。 40
- 【図34】本発明の一態様を説明するための模式図。
- 【図35】本発明の一態様を説明するための模式図。
- 【図36】トランジスタの構成例を示す断面図。
- 【図37】トランジスタの構成例を示す上面図及び断面図。
- 【図38】トランジスタの構成例を示す断面図及びエネルギーバンド図。
- 【図39】トランジスタの構成例を示す断面図。
- 【図40】トランジスタの構成例を示す断面図。
- 【図41】トランジスタの構成例を示す断面図。
- 【図42】トランジスタの構成例を示す上面図及び断面図。
- 【図43】半導体装置の構成例を示すブロック図。 50

【図44】表示装置の構成例を示す外観図。

【図45】CAAC-OSおよび単結晶酸化物半導体のXRDによる構造解析を説明する図、ならびにCAAC-OSの制限視野電子回折パターンを示す図。

【図46】CAAC-OSの断面TEM像、ならびに平面TEM像およびその画像解析像。

【図47】nc-OSの電子回折パターンを示す図、およびnc-OSの断面TEM像。

【図48】a-like OSの断面TEM像。

【図49】In-Ga-Zn酸化物の電子照射による結晶部の変化を示す図。

【発明を実施するための形態】

【0025】

10

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0026】

なお本明細書等において、「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものである。したがって、構成要素の数を限定するものではない。また、構成要素の順序を限定するものではない。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素が、他の実施の形態、あるいは特許請求の範囲において「第2」に言及された構成要素とすることもありうる。また例えば、本明細書等の実施の形態の一において「第1」に言及された構成要素を、他の実施の形態、あるいは特許請求の範囲において省略して言及することもありうる。

20

【0027】

なお図面において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0028】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について説明する。

【0029】

30

図1は、本発明の一態様の半導体装置の構成を示すブロック図である。

【0030】

半導体装置100は、サンプルホールド回路101(サンプルアンドホールド回路ともいう。図中、S&Hと略記)および回路102を有することが好ましい。

【0031】

サンプルホールド回路101は、アナログデータの電位(アナログ電位 V_{in})が入力され、制御信号S1の制御に応じてアナログ電位 V_{in} に応じた電荷の保持を行うことができる機能を有する回路である。

【0032】

40

サンプルホールド回路101は、一例として、バッファ回路111、トランジスタ112、及び容量素子113を有する。サンプルホールド回路101の出力端子は、トランジスタ112のソース又はドレインの一方に設けられる。また、サンプルホールド回路101の入力端子は、トランジスタ112のソース又はドレインの他方に設けられる。なおトランジスタ112のソース又はドレインの一方にあるノードを、説明のため、ノードNDとする。

【0033】

また図1(B)および(C)には半導体装置100のより具体的な一例として、アナログ電位 V_{in} を生成するセンサ回路121(図中、Sensor)が入力端子 V_{in} に接続される例を示すが、入力端子 V_{in} にはセンサ回路以外の回路が接続してもよい。

【0034】

50

図1(B)に示すように、サンプルホールド回路101は、トランジスタ117を有することが好ましい。サンプルホールド回路101がトランジスタ117を有することにより例えば、トランジスタ112のソースとドレインの間に印加される電位差を小さくすることができる。また、図1(C)に示すように、サンプルホールド回路101は、容量素子116を有することが好ましい。サンプルホールド回路101が容量素子116を有することにより例えば、サンプルホールド回路101からの出力電位の変動および歪みを減少することができる。

【0035】

トランジスタ112のソースまたはドレインの一方は、容量素子113の一方の電極と電氣的に接続される。また、トランジスタ112のソースまたはドレインの一方は、トランジスタ117のソースまたはドレインの一方と電氣的に接続される。

10

【0036】

バッファ回路111は、サンプルホールド回路101に入力されるアナログデータ等の信号を増幅して出力する機能を有する。ここで、図1(B)および(C)に示す例においては、電位VDDがスイッチSWを介してバッファ回路111に入力される。また、スイッチSWは制御信号P_{sw}により制御される。ここで、電位VDDは半導体装置100が有する回路の電源として用いられる場合がある。例えば、電位VDDはバッファ回路111の電源として用いられる。

【0037】

トランジスタ112は、オフ状態でのソースドレイン間を流れる電流が極めて低い機能を有するトランジスタである。このような機能を有するトランジスタとして、チャンネル形成領域に酸化物半導体を有するトランジスタ(OSトランジスタ)が好適である。OSトランジスタについては、後述する実施の形態で詳述する。なお図面では、OSトランジスタであることを明示するために、OSトランジスタの回路記号に「OS」の記載を付している。トランジスタ112のソース又はドレインの一方は、サンプルホールド回路101の入力端子に接続される。トランジスタ112のゲートは、制御信号S1を与える配線に接続される。トランジスタ112のソース又はドレインの一方は、サンプルホールド回路101の出力端子、又はノードNDに接続される。ここでノードNDの電位をV_{ND}とする。

20

【0038】

容量素子113は、トランジスタ112をオフにすることで、アナログ電位V_{in}に応じた電荷を保持する機能を有する。なお図1では、容量素子113をトランジスタ112のソース又はドレインの一方、すなわちノードND側に設ける構成を示しているが、容量素子113は必ずしも設ける必要はなく、回路102の入力端子におけるゲート容量等を利用することで省略することができる。なおアナログ電位V_{in}に応じた電荷を保持する、トランジスタ112及び容量素子113を有する回路を、第1の回路10と図示している。

30

【0039】

回路102は例えば、増幅器を有することが好ましい。増幅器の一例として、オペアンプ等が挙げられる。

40

【0040】

または回路102は例えば、コンパレータを有することが好ましい。例えば回路102は、サンプルホールド回路101で保持するアナログ電位V_{in}に応じた電位V_{ND}と、デジタルアナログ変換回路104が出力するアナログ電位DAC_{out}との大小関係を比較し、その大小関係に応じて信号c_{mpout}を出力する機能を有することが好ましい。

【0041】

回路102は、入力端子241、入力端子242および出力端子251を有することが好ましい。入力端子241には、サンプルホールド回路101が電氣的に接続されることが好ましい。例えば、回路102において、入力端子241に入力される電位と入力端子242に入力される電位の大小関係に応じて、出力端子251より信号が出力される。

50

【0042】

次いで、半導体装置100の動作例について、特にサンプルホールド回路101の動作に着目して説明し、本発明の一態様による効果について詳述する。

【0043】

図1(B)に示す半導体装置100は、サンプルホールド回路101、及び回路102を図示している。サンプルホールド回路101は、バッファ回路111に電源を供給するスイッチSW図示している。

【0044】

スイッチSWは、制御信号 P_{SW} によってオンまたはオフが制御される。スイッチSWがオンになることでノード V_{VD} が電位VDDとなり、グラウンド電位GNDとの間で電源を供給することができる。スイッチSWがオフになることで電源の供給を停止することができる。

10

【0045】

スイッチSWをオンにし、制御信号S1によってトランジスタ112をオンにすることで、ノードNDにアナログ電位 V_{in} に応じた電荷が伝わる。次いで、トランジスタ112をオフとした後にスイッチSWをオフにし、バッファ回路111への電源の供給を停止する。上述したようにオフ状態でのトランジスタ112のオフ電流が極めて低いため、ノードNDに伝わったアナログ電位 V_{in} に応じた電荷は、バッファ回路111への電源の供給を停止してもトランジスタ112のオフ状態を維持することで保持し続けることができる。そのため、アナログ電位を供給するセンサ回路121の電源の供給も停止することができる。

20

【0046】

トランジスタの駆動性能の向上、および回路の集積度の向上のためには、トランジスタのチャンネル長をより短くすることが求められる。

【0047】

従来のシリコンやゲルマニウム、及びその化合物を用いたトランジスタでは、特に微細なチャンネル長を有する素子では短チャンネル効果を抑制するために、ゲート電界を強くすることが好ましく、ゲート電界を強くするためにはゲート絶縁膜の薄膜化が好ましい。

【0048】

一方、酸化物半導体を用いたトランジスタは、電子を多数キャリアとする蓄積型トランジスタである。そのため、pn接合を有する反転型トランジスタと比較して短チャンネル効果の一つであるDIBL(Drain-Induced Barrier Lowering)の影響が小さい。酸化物半導体を用いたトランジスタは、短チャンネル効果に対する耐性を有すると言い換えることもできる。

30

【0049】

短チャンネル効果に対する耐性が高いために、酸化物半導体を用いたトランジスタではシリコン等を用いた従来のトランジスタよりもゲート絶縁膜を厚くすることが可能となる。例えばチャンネル長及びチャンネル幅が50nm以下の微細なトランジスタにおいても、10nm程度の厚いゲート絶縁膜を用いてもよい。ここでゲート絶縁膜として例えば酸化シリコン等を用いることができる。ゲート絶縁膜を厚くすることにより、寄生容量を低減することができる。よって、回路の動特性を向上できる場合がある。またゲート絶縁膜を厚くすることにより、リーク電流を低減し、消費電力を下げられる場合がある。

40

【0050】

真性または実質的に真性の酸化物半導体を用いたトランジスタでは、ソース電極とドレイン電極の間の距離が充分小さいときには、ソースとドレインの間の電界の影響により伝導帯下端のエネルギーが低くなり、伝導帯下端のエネルギーとフェルミ準位が近くなる。この現象を、Conduction Band Lowering Effect(CBL効果)と呼ぶ。CBL効果によって、 $V_g - I_d$ 特性において0V付近の低いゲート電圧からドレイン電流が流れ始めるために、トランジスタの駆動電圧を低くすることができる場合がある。

50

【0051】

ここで、酸化物半導体としてCAAC-O₂S膜を用いることが好ましい。CAAC-O₂S膜のCAAC比率は高いことが好ましい。CAAC比率を高めることにより、例えばトランジスタのキャリア散乱の影響を小さくすることができ、高い電界効果移動度を得ることができる。また、粒界の影響を小さくすることができるため、トランジスタのオン特性のばらつきを小さくすることができる。よって、信頼性の高い半導体装置を得ることができる。また、バラツキの小さいトランジスタを用いることにより駆動電圧を小さくし、消費電力を下げるができる。また、例えば欠陥密度の低いCAAC-O₂S膜を実現することができる。また、不純物の少ないCAAC-O₂S膜を実現することができる。欠陥密度を低減することにより、例えば極めて低いオフ電流特性を実現することができる。

10

【0052】

本発明の一態様の半導体装置は、酸化物半導体を用いたトランジスタを有することにより短チャネル効果を抑制することができ、回路の微細化を実現することができる。

【0053】

また、チャネル長が微細化するのに伴いドレイン電界が強まるため、シリコン等を用いた従来のトランジスタにおいては、特に微細なチャネル長を有する場合にホットキャリア劣化による信頼性の低下がより顕著となる。一方、酸化物半導体ではバンドギャップが大きく（例えばインジウム、ガリウム及び亜鉛を有する酸化物半導体では2.5 eV以上）、電子が励起されにくいことや、ホールの有効質量が大きいことなどから、従来のシリコン等を用いたトランジスタと比較して、アバランシェ崩壊等が生じにくい場合がある。よって、例えばアバランシェ崩壊に起因するホットキャリア劣化等を抑制できる場合がある。

20

【0054】

ゲート絶縁膜を厚くすることによりゲート絶縁膜の耐圧を高めることができ、シリコン等を用いた従来のトランジスタと比べて、より高いゲート電圧でトランジスタを駆動することができる。また、ホットキャリア劣化を抑制することにより、チャネル長を長くせずとも高いドレイン電圧でトランジスタを駆動することができる。よって、高い電圧が入力される回路においてトランジスタの信頼性を高めることができるとともに、チャネル長の縮小が可能となり回路の集積度を高めることができる。

【0055】

シリコン等を用いた従来のトランジスタにおいては、VDD電位が3Vの回路においてソースとドレインの間の耐圧を確保するためには、チャネル長は例えば300 nm以上とすることが好ましい。ここでVDD電位は例えば、電源として用いられる。また、ゲート絶縁膜は酸化シリコン換算で例えば3 nm以下であることが好ましく、ゲート絶縁膜のリーク電流を抑えるためにはゲート絶縁膜の物理膜厚は6 nm以上であることが好ましい。一方、酸化物半導体を用いたトランジスタにおいては、VDD電位が3Vの回路において例えば200 nm以下のチャネル長においても、ソースとドレインの間の耐圧を十分に確保できる場合がある。また、酸化シリコン換算で例えば10 nm以上のゲート絶縁膜においても短チャネル効果を抑えることができる場合がある。すなわち、酸化物半導体を用いたトランジスタにおいては、トランジスタの微細化が可能であり、かつ、ゲート絶縁膜のリーク電流を抑制することができるため好ましい。

30

40

【0056】

ここで、本発明の一態様により、酸化物半導体を用いたトランジスタにおいて、さらなる微細化を実現することができる。例えばVDD電位が3Vの回路において、チャネル長を100 nm以下とすることができる場合がある。すなわち、本発明の一態様により、回路の集積度を高めることができる。また、本発明の一態様により、トランジスタのソースとドレインの間の耐圧を十分に確保することができる。

【0057】

図2(A)は、図1(B)に示すサンプルホールド回路101の動作の一例を示すタイミングチャートである。なお図中の斜線部231は、前のデータが保持された状態を表し

50

ている。

【0058】

まず時刻 T1 で制御信号 P_{SW} をハイレベルとする。制御信号 P_{SW} をハイレベルとすることで、スイッチ SW がオンとなり、ノード V_{VDD} が電位 V_{D D} となり、グラウンド電位 G_{N D} との間で電源が供給される。そして、電位 V_{i n} はバッファ回路 111 により増幅され、電位 V_{b o u t} として出力される。そして制御信号 S₄ をハイレベルとする。すると、トランジスタ 117 がオンとなり、トランジスタ 112 もオフであるため、ノード N_D の電位は入力端子 a の電位である電位 V_a に上昇する。

【0059】

次いで時刻 T2 で制御信号 S₄ をロウレベル、制御信号 S₁ をハイレベルとする。すると、トランジスタ 117 がオフとなり、トランジスタ 112 がオンとなる。この時、トランジスタ 112 のソースとドレインの間には、電位 V_a と電位 V_{b o u t} の電位差が印加される。そして、ノード N_D の電位は電位 V_{b o u t} となる。

10

【0060】

ここでノード N_D にあらかじめ電位 V_a を与えておくことにより、時刻 T2 においてトランジスタ 112 のソースとドレインの電位の差を、電位 V_{b o u t} とグラウンド電位 G_{N D} との電位差よりも小さくすることができる。よって、トランジスタ 112 のチャネル長をより短くすることができる。

【0061】

ここで、トランジスタ 112 のチャネル長は例えば、好ましくは 1 nm 以上 500 nm 以下、より好ましくは 3 nm 以上 200 nm 以下、さらに好ましくは 5 nm 以上 100 nm 以下である。さらに好ましくは 10 nm 以上 60 nm 未満、さらに好ましくは 10 nm 以上 30 nm 未満である。

20

【0062】

トランジスタ 112 において、単位体積あたりのゲート容量は例えば、好ましくは 1 fF · μm⁻² 以上 10 fF · μm⁻² 以下、より好ましくは 2 fF · μm⁻² 以上 9 fF · μm⁻² 以下である。

【0063】

トランジスタ 112 のゲート絶縁膜として例えば、3 nm より厚く 40 nm より薄い酸化シリコン膜を用いることができる。また、ゲート絶縁膜として例えば、酸化ハフニウム、窒化シリコン等の誘電率のより高い材料を用いることができる。トランジスタ 112 のゲート絶縁膜として例えば、酸化シリコン膜換算の厚さで、3 nm より厚く 40 nm より薄い絶縁膜を用いることができる。ここで、酸化シリコン膜換算の厚さとは、[ゲート絶縁膜の物理膜厚 × 酸化シリコンの誘電率 ÷ ゲート絶縁膜の誘電率] として算出できる。

30

【0064】

また例えば、電位 V_a とグラウンド電位 G_{N D} との差は、好ましくは電位 V_{D D} とグラウンド電位 G_{N D} との差の 0.3 倍以上 0.7 倍以下である。また、電位 V_a とグラウンド電位 G_{N D} との差と、トランジスタ 117 のしきい値との和は電位 V_{D D} とグラウンド電位 G_{N D} との差以下である。

【0065】

次いで時刻 T3 に制御信号 S₁ をロウレベルとする。すると、トランジスタ 112 がオフとなる。そのため、ノード N_D には電位 V_{b o u t} が保持される。

40

【0066】

次いで時刻 T4 に制御信号 P_{SW} をロウレベルとする。制御信号 P_{SW} をロウレベルとすることで、バッファ回路 111 への電源の供給が停止される。このとき、制御信号 S₁ はロウレベルであるため、ノード N_D には電位 V_{b o u t} が保持され続ける。

【0067】

ノード N_D に応じた電位がサンプルホールド回路 101 から出力され、入力端子 241 へ入力される。以上が図 1 (B) のサンプルホールド回路 101 の動作の一例である。

【0068】

50

図2(B)は、図1(C)に示すサンプルホールド回路101の動作の一例を示すタイミングチャートである。なお図中の斜線部231は、前のデータが保持された状態を表している。

【0069】

まず時刻T1で制御信号P_{sw}をハイレベルとし、バッファ回路111への電源の供給が開始されることで、電位V_{in}が増幅された電位である電位V_{out}がバッファ回路111より出力される。そして制御信号S4をハイレベルとする。すると、トランジスタ117がオンとなるため、ノードNDの電位は入力端子aの電位である電位V_aに上昇する。

【0070】

次いで時刻T2で制御信号S4をロウレベルとする。すると、トランジスタ117がオフとなる。そして、制御信号S1をハイレベルとし、制御信号S5をロウレベルとする。すると、トランジスタ112がオンとなる。また、容量素子116が有する2つの電極の電位差に応じた電荷が容量素子116に蓄積される。ここで、時刻T2においては、制御信号S1の論理が反転した信号が、制御信号S5に入力される。このとき例えば、ノードNDの電位に対する制御信号S5の電位の電位差は、ノードNDの電位に対する制御信号S1の電位の電位差と極性が異なる。トランジスタ112のソースとドレインの間には、V_{out}と電位V_{in}の電位差が印加され、その電位差に応じた電流が流れる。そして、ノードNDの電位は電位V_{out}に上昇する。

【0071】

次いで時刻T3に制御信号S1をロウレベルとし、制御信号S5をハイレベルとする。すると、トランジスタ112がオフとなる。そのため、ノードNDには電位V_{out}が保持される。ここで、トランジスタ112をオフすることによりノードNDの電位が変動する場合がある。この時、サンプルホールド回路101が容量素子116を有することにより、ノードNDの電位の変動を抑制できる場合がある。

【0072】

次いで時刻T4に制御信号P_{sw}をロウレベルとする。制御信号P_{sw}をロウレベルとすることで、バッファ回路111への電源の供給が停止される。このとき、制御信号S1はロウレベルであるため、ノードNDには電位V_{out}が保持され続ける。

【0073】

ノードNDに応じた電位がサンプルホールド回路101から出力され、入力端子241へ入力される。以上が図1(C)のサンプルホールド回路101の動作の一例である。

【0074】

ここで図3に示す例のように、制御信号S1を与える配線にインバータ120を接続し、制御信号S1の反転信号を容量素子116の一方の電極に印加することができる。図3の構成とすることにより、制御信号S5が不要となり、回路の簡略化が可能となる。

【0075】

図4に示す例のように、回路102は、トランジスタ119を有することが好ましい。トランジスタ112のソースまたはドレインの一方は、トランジスタ119のゲートと電氣的に接続されることが好ましい。図4(A)において、サンプルホールド回路101より出力される電位はトランジスタ119のゲートに保持される。また図4(B)に示すように、半導体装置100は、サンプルホールド回路101と、トランジスタ119との間に容量素子を有してもよい。

【0076】

また、半導体装置100において、ノード電位NDの電位と比較する電位を生成する回路が、入力端子242に入力されることが好ましい。該電位を生成する回路として例えば、デジタルアナログ変換回路等が挙げられる。

【0077】

また図5に示す例のように、半導体装置100は、逐次比較レジスタ103(図中、SARと略記)と、タイミングコントローラ105(図中、T_{con}と略記)と、を有す

10

20

30

40

50

ることが好ましい。また、半導体装置 100 は、発振回路 106 (図中、O s c i . と略記) を有することが好ましい。

【 0078 】

ここで図 5 に示す半導体装置 100 は A D コンバータとして機能する。

【 0079 】

半導体装置 100 は、サンプルホールド回路 101、回路 102、逐次比較レジスタ 103、デジタルアナログ変換回路 104、タイミングコントローラ 105、及び発振回路 106 を有する。

【 0080 】

逐次比較レジスタ 103 は、アナログ電位 D A C o u t の変化に応じて、N ビット (N は 2 以上の自然数) のデジタルデータを保持し、出力する機能を有する。N ビット、すなわち 0 ビット目から (N - 1) ビット目のデジタルデータ (図中、v a l u e [N - 1 : 0] と略記) は、V o u t として外部に出力される他、デジタルアナログ変換回路 104 に出力される。逐次比較レジスタ 103 は、各ビットに対応するレジスタを含む論理回路で構成され、制御信号 S 2 の制御に応じてデジタルデータを出力することができる。制御信号 S 2 は、タイミングコントローラ 105 より与えられる信号である。

10

【 0081 】

デジタルアナログ変換回路 104 は、デジタルデータにしたがって、アナログ電位 D A C o u t を生成し、出力する機能を有する。デジタルアナログ変換回路 104 は、容量方式の変換方式 (C - D A C) でもよいし、抵抗方式の変換方式 (R - D A C) でもよい。特に C - D A C であれば、O S トランジスタを用いることで、デジタル値を保持することができるため好ましい。なお O S トランジスタを有する C - D A C の構成については、後述する実施の形態で具体的な回路構成を挙げて説明する。

20

【 0082 】

タイミングコントローラ 105 は、信号 S A D C に応じてクロック信号 C L K に同期した制御信号 S 1、S 2 を生成し、出力する機能を有する。タイミングコントローラ 105 は、論理回路で構成され、クロック信号 C L K 及び信号 S A D C に応じて制御信号 S 1、S 2 を出力することができる。論理回路で構成されるタイミングコントローラ 105 は、図 6 に示すように、論理回路で構成される逐次比較レジスタ 103 と一体に形成することができる。タイミングコントローラ 105 は、制御回路という場合がある。

30

【 0083 】

発振回路 106 は、クロック信号 C L K を生成し、出力する機能を有する。発振回路 106 は、水晶発振器で生成されるクロック信号でもよいし、リングオシレータ で生成されるクロック信号でもよい。

【 0084 】

図 6 に示す A D コンバータとして機能する半導体装置 100 は、センサ回路等によって取得したアナログ電位 V i n に応じた電荷を、オフ電流が極めて低いトランジスタ 112 を有するサンプルホールド回路 101 に保持させる。サンプルホールド回路 101 では、トランジスタ 112 をオフにすることで電荷の保持を可能としたノード N D に、アナログ電位 V i n に応じた電荷を保持させる。そして本発明の一態様は、サンプルホールド回路 101 が有するバッファ回路 111 等への電源の供給を停止し、消費電力の低減を図ることができる。

40

【 0085 】

また本発明の一態様は、駆動電圧やクロック信号の周波数を抑えることなく、消費電力の低減を図ることができるため、分解能とサンプリングレートといった、A D コンバータの性能を低下させないようにすることができる。また本発明の一態様は、フラッシュメモリ等を用いることなくアナログデータを保持することができるため、専用の高電圧生成回路や周辺回路を設けずに、消費電力の低減を図ることができる。

【 0086 】

なおセンサ回路 121 について、光センサの一例を図 18、タッチセンサの一例を図 1

50

9 に示す。

【0087】

図18(A)に示す光センサは、Siトランジスタおよび光電変換素子66を有する層1100と、層1100と接して設けられ、配線層を有する層1200と、層1200と接して設けられ、OSTランジスタおよびOSTランジスタを有する層1300と、層1300と接して設けられ、配線層を有する層1400を備えている。層1100に形成される光電変換素子66上には絶縁層1500が形成される。また、層1400に接して支持基板1600が設けられる。なお層1200、層1300、及び層1400は図18(B)に示すように省略することが可能である。

【0088】

絶縁層1500上には、遮光層1510が形成される。絶縁層1500および遮光層1510上には平坦化膜として有機樹脂層1520が形成される。有機樹脂層1520上には、光学変換層1550が形成される。光学変換層1550上にはマイクロレンズアレイ1540が設けられ、一つのレンズを通る光が直下の光学変換層1550を通り、光電変換素子66に照射されるようになる。なお絶縁層1500上にある、遮光層1510、有機樹脂層1520、光学変換層1550、及び/またはマイクロレンズアレイ1540は、省略して形成することが可能である。

【0089】

なお層1300が有するOSTランジスタは、半導体装置が有するトランジスタと同じ層に設けられていてもよい。この場合、センサ回路と半導体装置を同じ基板を用いて形成することができるため、低コスト化、小型化を図ることができる。

【0090】

また図19(A)は、相互容量方式のタッチセンサの構成を示すブロック図である。図19(A)では、パルス電圧出力回路601、電流検知回路602を示している。なお図19(A)では、パルス電圧が与えられる配線612、電流の変化を検知する配線613をそれぞれ、X1乃至X6、Y1乃至Y6の6本の配線として示している。また図19(A)は、配線612及び配線613が重畳することで形成される容量611を図示している。

【0091】

パルス電圧出力回路601は、X1乃至X6の配線に順にパルス電圧を印加するための回路である。X1乃至X6の配線にパルス電圧が印加されることで、容量611を形成する配線612及び配線613は、電界が生じる。この電極間に生じる電界が遮蔽等により容量611での相互容量に変化を生じさせることを利用して、被検知体の近接、又は接触を検出することができる。

【0092】

電流検知回路602は、容量611での相互容量に変化による、Y1乃至Y6の配線での電流の変化を検知するための回路である。Y1乃至Y6の配線では、被検知体の近接、又は接触がないと検知される電流値に変化はないが、検出する被検知体の近接、又は接触により相互容量が減少する場合に電流値が減少する変化を検知する。なお電流の検知は、積分回路等を用いて行えばよい。

【0093】

次いで図19(B)には、図19(A)で示す相互容量方式のタッチセンサ部における入出力波形のタイミングチャート図である。図19(B)では、1フレーム(1F)期間で各行列での被検知体の検出を行うものとする。また図19(B)では、被検知体を検出する場合と、被検知体を検出しない場合と、に分けて示している。なおY1乃至Y6の配線については、検知される電流値を電圧値として波形を示している。

【0094】

X1乃至X6の配線には、順にパルス電圧が与えられ、該パルス電圧に従ってY1乃至Y6の配線での波形が変化する。被検知体の近接、又は接触がない場合には、X1乃至X6の配線の電圧の変化に応じてY1乃至Y6の波形が変化する。一方、被検知体の近接、

10

20

30

40

50

又は接触がある場合には、被検知体の近接、又は接触する箇所では、電流値が減少するため、電圧値の波形も変化する。

【0095】

このように、相互容量の変化を検知することにより、被検知体の近接、又は接触を検出することができる。なお図19(A)、(B)の構成に限らず、別のタッチセンサとしてもよい。

【0096】

なおアナログ電位 V_{in} をサンプルホールド回路101に与えるセンサ回路は、複数設けられていてもよい。この場合、図7に示すようにセンサ回路121A、121Bと設けられる場合、サンプルホールド回路101A、101Bを設ける。そしてサンプルホールド回路101A、101Bと、回路102との間にセレクタ122(マルチプレクサともいう。図中、MPXと略記)を設ける。

【0097】

セレクタ122は、選択信号SELにしたがって、サンプルホールド回路101A、101Bのいずれかの一のアナログ電位を選択して回路102に出力する機能を有する。サンプルホールド回路101A、101Bは、それぞれ図1、2で説明したサンプルホールド回路101と同様の機能を有するため、センサ回路121A、121Bで得られるアナログ電位 V_{in_A} 、 V_{in_B} に応じた電荷を保持し、バッファ回路への電源の供給を停止することができる。したがって、消費電力の低減を図るよう動作させることができる。また、サンプルホールド回路101A、101Bで一旦アナログ電位 V_{in_A} 、 V_{in_B} をサンプリングした後は、アナログ電位 V_{in_A} 、 V_{in_B} の供給を停止するために、センサ回路121A、121Bへの電源の供給を停止することができる。したがって、センサ回路121A、121Bの消費電力を低減することができる。

【0098】

なおセンサ回路で得られるアナログ電位は、一定の場合もあれば、常に変動する場合もある。変動するアナログ電位をサンプリングする場合、相関二重サンプリング(CDS: Correlated Double Sampling)回路を介してサンプリングを行えばよい。相関二重サンプリング回路は、2つのタイミングの相対差を得ることで、ノイズ除去の用途に用いられている。

【0099】

図8(A)は、相関二重サンプリング回路の一例を示す。相関二重サンプリング回路は、複数のサンプルホールド回路131A乃至131を有する。図8(A)に示すサンプルホールド回路131A乃至131は、図1(A)で示したサンプルホールド回路101と同等の回路を用いることができる。サンプルホールド回路131Aのトランジスタには制御信号1、サンプルホールド回路131B、131Cのトランジスタには制御信号2が与えられる。

【0100】

制御信号1及び2によってオフ状態になるトランジスタにOSトランジスタを用いることで、差を取るためにサンプリングされた電位の変動が少なくすることができる。そのため、相関二重サンプリング回路の精度を高めることができる。また、また一旦電位をサンプリングした後は、サンプルホールド回路131A乃至131が有するバッファ回路への電源の供給を停止することができ、消費電力の低減を図ることができる。

【0101】

図8(B)には、図8(A)に示す相関二重サンプリング回路の動作の一例となるタイミングチャートを示す。なお電位 V_{sensor} は、センサ回路121で得られる変動する電位であり、電位 V_{NDT} は、相関二重サンプリング回路を経たアナログ電位である。図8(B)に示すように、電位 V_{sensor} が変動しても一定の周期でサンプリングして差をとることで、電位 V_{sensor} の電圧 V は平均化され、電位 V_{NDT} は、平均化された一定のアナログ電位として得ることができる。ここで、図8(A)において、サンプルホールド回路131Bはバッファ回路を設ける構成としているが、バッファ回路を

10

20

30

40

50

設けなくてもよい。

【 0 1 0 2 】

次に図 9 には、サンプルホールド回路 1 3 1 A 乃至サンプルホールド回路 1 3 1 C として、図 1 (B) 等に示すサンプルホールド回路 1 0 1 と同等の回路を用いる例を示す。すなわち、それぞれのサンプルホールド回路は、第 2 のトランジスタと、第 2 の容量素子と、を有する。第 2 のトランジスタは、ソースまたはドレインの一方がノード N D に接続され他方には電位 V_a が入力される。第 2 の容量素子は、一方の電極がノード N D に接続し他方の電極には制御信号が入力される。ここで、サンプルホールド回路 1 3 1 A が有する第 2 のトランジスタのゲートには制御信号 S 4 1 が入力され、サンプルホールド回路 1 3 1 B および 1 3 1 C が有する第 2 のトランジスタには制御信号 S 4 2 が入力される。また、サンプルホールド回路 1 3 1 A が有する第 2 の容量の他方の電極には、制御信号 S 5 1 が入力され、サンプルホールド回路 1 3 1 B および 1 3 1 C が有する第 2 の容量の他方の電極には、制御信号 S 5 2 が入力される。

10

【 0 1 0 3 】

図 1 0 には、図 9 に示す回路の動作を説明するタイミングチャートを示す。制御信号 S 5 2 は制御信号 2 の逆位相の信号が、制御信号 S 5 1 には制御信号 1 の逆位相の信号が、それぞれ入力される。

【 0 1 0 4 】

まず、制御信号 S 4 2 をハイレベルとする。次に、制御信号 S 4 2 をロウレベルとし、制御信号 2 をハイレベルとし、制御信号 S 5 2 をロウレベルとし、サンプルホールド回路 1 3 1 C のノード N D には電位 V_{sensor} が増幅された電位に応じた電荷が蓄積される。また、サンプルホールド回路 1 3 1 B のノード N D の電位は、サンプルホールド回路 1 3 1 A に、以前に保存されたデータに応じた電荷が蓄積される。

20

【 0 1 0 5 】

次に、制御信号 S 4 1 をハイレベルとする。次に、制御信号 S 4 1 をロウレベルとし、制御信号 1 をハイレベルとし、制御信号 S 5 1 をロウレベルとし、サンプルホールド回路 1 3 1 A のノード N D には電位 V_{sensor} が増幅された電位に応じた電荷が蓄積される。ここで、電位 $V_{N D T}$ は、サンプルホールド回路 1 3 1 B に蓄積されていた電荷と、サンプルホールド回路 1 3 1 A に蓄積された電荷が平均化された値となる。

【 0 1 0 6 】

次いで図 1 1 には、回路 1 0 2 の回路構成の一例を示す。図 1 1 に示す回路 1 0 2 は P チャネル型のトランジスタ 1 4 1 乃至 1 5 3、N チャネル型のトランジスタ 1 5 4 乃至 1 6 6、及び抵抗素子 1 6 7 で構成される。なお図 6 中、端子 I N P が非反転入力端子、端子 I N M が反転入力端子に相当する。

30

【 0 1 0 7 】

次いで図 1 2 (A) には、発振回路 1 0 6 の回路構成の一例を示す。図 1 2 (A) に示す発振回路 1 0 6 は P チャネル型のトランジスタ 1 7 1、インバータ回路 1 7 2、N チャネル型のトランジスタ 1 7 3、及びバイアス電圧生成回路 1 7 4 で構成される。なお図 6 中、端子 B I A S P が正のバイアス電圧を与える端子、端子 B I A S M が負のバイアス電圧を与える端子に相当する。

40

【 0 1 0 8 】

図 1 2 (B) には、図 1 2 (A) に示すバイアス電圧生成回路 1 7 4 の回路構成の一例を示す。図 1 2 (B) に示すバイアス電圧生成回路 1 7 4 は P チャネル型のトランジスタ 1 7 6 乃至 1 8 1、N チャネル型のトランジスタ 1 8 3 乃至 1 8 8、抵抗素子 1 8 9、及び容量素子 1 9 0 乃至 1 9 3 で構成される。

【 0 1 0 9 】

次いで図 1 3 (A) には、デジタルアナログ変換回路 1 0 4 の回路構成の一例を示す。なお図 1 3 (A) では 1 0 ビットの C - D A C を示す。また図 1 3 (A) では、説明のため、サンプルホールド回路 1 0 1、回路 1 0 2 を併せて図示している。図 1 3 (A) に示すデジタルアナログ変換回路 1 0 4 は容量素子 1 9 3、セクタ 1 9 4、1 9 5、1 9 6

50

及びトランジスタ 197 で構成される。容量素子 193 は、ビット数に応じた容量値を有する。容量値の一例は、図 13 (A) 中、容量素子 193 に付して示している。またセクタ 194, 195 は、容量素子 193 に対応して設けられる。また、図示しないが図 8 (A) において、サンプルホールド回路 101 には電位 V_a が入力されることが好ましい。

【0110】

図 13 (B) には、図 13 (A) に示すセクタ 194、195、196 の回路構成の一例を示す。なおセクタ 195、196 の端子 SEL には、制御信号 S_2 が与えられる。なおセクタ 194、195 の端子 A には、セクタ 196 で選択される電位が与えられる。なおセクタ 196 の端子 A には、参照電位 V_{ref} が与えられる。なおセクタ 194、195、196 の端子 B には、グラウンド電位が与えられる。

10

【0111】

また図 13 (C) には、図 13 (B) に示すセクタのより具体的な回路構成の一例を示す。図 13 (C) に示すセクタは、インバータ回路 198、Nチャネル型のトランジスタ 135、136、Pチャネル型のトランジスタ 137, 138 で構成される。

【0112】

図 14 に示す半導体装置 100 は、サンプルホールド回路 101、逐次比較レジスタ 103、デジタルアナログ変換回路 104、タイミングコントローラ 105、及び発振回路 106 を有する。

【0113】

図 14 に示す半導体装置 100 の構成で図 5 と異なる点は、デジタルアナログ変換回路 104 内にデジタルデータを保持するためのトランジスタ 211、及び容量素子 212 を有する点にある。トランジスタ 211 のゲートには、各ビットに対応して、オンまたはオフを制御するための制御信号 $S_{3_value[N-1:0]}$ がタイミングコントローラ 105 より与えられる。本実施の形態では、実施の形態 1 と異なる点に関して詳細に説明し、実施の形態 1 と重複する点に関しては説明を省略する。

20

【0114】

トランジスタ 211 及び容量素子 212 は、トランジスタ 211 をオフにすることで、ノード ND_{DAC} にデジタルデータの電位に応じた電荷を保持することで、デジタルデータを保持する。トランジスタ 211 は、トランジスタ 112 と同様にオフ状態でのソースドレイン間を流れる電流が極めて低い機能を有するトランジスタであり、OS トランジスタであることが好適である。なおデジタルデータの電位に応じた電荷を保持する、トランジスタ 211 及び容量素子 212 を有する回路を、回路 20 と図示している。ここで、回路 20 は図 14 に示すように、トランジスタ 217 および容量素子 216 とを有してもよい。トランジスタ 217 のソースまたはドレインの一方は、トランジスタ 211 のソースまたはドレインの一方と電気的に接続される。また、トランジスタ 217 のソースまたはドレインの他方には、電位 V_a が入力されることが好ましい。容量素子 216 の一方の電極は、トランジスタ 211 のソースまたはドレインの一方と電気的に接続される。

30

【0115】

デジタルアナログ変換回路 104 内において、デジタルデータを保持する場合、図 13 (A) 乃至 (C) で説明したセクタ 194 にトランジスタ 211 及び容量素子 212 を追加する構成とすればよい。また、セクタ 194 には、トランジスタ 217 および容量素子 216 を追加してもよい。図 17 (A)、(B) には、セクタ 194 にトランジスタ 211、容量素子 212、トランジスタ 217 および容量素子 216 を追加した回路図の一例を示す。なお図 17 (A)、(B) では、制御信号 $S_{3_value[N-1:0]}$ として、0 ビット目の制御信号 $S_{3_value[0]}$ をトランジスタ 211 のゲートに与える例を示している。

40

【0116】

図 17 の構成とすることで、サンプルホールド回路 101、回路 102、逐次比較レジスタ 103、及びデジタルアナログ変換回路 104 への電源の供給を停止していくことで

50

消費電力の低減を図ることができる。アナログ電位 V_{in} に応じた電荷をサンプルホールド回路 101 内に保持することで、バッファ回路 111 への電源を停止することができる。また、デジタルアナログ変換回路 104 内のデジタルデータが各ビットで確定していく毎に逐次比較レジスタ 103 内のレジスタへの電源の供給を停止することができる。また、回路 102、及びデジタルアナログ変換回路 104 への電源の供給を停止することができる。

【0117】

次に、半導体装置 100 の具体的な動作の説明をするために、図 15 には図 14 の構成において、2 ビットの AD コンバータとした回路構成を示す。図 15 中、逐次比較レジスタ 103 には、0 ビットのデジタルデータを保持するレジスタ 221 と、1 ビットのデジタルデータを保持するレジスタ 222 とを図示している。またレジスタ 221 への電源の供給又は停止を制御する制御信号 $P_{value}[0]$ 、レジスタ 222 への電源の供給又は停止を制御する制御信号 $P_{value}[1]$ を図示している。またバッファ回路 111 への電源の供給又は停止を制御する制御信号 P_{111} 、デジタルアナログ変換回路 104 への電源の供給又は停止を制御する制御信号 P_{DAC} 、回路 102 への電源の供給又は停止を制御する制御信号 P_{comp} を図示している。

10

【0118】

次いで図 16 に示すタイミングチャートを用いて図 15 の半導体装置 100 の動作について説明する。なお一例として、 V_{DD} は 3 V、 V_{SS} は 0 V、 V_{ref} は 2 V、 V_{out} は 1.5 V とする。なお 1.5 V のアナログ値を 2 ビットのデジタル値への変換を行う場合、「00」、「01」、「10」、「11」のデジタル値に対応する状態が存在し、それぞれ、0.5 V、1.0 V、1.5 V、2.0 V のアナログ値に相当するとして説明する。なお図中の斜線部 231 は、前のデータが保持された状態を表している。

20

【0119】

信号 S_{ADC} がタイミングコントローラ 105 に入力されると、タイミングコントローラは発振回路 106 の動作を開始させ、クロック信号 CLK を出力させる。信号 S_{ADC} がタイミングコントローラ 105 に入力されると、タイミングコントローラ 105 はサンプルホールド回路 101 に制御信号 S_1 を出力する。タイミングコントローラ 105 は、デジタルアナログ変換回路 104、逐次比較レジスタ 103 に制御信号 S_2 を出力する。タイミングコントローラ 105 は、デジタルアナログ変換回路 104、逐次比較レジスタ 103 に制御信号 $S_{3\ value}[1:0]$ を出力する。

30

【0120】

図 16 において制御信号 S_1 は、信号 S_{ADC} と同じ波形の信号にしているが、半導体装置 100 が正常に動作する範囲であれば別の波形の信号でも構わない。制御信号 S_1 により、サンプルホールド回路 101 が動作を開始する。サンプルホールド回路 101 に入力されたアナログ電位 V_{in} はバッファ回路 111 で増幅されて V_{out} としてバッファ回路 111 より出力される。 V_{out} は、トランジスタをオンにすることでノード ND に与えられ、トランジスタ 112 をオフにすることでノード ND に 1.5 V のアナログ電位として保持される。

40

【0121】

図 16 において制御信号 S_2 は、クロック信号 CLK と同じ波形の信号にしているが、半導体装置 100 が正常に動作する範囲であれば別の波形の信号でも構わない。制御信号 S_2 により、逐次比較レジスタ 103 をリセットする。また制御信号 S_1 及び制御信号 S_2 により、デジタルアナログ変換回路 104 をリセットする。

【0122】

図 16 において制御信号 $S_{3\ value}[1:0]$ は、各ビットのデジタルデータが確定するまでハイレベルとしているが、半導体装置 100 が正常に動作する範囲であれば別の波形の信号でも構わない。制御信号 $S_{3\ value}[1:0]$ により、各ビットのデジタルデータが確定した後、デジタルデータを保持するようにトランジスタ 211 のオンまたはオフを制御する。

50

【 0 1 2 3 】

制御信号 S 1 によりトランジスタ 1 1 2 をオフにすることでノード N D に 1 . 5 V のアナログ電位として保持した後、制御信号 P _{1 1 1} によってサンプルホールド回路 1 0 1 のバッファ回路 1 1 1 への電源の供給が停止される。バッファ回路 1 1 1 への電源の供給が停止しても、トランジスタ 1 1 2 がオフになっているため、消費電力を低減しつつ、アナログ電位の保持を可能とすることができる。

【 0 1 2 4 】

制御信号 S 2 により逐次比較レジスタ 1 0 3 をリセットすることで、レジスタ 2 2 1 及びレジスタ 2 2 2 は「 0 0 」に初期化される。レジスタ 2 2 1 及びレジスタ 2 2 2 は「 1 1 」に初期化されても良い。

10

【 0 1 2 5 】

制御信号 S 3 _{v a l u e [1 : 0]} によりトランジスタ 2 1 1 をオンにすることで、各ビットのデジタルデータがデジタルアナログ変換回路 1 0 4 に与えられる。

【 0 1 2 6 】

続いて、クロック信号 C L K の一周目目の立ち上がりで、タイミングコントローラ 1 0 5 は、逐次比較レジスタ 1 0 3 のレジスタ 2 2 2 にある、最上位ビットである 1 ビットのデジタルデータを「 1 」にする。また、制御信号 S 2 により、デジタルアナログ変換回路 1 0 4 は逐次比較レジスタ 1 0 3 のデジタルデータ「 1 0 」を 1 . 5 V のアナログ電位 D A C o u t に変換し、回路 1 0 2 に出力する。そして、回路 1 0 2 は、ノード N D に保持されたアナログ電位 V b o u t である 1 . 5 V と、デジタルアナログ変換されたアナログ電位 D A C o u t である 1 . 5 V とを比較し、V b o u t が、アナログ電位 D A C o u t 以上であれば信号 c m p o u t はハイレベルを、未満であればロウレベルを出力する。ここでは、1 . 5 V のアナログ電位同士を比較しているので、信号 c m p o u t はハイレベルとなる。信号 c m p o u t は、逐次比較レジスタ 1 0 3 に入力される。

20

【 0 1 2 7 】

続いてタイミングコントローラ 1 0 5 は、上位ビットである 1 ビットのデジタルデータが「 1 」に確定したため、クロック信号 C L K の一周目目の立ち下がり制御信号 S 3 _{v a l u e [1]} をロウレベルにし、トランジスタ 2 1 1 をオフにして、デジタルアナログ変換回路 1 0 4 内に 1 ビットのデジタルデータを保持させる。また、制御信号 P _{v a l u e [1]} をロウレベルとし、逐次比較レジスタ 1 0 3 のレジスタ 2 2 2 への電源の供給が停止する。レジスタ 2 2 2 への電源の供給を停止しても、トランジスタ 2 1 1 がオフになっているため、消費電力を低減しつつ、デジタルアナログ変換回路 1 0 4 内にデジタルデータの保持を可能とすることができる。

30

【 0 1 2 8 】

続いて、クロック信号 C L K の二周期目の立ち上がりで、タイミングコントローラ 1 0 5 は、逐次比較レジスタ 1 0 3 のレジスタ 2 2 1 にある、最下位ビットである 0 ビットのデジタルデータを「 1 」にする。また、制御信号 S 2 により、デジタルアナログ変換回路 1 0 4 は逐次比較レジスタ 1 0 3 のデジタルデータ「 1 1 」を 2 . 0 V のアナログ電位に変換し、回路 1 0 2 に出力する。そして、回路 1 0 2 は、ノード N D に保持されたアナログ電位 V b o u t である 1 . 5 V と、デジタルアナログ変換されたアナログ電位 D A C o u t である 2 . 0 V とを比較し、アナログ電位 V b o u t が、アナログ電位 D A C o u t 以上であれば信号 c m p o u t はハイレベルを、未満であればロウレベルを出力する。ここでは、1 . 5 V のアナログ電位 V b o u t と、2 . 0 V のアナログ電位 D A C o u t とが比較されているので、信号 c m p o u t はロウレベルとなる。信号 c m p o u t は、逐次比較レジスタ 1 0 3 に入力される。

40

【 0 1 2 9 】

続いてタイミングコントローラ 1 0 5 は、下位ビットである 0 ビットのデジタルデータが「 0 」に確定したため、クロック信号 C L K の二周期目の立ち下がり制御信号 S 3 _{v a l u e [0]} をロウレベルにし、トランジスタ 2 1 1 をオフにして、デジタルアナログ変換回路 1 0 4 内に 0 ビットのデジタルデータを保持させる。また、制御信号 P _{v a l u e [0]}

50

e [0] をロウレベルとし、逐次比較レジスタ 1 0 3 のレジスタ 2 2 1 への電源の供給が停止する。レジスタ 2 2 1 への電源の供給を停止しても、トランジスタ 2 1 1 がオフになっているため、消費電力を低減しつつ、デジタルアナログ変換回路 1 0 4 内にデジタルデータの保持を可能とすることができる。

【 0 1 3 0 】

またタイミングコントローラ 1 0 5 は、クロック信号 C L K の二周期目の立ち下がり制御信号 P c o m p 、 P A D C をロウレベルとし、回路 1 0 2 及びデジタルアナログ変換回路 1 0 4 への電源の供給が停止する。回路 1 0 2 及びデジタルアナログ変換回路 1 0 4 への電源を停止しても、トランジスタ 2 1 1 がオフになっているため、消費電力を低減しつつ、デジタルアナログ変換回路 1 0 4 内にデジタルデータの保持を可能とすることができる。

10

【 0 1 3 1 】

こうして、1.5Vの、アナログ電位 V b o u t が、2ビットのデジタルデータ「10」に変換される。

【 0 1 3 2 】

本実施の形態で開示する構成は、O S トランジスタを用いて電源の供給が停止した後もアナログデータあるいはデジタルデータの電位を保持することができるので、各回路への電源の供給を停止し、消費電力を低減することができる。また、デジタルデータが確定後に、A D コンバータとして機能する半導体装置全体の電源の供給を停止することで、次にアナログ電位 V b o u t が入力されるまでの間、消費電力を低減することができる。

20

【 0 1 3 3 】

以上説明した、A D コンバータとして機能する本実施の形態の半導体装置は、上記実施の形態 1 と同様に、センサ等によって取得したアナログ電位 V b o u t を、オフ電流が極めて低いトランジスタを有するサンプルホールド回路 1 0 1 に保持させる。加えて確定したデジタルデータをデジタルアナログ変換回路内に保持させる。そして本発明の一態様は、半導体装置が有する各回路への電源の供給を停止し、消費電力の低減を図ることができる。

【 0 1 3 4 】

また本実施の形態の半導体装置は、駆動電圧やクロック信号の周波数を抑えることなく、消費電力の低減を図ることができるため、分解能とサンプリングレートといった、A D コンバータの性能を低下させないようにすることができる。また本実施の形態の半導体装置は、フラッシュメモリ等を用いることなくアナログデータを保持することができるため、専用の高電圧生成回路や周辺回路を設けずに、消費電力の低減を図ることができる。

30

【 0 1 3 5 】

(実施の形態 2)

本実施の形態では、半導体装置の断面構造の一例について、図 2 1 を参照して説明する。本実施の形態の例では、シリコンなどを用いたトランジスタ (S i トランジスタ) で形成された回路に積層して、O S トランジスタで形成する。

【 0 1 3 6 】

図 2 1 には、半導体装置の一部の断面を示す。図 2 1 に示す半導体装置は、下部に第 1 の半導体材料 (例えば、シリコン) を用いた n 型のトランジスタ及び p 型のトランジスタを有し、上部に第 2 の半導体材料 (例えば、酸化物半導体) を用いたトランジスタ、及び容量素子を有する。

40

【 0 1 3 7 】

第 1 の半導体材料を用いたトランジスタは基板 2 7 0 に形成されている。基板 2 7 0 としては、シリコンや炭化シリコンからなる単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムからなる化合物半導体基板や、S O I 基板などを用いることができる。

【 0 1 3 8 】

また、基板 2 7 0 として、例えば、ガラス基板、石英基板、プラスチック基板、金属基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板、タンゲステン

50

基板、タンゲステン・ホイルを有する基板、可撓性基板、貼り合わせフィルム、繊維状の材料を含む紙、又は基材フィルム、などを用いてもよい。ガラス基板の一例としては、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、又はソーダライムガラスなどがある。可撓性基板の一例としては、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリエーテルサルフォン（PES）に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。

【0139】

なお、ある基板を用いて半導体素子を形成し、その後、別の基板に半導体素子を転置してもよい。半導体素子が転置される基板の一例としては、上述した基板に加え、紙基板、セロファン基板、アラミドフィルム基板、ポリイミドフィルム基板、石材基板、木材基板、布基板（天然繊維（絹、綿、麻）、合成繊維（ナイロン、ポリウレタン、ポリエステル）若しくは再生繊維（アセテート、キュブラ、レーヨン、再生ポリエステル）などを含む）、皮革基板、又はゴム基板などがある。これらの基板を用いることにより、特性のよいトランジスタの形成、消費電力の小さいトランジスタの形成、壊れにくい装置の製造、耐熱性の付与、軽量化、又は薄型化を図ることができる。

【0140】

図21では一例として、基板270に単結晶シリコンウェハを用いた例を示している。

【0141】

FET層260には第1の半導体材料を用いた半導体素子、例えばSiトランジスタ等が設けられる。図21には代表的に、SiトランジスタとしてトランジスタM71乃至M73を示す。FET層260上に配線層 $W_1 - W_4$ が積層されている。配線層 W_4 にFET層261が積層されている。

【0142】

トランジスタM71は、ウェル271に設けられたチャネル形成領域272と、チャネル形成領域272を挟むように設けられた低濃度不純物領域273及び高濃度不純物領域274（これらを合わせて単に不純物領域とも呼ぶ）と、該不純物領域に接して設けられた導電性領域275と、チャネル形成領域272上に設けられたゲート絶縁膜276と、ゲート絶縁膜276上に設けられたゲート電極277と、を有する。ゲート電極277の側面には、サイドウォール絶縁膜278、279が設けられている。なお、導電性領域275には、金属シリサイド等を用いることができる。また、トランジスタM72はトランジスタM71と極性の異なるトランジスタとすればよい。例えば、トランジスタM71をn型のトランジスタ、トランジスタM72をp型のトランジスタ、トランジスタM73をn型のトランジスタとすればよい。

【0143】

FET層261はOSトランジスタが形成される層であり、トランジスタM70が形成されている。ここでは、トランジスタM70の構造は、図37に示すトランジスタ600と同様である。トランジスタM70の第2のゲート（バックゲート）として、配線層 W_4 に導電層280が形成されている。また、容量C71は、トランジスタM70においてソースとドレインを短絡し、容量として用いる構造である。

【0144】

FET層261に配線層 W_5 、 W_6 が積層され、配線層 W_7 に容量C70が積層され、容量C70に配線層 W_8 、 W_9 が積層されている。容量C70は、導電層281、282を有する。ここでは、導電層281が形成される層を配線層として利用している。容量C70をFET層261に積層して設けることで、容量C70の容量を大きくすることが容易である。また、容量C70の容量の大きさによるが、容量C70をFET層261に設けることも可能である。この場合、トランジスタM70のソース電極およびドレイン電極と同じ層の導電層と、同ゲート電極と同じ層の導電層とで、2つの電極を形成すればよい

10

20

30

40

50

。FET層261に容量C70を設けることで、工程数が削減できるため、製造コストの削減につながる。

【0145】

絶縁層291乃至293は、水素、水等に対するブロッキング効果を有する絶縁物で形成されている層を少なくとも1層含むことが好ましい。水、水素等は酸化物半導体中にキャリアを生成する要因の一つであるので、水素、水等に対するブロッキング層を設けることにより、トランジスタM70の信頼性を向上することができる。水素、水等に対するブロッキング効果を有する絶縁物には、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等がある。

10

【0146】

図21の符号及びハッチングパターンが与えられていない領域は、絶縁体で構成されている。上記絶縁体には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上の材料を含む絶縁体を用いることができる。また、当該領域には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。なお、本明細書において、酸化窒化物とは、窒素よりも酸素の含有量が多い化合物をいい、窒化酸化物とは、酸素よりも窒素の含有量が多い化合物をいう。

20

【0147】

半導体基板として、単結晶半導体基板を用いることにより、トランジスタM71及びトランジスタM72を、高速動作させることができ、また、しきい値を精密に制御できる。よって、先の実施の形態に示す半導体装置におけるサンプルホールド回路、コンパレータ、逐次変換レジスタ、アナログデジタル変換回路、タイミングコントローラ、発振回路の全部または一部等を、単結晶半導体基板に形成することが好ましい。

【0148】

ここで例えば、トランジスタM70、トランジスタM71、容量C70および容量C71をそれぞれ、図1(B)等に示すトランジスタ112、トランジスタ117、容量素子113および容量素子116として用いてもよい。

30

【0149】

図21において、トランジスタM70のソースまたはドレインの一方は、配線層W₆、W₇等を経て容量C70の導電層281と電氣的に接続される。また、トランジスタM70のドレインまたはソースの一方は、配線層W₂、W₃等を経てトランジスタM71のソースまたはドレインの一方と電氣的に接続される。また、容量C70の導電層281は、導電層配線層W₆、W₇等を経て容量C71の一方の電極と電氣的に接続される。

【0150】

またトランジスタM70は例えば、FET層260が有するトランジスタM72やトランジスタM73と電氣的に接続してもよい。図21に示す例では、トランジスタM70のソースまたはドレインの他方は、トランジスタM72のソースまたはドレインの一方と、トランジスタM73のソースまたはドレインの一方に電氣的に接続される。

40

【0151】

ここで、図20に示す例のように、容量C70は、配線層W₃と配線層W₄の間に設けてもよい。

【0152】

また、図20に示すように、トランジスタM71乃至M73は基板270の凸部に設けられてもよい。トランジスタM71において、図20に示す断面と垂直な断面の一例を図22に示す。チャンネル形成領域272における凸部の側部及び上部と、導電膜277とがゲート絶縁膜276を間に挟んで重なることで、チャンネル形成領域272の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタM71等の基板に

50

おける専有面積を小さく抑えつつ、トランジスタM71等におけるキャリアの移動量を増加させることができる。その結果、トランジスタM71等のオン電流が高められるのと共に、電界効果移動度が高められる。図20に示す一例においては、トランジスタM71乃至M73は、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いて素子分離される。

【0153】

(実施の形態3)

本実施の形態では、上記実施の形態で説明したOSトランジスタについて説明する。

【0154】

<OSトランジスタの特性>

OSトランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にする事でオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、好ましくは $1 \times 10^{15} / \text{cm}^3$ 未満であること、さらに好ましくは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

【0155】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

【0156】

なおオフ電流を低くしたOSトランジスタでは、室温(25程度)にてチャネル幅 $1 \mu\text{m}$ あたりの規格化されたオフ電流が $1 \times 10^{-18} \text{A}$ 以下、好ましくは $1 \times 10^{-21} \text{A}$ 以下、更に好ましくは $1 \times 10^{-24} \text{A}$ 以下、又は85にて $1 \times 10^{-15} \text{A}$ 以下、好ましくは $1 \times 10^{-18} \text{A}$ 以下、更に好ましくは $1 \times 10^{-21} \text{A}$ 以下とすることができる。

【0157】

<オフ電流>

本明細書において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態(非導通状態、遮断状態、ともいう)にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低い状態、pチャネル型トランジスタでは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも高い状態をいう。例えば、nチャネル型のトランジスタのオフ電流とは、ゲートとソースの間の電圧 V_{gs} がしきい値電圧 V_{th} よりも低いときのドレイン電流を言う場合がある。

【0158】

トランジスタのオフ電流は、 V_{gs} に依存する場合がある。したがって、トランジスタのオフ電流がI以下となる V_{gs} が存在するときに、トランジスタのオフ電流がI以下である、と言う場合がある。トランジスタのオフ電流は、 V_{gs} が所定の値であるときのオフ電流、 V_{gs} が所定の範囲内の値であるときのオフ電流、または、 V_{gs} が十分に低減されたオフ電流が得られる値であるときのオフ電流を指す場合がある。

【0159】

一例として、しきい値電圧 V_{th} が0.5Vであり、 V_{gs} が0.5Vであるときのドレイン電流が $1 \times 10^{-9} \text{A}$ であり、 V_{gs} が0.1Vにおけるドレイン電流が $1 \times 10^{-13} \text{A}$ であり、 V_{gs} が-0.5Vにおけるドレイン電流が $1 \times 10^{-19} \text{A}$ であり、 V_{gs} が-0.8Vにおけるドレイン電流が $1 \times 10^{-22} \text{A}$ であるようなnチャネル型トランジスタを想定する。当該トランジスタのドレイン電流は、 V_{gs} が-0.5Vにお

10

20

30

40

50

いて、または、 V_{gs} が $-0.5V$ 乃至 $-0.8V$ の範囲において、 $1 \times 10^{-19}A$ 以下であるから、当該トランジスタのオフ電流は $1 \times 10^{-19}A$ 以下である、という場合がある。当該トランジスタのドレイン電流が $1 \times 10^{-22}A$ 以下となる V_{gs} が存在するため、当該トランジスタのオフ電流は $1 \times 10^{-22}A$ 以下である、という場合がある。

【0160】

本明細書では、チャンネル幅 W を有するトランジスタのオフ電流を、チャンネル幅 W あたりの値で表す場合がある。また、所定のチャンネル幅（例えば $1\mu m$ ）あたりの電流値で表す場合がある。後者の場合、オフ電流の単位は、電流/長さ（例えば、 $A/\mu m$ ）で表される場合がある。

10

【0161】

トランジスタのオフ電流は、温度に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、室温、 60 、 85 、 95 、または 125 におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）におけるオフ電流、を表す場合がある。室温、 60 、 85 、 95 、 125 、当該トランジスタが含まれる半導体装置等の信頼性が保証される温度、または、当該トランジスタが含まれる半導体装置等が使用される温度（例えば、 5 乃至 35 のいずれか一の温度）、におけるトランジスタのオフ電流が I 以下となる V_{gs} が存在するときに、トランジスタのオフ電流が I 以下である、という場合がある。

20

【0162】

トランジスタのオフ電流は、ドレインとソースの間の電圧 V_{ds} に依存する場合がある。本明細書において、オフ電流は、特に記載がない場合、 V_{ds} の絶対値が $0.1V$ 、 $0.8V$ 、 $1V$ 、 $1.2V$ 、 $1.8V$ 、 $2.5V$ 、 $3V$ 、 $3.3V$ 、 $10V$ 、 $12V$ 、 $16V$ 、または $20V$ におけるオフ電流を表す場合がある。または、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} 、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} におけるオフ電流、を表す場合がある。 V_{ds} が所定の値であるときに、トランジスタのオフ電流が I 以下となる V_{gs} が存在する場合、トランジスタのオフ電流が I 以下である、ということがある。ここで、所定の値とは、例えば、 $0.1V$ 、 $0.8V$ 、 $1V$ 、 $1.2V$ 、 $1.8V$ 、 $2.5V$ 、 $3V$ 、 $3.3V$ 、 $10V$ 、 $12V$ 、 $16V$ 、 $20V$ 、当該トランジスタが含まれる半導体装置等の信頼性が保証される V_{ds} の値、または、当該トランジスタが含まれる半導体装置等において使用される V_{ds} の値である。

30

【0163】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソースを流れる電流を言う場合もある。

【0164】

本明細書では、オフ電流と同じ意味で、リーク電流と記載する場合がある。

【0165】

本明細書において、オフ電流とは、例えば、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

40

【0166】

< 酸化物半導体の組成 >

なおOSトランジスタの半導体層に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特に In 及び Zn を含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

50

【0167】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0168】

トランジスタの半導体層に用いる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

10

20

【0169】

例えば、In:Ga:Zn=1:1:1またはその近傍、In:Ga:Zn=4:2:3またはその近傍、In:Ga:Zn=5:1:6またはその近傍、In:Ga:Zn=3:1:2またはその近傍、In:Ga:Zn=2:1:3またはその近傍の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0170】

<酸化物半導体中の不純物>

半導体層を構成する酸化物半導体膜に水素が多量に含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理(脱水素化処理)を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

30

【0171】

なお、酸化物半導体膜への脱水化処理(脱水素化処理)によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理(脱水素化処理)によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。

【0172】

このように、酸化物半導体膜は、脱水化処理(脱水素化処理)により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型(真性)化又はi型に限りなく近く実質的にi型(真性)である酸化物半導体膜とすることができる。なお、実質的に真性とは、酸化物半導体膜中にドナーに由来するキャリアが極めて少なく(ゼロに近く)、キャリア密度が $1 \times 10^{17} / \text{cm}^3$ 以下、 $1 \times 10^{16} / \text{cm}^3$ 以下、 $1 \times 10^{15} / \text{cm}^3$ 以下、 $1 \times 10^{14} / \text{cm}^3$ 以下、 $1 \times 10^{13} / \text{cm}^3$ 以下であることをいう。

40

【0173】

<酸化物半導体の構造>

酸化物半導体の構造について説明する。

【0174】

50

なお本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。したがって、 -5° 以上 5° 以下の場合も含まれる。また、「略平行」とは、二つの直線が -30° 以上 30° 以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。したがって、 85° 以上 95° 以下の場合も含まれる。また、「略垂直」とは、二つの直線が 60° 以上 120° 以下の角度で配置されている状態をいう。

【0175】

また、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0176】

酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、CAAC-OS (c-axis-aligned crystalline oxide semiconductor)、多結晶酸化物半導体、nc-OS (nanocrystalline oxide semiconductor)、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor) および非晶質酸化物半導体などがある。

【0177】

また別の観点では、酸化物半導体は、非晶質酸化物半導体と、それ以外の結晶性酸化物半導体と、に分けられる。結晶性酸化物半導体としては、単結晶酸化物半導体、CAAC-OS、多結晶酸化物半導体およびnc-OSなどがある。

【0178】

非晶質構造は、一般に、等方的であって不均質構造を持たない、準安定状態で原子の配置が固定化していない、結合角度が柔軟である、短距離秩序は有するが長距離秩序を有さない、などといわれている。

【0179】

即ち、安定な酸化物半導体を完全な非晶質 (completely amorphous) 酸化物半導体とは呼べない。また、等方的でない (例えば、微小な領域において周期構造を有する) 酸化物半導体を、完全な非晶質酸化物半導体とは呼べない。一方、a-like OSは、等方的でないが、鬆 (ポイドともいう。) を有する不安定な構造である。不安定であるという点では、a-like OSは、物性的に非晶質酸化物半導体に近い。

【0180】

[CAAC-OS]

まずは、CAAC-OSについて説明する。

【0181】

CAAC-OSは、c軸配向した複数の結晶部 (ペレットともいう。) を有する酸化物半導体の一種である。

【0182】

CAAC-OSをX線回折 (XRD: X-Ray Diffraction) によって解析した場合について説明する。例えば、空間群 $R-3m$ に分類される $InGaZnO_4$ の結晶を有するCAAC-OSに対し、out-of-plane法による構造解析を行うと、図45(A)に示すように回折角 (2θ) が 31° 近傍にピークが現れる。このピークは、 $InGaZnO_4$ の結晶の (009) 面に帰属されることから、CAAC-OSでは、結晶がc軸配向性を有し、c軸がCAAC-OSの膜を形成する面 (被形成面ともいう。)、または上面に略垂直な方向を向いていることが確認できる。なお、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、空間群 $Fd-3m$ に分類される結晶構造に起因する。そのため、CAAC-OSは、該ピークを示さないことが好ましい。

【0183】

10

20

30

40

50

一方、CAAC-OSSに対し、被形成面に平行な方向からX線を入射させるin-plane法による構造解析を行うと、2θが56°近傍にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。そして、2θを56°近傍に固定し、試料面の法線ベクトルを軸(c軸)として試料を回転させながら分析(スキャン)を行っても、図45(B)に示すように明瞭なピークは現れない。一方、単結晶InGaZnO₄に対し、2θを56°近傍に固定してスキャンした場合、図45(C)に示すように(110)面と等価な結晶面に帰属されるピークが6本観察される。したがって、XRDを用いた構造解析から、CAAC-OSSは、a軸およびb軸の配向が不規則であることが確認できる。

【0184】

10

次に、電子回折によって解析したCAAC-OSSについて説明する。例えば、InGaZnO₄の結晶を有するCAAC-OSSに対し、CAAC-OSSの被形成面に平行にプローブ径が300nmの電子線を入射させると、図45(D)に示すような回折パターン(制限視野電子回折パターンともいう。)が現れる場合がある。この回折パターンには、InGaZnO₄の結晶の(009)面に起因するスポットが含まれる。したがって、電子回折によっても、CAAC-OSSに含まれるペレットがc軸配向性を有し、c軸が被形成面または上面に略垂直な方向を向いていることがわかる。一方、同じ試料に対し、試料面に垂直にプローブ径が300nmの電子線を入射させたときの回折パターンを図45(E)に示す。図45(E)より、リング状の回折パターンが確認される。したがって、プローブ径が300nmの電子線を用いた電子回折によっても、CAAC-OSSに含まれるペレットのa軸およびb軸は配向性を有さないことがわかる。なお、図45(E)における第1リングは、InGaZnO₄の結晶の(010)面および(100)面などに起因すると考えられる。また、図45(E)における第2リングは(110)面などに起因すると考えられる。

20

【0185】

また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)によって、CAAC-OSSの明視野像と回折パターンとの複合解析像(高分解能TEM像ともいう。)を観察すると、複数のペレットを確認することができる。一方、高分解能TEM像であってもペレット同士の境界、即ち結晶粒界(グレインバウンダリーともいう。)を明確に確認することができない場合がある。そのため、CAAC-OSSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0186】

図46(A)に、試料面と略平行な方向から観察したCAAC-OSSの断面の高分解能TEM像を示す。高分解能TEM像の観察には、球面収差補正(Spherical Aberration Corrector)機能を用いた。球面収差補正機能を用いた高分解能TEM像を、特にCs補正高分解能TEM像と呼ぶ。Cs補正高分解能TEM像は、例えば、日本電子株式会社製原子分解能分析電子顕微鏡JEM-ARM200Fなどによって観察することができる。

【0187】

図46(A)より、金属原子が層状に配列している領域であるペレットを確認することができる。ペレット一つの大きさは1nm以上のものや、3nm以上のものがあることがわかる。したがって、ペレットを、ナノ結晶(nc: nanocrystal)と呼ぶこともできる。また、CAAC-OSSを、CAN(C-Axis Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。ペレットは、CAAC-OSSの膜を被形成面または上面の凹凸を反映しており、CAAC-OSSの被形成面または上面と平行となる。

40

【0188】

また、図46(B)および図46(C)に、試料面と略垂直な方向から観察したCAAC-OSSの平面のCs補正高分解能TEM像を示す。図46(D)および図46(E)は、それぞれ図46(B)および図46(C)を画像処理した像である。以下では、画像処

50

理の方法について説明する。まず、図46(B)を高速フーリエ変換(FFT: Fast Fourier Transform)処理することでFFT像を取得する。次に、取得したFFT像において原点を基準に、 2.8 nm^{-1} から 5.0 nm^{-1} の間の範囲を残すマスク処理する。次に、マスク処理したFFT像を、逆高速フーリエ変換(IFFT: Inverse Fast Fourier Transform)処理することで画像処理した像を取得する。こうして取得した像をFFTフィルタリング像と呼ぶ。FFTフィルタリング像は、Cs補正高分解能TEM像から周期成分を抜き出した像であり、格子配列を示している。

【0189】

図46(D)では、格子配列の乱れた箇所を破線で示している。破線で囲まれた領域が、一つのペレットである。そして、破線で示した箇所がペレットとペレットとの連結部である。破線は、六角形状であるため、ペレットが六角形状であることがわかる。なお、ペレットの形状は、正六角形状とは限らず、非正六角形状である場合が多い。

10

【0190】

図46(E)では、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を点線で示し、格子配列の向きの変化を破線で示している。点線近傍においても、明確な結晶粒界を確認することはできない。点線近傍の格子点を中心に周囲の格子点を繋ぐと、歪んだ六角形や、五角形またはノおよび七角形などが形成できる。即ち、格子配列を歪ませることによって結晶粒界の形成を抑制していることがわかる。これは、CAAC-OSが、a-b面方向において原子配列が稠密でないことや、金属元素が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

20

【0191】

以上に示すように、CAAC-OSは、c軸配向性を有し、かつa-b面方向において複数のペレット(ナノ結晶)が連結し、歪みを有した結晶構造となっている。よって、CAAC-OSを、CAA crystal(c-axis-aligned a-b-plane-anchored crystal)と称することもできる。

【0192】

CAAC-OSは結晶性の高い酸化物半導体である。酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥(酸素欠損など)の少ない酸化物半導体ともいえる。

30

【0193】

なお、不純物は、酸化物半導体の主成分以外の元素で、水素、炭素、シリコン、遷移金属元素などがある。例えば、シリコンなどの、酸化物半導体を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体から酸素を奪うことで酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径(または分子半径)が大きいため、酸化物半導体の原子配列を乱し、結晶性を低下させる要因となる。

【0194】

酸化物半導体が不純物や欠陥を有する場合、光や熱などによって特性が変動する場合がある。例えば、酸化物半導体に含まれる不純物は、キャリアトラップとなる場合や、キャリア発生源となる場合がある。例えば、酸化物半導体中の酸素欠損は、キャリアトラップとなる場合や、水素を捕獲することによってキャリア発生源となる場合がある。

40

【0195】

不純物および酸素欠損の少ないCAAC-OSは、キャリア密度の低い酸化物半導体である。具体的には、 8×10^{11} 個/cm³未満、好ましくは 1×10^{11} 個/cm³未満、さらに好ましくは 1×10^{10} 個/cm³未満であり、 1×10^{-9} 個/cm³以上のキャリア密度の酸化物半導体とすることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。CAAC-OSは、不純物濃度が低く、欠陥準位密度が低い。即ち、安定な特性を有する酸化物半導体であるといえる。

50

【0196】

[nc - OS]

次に、nc - OSについて説明する。

【0197】

nc - OSをXRDによって解析した場合について説明する。例えば、nc - OSに対し、out - of - plane法による構造解析を行うと、配向性を示すピークが現れない。即ち、nc - OSの結晶は配向性を有さない。

【0198】

また、例えば、InGaZnO₄の結晶を有するnc - OSを薄片化し、厚さが34nmの領域に対し、被形成面に平行にプローブ径が50nmの電子線を入射させると、図47(A)に示すようなリング状の回折パターン(ナノビーム電子回折パターン)が観測される。また、同じ試料にプローブ径が1nmの電子線を入射させたときの回折パターン(ナノビーム電子回折パターン)を図47(B)に示す。図47(B)より、リング状の領域内に複数のスポットが観測される。したがって、nc - OSは、プローブ径が50nmの電子線を入射させることでは秩序性が確認されないが、プローブ径が1nmの電子線を入射させることでは秩序性が確認される。

10

【0199】

また、厚さが10nm未満の領域に対し、プローブ径が1nmの電子線を入射させると、図47(C)に示すように、スポットが略正六角状に配置された電子回折パターンを観測される場合がある。したがって、厚さが10nm未満の範囲において、nc - OSが秩序性の高い領域、即ち結晶を有することがわかる。なお、結晶が様々な方向を向いているため、規則的な電子回折パターンが観測されない領域もある。

20

【0200】

図47(D)に、被形成面と略平行な方向から観察したnc - OSの断面のCs補正高分解能TEM像を示す。nc - OSは、高分解能TEM像において、補助線で示す箇所などのように結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。nc - OSに含まれる結晶部は、1nm以上10nm以下の大きさであり、特に1nm以上3nm以下の大きさであることが多い。なお、結晶部の大きさが10nmより大きく100nm以下である酸化物半導体を微結晶酸化物半導体(fine crystalline oxide semiconductor)と呼ぶことがある。nc - OSは、例えば、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。なお、ナノ結晶は、CAAC - OSにおけるペレットと起源を同じくする可能性がある。そのため、以下ではnc - OSの結晶部をペレットと呼ぶ場合がある。

30

【0201】

このように、nc - OSは、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc - OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc - OSは、分析方法によっては、a - like OSや非晶質酸化物半導体と区別が付かない場合がある。

【0202】

なお、ペレット(ナノ結晶)間で結晶方位が規則性を有さないことから、nc - OSを、RANC(Random Aligned nanocrystals)を有する酸化物半導体、またはNANC(Non - Aligned nanocrystals)を有する酸化物半導体と呼ぶこともできる。

40

【0203】

nc - OSは、非晶質酸化物半導体よりも規則性の高い酸化物半導体である。そのため、nc - OSは、a - like OSや非晶質酸化物半導体よりも欠陥準位密度が低くなる。ただし、nc - OSは、異なるペレット間で結晶方位に規則性が見られない。そのため、nc - OSは、CAAC - OSと比べて欠陥準位密度が高くなる。

【0204】

50

[a - l i k e O S]

a - l i k e O S は、 n c - O S と非晶質酸化物半導体との間の構造を有する酸化物半導体である。

【 0 2 0 5 】

図 4 8 に、 a - l i k e O S の高分解能断面 T E M 像を示す。ここで、図 4 8 (A) は電子照射開始時における a - l i k e O S の高分解能断面 T E M 像である。図 4 8 (B) は $4.3 \times 10^8 e^- / nm^2$ の電子 (e^-) 照射後における a - l i k e O S の高分解能断面 T E M 像である。図 4 8 (A) および図 4 8 (B) より、 a - l i k e O S は電子照射開始時から、縦方向に延伸する縞状の明領域が観察されることがわかる。また、明領域は、電子照射後に形状が変化することがわかる。なお、明領域は、鬆または低密度領域と推測される。

10

【 0 2 0 6 】

鬆を有するため、 a - l i k e O S は、不安定な構造である。以下では、 a - l i k e O S が、 C A A C - O S および n c - O S と比べて不安定な構造であることを示すため、電子照射による構造の変化を示す。

【 0 2 0 7 】

試料として、 a - l i k e O S 、 n c - O S および C A A C - O S を準備する。いずれの試料も I n - G a - Z n 酸化物である。

【 0 2 0 8 】

まず、各試料の高分解能断面 T E M 像を取得する。高分解能断面 T E M 像により、各試料は、いずれも結晶部を有する。

20

【 0 2 0 9 】

なお、 I n G a Z n O ₄ の結晶の単位格子は、 I n - O 層を 3 層有し、また G a - Z n - O 層を 6 層有する、計 9 層が c 軸方向に層状に重なった構造を有することが知られている。これらの近接する層同士の間隔は、 (0 0 9) 面の格子面間隔 (d 値ともいう。) と同程度であり、結晶構造解析からその値は 0.29 nm と求められている。したがって、以下では、格子縞の間隔が 0.28 nm 以上 0.30 nm 以下である箇所を、 I n G a Z n O ₄ の結晶部と見なした。なお、格子縞は、 I n G a Z n O ₄ の結晶の a - b 面に対応する。

【 0 2 1 0 】

図 4 9 は、各試料の結晶部 (2 2 箇所から 3 0 箇所) の平均の大きさを調査した例である。なお、上述した格子縞の長さを結晶部の大きさとしている。図 4 9 より、 a - l i k e O S は、 T E M 像の取得などに係る電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。図 4 9 より、 T E M による観察初期においては 1.2 nm 程度の大きさだった結晶部 (初期核ともいう。) が、電子 (e^-) の累積照射量が $4.2 \times 10^8 e^- / nm^2$ においては 1.9 nm 程度の大きさまで成長していることがわかる。一方、 n c - O S および C A A C - O S は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 e^- / nm^2$ までの範囲で、結晶部の大きさに変化が見られないことがわかる。図 4 9 より、電子の累積照射量によらず、 n c - O S および C A A C - O S の結晶部の大きさは、それぞれ 1.3 nm 程度および 1.8 nm 程度であることがわかる。なお、電子線照射および T E M の観察は、日立透過電子顕微鏡 H - 9 0 0 0 N A R を用いた。電子線照射条件は、加速電圧を 3 0 0 k V 、電流密度を $6.7 \times 10^5 e^- / (nm^2 \cdot s)$ 、照射領域の直径を 2 3 0 nm とした。

30

40

【 0 2 1 1 】

このように、 a - l i k e O S は、電子照射によって結晶部の成長が見られる場合がある。一方、 n c - O S および C A A C - O S は、電子照射による結晶部の成長がほとんど見られない。即ち、 a - l i k e O S は、 n c - O S および C A A C - O S と比べて、不安定な構造であることがわかる。

【 0 2 1 2 】

また、鬆を有するため、 a - l i k e O S は、 n c - O S および C A A C - O S と比

50

べて密度の低い構造である。具体的には、*a-like OS*の密度は、同じ組成の単結晶の密度の78.6%以上92.3%未満である。また、*nc-OS*の密度および*CAC-OS*の密度は、同じ組成の単結晶の密度の92.3%以上100%未満である。単結晶の密度の78%未満である酸化物半導体は、成膜すること自体が困難である。

【0213】

例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、菱面体晶構造を有する単結晶 InGaZnO_4 の密度は 6.357 g/cm^3 である。よって、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*a-like OS*の密度は 5.0 g/cm^3 以上 5.9 g/cm^3 未満である。また、例えば、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$ [原子数比] を満たす酸化物半導体において、*nc-OS*の密度および*CAC-OS*の密度は 5.9 g/cm^3 以上 6.3 g/cm^3 未満である。

10

【0214】

なお、同じ組成の単結晶が存在しない場合、任意の割合で組成の異なる単結晶を組み合わせることにより、所望の組成における単結晶に相当する密度を見積もることができる。所望の組成の単結晶に相当する密度は、組成の異なる単結晶を組み合わせる割合に対して、加重平均を用いて見積もればよい。ただし、密度は、可能な限り少ない種類の単結晶を組み合わせで見積もることが好ましい。

【0215】

以上のように、酸化物半導体は、様々な構造をとり、それぞれが様々な特性を有する。なお、酸化物半導体は、例えば、非晶質酸化物半導体、*a-like OS*、*nc-OS*、*CAC-OS*のうち、二種以上を有する積層膜であってもよい。

20

【0216】

以上説明したように*OST*ランジスタは、極めて優れたオフ電流特性を実現できる。

【0217】

(実施の形態4)

本実施の形態では、上記実施の形態で説明した半導体装置を具備する電子機器について説明する。電子機器の一例としては、コンピュータ、各種携帯情報端末(携帯電話、携帯型ゲーム機、音響再生装置なども含む)、電子書籍端末、ワイヤレスキーボードなど、無線通信手段を有する機器を挙げることができる。また、冷蔵庫、エアコン、自動車、洗濯機、調理機器(電子レンジ等)においても、上記実施の形態で説明した信号処理装置を有する無線通信手段を設け、コンピュータ、各種携帯情報端末より遠隔操作することも可能である。

30

【0218】

図23(A)は、携帯型の情報端末であり、筐体701、筐体702、第1の表示部703a、第2の表示部703bなどによって構成されている。筐体701と筐体702の少なくとも一部には、先の実施の形態に示す半導体装置が設けられている。そのため、低消費電力の携帯型の情報端末が実現される。

【0219】

なお、第1の表示部703aはタッチ入力機能を有するパネルとなっており、例えば図23(A)の左図のように、第1の表示部703aに表示される選択ボタン704により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図23(A)の右図のように第1の表示部703aにはキーボード705が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

40

【0220】

また、図23(A)に示す携帯型の情報端末は、図23(A)の右図のように、第1の表示部703a及び第2の表示部703bのうち、一方を取り外すことができる。第1の表示部703bもタッチ入力機能を有するパネルとし、持ち運びの際、さらなる軽量化を

50

図ることができる、一方の手で筐体 702 を持ち、他方の手で操作することができるため便利である。

【0221】

図 23 (A) は、様々な情報 (静止画、動画、テキスト画像など) を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア (プログラム) によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子など)、記録媒体挿入部などを備える構成としてもよい。

【0222】

また、図 23 (A) に示す携帯型の情報端末は無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。更に、図 23 (A) に示す筐体 702 にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。なお、筐体 701 と筐体 702 が分離された状態においては、相互に無線通信を介して情報をやり取りできる構成でもある。

10

【0223】

図 23 (B) は、電子ペーパーを実装した電子書籍端末であり、筐体 711 と筐体 712 の 2 つの筐体で構成されている。筐体 711 及び筐体 712 には、それぞれ表示部 713 及び表示部 714 が設けられている。例えば、表示部 714 は電子ペーパーにより構成され、表示部 713 は液晶表示装置や有機発光型表示装置のように応答が速く動画を表示するのに好ましい表示装置で構成されてもよい。

20

【0224】

筐体 711 と筐体 712 は、軸部 715 により接続されており、該軸部 715 を軸として開閉動作を行うことができる。また、筐体 711 は、電源スイッチ 716、操作キー 717、スピーカー 718などを備えている。筐体 711、筐体 712 の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、低消費電力の電子書籍端末が実現される。

【0225】

また、筐体 711 と筐体 712 のそれぞれに二次電池を設けることで、例えば、図 23 (B) の右図のように、それぞれの筐体を分離して駆動できるようにしてもよい。例えば、筐体 712 には、携帯電話回線に接続できる通信機器と、近距離無線通信規格 (例えば、無線 LAN やブルートゥース) に適合した機器を設け、筐体 711 には近距離の無線通信機器を設ける構成としてもよい。この場合、筐体 712 が携帯電話回線から受信したデータは、近距離無線通信規格で、筐体 711 に転送される。筐体 711 から入力されたデータは、近距離無線通信規格で、筐体 712 に送信され、筐体 712 から携帯電話回線に送信される。すなわち、筐体 712 は無線モデムとして機能する。

30

【0226】

なお、筐体 711 および筐体 712 の距離が離れて、意図せずに通信が途絶する (あるいは途絶することが予想される) 場合には、双方が警報音を発する、あるいは表示部 713 にメッセージを表示する構成とすると、これらを紛失するリスクが減る。

【0227】

このような使用方法においては、例えば、筐体 712 は通常、かばんに入れておき、一方、筐体 711 を手に持つか、取り出しやすい位置 (例えば、衣類のポケット等) に置くことで、簡単な操作は、筐体 711 で実行できる。例えば、データの一部あるいは全部を筐体 712 に保存し、必要に応じて、近距離無線通信規格で、筐体 712 に送信させ、筐体 712 で閲覧あるいは視聴することもできる。

40

【0228】

図 23 (C) は、スマートフォンであり、筐体 721 には、表示部 722 と、スピーカー 723 と、マイク 724 と、操作ボタン 725 等が設けられている。筐体 721 内には、先の実施の形態に示す半導体装置が設けられている。そのため、スマートフォンが実現される。

50

【0229】

図23(D)は、腕輪型表示装置であり、筐体731、表示部732などによって構成されている。筐体731内には、先の実施の形態に示す半導体装置が設けられている。そのため、低消費電力の腕輪型表示装置が実現される。

【0230】

(実施の形態5)

【0231】

本実施の形態では、上記実施の形態で説明したADコンバータとして機能する半導体装置を適用しうる例として、無線センサを一例としてあげて説明する。なお無線センサは、RF(Radio Frequency)センサ等と呼ばれている。

10

【0232】

なお無線センサは、無線通信装置からの無線信号を受信し、センサ回路で得たデータを無線通信装置へ送信する機能を有する。なお無線通信装置は、無線信号を送受信できる装置であればよく、一例としては、質問器、スマートメーター、携帯電話、パーソナルコンピュータ、あるいはデータを収集する無線端末等を挙げることができる。

【0233】

無線センサは、受信した無線信号を電力として駆動するパッシブ型の無線センサであることが好ましい。パッシブ型の無線センサは、二次電池を搭載しないため、小型化が可能であり、設置の自由度を高めることができる。なお受信した無線信号を基に電力を生成して充電可能な二次電池を内蔵していてもよい。本発明の一態様の半導体装置は、チャンネル形成領域に酸化物半導体を有するトランジスタを用いることにより、極めて低い電力で駆動することができる。動作に要する電力が低いことにより、二次電池を搭載せずとも無線センサを駆動することができる。よって、本発明の一態様の無線センサをパッシブ型の無線センサとすることができる。

20

【0234】

また無線信号の周波数帯は、法令等に基づいて適宜選択すればよく、例えば135kHz帯の長波帯、13.56MHz帯の短波帯、900MHz帯のUHF帯、2.45GHz帯のマイクロ波帯等を用いることができる。無線信号の周波数帯に応じて、無線センサが有するアンテナの構造を選択すればよい。

【0235】

<無線センサのブロック図>

図24は、無線センサ400のブロック図である。無線センサは、アンテナ401と、集積回路部402(IC部、又は回路部ともいう)と、に大別される。

30

【0236】

アンテナ401は、無線信号を電気信号に、または電気信号を無線信号にして、外部の質問器等の端末と信号の送受信を行う機能を有する。アンテナは、信号を搬送する無線信号の周波数帯に応じて複数設けられていてもよい。なお無線信号は、変調された搬送波である。変調方式には、例えばアナログ変調またはデジタル変調であり、振幅変調、位相変調、周波数変調及びスペクトラム拡散のいずれかを用いればよい。

【0237】

集積回路部402は、無線信号を受信することで生成された電圧、及び電気信号を基に動作する回路を有する。また集積回路部402は、回路が動作することで得られた電気信号を、アンテナ401を介して送信する回路を有する。

40

【0238】

集積回路部402は、一例として、整流回路403、復調回路404、変調回路405、定電圧回路406、制御回路407、発振回路408、メモリ回路409、インターフェース410、ADコンバータ411、及びセンサ回路412を有する。

【0239】

整流回路403は、アンテナ401からの電気信号を整流及び平滑化する機能を有する回路である。整流及び平滑化された無線信号は、一定の電位を有する電圧VINとなる。

50

電圧 V_{IN} は、定電圧回路 406 に出力される。

【0240】

なお整流回路 403 は、保護回路（リミッター回路）を有していてもよい。保護回路は、アンテナ 401 からの電気信号が大電圧の場合に集積回路部 402 の各回路が破壊されることを防止する機能を有する。

【0241】

復調回路 404 は、アンテナ 401 からの電気信号を復調する機能を有する回路である。復調された信号は、制御回路 407 に出力される。

【0242】

変調回路 405 は、制御回路 407 で生成された電気信号を、変調する機能を有する回路である。変調された電気信号は、搬送波によって、アンテナ 401 を介して無線信号として送信される。

【0243】

定電圧回路 406 は、電圧 V_{IN} を基に電圧を生成する機能を有する回路である。定電圧回路 406 で生成される電圧 V_{DD} は、集積回路部 402 が有する各回路に与えられる。なお、定電圧回路 406 が生成する電圧は、一つに限らず複数であってもよい。

【0244】

制御回路 407 は、集積回路部 402 が有する各回路へ入力する信号、集積回路部 402 が有する各回路から出力される信号、集積回路部 402 が有する各回路を動作するための信号等を生成して、制御する機能を有する回路である。

【0245】

発振回路 408 は、基準となるクロック信号を生成する機能を有する回路である。一例として、クロック信号は、制御回路 407、メモリ回路 409、ADコンバータ 411 に与えられる。

【0246】

メモリ回路 409 は、センサ回路 412 で取得し、ADコンバータ 411 でアナログデータからデジタルデータに変換されたデータを保持する機能を有する回路である。無線センサ 400 への電源の供給は、無線信号を受信したタイミングで行われるため、間欠的となる。この場合、メモリ回路 409 への電源の供給も間欠的に行われる。そのためメモリ回路 409 は、電源の供給が間欠的に行われてもデータの保持が可能で、不揮発性の記憶素子を有することが好適である。不揮発性の記憶素子としては、例えば、フラッシュメモリの他、強誘電体メモリ（FeRAM）、磁気抵抗メモリ（MRAM）、相変化メモリ（PRAM）、抵抗変化型メモリ（ReRAM）等を用いることができる。あるいはオストランジスタにおいてオフ電流が極めて低いことを利用した、電荷の保持によりデータの保持を行う回路を記憶素子としてもよい。オストランジスタを用いて記憶素子を形成することで、シリコン層を有するトランジスタと積層して設けることができる。

【0247】

なおメモリ回路 409 は、無線センサ 400 の固有番号（ID）を保持していてもよい。無線センサ 400 に固有番号を持たせることで、複数の無線センサとの通信が可能となる。例えば、データが欲しい固有番号に合致した無線センサのデータのみを読み出すことが可能となる。さらに、メモリ回路 409 は、外部の質問器等から受信した無線信号が有する情報の書き込み、読み出し、及び保持ができる構成としてもよい。この場合、無線センサ 400 の使用環境に応じた条件などを書き込むことができるので、用途を広げることができる。

【0248】

ADコンバータ 411 は、上記実施の形態で説明した半導体装置を用いる。ADコンバータ 411 を有する無線センサ 400 は、上記実施の形態で説明した半導体装置をADコンバータ 411 に適用することで消費電力を低減し、分解能とサンプリングレートといった、ADコンバータの性能を低下せず、あるいはアナログデータを保持するための、専用の高電圧生成回路や周辺回路が必要とすることのない、無線センサとすることができる。

10

20

30

40

50

また、A/Dコンバータの動作は、上記実施の形態で説明したように、各回路への電源の供給あるいは停止を制御することができる。そのため、無線信号を受信する期間にわたって、A/Dコンバータに電源を供給し続ける必要がない。したがって、無線センサ400でA/Dコンバータが消費する電力の割合を抑制し、無線センサ400から外部に信号を送信するのに消費する電力の割合を増やすことができ、通信距離を延伸する等の無線センサ400の利便性を向上させることができる。

【0249】

なお上記実施の形態では、半導体装置を構成する回路として、タイミングコントローラ又は発振回路等を具備する構成について示したが、A/Dコンバータ411の外部に設けられる構成としてもよい。例えば、A/Dコンバータ411が有する発振回路は、集積回路部402が有する発振回路408を代わりに用いて駆動させることができる。

10

【0250】

なおA/Dコンバータ411は、外部との信号の入出力を行うための入出力インターフェース、制御回路等を備えていてもよい。

【0251】

センサ回路412は、熱的、あるいは電磁気学的等の諸情報をアナログデータとして出力する機能を有する回路である。センサ回路は、さまざまなセンサを有する。例えば、温度センサ、光センサ、ガスセンサ、炎センサ、煙センサ、湿度センサ、圧力センサ、流量センサ、振動センサ、タッチセンサ、音声センサ、磁気センサ、放射線センサ、匂いセンサ、花粉センサ、加速度センサ、傾斜角センサ、ジャイロセンサ、方位センサ、電力センサなどを用いることができる。

20

【0252】

なおセンサ回路412は、図25に示すように、集積回路部402の外部に設ける構成としてもよい。センサ回路412を集積回路部402から分離して形成することができる。そのため、センサ回路412の設計の自由度を高め、センサ回路で取得するデータの選択肢を広げることができる。

【0253】

<メモリ回路の構成例>

ここで、上述したメモリ回路409の構成例について、具体例を複数挙げて説明する。なおメモリ回路409は、OSTランジスタを用いて記憶素子(OSメモリともいう)を形成する回路構成である。

30

【0254】

図26は、メモリ回路409の構成の一例を示すブロック図である。メモリ回路409は、コントロール・ユニット360、ロー・デコーダ回路361、ロー・ドライバ回路362、カラム・ドライバ回路363、およびメモリセルアレイ370を有する。

【0255】

コントロール・ユニット360は、メモリ回路409の制御回路であり、ロジック部230のアクセス要求に従い、ロー・デコーダ回路361、ロー・ドライバ回路362、及びカラム・ドライバ回路363を制御する制御信号を生成する機能を有する。ロー・デコーダ回路361、ロー・ドライバ回路362、及びカラム・ドライバ回路363は、コントロール・ユニット360の制御信号に従い、メモリセルアレイ370を駆動する駆動信号を生成する機能を有する。

40

【0256】

なおメモリセルアレイ370に多値のデータを記憶する場合、図27に示すようにA/Dコンバータ364を設けたメモリ回路409__Aとする構成としてもよい。A/Dコンバータ364は、フラッシュ型、デルタシグマ型、パイプライン型、積分型、逐次比較型的方式を用いればよい。逐次比較型の場合、上記実施の形態で説明した半導体装置を用いることが好適である。A/Dコンバータ411を有する無線センサ400は、上記実施の形態で説明した半導体装置をA/Dコンバータ411に適用することで消費電力を低減し、分解能とサンプリングレートといった、A/Dコンバータの性能を低下せず、あるいはアナログデ

50

ータを保持するための、専用の高電圧生成回路や周辺回路が必要とすることのない、無線センサとすることができる。

【0257】

メモリセルアレイ370は、複数のメモリセルがアレイ状に配列された回路である。図28は、メモリセルアレイ370の構成の一例を示す回路図である。図28には、 $[2j-1, 2k-1] - [2j, 2k]$ (j, k は1以上の整数)の4つのメモリセル380を代表的に示す。

【0258】

メモリセル380は、トランジスタM70 - M72、および容量C70を有する。ここでは、トランジスタM70は、OSトランジスタとし、 n チャネル型トランジスタである。また、トランジスタM71、M72は、Siトランジスタであり、 p チャネル型トランジスタである。ノードFNがデータを電荷として保持するメモリセルアレイ370のデータ格納部であり、この例では、トランジスタM72のゲートに対応する。

【0259】

なおM71、M72は、 n チャネル型トランジスタでもよい。この場合のメモリセルアレイの回路図の一例を図29に示す。またM71、M72が n チャネル型トランジスタのとき、容量C70に接続する配線CWLを無くし、配線SLに接続することもできる。この場合の回路図を図32に示す。図32に示すメモリ回路373は、配線CWLを省略できるため、回路面積の縮小を図ることができる。

【0260】

メモリセルアレイ370は、メモリセル380の配列に対応して配線(WWL、RWL、CWL、SL、WBL、RBL)が設けられている。メモリセル380は、対応する列および行のこれら配線に接続されている。また、配線BGLがメモリセルアレイ370の共通の配線として設けられている。配線BGLには、メモリセル380のトランジスタM70のバックゲートが接続されている。

【0261】

配線WWLは書き込み用ワード線として機能し、配線RWLは読み出し用ワード線として機能し、それぞれ、ロー・ドライバ回路362に接続されている。配線CWLは、容量C70に印加する電圧を供給する配線として機能する。

【0262】

配線SLはソース線として機能し、2列ごとに設けられている。配線WBLは書き込み用ビット線として機能し、メモリセル380に書き込むメモリデータがカラム・ドライバ回路363から供給される配線である。配線RBLは読み出し用のビット線として機能し、メモリセル380から読み出したメモリデータが出力される配線である。配線SL、配線WBLおよび配線RBLは、カラム・ドライバ回路363に接続されている。

【0263】

配線RBLの出力にはクロックインバータCINVが接続されている。クロックインバータCINVを設けているのは、配線RBLから読み出された信号の電圧レベルが、書き込んだデータの電圧レベルに対して、ハイレベルとロウレベルの関係が逆になるからである。図28の例では、書き込んだデータの電圧がロウレベルであれば、RBLの電圧はハイレベルとなり、書き込んだデータの電圧がハイレベルであれば、RBLの電圧はロウレベルとなる。配線OE、配線OEBは、クロックインバータCINVの出力信号を制御する信号を供給する配線である。クロックインバータCINVの出力信号(メモリデータ)は配線DOから出力される。

【0264】

容量C70は、ノードFNの電荷保持用の容量として機能する。容量C70の一方の端子はノードFNに接続され、他方の端子は配線CWLに接続されている。配線CWLはロー・ドライバ回路362に接続されている。なお、メモリセル380の配線間容量によりノードFNの電荷を保持できる場合は、容量C70と配線CWLは設けなくてもよい。

【0265】

10

20

30

40

50

トランジスタM70をオンにすることで、データ値("0"、"1")に対応する電圧がノードFNに印加される。そして、トランジスタM70をオフ状態にすることで、ノードFNが電氣的に浮遊状態となり、メモリセル380はデータ保持状態となる。トランジスタM70はOSトランジスタであるので、トランジスタM70のオフ状態でのソースドレイン間を流れるリーク電流が極めて小さい。このため、メモリセル380は、リフレッシュ動作をせず、年単位の期間(例えば10年間程度)データを保持することが可能であり、メモリセル380を不揮発性メモリセルとして用いることができる。また、バックゲートにVBGを印加することでトランジスタM70のVthをプラスシフトさせているために、データ保持状態でトランジスタM70のゲートにVthよりも小さい電圧をより確実に印加することができるため、データ保持エラーが抑えられたメモリセル380を得ることができる。

10

【0266】

したがって、無線センサ400で電波を受信していない状態でも、メモリ回路409でデータを保持することが可能である。以下、図30を参照して、メモリセルアレイ370(メモリ回路409)の動作についてより詳細に説明する。

【0267】

なお、OSトランジスタにおいて、オフ電流が極めて低いということを利用するメモリ回路の場合には、情報を保持する期間において、トランジスタには、所定の電圧が供給され続けている場合がある。例えば、トランジスタのゲートには、トランジスタが完全にオフ状態となるような電圧が供給され続けている場合がある。または、トランジスタのバックゲートには、トランジスタのしきい値電圧がシフトして、トランジスタがノーマリオフ状態になるような電圧が供給され続けている場合がある。そのような場合には、情報を保持する期間において、メモリ回路に電圧が供給されていることになるが、電流がほとんど流れないため、電力をほとんど消費しない。したがって、電力をほとんど消費しないことから、仮に、所定の電圧がメモリ回路に供給されているとしても、実質的には、メモリ回路は不揮発性であると表現することができる。

20

【0268】

図30は、メモリセルアレイ370(メモリ回路409)の動作の一例を示すタイミングチャートである。図30には、具体的には、メモリセルアレイ370に入力される信号波形を示しており、メモリセルアレイ370に含まれる配線およびノードのハイレベル("H")とロウレベル("L")の電圧も示している。この例では、配線CWL、配線SLおよび配線BGLには一定電圧が印加される。

30

【0269】

期間Tp1では、メモリ回路409はスタンバイ状態である。スタンバイ状態とは、無線センサ400においてVINが生成されている状態であり、メモリ回路409ではデータ保持状態である。配線WWL、配線WBLおよび配線RBLはロウレベルであり、配線RWLはハイレベルである。メモリセル380に"1"が書き込まれている場合、FNの電圧は"H"であり、"0"が書き込まれている場合、ノードFNの電圧は"L"である。

。

【0270】

期間Tp2は、書き込み動作期間である。データを書き込む行の配線WWLが"H"となるので、トランジスタM70がオンとなり、ノードFNが期間Tp2は、書き込み動作期間である。データを書き込む行の配線WWLが"H"となるので、トランジスタM70がオンとなり、ノードFNが配線WBLに接続される。"1"を書き込む場合、配線WBLは"H"となるので、ノードFNも"H"となる。他方、"0"を書き込む場合、配線WBLは"L"であるので、ノードFNも"L"となる。配線WWLを"L"にして、トランジスタM70をオフ状態にすることで、データ書き込み動作が終了し、メモリセル380はスタンバイ状態になる。

40

【0271】

期間Tp3(スタンバイ期間)では、トランジスタM70がオンからオフになることで

50

、ノードFNの電圧がトランジスタM70のしきい値電圧分低下する。上述したように、負電圧V_{BG}をバックゲートに印加することにより、トランジスタM70のV_{th}をプラスシフトさせているため、そのリーク電流は極めて小さくなり、ノードFNにおいて、年単位の期間（例えば、10年程度）、"1"として認識される電圧を保持することが可能である。

【0272】

期間Tp4は、読み出し動作期間である。データを読み出す行の配線RWLが"L"となり、その行のトランジスタM71がオンになる。他の行の配線RWLは"H"のままである。メモリセル380で"1"を記憶している場合、トランジスタM72はオフ状態であるため、配線RBLは"L"のままである。"0"を記憶している場合、トランジスタM72もオン状態となるため、トランジスタM71、M72により、配線RBLが配線SLに接続されるので、その電圧レベルは"H"となる。配線RBLに読み出された信号は、インバータCINVによりその電圧レベルが反転され、配線DOに出力される。

10

【0273】

期間Tp5では、メモリ回路409はスタンバイ状態であり、ノードFNや配線の電圧のレベルは期間Tp1と同様である。

【0274】

また図31に、メモリセルアレイの他の構成例を示す。図31に示すメモリセルアレイ372は、メモリセルアレイ370の変形例である。メモリセルアレイ372では、配線WBLと配線RBLが共通化され1つの配線BLで構成されている点がメモリセルアレイ370と異なる。つまり、図28の例ではビット線を書き込み用と読み出し用で2本設けており、図31の例では1本のビット線にしている。

20

【0275】

図32は、メモリセルアレイ372の動作例を示すタイミングチャートである。図32に示すように、メモリセルアレイ372も、メモリセルアレイ370と同様に駆動させることができる。配線BLが配線WBLおよび配線RBL双方の機能を果たす。書き込み動作期間(T2)では、メモリセル380に"1"を書き込む場合、配線BLは"H"となり、"0"を書き込む場合、配線BLは"L"となる。また、読み出し動作期間(T4)では、メモリセル380で"1"を記憶している場合、トランジスタM72はオフ状態であるため、配線BLは"L"のままである。"0"を記憶している場合、トランジスタM72もオン状態となるため、トランジスタM71、M72により、配線BLが配線SLに接続されるので、その電圧レベルは"H"となる。配線BLに読み出された信号は、クロックインバータCINVによりその論理値が反転され、配線DOに出力される。

30

【0276】

<無線センサの応用例>

次に、半導体装置を適用した無線センサの応用例について、図33、図34を用いて説明する。

【0277】

図33(A)には無線センサの模式図を示す。図33(A)に示す無線センサ800は、アンテナ801、集積回路部802およびセンサ回路805を有する。

40

【0278】

アンテナ801は、電波法に定められた範囲内で目的に合った大きさ、形状であればよい。例えばダイポールアンテナ、パッチアンテナ、ループアンテナ、八木アンテナなどを用いることができる。

【0279】

集積回路部802は、Siトランジスタ及びOSトランジスタで構成される回路803、アンテナとの接続をするための端子部804を有する。回路803は、Siトランジスタ及びOSトランジスタを形成する前工程を経て形成される。端子部804は、ダイシング工程やボンディング工程を経てチップ化する後工程を経て形成される。集積回路部802は、半導体パッケージ、又はIC用パッケージともいう。なおセンサ回路805は、集

50

積回路部 802 に内蔵あるいは外付けして設けられる。

【0280】

センサ回路 805 は、熱的、あるいは電磁気学的等の諸情報をアナログデータとして出力する機能を有する回路である。センサ回路 805 の大きさによって、無線センサ 800 の外部に設ける場合もありえる。

【0281】

図 33 (B) には、図 33 (A) の無線センサ 800 が無線信号 811 を受信する模式図を示す。無線センサ 800 は、外部から発信される無線信号 811 に応答して、電力を生成する。電力を受けて動作可能となったセンサ回路 805 及び A/D コンバータを有する無線センサ 800 内の集積回路部 802 は、必要に応じて各回路に電源の供給及び停止をするよう動作する。A/D コンバータの動作は、上記実施の形態で説明したように、各回路への電源の供給あるいは停止を制御することができる。そのため、無線信号 811 を受信する期間にわたって、A/D コンバータに電源を供給し続ける必要がない。したがって、無線センサ 800 で A/D コンバータが消費する電力の割合を抑制し、無線センサ 800 から外部に無線信号を送信するのに消費する電力の割合を増やすことができ、通信距離を延伸する等の無線センサ 800 の利便性を向上させることができる。

10

【0282】

このような無線センサの応用形態としては、図 33 (C) に示す模式図で説明することができる。例えば、無線センサ 800 を物品 821 に貼付、あるいは内部に設置し、外部の質問器 822 から無線信号 811 を送信する。無線信号 811 を受信した無線センサ 800 は、センサによって物品 821 に触れることなく、温度等の情報を取得し、質問器 822 に送信することができる。上述したように A/D コンバータにおいてセンサで得たアナログ電位をデジタル信号に変換するための消費電力を抑制できるため、通信距離を延伸して利便性を向上させた使用を可能にすることができる。

20

【0283】

また別の無線センサの応用形態としては、図 34 (A) に示す模式図で説明することができる。例えば、トンネル壁面に無線センサ 800 を埋め込み、外部から無線信号 811 を送信する。無線信号 811 を受信した無線センサ 800 は、センサによってトンネル壁面の情報を取得し、送信することができる。上述したように A/D コンバータにおいてセンサで得たアナログ電位をデジタル信号に変換するための消費電力を抑制できるため、通信距離を延伸して利便性を向上させた使用を可能にすることができる。したがって、トンネル壁面内の情報を直接接触することなく取得することができる。

30

【0284】

また別の無線センサの応用形態としては、図 34 (B) に示す模式図で説明することができる。例えば、橋梁の支柱の壁面に無線センサ 800 を埋め込み、外部から無線信号 811 を送信する。無線信号 811 を受信した無線センサ 800 は、センサによって橋梁の支柱内の情報を取得し、送信することができる。上述したように A/D コンバータにおいてセンサで得たアナログ電位をデジタル信号に変換するための消費電力を抑制できるため、通信距離を延伸して利便性を向上させた使用を可能にすることができる。したがって、橋梁の支柱内の情報を直接接触することなく取得することができる。

40

【0285】

また別の無線センサの応用形態としては、図 35 に示す模式図で説明することができる。例えば、接着パッド等を用いて人体に無線センサ 800 を取り付け、質問器 822 から無線信号 811 を送信する。無線信号 811 を受信した無線センサ 800 は、配線 832 を介して人体に取り付けられた電極 831 等に信号を与えて生体情報等の情報を取得し、送信することができる。取得した情報は、質問器 822 の表示部 833 で確認することができる。上述したように A/D コンバータにおいてセンサで得たアナログ電位をデジタル信号に変換するための消費電力を抑制できるため、通信距離を延伸して利便性を向上させた使用を可能にすることができる。したがって、人体の生体情報を直接接触することなく取得することができる。

50

【0286】

(実施の形態6)

本実施の形態では、上述の実施の形態で示したOSトランジスタの構成例について説明する。

【0287】

トランジスタの構成例1

図37(A)乃至図37(D)は、トランジスタ600の上面図および断面図である。図37(A)は上面図であり、図37(A)に示す一点鎖線Y1-Y2方向の断面が図37(B)に相当し、図37(A)に示す一点鎖線X1-X2方向の断面が図37(C)に相当し、図37(A)に示す一点鎖線X3-X4方向の断面が図37(D)に相当する。なお、図37(A)乃至図37(D)では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線Y1-Y2方向をチャンネル長方向、一点鎖線X1-X2方向をチャンネル幅方向と呼称する場合がある。

10

【0288】

なお、チャンネル長とは、例えば、トランジスタの上面図において、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソース(ソース領域またはソース電極)とドレイン(ドレイン領域またはドレイン電極)との間の距離をいう。なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

20

【0289】

チャンネル幅とは、例えば、半導体(またはトランジスタがオン状態のときに半導体の中で電流の流れる部分)とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

30

【0290】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅(以下、実効的なチャンネル幅と呼ぶ。)と、トランジスタの上面図において示されるチャンネル幅(以下、見かけ上のチャンネル幅と呼ぶ。)と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

40

【0291】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0292】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチャンネル幅を、「囲い込みチャンネル幅(SCW: Surrounded Channel

50

Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0293】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

10

【0294】

トランジスタ600は、基板640と、基板640上の絶縁膜651と、絶縁膜651上に形成された導電膜674と、絶縁膜651及び導電膜674上に形成された絶縁膜656と、絶縁膜656上に形成された絶縁膜652と、絶縁膜652上に、第1の半導体661、第2の半導体662の順で形成された積層と、半導体662の上面と接する導電膜671および導電膜672と、半導体663、半導体662、導電膜671および導電膜672と接する第3の半導体663と、半導体663上の絶縁膜653および導電膜673と、導電膜673および絶縁膜653上の絶縁膜654と、絶縁膜654上の絶縁膜655を有する。なお、第1の半導体661、第2の半導体662および第3の半導体663をまとめて、半導体660と呼称する。

20

【0295】

導電膜671は、トランジスタ600のソース電極としての機能を有する。導電膜672は、トランジスタ600のドレイン電極としての機能を有する。

【0296】

導電膜673は、トランジスタ600の第1のゲート電極としての機能を有する。

【0297】

絶縁膜653は、トランジスタ600の第1のゲート絶縁膜としての機能を有する。

【0298】

導電膜674は、トランジスタ600の第2のゲート電極としての機能を有する。

【0299】

絶縁膜656及び絶縁膜652は、トランジスタ600の第2のゲート絶縁膜としての機能を有する。

30

【0300】

導電膜673と導電膜674は同じ電位が与えられてもよいし、異なる電位が与えられてもよい。また導電膜674は、場合によっては省略することもできる。

【0301】

図37(C)に示すように、半導体662の側面は、導電膜673に囲まれている。上記構成をとることで、導電膜673の電界によって、半導体662を電気的に取り囲むことができる(導電膜(ゲート電極)の電界によって、半導体を電気的に取り囲むトランジスタの構造を、surrounded channel(s-channel)構造とよぶ。)。そのため、半導体662の全体(バルク)にチャンネルが形成される場合がある。s-channel構造は、トランジスタのソース-ドレイン間に大電流を流すことができ、導通時の電流(オン電流)を高くすることができる。また、s-channel構造は、高周波でも動作可能なトランジスタを提供することができる。

40

【0302】

s-channel構造は、高いオン電流が得られるため、LSI(Large Scale Integration)など微細化されたトランジスタが要求される半導体装置に適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタは、チャンネル長が好ましくは1nm以上500nm以下、より好ましくは

50

3 nm以上200 nm以下、さらに好ましくは5 nm以上100 nm以下、さらに好ましくは10 nm以上60 nm未満、さらに好ましくは10 nm以上30 nm未満の領域を有する。例えば、トランジスタは、チャネル幅が好ましくは10 nm以上10 μm未満、より好ましくは10 nm以上1 μm未満、さらに好ましくは10 nm以上500 nm未満、さらに好ましくは10 nm以上200 nm未満、さらに好ましくは10 nm以上100 nm未満の領域を有する。

【0303】

s-channel構造は、高いオン電流が得られるため、高周波での動作が要求されるトランジスタに適した構造といえる。該トランジスタを有する半導体装置は、高周波で動作可能な半導体装置とすることが可能となる。

10

【0304】

絶縁膜651は、基板640と導電膜674を電氣的に分離させる機能を有する。

【0305】

絶縁膜652は、酸化物を含むことが好ましい。特に加熱により一部の酸素が脱離する酸化物材料を含むことが好ましい。好適には、化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物を用いることが好ましい。化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、加熱により一部の酸素が脱離する。絶縁膜652から脱離した酸素は酸化物半導体である半導体660に供給され、酸化物半導体中の酸素欠損を低減することが可能となる。その結果、トランジスタの電気特性の変動を抑制し、信頼性を高めることができる。

20

【0306】

化学量論的組成を満たす酸素よりも多くの酸素を含む酸化物膜は、例えば、TDS (Thermal Desorption Spectroscopy) 分析にて、膜の表面温度が100 以上700 以下、酸素原子に換算しての酸素の脱離量が 1.0×10^{18} atoms/cm³以上、好ましくは 3.0×10^{20} atoms/cm³以上である酸化物膜である。なお、上記TDS分析時における基板温度としては100 以上700 以下、または100 以上500 以下の範囲が好ましい。

【0307】

絶縁膜656は、絶縁膜652に含まれる酸素が、導電膜674に含まれる金属と結びつき、絶縁膜652に含まれる酸素が減少することを防ぐ機能を有する。

30

【0308】

絶縁膜654は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキングできる機能を有する。絶縁膜654を設けることで、半導体660からの酸素の外部への拡散と、外部から半導体660への水素、水等の入り込みを防ぐことができる。

【0309】

次に、半導体661、半導体662、半導体663などに適用可能な半導体について説明する。

【0310】

トランジスタ600は、非導通状態においてソースとドレインとの間を流れる電流(オフ電流)が低いことが好適である。ここでは、オフ電流が低いとは、室温において、ソースとドレインとの間の電圧を10 Vとし、チャネル幅1 μmあたりの規格化されたオフ電流が 10×10^{-21} A以下であることをいう。このようにオフ電流が低いトランジスタとしては、半導体に酸化物半導体を有するトランジスタが挙げられる。

40

【0311】

半導体662は、例えば、インジウム(In)を含む酸化物半導体である。半導体662は、例えば、インジウムを含むと、キャリア移動度(電子移動度)が高くなる。また、半導体662は、元素Mを含むと好ましい。元素Mは、好ましくは、アルミニウム(Al)、ガリウム(Ga)、イットリウム(Y)またはスズ(Sn)などとする。そのほかの元素Mに適用可能な元素としては、ホウ素(B)、シリコン(Si)、チタン(Ti)、鉄(Fe)、ニッケル(Ni)、ゲルマニウム(Ge)、ジルコニウム(Zr)、モリブ

50

デン (M o)、ランタン (L a)、セリウム (C e)、ネオジウム (N d)、ハフニウム (H f)、タンタル (T a)、タングステン (W) などがある。ただし、元素 M として、前述の元素を複数組み合わせても構わない場合がある。元素 M は、例えば、酸素との結合エネルギーが高い元素である。例えば、酸素との結合エネルギーがインジウムよりも高い元素である。または、元素 M は、例えば、酸化物半導体のエネルギーギャップを大きくする機能を有する元素である。また、半導体 662 は、亜鉛 (Z n) を含むと好ましい。酸化物半導体は、亜鉛を含むと結晶化しやすくなる場合がある。

【0312】

ただし、半導体 662 は、インジウムを含む酸化物半導体に限定されない。半導体 662 は、例えば、亜鉛スズ酸化物、ガリウムスズ酸化物などの、インジウムを含まず、亜鉛を含む酸化物半導体、ガリウムを含む酸化物半導体、スズを含む酸化物半導体などであっても構わない。

10

【0313】

半導体 662 は、例えば、エネルギーギャップが大きい酸化物を用いる。半導体 662 のエネルギーギャップは、例えば、2.5 eV 以上 4.2 eV 以下、好ましくは 2.8 eV 以上 3.8 eV 以下、さらに好ましくは 3 eV 以上 3.5 eV 以下とする。

【0314】

半導体 662 は、後述する C A A C - O S 膜であることが好ましい。

【0315】

例えば、半導体 661 および半導体 663 は、半導体 662 を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体である。半導体 662 を構成する酸素以外の元素一種以上、または二種以上から半導体 661 および半導体 663 が構成されるため、半導体 661 と半導体 662 との界面、および半導体 662 と半導体 663 との界面において、界面準位が形成されにくい。

20

【0316】

なお、半導体 661 が In - M - Z n 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高いとする。半導体 661 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、In : M : Z n = 1 : 3 : 2 が好ましい。

30

【0317】

また、半導体 662 が In - M - Z n 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 25 atomic % より高く、M が 75 atomic % 未満、さらに好ましくは In が 34 atomic % より高く、M が 66 atomic % 未満とする。半導体 662 をスパッタリング法で成膜する場合、上記の組成を満たすスパッタリングターゲットを用いることが好ましい。例えば、In : M : Z n = 1 : 1 : 1、In : M : Z n = 1 : 1 : 1.2、In : M : Z n = 2 : 1 : 3、In : M : Z n = 3 : 1 : 2、In : M : Z n = 4 : 2 : 4.1 が好ましい。特に、スパッタリングターゲットとして、原子数比が In : G a : Z n = 4 : 2 : 4.1 を用いる場合、成膜される半導体 662 の原子数比は、In : G a : Z n = 4 : 2 : 3 近傍となる場合がある。

40

【0318】

また、半導体 663 が In - M - Z n 酸化物のとき、In および M の和を 100 atomic % としたとき、好ましくは In が 50 atomic % 未満、M が 50 atomic % より高く、さらに好ましくは In が 25 atomic % 未満、M が 75 atomic % より高くする。なお、半導体 663 は、半導体 661 と同種の酸化物を用いても構わない。ただし、半導体 661 または / および半導体 663 がインジウムを含まなくても構わない場合がある。例えば、半導体 661 または / および半導体 663 が酸化ガリウムであっても構わない。

【0319】

50

次に、半導体 661、半導体 662、および半導体 663 の積層により構成される半導体 660 の機能およびその効果について、図 38 (B) に示すエネルギーバンド構造図を用いて説明する。図 38 (A) は、図 37 (B) に示すトランジスタ 600 のチャネル部分を拡大した図で、図 38 (B) は、図 38 (A) に A1 - A2 の鎖線で示した部位のエネルギーバンド構造を示している。また、図 38 (B) は、トランジスタ 600 のチャネル形成領域のエネルギーバンド構造を示している。

【0320】

図 38 (B) 中、Ec 652、Ec 661、Ec 662、Ec 663、Ec 653 は、それぞれ、絶縁膜 652、半導体 661、半導体 662、半導体 663、絶縁膜 653 の伝導帯下端のエネルギーを示している。

10

【0321】

ここで、真空準位と伝導帯下端のエネルギーとの差（「電子親和力」ともいう。）は、真空準位と価電子帯上端のエネルギーとの差（イオン化ポテンシャルともいう。）からエネルギーギャップを引いた値となる。なお、エネルギーギャップは、分光エリブソメータを用いて測定できる。また、真空準位と価電子帯上端のエネルギー差は、紫外線光電子分光分析 (UPS: Ultraviolet Photoelectron Spectroscopy) 装置を用いて測定できる。

【0322】

絶縁膜 652 と絶縁膜 653 は絶縁体であるため、Ec 653 と Ec 652 は、Ec 661、Ec 662、および Ec 663 よりも真空準位に近い（電子親和力が小さい）。

20

【0323】

半導体 662 は、半導体 661 および半導体 663 よりも電子親和力の大きい酸化物を用いる。例えば、半導体 662 として、半導体 661 および半導体 663 よりも電子親和力の 0.07 eV 以上 1.3 eV 以下、好ましくは 0.1 eV 以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

【0324】

なお、インジウムガリウム酸化物は、小さい電子親和力と、高い酸素ブロック性を有する。そのため、半導体 663 がインジウムガリウム酸化物を含むと好ましい。ガリウム原子割合 $[Ga / (In + Ga)]$ は、例えば、70% 以上、好ましくは 80% 以上、さらに好ましくは 90% 以上とする。

30

【0325】

このとき、ゲート電圧を印加すると、半導体 661、半導体 662、半導体 663 のうち、電子親和力の大きい半導体 662 にチャネルが形成される。

【0326】

ここで、半導体 661 と半導体 662 との間には、半導体 661 と半導体 662 との混合領域を有する場合がある。また、半導体 662 と半導体 663 との間には、半導体 662 と半導体 663 との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、半導体 661、半導体 662 および半導体 663 の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

40

【0327】

このとき、電子は、半導体 661 中および半導体 663 中ではなく、半導体 662 中を主として移動する。上述したように、半導体 661 および半導体 662 の界面における界面準位密度、半導体 662 と半導体 663 との界面における界面準位密度を低くすることによって、半導体 662 中で電子の移動が阻害されることが少なく、トランジスタのオン電流を高くすることができる。

【0328】

トランジスタのオン電流は、電子の移動を阻害する要因を低減するほど、高くすることができる。例えば、電子の移動を阻害する要因のない場合、効率よく電子が移動すると推

50

定される。電子の移動は、例えば、チャネル形成領域の物理的な凹凸が大きい場合にも阻害される。

【0329】

トランジスタのオン電流を高くするためには、例えば、半導体662の上面または下面（被形成面、ここでは半導体661）の、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における二乗平均平方根（RMS：Root Mean Square）粗さが1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における平均面粗さ（Raともいう。）が1nm未満、好ましくは0.6nm未満、さらに好ましくは0.5nm未満、より好ましくは0.4nm未満とすればよい。また、 $1\mu\text{m} \times 1\mu\text{m}$ の範囲における最大高低差（P-Vともいう。）が10nm未満、好ましくは9nm未満、さらに好ましくは8nm未満、より好ましくは7nm未満とすればよい。RMS粗さ、RaおよびP-Vは、エスアイアイ・ナノテクノロジー株式会社製走査型プローブ顕微鏡システムSPA-500などを用いて測定することができる。

10

【0330】

または、例えば、チャネルの形成される領域中の欠陥準位密度が高い場合にも、電子の移動は阻害される。

【0331】

例えば、半導体662が酸素欠損（ V_O とも表記。）を有する場合、酸素欠損のサイトに水素が入り込むことでドナー準位を形成することがある。以下では酸素欠損のサイトに水素が入り込んだ状態を V_OH と表記する場合がある。 V_OH は電子を散乱するため、トランジスタのオン電流を低下させる要因となる。なお、酸素欠損のサイトは、水素が入るよりも酸素が入る方が安定する。したがって、半導体662中の酸素欠損を低減することで、トランジスタのオン電流を高くすることができる場合がある。

20

【0332】

例えば、半導体662のある深さにおいて、または、半導体662のある領域において、二次イオン質量分析法（SIMS：Secondary Ion Mass Spectrometry）で測定される水素濃度は、 $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $1 \times 10^{16} \text{ atoms/cm}^3$ 以上、 $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。

30

【0333】

半導体662の酸素欠損を低減するために、例えば、絶縁膜652に含まれる過剰酸素を、半導体661を介して半導体662まで移動させる方法などがある。この場合、半導体661は、酸素透過性を有する層（酸素を通過または透過させる層）であることが好ましい。

【0334】

なお、トランジスタがs-channel構造を有する場合、半導体662の全体にチャネルが形成される。したがって、半導体662が厚いほどチャネル領域は大きくなる。即ち、半導体662が厚いほど、トランジスタのオン電流を高くすることができる。

40

【0335】

また、トランジスタのオン電流を高くするためには、半導体663の厚さは小さいほど好ましい。半導体663は、例えば、10nm未満、好ましくは5nm以下、さらに好ましくは3nm以下の領域を有していればよい。一方、半導体663は、チャネルの形成される半導体662へ、隣接する絶縁体を構成する酸素以外の元素（水素、シリコンなど）が入り込まないようにブロックする機能を有する。そのため、半導体663は、ある程度の厚さを有することが好ましい。半導体663は、例えば、0.3nm以上、好ましくは1nm以上、さらに好ましくは2nm以上の厚さの領域を有していればよい。また、半導体663は、絶縁膜652などから放出される酸素の外方拡散を抑制するために、酸素をブ

50

ロックする性質を有すると好ましい。

【0336】

また、信頼性を高くするためには、半導体661は厚く、半導体663は薄いことが好ましい。半導体661は、例えば、10nm以上、好ましくは20nm以上、さらに好ましくは40nm以上、より好ましくは60nm以上の厚さの領域を有していればよい。半導体661の厚さを、厚くすることで、隣接する絶縁体と半導体661との界面からチャネルの形成される半導体662までの距離を離すことができる。ただし、半導体装置の生産性が低下する場合があるため、半導体661は、例えば、200nm以下、好ましくは120nm以下、さらに好ましくは80nm以下の厚さの領域を有していればよい。

【0337】

例えば、半導体662と半導体661との間に、例えば、SIMS分析において、 1×10^{16} atoms/cm³以上、 1×10^{19} atoms/cm³未満、好ましくは 1×10^{16} atoms/cm³以上、 5×10^{18} atoms/cm³未満、さらに好ましくは 1×10^{16} atoms/cm³以上、 2×10^{18} atoms/cm³未満のシリコン濃度となる領域を有する。また、半導体662と半導体663との間に、SIMS分析において、 1×10^{16} atoms/cm³以上、 1×10^{19} atoms/cm³未満、好ましくは 1×10^{16} atoms/cm³以上、 5×10^{18} atoms/cm³未満、さらに好ましくは 1×10^{16} atoms/cm³以上、 2×10^{18} atoms/cm³未満のシリコン濃度となる領域を有する。

【0338】

また、半導体662の水素濃度を低減するために、半導体661および半導体663の水素濃度を低減すると好ましい。半導体661および半導体663は、SIMS分析において、 1×10^{16} atoms/cm³以上、 2×10^{20} atoms/cm³以下、好ましくは 1×10^{16} atoms/cm³以上、 5×10^{19} atoms/cm³以下、より好ましくは 1×10^{16} atoms/cm³以上、 1×10^{19} atoms/cm³以下、さらに好ましくは 1×10^{16} atoms/cm³以上、 5×10^{18} atoms/cm³以下の水素濃度となる領域を有する。また、半導体662の窒素濃度を低減するために、半導体661および半導体663の窒素濃度を低減すると好ましい。半導体661および半導体663は、SIMS分析において、 1×10^{16} atoms/cm³以上、 5×10^{19} atoms/cm³未満、好ましくは 1×10^{16} atoms/cm³以上、 5×10^{18} atoms/cm³以下、より好ましくは 1×10^{16} atoms/cm³以上、 1×10^{18} atoms/cm³以下、さらに好ましくは 1×10^{16} atoms/cm³以上、 5×10^{17} atoms/cm³以下の窒素濃度となる領域を有する。

【0339】

上述の3層構造は一例である。例えば、半導体661または半導体663のない2層構造としても構わない。または、半導体661の上もしくは下、または半導体663の上もしくは下に、半導体661、半導体662および半導体663として例示した半導体のいずれか一を有する4層構造としても構わない。または、半導体661の上、半導体661の下、半導体663の上、半導体663の下のいずれか二箇所以上に、半導体661、半導体662および半導体663として例示した半導体のいずれか一を有するn層構造（nは5以上の整数）としても構わない。

【0340】

基板640としては、例えば、絶縁体基板、半導体基板または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムなどの単体半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えばSOI（Silicon On Insulator）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板な

10

20

30

40

50

どがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

【0341】

また、基板640として、可とう性基板を用いてもよい。なお、可とう性基板上にトランジスタを設ける方法としては、非可とう性の基板上にトランジスタを作製した後、トランジスタを剥離し、可とう性基板である基板640に転置する方法もある。その場合には、非可とう性基板とトランジスタとの間に剥離層を設けるとよい。なお、基板640として、繊維を編みこんだシート、フィルムまたは箔などを用いてもよい。また、基板640が伸縮性を有してもよい。また、基板640は、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有してもよい。または、元の形状に戻らない性質を有してもよい。基板640の厚さは、例えば、 $5\mu\text{m}$ 以上 $700\mu\text{m}$ 以下、好ましくは $10\mu\text{m}$ 以上 $500\mu\text{m}$ 以下、さらに好ましくは $15\mu\text{m}$ 以上 $300\mu\text{m}$ 以下とする。基板640を薄くすると、半導体装置を軽量化することができる。また、基板640を薄くすることで、ガラスなどを用いた場合にも伸縮性を有する場合や、折り曲げや引っ張りをやめた際に、元の形状に戻る性質を有する場合がある。そのため、落下などによって基板640上の半導体装置に加わる衝撃などを緩和することができる。即ち、丈夫な半導体装置を提供することができる。

10

20

【0342】

可とう性基板である基板640としては、例えば、金属、合金、樹脂もしくはガラス、またはそれらの繊維などを用いることができる。可とう性基板である基板640は、線膨張率が低いほど環境による変形が抑制されて好ましい。可とう性基板である基板640としては、例えば、線膨張率が $1 \times 10^{-3} / \text{K}$ 以下、 $5 \times 10^{-5} / \text{K}$ 以下、または $1 \times 10^{-5} / \text{K}$ 以下である材質を用いればよい。樹脂としては、例えば、ポリエステル、ポリオレフィン、ポリアミド(ナイロン、アラミドなど)、ポリイミド、ポリカーボネート、アクリル、ポリテトラフルオロエチレン(PTFE)などがある。特に、アラミドは、線膨張率が低いため、可とう性基板である基板640として好適である。

30

【0343】

絶縁膜651a及び絶縁膜651bに用いる材料として、酸化シリコン、窒化シリコン、酸化窒化シリコンまたは窒化酸化シリコンを含む材料を用いることが好ましい。または、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化物を用いる事ができる。なお、本明細書中において、酸化窒化物とは、その組成として窒素よりも酸素の含有量が多い材料を指し、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多い材料を示す。

【0344】

また、絶縁膜651a及び絶縁膜651bとして、TEOS(Tetra-Ethyl-Ortho-Silicate)若しくはシラン等と、酸素若しくは亜酸化窒素等とを反応させて形成した段差被覆性の良い酸化シリコンを用いてもよい。

40

【0345】

絶縁膜651a及び絶縁膜651bは、スパッタリング法、CVD(Chemical Vapor Deposition)法(熱CVD法、MOCVD(Metal Organic CVD)法、PECVD(Plasma Enhanced CVD)法等を含む)、MBE(Molecular Beam Epitaxy)法、ALD(Atomic Layer Deposition)法、またはPLD(Pulsed Laser Deposition)法等で成膜してもよい。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるい

50

はALD法が好ましい。

【0346】

また、基板640に半導体基板を用いた場合、熱酸化膜で絶縁膜651aを形成してもよい。

【0347】

導電膜674は、銅(Cu)、タングステン(W)、モリブデン(Mo)、金(Au)、アルミニウム(Al)、マンガン(Mn)、チタン(Ti)、タンタル(Ta)、ニッケル(Ni)、クロム(Cr)、鉛(Pb)、錫(Sn)、鉄(Fe)、コバルト(Co)、ルテニウム(Ru)、白金(Pt)、イリジウム(Ir)、ストロンチウム(Sr)の低抵抗材料からなる単体、もしくは合金、またはこれらを主成分とする化合物を含む導電膜の単層または積層とすることが好ましい。特に、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。また、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。さらに、Cu-Mn合金を用いると、酸素を含む絶縁体との界面に酸化マンガンを形成し、酸化マンガンがCuの拡散を抑制する機能を持つので好ましい。

10

【0348】

導電膜674の形成は、例えばスパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法またはPLD法などを用いて形成することができる。

【0349】

絶縁膜651bの表面をCMP(Chemical Mechanical Polishing)法で平坦化することが好ましい。また、絶縁膜651bとして平坦化膜を用いてもよい。その場合は、必ずしもCMP法等で平坦化しなくともよい。平坦化膜の形成には、例えば常圧CVD法や、塗布法などを用いることができる。常圧CVD法を用いて形成できる膜としては例えば、BPSG(Boron Phosphorus Silicate Glass)等が挙げられる。また、塗布法を用いて形成できる膜としては例えば、HSQ(水素シルセスキオキサン)等が挙げられる。

20

【0350】

以降では、絶縁膜651a及び絶縁膜651bをまとめて絶縁膜651と記載することにする。

30

【0351】

絶縁膜656及び絶縁膜652は、スパッタリング法、CVD法(熱CVD法、MOCVD法、PECVD法等を含む)、MBE法、ALD法、またはPLD法等で成膜してもよい。

【0352】

絶縁膜656は、酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有することが好ましい。絶縁膜656としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸化物絶縁膜を設けてもよい。酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。

40

【0353】

絶縁膜652は、半導体660に酸素を供給することができる酸化物を含むことが好ましい。例えば、絶縁膜652として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化物を用いることもできる。

【0354】

絶縁膜652に酸素を過剰に含有させるためには、例えば酸素雰囲気下にて絶縁膜65

50

2の成膜を行えばよい。または、成膜後の絶縁膜652に酸素を導入して酸素を過剰に含有する領域を形成してもよく、双方の手段を組み合わせてもよい。

【0355】

例えば、成膜後の絶縁膜652に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0356】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

10

【0357】

また、絶縁膜652を成膜した後、その上面の平坦性を高めるためにCMP法等を用いた平坦化処理を行ってもよい。

【0358】

半導体661と半導体662とは、大気に触れさせることなく連続して成膜することが好ましい。半導体661及び半導体662は、スパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法またはPLD法、ALD法などを用いて成膜すればよい。

20

【0359】

半導体661及び半導体662に用いることができる材料は、図37及び図38の半導体661及び半導体662の記載を参照すればよい。

【0360】

なお、半導体661及び半導体662として、In-Ga-Zn酸化物層をMOCVD法によって成膜する場合、原料ガスとしてトリメチルインジウム、トリメチルガリウム及びジメチル亜鉛などを用いればよい。なお、上記原料ガスの組み合わせに限定されず、トリメチルインジウムに代えてトリエチルインジウムなどを用いてもよい。また、トリメチルガリウムに代えてトリエチルガリウムなどを用いてもよい。また、ジメチル亜鉛に代えてジエチル亜鉛などを用いてもよい。

30

【0361】

ここで、半導体661を形成した後に、半導体661に酸素を導入してもよい。例えば、成膜後の半導体661に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0362】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

40

【0363】

半導体661及び半導体662を成膜後、加熱処理を行うことが好ましい。加熱処理は、250以上650以下、好ましくは300以上500以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、加熱処理の雰囲気は、不活性ガス雰囲気で行った後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。加熱処理は、半導体膜を成膜した直後に行ってもよいし、半導体膜を加工して島状の半導体661及び半導体662を

50

形成した後に行ってもよい。加熱処理により、絶縁膜 6 5 2 や酸化物膜から半導体に酸素が供給され、半導体中の酸素欠損を低減することができる。

【0364】

半導体 6 6 3、絶縁膜 6 5 3 及び導電膜 6 7 3 は、スパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法またはPLD法、ALD法などを用いて成膜すればよい。特に、CVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0365】

半導体 6 6 3 及び絶縁膜 6 5 3 は、導電膜 6 7 3 形成後にエッチングしてもよい。エッチングは、例えばレジストマスクを用いて行えばよい。または、形成した導電膜 6 7 3 をマスクとして絶縁膜 6 5 3 及び半導体 6 6 3 をエッチングしてもよい。

10

【0366】

また半導体 6 6 3 を形成した後に、半導体 6 6 3 に酸素を導入してもよい。例えば、成膜後の半導体 6 6 3 に酸素（少なくとも酸素ラジカル、酸素原子、酸素イオンのいずれかを含む）を導入して酸素を過剰に含有する領域を形成する。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、プラズマ処理などを用いることができる。

【0367】

酸素導入処理には、酸素を含むガスを用いることができる。酸素を含むガスとしては、例えば酸素、亜酸化窒素、二酸化窒素、二酸化炭素、一酸化炭素などを用いることができる。また、酸素導入処理において、酸素を含むガスに希ガスを含ませてもよい。または、水素等を含ませてもよい。例えば、二酸化炭素、水素及びアルゴンの混合ガスを用いるとよい。

20

【0368】

半導体 6 6 3 に用いることができる材料は、図 3 7 及び図 3 8 の半導体 6 6 3 の記載を参照すればよい。

【0369】

絶縁膜 6 5 3 には、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いることができる。また、絶縁膜 6 5 3 は上記材料の積層であってもよい。なお、絶縁膜 6 5 3 に、ランタン（La）、窒素、ジルコニウム（Zr）などを、不純物として含んでいてもよい。

30

【0370】

また、絶縁膜 6 5 3 の積層構造の一例について説明する。絶縁膜 6 5 3 は、例えば、酸素、窒素、シリコン、ハフニウムなどを有する。具体的には、酸化ハフニウム、および酸化シリコンまたは酸化窒化シリコンを含むと好ましい。

【0371】

酸化ハフニウムは、酸化シリコンや酸化窒化シリコンと比べて比誘電率が高い。したがって、酸化シリコンを用いた場合と比べて、絶縁膜 6 5 3 の膜厚を大きくできるため、トンネル電流によるリーク電流を小さくすることができる。即ち、オフ電流の小さいトランジスタを実現することができる。

40

【0372】

絶縁膜 6 5 4 は酸素、水素、水、アルカリ金属、アルカリ土類金属等のブロッキング効果を有することが好ましい。絶縁膜 6 5 4 としては、例えば、窒化物絶縁膜を用いることができる。該窒化物絶縁膜としては、窒化シリコン、窒化酸化シリコン、窒化アルミニウム、窒化酸化アルミニウム等がある。なお、窒化物絶縁膜の代わりに、酸素、水素、水等のブロッキング効果を有する酸化物絶縁膜を設けてもよい。酸化物絶縁膜としては、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリ

50

ウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等がある。絶縁膜 654 は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、当該絶縁膜をCVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を向上させることができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。

【0373】

酸化アルミニウム膜は、水素、水分などの不純物、および酸素の両方に対して膜を透過させない遮断効果が高いので絶縁膜 654 に適用するのに好ましい。また、酸化アルミニウム膜に含まれる酸素を半導体 660 に拡散させることもできる。

10

【0374】

絶縁膜 654 の成膜後、加熱処理を行うことが好ましい。この加熱処理により、絶縁膜 652 等から半導体 660 に対して酸素を供給し、半導体 660 中の酸素欠損を低減することができる。またこのとき、絶縁膜 652 から脱離した酸素は、絶縁膜 656 及び絶縁膜 654 によってブロックされるため、当該酸素を効果的に閉じ込めることができる。そのため半導体 660 に供給しうる酸素の量を増大させることができ、半導体 660 中の酸素欠損を効果的に低減することができる。

【0375】

絶縁膜 655 は、例えばスパッタリング法、CVD法（熱CVD法、MOCVD法、PECVD法等を含む）、MBE法、ALD法またはPLD法などを用いて形成することができる。特に、CVD法、好ましくはプラズマCVD法によって成膜すると、被覆性を良好なものとするができるため好ましい。またプラズマによるダメージを減らすには、熱CVD法、MOCVD法あるいはALD法が好ましい。また絶縁膜 655 として有機樹脂などの有機絶縁材料を用いる場合には、スピンコート法などの塗布法を用いて形成してもよい。また、絶縁膜 655 を形成した後にその上面に対して平坦化処理を行うことが好ましい。

20

【0376】

絶縁膜 655 には、酸化アルミニウム、窒化酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁体を用いることができる。また、絶縁膜 655 には、ポリイミド樹脂、ポリアミド樹脂、アクリル樹脂、シロキサン樹脂、エポキシ樹脂、フェノール樹脂等の有機樹脂を用いることもできる。また、絶縁膜 655 は上記材料の積層であってもよい。

30

【0377】

トランジスタの構成例 2

図 36 で示したトランジスタ 600 は、絶縁膜 652 および半導体 662 上に絶縁膜 655 を設けた後、絶縁膜 655 に開口部を設け、該開口部を埋めこむように半導体 663、絶縁膜 653 および導電膜 673 を形成する例を示す。また図 36 において、絶縁膜 654 は、絶縁膜 655 および導電膜 673 の上面に接する。また、絶縁膜 655 に開口部を設ける際に、導電膜 671 および導電膜 672 となる導電膜の一部を除去することにより導電膜 671 および導電膜 672 を形成してもよい。

40

【0378】

トランジスタの構成例 3

図 37 で示したトランジスタ 600 は、導電膜 673 をエッチングで形成する際に、半導体 663 及び絶縁膜 653 を、同時にエッチングしてもよい。一例を図 39 に示す。

【0379】

図 39 は、図 37 (B) において、導電膜 673 の下のみに、半導体 663 及び絶縁膜 653 が存在する場合である。

【0380】

50

トランジスタの構成例 4

図 37 で示したトランジスタ 600 は、導電膜 671 及び導電膜 672 が、半導体 661 の側面及び半導体 662 の側面と接していてもよい。一例を図 40 に示す。

【0381】

図 40 は、図 37 (B) において、導電膜 671 及び導電膜 672 が、半導体 661 の側面及び半導体 662 の側面と接している場合である。

【0382】

トランジスタの構成例 5

図 37 で示したトランジスタ 600 は、導電膜 671 が、導電膜 671 a 及び導電膜 671 b の積層構造としてもよい。また、導電膜 672 が、導電膜 672 a 及び導電膜 672 b の積層構造としてもよい。一例として、図 41 に示す。

【0383】

図 41 は、図 37 (B) において、導電膜 671 が、導電膜 671 a 及び導電膜 671 b の積層構造とし、導電膜 672 が、導電膜 672 a 及び導電膜 672 b の積層構造とした場合である。

【0384】

導電膜 671 b および導電膜 672 b としては、例えば、透明導電体、酸化物半導体、窒化物半導体または酸化窒化物半導体を用いればよい。導電膜 671 b および導電膜 672 b としては、例えば、インジウム、スズおよび酸素を含む膜、インジウムおよび亜鉛を含む膜、インジウム、タングステンおよび亜鉛を含む膜、スズおよび亜鉛を含む膜、亜鉛およびガリウムを含む膜、亜鉛およびアルミニウムを含む膜、亜鉛およびフッ素を含む膜、亜鉛およびホウ素を含む膜、スズおよびアンチモンを含む膜、スズおよびフッ素を含む膜またはチタンおよびニオブを含む膜などを用いればよい。または、これらの膜が水素、炭素、窒素、シリコン、ゲルマニウムまたはアルゴンを含んでも構わない。

【0385】

導電膜 671 b および導電膜 672 b は、可視光線を透過する性質を有しても構わない。または、導電膜 671 b および導電膜 672 b は、可視光線、紫外線、赤外線もしくは X 線を、反射もしくは吸収することで透過させない性質を有しても構わない。このような性質を有することで、迷光によるトランジスタの電気特性の変動を抑制できる場合がある。

【0386】

また、導電膜 671 b および導電膜 672 b は、半導体 662 などとの間にショットキー障壁を形成しない層を用いると好ましい場合がある。こうすることで、トランジスタのオン特性を向上させることができる。

【0387】

導電膜 671 a および導電膜 672 a としては、例えば、ホウ素、窒素、酸素、フッ素、シリコン、リン、アルミニウム、チタン、クロム、マンガン、コバルト、ニッケル、銅、亜鉛、ガリウム、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、インジウム、スズ、タンタルおよびタングステンを一種以上含む導電体を、単層で、または積層で用いればよい。例えば、合金膜や化合物膜であってもよく、アルミニウムを含む導電体、銅およびチタンを含む導電体、銅およびマンガンを含む導電体、インジウム、スズおよび酸素を含む導電体、チタンおよび窒素を含む導電体などを用いてもよい。

【0388】

なお、導電膜 671 b および導電膜 672 b は、導電膜 671 a および導電膜 672 a よりも高抵抗の膜を用いると好ましい場合がある。また、導電膜 671 b および導電膜 672 b は、トランジスタのチャネルよりも低抵抗の膜を用いると好ましい場合がある。例えば、導電膜 671 b および導電膜 672 b の抵抗率を、 0.1 cm 以上 100 cm 以下、 0.5 cm 以上 50 cm 以下、または 1 cm 以上 10 cm 以下とすればよい。導電膜 671 b および導電膜 672 b の抵抗率を上述の範囲とすることにより、チャネルとドレインとの境界部における電界集中を緩和することができる。そのため、トラン

10

20

30

40

50

ジスタの電気特性の変動を低減することができる。また、ドレインから生じる電界に起因したパンチスルー電流を低減することができる。そのため、チャンネル長の短いトランジスタにおいても、飽和特性を良好にすることができる。なお、ソースとドレインとが入れ替わらない回路構成であれば、導電膜 671b および導電膜 672b のいずれか一方のみ（例えば、ドレイン側）を配置するほうが好ましい場合がある。

【0389】

トランジスタの構成例 6

図 42 (A) 及び図 42 (B) は、トランジスタ 680 の上面図および断面図である。図 42 (A) は上面図であり、図 42 (A) に示す一点鎖線 A - B 方向の断面が図 42 (B) に相当する。なお、図 42 (A) 及び図 42 (B) では、図の明瞭化のために一部の要素を拡大、縮小、または省略して図示している。また、一点鎖線 A - B 方向をチャンネル長方向と呼称する場合がある。

10

【0390】

図 42 (B) に示すトランジスタ 680 は、第 1 のゲートとして機能する導電膜 689 と、第 2 のゲートとして機能する導電膜 688 と、半導体 682 と、ソース及びドレインとして機能する導電膜 683 及び導電膜 684 と、絶縁膜 681 と、絶縁膜 685 と、絶縁膜 686 と、絶縁膜 687 と、を有する。

【0391】

導電膜 689 は、絶縁表面上に設けられる。導電膜 689 と、半導体 682 とは、絶縁膜 681 を間に挟んで、互いに重なる。また、導電膜 688 と、半導体 682 とは、絶縁膜 685、絶縁膜 686 及び絶縁膜 687 を間に挟んで、互いに重なる。また、導電膜 683 及び導電膜 684 は、半導体 682 に、接続されている。

20

【0392】

導電膜 689 及び導電膜 688 の詳細は、図 37 に示す導電膜 673 及び導電膜 674 の記載を参照すればよい。

【0393】

導電膜 689 と導電膜 688 は、異なる電位が与えられてもよいし、同時に同じ電位が与えられてもよい。トランジスタ 680 は、第 2 のゲート電極として機能する導電膜 688 を設けることで、しきい値を安定化させることが可能になる。なお、導電膜 688 は、場合によっては省略してもよい。

30

【0394】

半導体 682 の詳細は、図 37 に示す半導体 662 の記載を参照すればよい。また、半導体 682 は、一層でも良いし、複数の半導体層の積層でも良い。

【0395】

導電膜 683 及び導電膜 684 の詳細は、図 37 に示す導電膜 671 及び導電膜 672 の記載を参照すればよい。

【0396】

絶縁膜 681 の詳細は、図 37 に示す絶縁膜 653 の記載を参照すればよい。

【0397】

なお、図 42 (B) では、半導体 682、導電膜 683 及び導電膜 684 上に、順に積層された絶縁膜 685 乃至絶縁膜 687 が設けられている場合を例示しているが、半導体 682、導電膜 683 及び導電膜 684 上に設けられる絶縁膜は、一層でも良いし、複数の絶縁膜の積層でも良い。

40

【0398】

半導体 682 に酸化物半導体を用いた場合、絶縁膜 686 は、化学量論的組成以上の酸素が含まれており、加熱により上記酸素の一部を半導体 682 に供給する機能を有する絶縁膜であることが望ましい。ただし、絶縁膜 686 を半導体 682 上に直接設けると、絶縁膜 686 の形成時に半導体 682 にダメージが与えられる場合、図 42 (B) に示すように、絶縁膜 685 を半導体 682 と絶縁膜 686 の間に設けると良い。絶縁膜 685 は、その形成時に半導体 682 に与えるダメージが絶縁膜 686 の場合よりも小さく、なお

50

かつ、酸素を透過する機能を有する絶縁膜であることが望ましい。ただし、半導体 682 に与えられるダメージを小さく抑えつつ、半導体 682 上に絶縁膜 686 を直接形成することができるのであれば、絶縁膜 685 は必ずしも設けなくとも良い。

【0399】

例えば、絶縁膜 686 及び絶縁膜 685 として、酸化シリコンまたは酸化窒化シリコンを含む材料を用いることが好ましい。または、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等の金属酸化物を用いることもできる。

【0400】

絶縁膜 687 は、酸素、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。或いは、絶縁膜 687 は、水素、水の拡散を防ぐブロッキング効果を有することが、望ましい。

10

【0401】

絶縁膜は、密度が高くて緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いて、形成することができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜は、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【0402】

絶縁膜 687 が水、水素などの拡散を防ぐブロッキング効果を有する場合、パネル内の樹脂や、パネルの外部に存在する水、水素などの不純物が、半導体 682 に侵入するのを防ぐことができる。半導体 682 に酸化物半導体を用いる場合、酸化物半導体に侵入した水または水素の一部は電子供与体（ドナー）となるため、上記ブロッキング効果を有する絶縁膜 687 を用いることで、トランジスタ 680 の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

20

【0403】

また、半導体 682 に酸化物半導体を用いる場合、絶縁膜 687 が酸素の拡散を防ぐブロッキング効果を有することで、酸化物半導体からの酸素が外部に拡散するのを防ぐことができる。よって、酸化物半導体中において、ドナーとなる酸素欠損が低減されるので、トランジスタ 680 の閾値電圧がドナーの生成によりシフトするのを防ぐことができる。

30

【0404】

（実施の形態 7）

本実施の形態では、本発明の一態様である、表示部を有する半導体装置について、図 43 及び図 44 を用いて説明を行う。

【0405】

本実施の形態に示す半導体装置 5 は、先の実施の形態に示した半導体装置 100 と組み合わせることで、センサが取得したデータを表示部に表示する機能を有する。

【0406】

図 43 (A) には、本発明の一態様を示す半導体装置 5 の回路ブロック図を示している。

40

【0407】

半導体装置 5 は、アンテナ 50 と、RF デバイス 60 と、電力制御回路 55 と、表示部 61 と、バッテリー 59 と、を有している。また、RF デバイス 60 は、電源回路 51 と、アナログ回路 52 と、メモリ 53 と、論理回路 54 と、を有している。

【0408】

アンテナ 50 は、無線信号 RF を電気信号に、または電気信号を無線信号 RF にして、例えばリーダーなどの外部装置と信号の送受信を行う機能を有する。アンテナ 50 は、無線信号 RF の周波数帯に応じて複数設けられていてもよい。なお無線信号 RF は、変調された搬送波である。変調方式には、例えばアナログ変調またはデジタル変調であり、振幅

50

変調、位相変調、周波数変調及びスペクトラム拡散のいずれかを用いればよい。

【0409】

無線信号RFの周波数帯は、法令等に基づいて適宜選択すればよく、例えば135kHz帯の長波帯、13.56MHz帯の短波帯、900MHz帯のUHF帯、2.45GHz帯のマイクロ波帯等を用いることができる。無線信号RFの周波数帯に応じて、アンテナ50の構造を選択すればよい。

【0410】

電源回路51は、無線信号RFを基に電圧を生成する機能を有する回路である。電源回路51で生成される電圧は、半導体装置5が有する各回路に与えられる。なお、電源回路51が生成する電圧は、一つに限らず複数であってもよい。

10

【0411】

アナログ回路52は、無線信号RFを、変調または復調する機能を有する。

【0412】

論理回路54は、無線信号RFが有するコマンドを実行する機能を有する。例えば、コマンドに従って、表示部61の発光状態を制御する機能を有する。

【0413】

表示部61には、様々な種類の表示デバイスを用いることが可能である。例えば、EL素子（有機物及び無機物を含むEL素子、有機EL素子、無機EL素子）、LED（白色LED、赤色LED、緑色LED、青色LEDなど）、トランジスタ（電流に応じて発光するトランジスタ）、電子放出素子、液晶素子、電子インク、電気泳動素子、MEMSを用いた表示素子、DMD、DMS、MIRASOL（登録商標）、IMOD素子、シャッター方式のMEMS表示素子、光干渉方式のMEMS表示素子、エレクトロウェットイング素子、圧電セラミックディスプレイ、カーボンナノチューブを用いた発光素子、などが挙げられる。

20

【0414】

メモリ53は、表示部61に表示されるデータを記憶する機能を有する。なお、図43（B）に示すように、メモリ53と論理回路54との間に配線を設け、論理回路54を介して、メモリ53に記憶されたデータを表示部61に供給してもよい。

【0415】

メモリ53は、電源の供給が間欠的に行われた場合でもデータの消失を防ぐために、不揮発性メモリを用いることが好ましい。特に、メモリ53は、実施の形態2で説明した酸化物半導体を用いた不揮発性メモリを用いることが好ましい。酸化物半導体を用いた不揮発性メモリを用いることで、メモリ53は、高温でのデータ保持が可能になる。また、酸化物半導体を用いた不揮発性メモリを用いることで、メモリ53は、低電圧でデータを書き込むことが可能になる。また、酸化物半導体を用いた不揮発性メモリを用いることで、メモリ53は、デジタルデータだけでなく、アナログデータも記憶することが可能になる。

30

【0416】

なお、メモリ53がデジタルデータのみを記憶する場合、メモリ53は、例えば、フラッシュメモリの他、強誘電体メモリ（FeRAM）、磁気抵抗メモリ（MRAM）、相変化メモリ（PRAM）、抵抗変化型メモリ（ReRAM）等を用いることができる。

40

【0417】

バッテリー59には、繰り返し充放電が可能な二次電池又は電気二重層キャパシタを用いればよい。特に、バッテリー59は、無線信号RFの電力で充電されることが好ましい。

【0418】

なお、バッテリー59には、放電のみを行う一次電池を用いても良い。

【0419】

電力制御回路55は、電力の供給を制御する機能を有する。例えば、無線信号RFの強度が強いときは、電力制御回路55は、バッテリー59を充電する機能を有する。また、無線信号RFの強度が弱いときは、バッテリー59がRFデバイス60の電力を補う機能を有

50

する。

【0420】

半導体装置5を上記構成にすることで、半導体装置5は、表示部61など、無線信号RFの電力だけでは駆動できない回路を駆動することが可能になる。

【0421】

また、半導体装置5を上記構成にすることで、半導体装置5は、無線信号RFが供給されていない期間でも、動作することが可能になる。また、半導体装置5は、無線信号RFが供給されていない期間でも、表示部61に情報を表示することが可能になる。また、半導体装置5は、バッテリー59の充放電を効率よく行うことが可能になり、長期間に渡って動作することが可能になる。

10

【0422】

次に半導体装置5を具備する表示装置の一例について、図44を用いて説明を行う。

【0423】

図44は表示装置70の外観図を示している。表示装置70は、回路基板71と、バッテリー72と、太陽電池73と、表示部74と、支持体75と、を有する。

【0424】

回路基板71は、アンテナ50と、RFデバイス60と、電力制御回路55と、を有している。

【0425】

太陽電池73は、バッテリー72を充電する機能を有する。表示装置70は、無線信号が供給されていない場合でも、太陽電池73によって、バッテリー72を充電する機能を有する。

20

【0426】

支持体75には、可撓性をもつ薄膜状の材料を用いることが好ましい。支持体75が可撓性をもつことで、例えば、表示装置70を壁などに張ることが可能になる。また、表示装置70を天井などから吊るすことが可能になる。

【0427】

支持体75としては、例えば、プラスチック、ステンレス・スチル・ホイル、タングステン・ホイル、可撓性基板、貼り合わせフィルム、基板フィルム、繊維状の材料を含む紙、又は木材などを用いればよい。可撓性基板の一例としては、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)に代表されるプラスチック、又はアクリル等の可撓性を有する合成樹脂などがある。貼り合わせフィルムの一例としては、ポリプロピレン、ポリエステル、ポリフッ化ビニル、又はポリ塩化ビニルなどがある。基材フィルムの一例としては、ポリエステル、ポリアミド、ポリイミド、アラミド、エポキシ、無機蒸着フィルム、又は紙類などがある。

30

【0428】

表示装置70は、無線信号によって、外部から供給された画像情報を、表示部74に表示する機能を有する。そのため、表示装置70は、画像情報の更新を容易に行うことが可能である。

【0429】

例えば、表示装置70を、街頭のポスターとして使用した場合、表示装置70は、スマートフォンなど、通行人が所持する携帯端末から発せられた無線信号を受信し、その人の嗜好に合わせた広告を、表示部74に表示する機能を有する。

40

【0430】

(本明細書等の記載に関する付記)

以上の実施の形態、及び実施の形態における各構成の説明について、以下に付記する。

<実施の形態で述べた本発明の一態様に関する付記>

【0431】

各実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせ、本発明の一態様とすることができる。また、1つの実施の形態の中に、複数の構成例が示される場

50

合は、互い構成例を適宜組み合わせることが可能である。

【0432】

なお、ある一つの実施の形態で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【0433】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【0434】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【0435】

また、各実施の形態において本発明の一態様を説明したが、本発明の一態様はこれらに限定されない。例えば、本発明の一態様として実施の形態1では、トランジスタ112を利用してサンプルホールド回路101内でアナログ電位を保持し、バッファ回路111等の電源を停止する例を示したが、本発明の一態様は、これに限定されない。状況に応じて、例えばトランジスタ112を利用することなく、サンプルホールド回路101内でアナログ電位を保持し、バッファ回路111等の電源を停止する構成を本発明の一態様としてもよい。あるいは状況に応じて、バッファ回路111等の電源を停止しない構成を本願の一態様としてもよい。

【0436】

< 図面を説明する記載に関する付記 >

【0437】

本明細書等において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。構成同士的位置関係は、各構成を描写する方向に応じて適宜変化する。そのため、配置を示す語句は、明細書で説明した記載に限定されず、状況に応じて適切に言い換えることができる。

【0438】

また、「上」や「下」の用語は、構成要素の位置関係が直上または直下で、かつ、直接接していることを限定するものではない。例えば、「絶縁層A上の電極B」の表現であれば、絶縁層Aの上に電極Bが直接接して形成されている必要はなく、絶縁層Aと電極Bとの間に他の構成要素を含むものを除外しない。

【0439】

また本明細書等において、ブロック図では、構成要素を機能毎に分類し、互いに独立したブロックとして示している。しかしながら実際の回路等においては、構成要素を機能毎に切り分けることが難しく、一つの回路に複数の機能が係わる場合や、複数の回路にわたって一つの機能が関わる場合があり得る。そのため、ブロック図のブロックは、明細書で説明した構成要素に限定されず、状況に応じて適切に言い換えることができる。

【0440】

また、図面において、大きさ、層の厚さ、又は領域は、説明の便宜上任意の大きさに示したものである。よって、必ずしもそのスケールに限定されない。なお図面は明確性を期すために模式的に示したものであり、図面に示す形状又は値などに限定されない。例えば、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0441】

また、図面において、上面図（平面図、レイアウト図ともいう）や斜視図などにおいて、図面の明確性を期すために、一部の構成要素の記載を省略している場合がある。

10

20

30

40

50

【0442】

< 言い換え可能な記載に関する付記 >

【0443】

本明細書等において、トランジスタの接続関係を説明する際、ソースとドレインとの一方を、「ソース又はドレインの一方」（又は第1電極、又は第1端子）と表記し、ソースとドレインとの他方を「ソース又はドレインの他方」（又は第2電極、又は第2端子）と表記している。これは、トランジスタのソースとドレインは、トランジスタの構造又は動作条件等によって変わるためである。なおトランジスタのソースとドレインの呼称については、ソース（ドレイン）端子や、ソース（ドレイン）電極等、状況に応じて適切に言い換えることができる。

10

【0444】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合なども含む。

【0445】

また、本明細書等において、電圧と電位は、適宜言い換えることができる。電圧は、基準となる電位からの電位差のことであり、例えば基準となる電位をグラウンド電位（接地電位）とすると、電圧を電位に言い換えることができる。グラウンド電位は必ずしも0Vを意味するとは限らない。なお電位は相対的なものであり、基準となる電位によっては、配線等に与える電位を変化させる場合がある。

20

【0446】

なお本明細書等において、「膜」、「層」などの語句は、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0447】

なお本明細書等において、1つのOSトランジスタ及び一つの容量素子を備えた回路構成で電荷を保持する構成を示しているが、本実施の形態はこれに限定されない。2つ以上のトランジスタ及び2つ以上の容量素子を有する回路構成で電荷を保持することもでき、別途の配線がさらに形成されて、多様な回路構成としてもよい。

30

【0448】

< 語句の定義に関する付記 >

以下では、上記実施の形態中で言及したかった語句の定義について説明する。

<<スイッチについて>>

本明細書等において、スイッチとは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有するものをいう。または、スイッチとは、電流を流す経路を選択して切り替える機能を有するものをいう。

【0449】

一例としては、電氣的スイッチ又は機械的なスイッチなどを用いることができる。つまり、スイッチは、電流を制御できるものであればよく、特定のものに限定されない。

40

【0450】

電氣的なスイッチの一例としては、トランジスタ（例えば、バイポーラトランジスタ、MOSトランジスタなど）、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、MIM（Metal Insulator Metal）ダイオード、MIS（Metal Insulator Semiconductor）ダイオード、ダイオード接続のトランジスタなど）、又はこれらを組み合わせた論理回路などがある。

【0451】

なお、スイッチとしてトランジスタを用いる場合、トランジスタの「導通状態」とは、

50

トランジスタのソースとドレインが電氣的に短絡されているとみなせる状態をいう。また、トランジスタの「非導通状態」とは、トランジスタのソースとドレインが電氣的に遮断されているとみなせる状態をいう。なおトランジスタを単なるスイッチとして動作させる場合には、トランジスタの極性（導電型）は特に限定されない。

【0452】

機械的なスイッチの一例としては、デジタルマイクロミラーデバイス（DMD）のように、MEMS（マイクロ・エレクトロ・メカニカル・システム）技術を用いたスイッチがある。そのスイッチは、機械的に動かすことが可能な電極を有し、その電極が動くことによって、導通と非導通とを制御して動作する。

【0453】

<<チャンネル長について>>

本明細書等において、チャンネル長とは、例えば、トランジスタの上面図において、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲートとが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとの間の距離をいう。

【0454】

なお、一つのトランジスタにおいて、チャンネル長が全ての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル長は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル長は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0455】

<<チャンネル幅について>>

本明細書等において、チャンネル幅とは、例えば、半導体（またはトランジスタがオン状態のときに半導体の中で電流の流れる部分）とゲート電極とが重なる領域、またはチャンネルが形成される領域における、ソースとドレインとが向かい合っている部分の長さをいう。

【0456】

なお、一つのトランジスタにおいて、チャンネル幅がすべての領域で同じ値をとるとは限らない。即ち、一つのトランジスタのチャンネル幅は、一つの値に定まらない場合がある。そのため、本明細書では、チャンネル幅は、チャンネルの形成される領域における、いずれか一の値、最大値、最小値または平均値とする。

【0457】

なお、トランジスタの構造によっては、実際にチャンネルの形成される領域におけるチャンネル幅（以下、実効的なチャンネル幅と呼ぶ。）と、トランジスタの上面図において示されるチャンネル幅（以下、見かけ上のチャンネル幅と呼ぶ。）と、が異なる場合がある。例えば、立体的な構造を有するトランジスタでは、実効的なチャンネル幅が、トランジスタの上面図において示される見かけ上のチャンネル幅よりも大きくなり、その影響が無視できなくなる場合がある。例えば、微細かつ立体的な構造を有するトランジスタでは、半導体の側面に形成されるチャンネル領域の割合が大きくなる場合がある。その場合は、上面図において示される見かけ上のチャンネル幅よりも、実際にチャンネルの形成される実効的なチャンネル幅の方が大きくなる。

【0458】

ところで、立体的な構造を有するトランジスタにおいては、実効的なチャンネル幅の、実測による見積もりが困難となる場合がある。例えば、設計値から実効的なチャンネル幅を見積もるためには、半導体の形状が既知という仮定が必要である。したがって、半導体の形状が正確にわからない場合には、実効的なチャンネル幅を正確に測定することは困難である。

【0459】

そこで、本明細書では、トランジスタの上面図において、半導体とゲート電極とが重なる領域における、ソースとドレインとが向かい合っている部分の長さである見かけ上のチ

10

20

30

40

50

チャンネル幅を、「囲い込みチャンネル幅 (SCW: Surrounded Channel Width)」と呼ぶ場合がある。また、本明細書では、単にチャンネル幅と記載した場合には、囲い込みチャンネル幅または見かけ上のチャンネル幅を指す場合がある。または、本明細書では、単にチャンネル幅と記載した場合には、実効的なチャンネル幅を指す場合がある。なお、チャンネル長、チャンネル幅、実効的なチャンネル幅、見かけ上のチャンネル幅、囲い込みチャンネル幅などは、断面TEM像などを取得して、その画像を解析することなどによって、値を決定することができる。

【0460】

なお、トランジスタの電界効果移動度や、チャンネル幅当たりの電流値などを計算して求める場合、囲い込みチャンネル幅を用いて計算する場合がある。その場合には、実効的なチャンネル幅を用いて計算する場合とは異なる値をとる場合がある。

10

【0461】

<<接続について>>

本明細書等において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電気信号の授受を可能とするものをいう。

【0462】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合は、以下のように表現することが出来る。

20

【0463】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

30

40

【0464】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を

50

介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース(又は第1の端子など)は、少なくとも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース(又は第1の端子など)からトランジスタのドレイン(又は第2の端子など)への電氣的パスであり、トランジスタのドレイン(又は第2の端子など)は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン(又は第2の端子など)からトランジスタのソース(又は第1の端子など)への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース(又は第1の端子など)と、ドレイン(又は第2の端子など)とを、区別して、技術的範囲を決定することができる。

10

【0465】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、対象物(例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など)であるとする。

20

【符号の説明】

【0466】

C70	容量	
C71	容量	
M70	トランジスタ	
M71	トランジスタ	
M72	トランジスタ	
M73	トランジスタ	
5	半導体装置	
10	回路	30
20	回路	
50	アンテナ	
51	電源回路	
52	アナログ回路	
53	メモリ	
54	論理回路	
55	電力制御回路	
59	バッテリー	
60	RFデバイス	
66	光電変換素子	40
61	表示部	
70	表示装置	
71	回路基板	
72	バッテリー	
73	太陽電池	
74	表示部	
75	支持体	
100	半導体装置	
101	サンプルホールド回路	
101A	サンプルホールド回路	50

1 0 1 B	サンプルホールド回路	
1 0 2	回路	
1 0 3	逐次比較レジスタ	
1 0 4	デジタルアナログ変換回路	
1 0 5	タイミングコントローラ	
1 0 6	発振回路	
1 1 1	バッファ回路	
1 1 2	トランジスタ	
1 1 3	容量素子	
1 1 6	容量素子	10
1 1 7	トランジスタ	
1 1 9	トランジスタ	
1 2 0	インバータ	
1 2 1	センサ回路	
1 2 1 A	センサ回路	
1 2 1 B	センサ回路	
1 2 2	セレクタ	
1 3 1	サンプルホールド回路	
1 3 1 A	サンプルホールド回路	
1 3 1 B	サンプルホールド回路	20
1 3 1 C	サンプルホールド回路	
1 3 5	トランジスタ	
1 3 6	トランジスタ	
1 3 7	トランジスタ	
1 4 1	トランジスタ	
1 5 3	トランジスタ	
1 5 4	トランジスタ	
1 6 6	トランジスタ	
1 6 7	抵抗素子	
1 7 1	トランジスタ	30
1 7 2	インバータ回路	
1 7 3	トランジスタ	
1 7 4	バイアス電圧生成回路	
1 7 6	トランジスタ	
1 8 1	トランジスタ	
1 8 3	トランジスタ	
1 8 8	トランジスタ	
1 8 9	抵抗素子	
1 9 0	容量素子	
1 9 3	容量素子	40
1 9 4	セレクタ	
1 9 5	セレクタ	
1 9 6	セレクタ	
1 9 7	トランジスタ	
1 9 8	インバータ回路	
2 1 1	トランジスタ	
2 1 2	容量素子	
2 1 6	容量素子	
2 1 7	トランジスタ	
2 2 1	レジスタ	50

2 2 2	レジスタ	
2 3 0	ロジック部	
2 3 1	斜線部	
2 4 1	入力端子	
2 4 2	入力端子	
2 5 1	出力端子	
2 6 0	F E T層	
2 6 1	F E T層	
2 7 0	基板	
2 7 1	ウェル	10
2 7 2	チャネル形成領域	
2 7 3	低濃度不純物領域	
2 7 4	高濃度不純物領域	
2 7 5	導電性領域	
2 7 6	ゲート絶縁膜	
2 7 7	ゲート電極	
2 7 8	サイドウォール絶縁膜	
2 7 9	サイドウォール絶縁膜	
2 8 0	導電層	
2 8 1	導電層	20
2 8 2	導電層	
2 9 1	絶縁層	
2 9 3	絶縁層	
3 6 0	コントロール・ユニット	
3 6 1	ロー・デコーダ回路	
3 6 2	ロー・ドライバ回路	
3 6 3	カラム・ドライバ回路	
3 6 4	A Dコンバータ	
3 7 0	メモリセルアレイ	
3 7 2	メモリセルアレイ	30
3 7 3	メモリ回路	
3 8 0	メモリセル	
4 0 0	無線センサ	
4 0 1	アンテナ	
4 0 2	集積回路部	
4 0 3	整流回路	
4 0 4	復調回路	
4 0 5	変調回路	
4 0 6	定電圧回路	
4 0 7	制御回路	40
4 0 8	発振回路	
4 0 9	メモリ回路	
4 0 9 _ A	メモリ回路	
4 1 0	インターフェース	
4 1 1	A Dコンバータ	
4 1 2	センサ回路	
6 0 0	トランジスタ	
6 0 1	パルス電圧出力回路	
6 0 2	電流検知回路	
6 1 1	容量	50

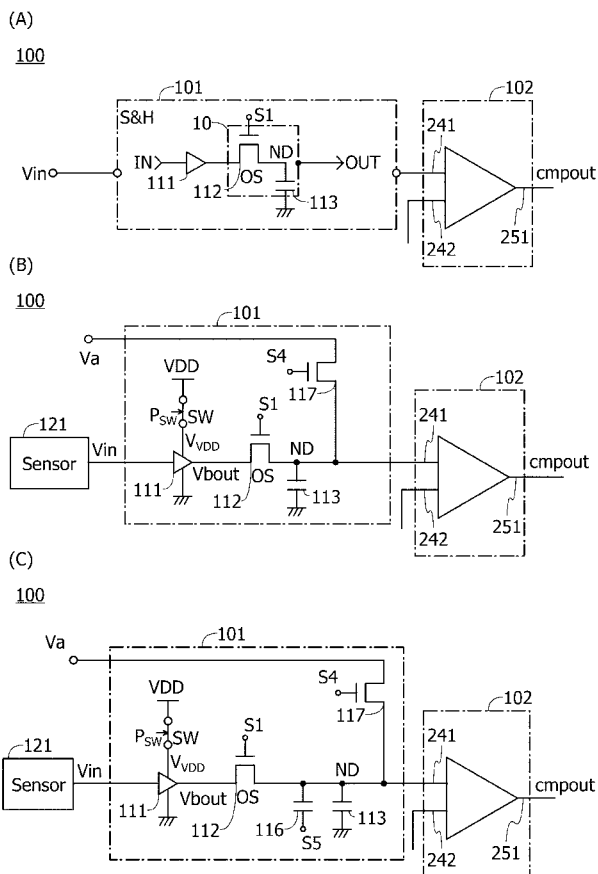
6 1 2	配線	
6 1 3	配線	
6 4 0	基板	
6 5 1	絶縁膜	
6 5 1 a	絶縁膜	
6 5 1 b	絶縁膜	
6 5 2	絶縁膜	
6 5 3	絶縁膜	
6 5 4	絶縁膜	
6 5 5	絶縁膜	10
6 5 6	絶縁膜	
6 6 0	半導体	
6 6 1	半導体	
6 6 2	半導体	
6 6 3	半導体	
6 7 1	導電膜	
6 7 1 a	導電膜	
6 7 1 b	導電膜	
6 7 2	導電膜	
6 7 2 a	導電膜	20
6 7 2 b	導電膜	
6 7 3	導電膜	
6 7 4	導電膜	
6 8 0	トランジスタ	
6 8 1	絶縁膜	
6 8 2	半導体	
6 8 3	導電膜	
6 8 4	導電膜	
6 8 5	絶縁膜	
6 8 6	絶縁膜	30
6 8 7	絶縁膜	
6 8 8	導電膜	
6 8 9	導電膜	
7 0 1	筐体	
7 0 2	筐体	
7 0 3 a	表示部	
7 0 3 b	表示部	
7 0 4	選択ボタン	
7 0 5	キーボード	
7 1 1	筐体	40
7 1 2	筐体	
7 1 3	表示部	
7 1 4	表示部	
7 1 5	軸部	
7 1 6	電源スイッチ	
7 1 7	操作キー	
7 1 8	スピーカー	
7 2 1	筐体	
7 2 2	表示部	
7 2 3	スピーカー	50

- 7 2 4 マイク
- 7 2 5 操作ボタン
- 7 3 1 筐体
- 7 3 2 表示部
- 8 0 0 無線センサ
- 8 0 1 アンテナ
- 8 0 2 集積回路部
- 8 0 3 回路
- 8 0 4 端子部
- 8 0 5 センサ回路
- 8 3 2 配線
- 8 3 3 表示部
- 1 1 0 0 層
- 1 2 0 0 層
- 1 3 0 0 層
- 1 4 0 0 層
- 1 5 0 0 絶縁層
- 1 5 1 0 遮光層
- 1 5 2 0 有機樹脂層
- 1 5 4 0 マイクロレンズアレイ
- 1 5 5 0 光学変換層
- 1 6 0 0 支持基板

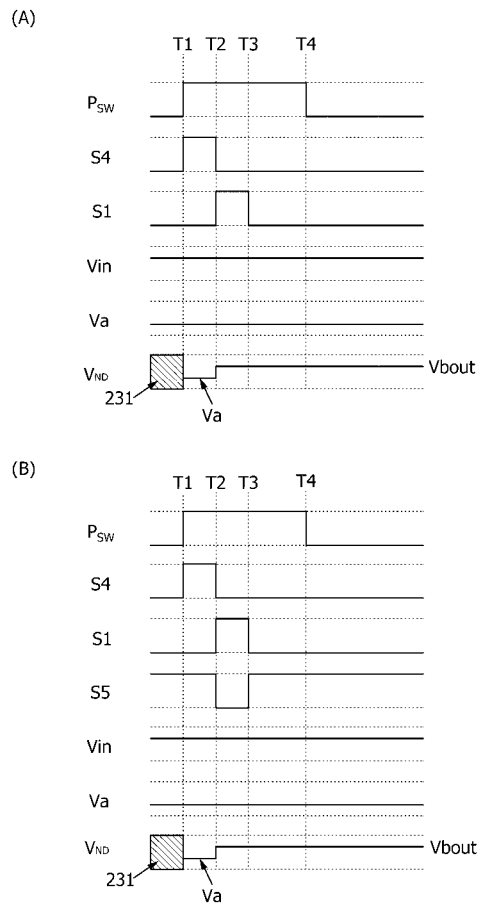
10

20

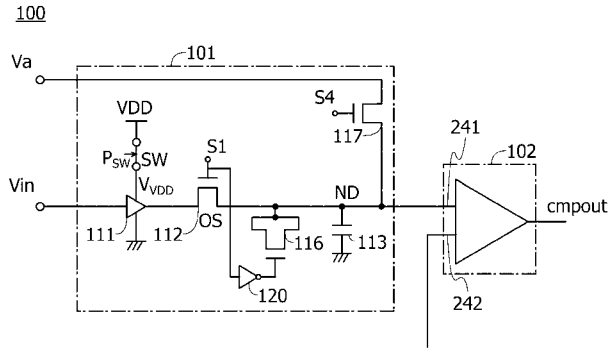
【 図 1 】



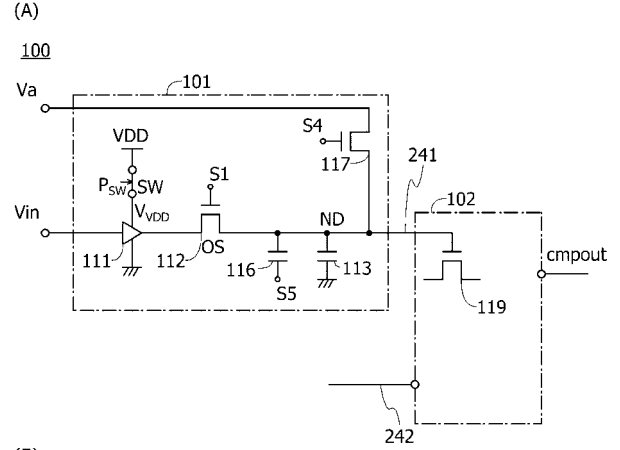
【 図 2 】



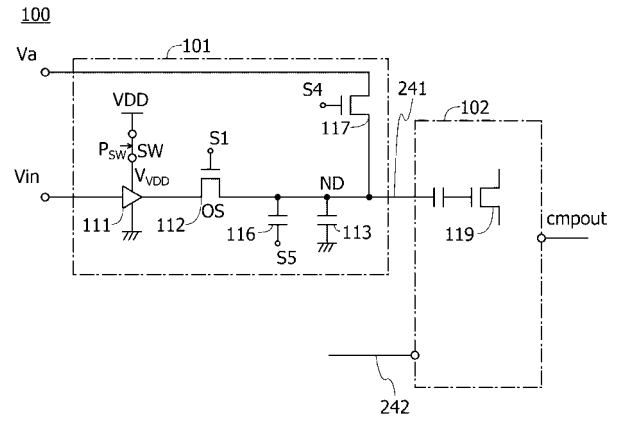
【 図 3 】



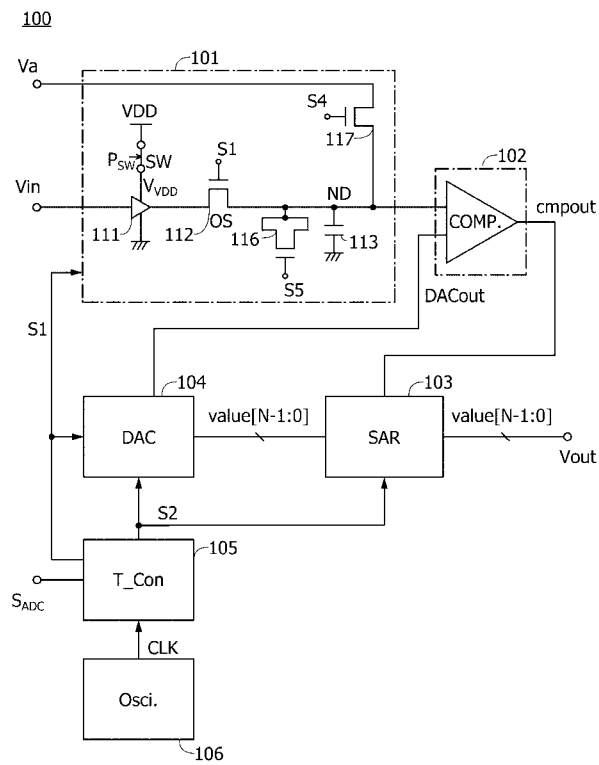
【 図 4 】



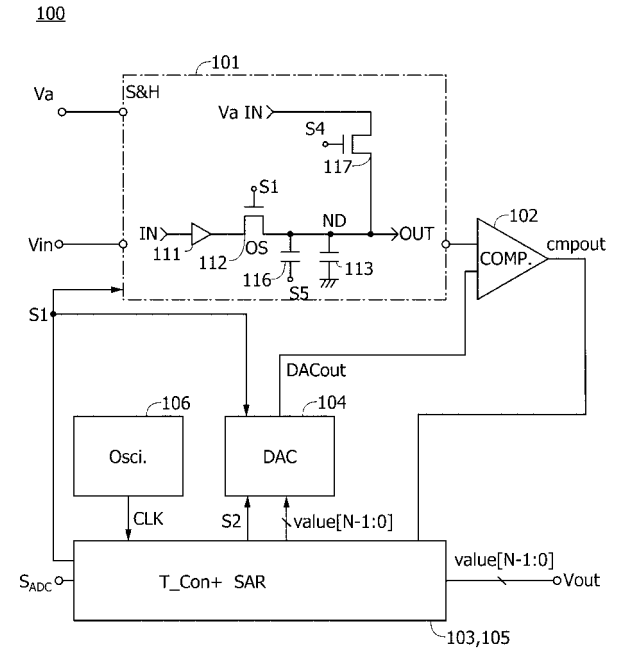
(B)



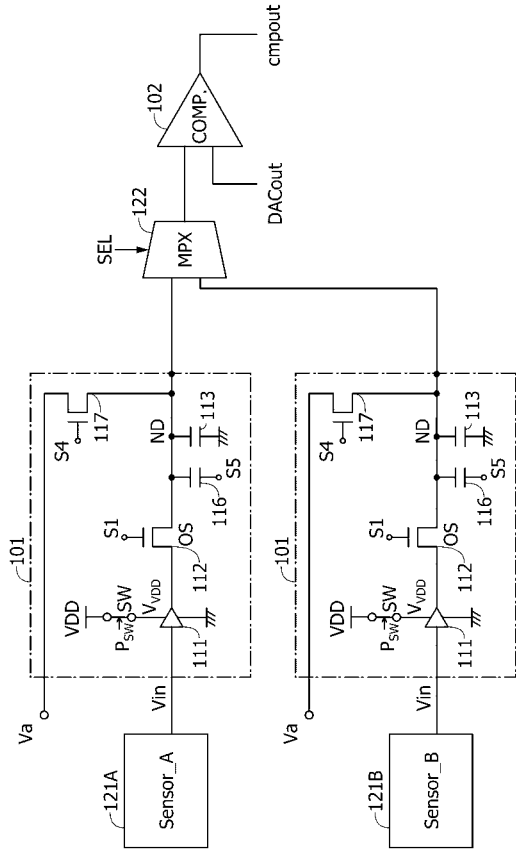
【 図 5 】



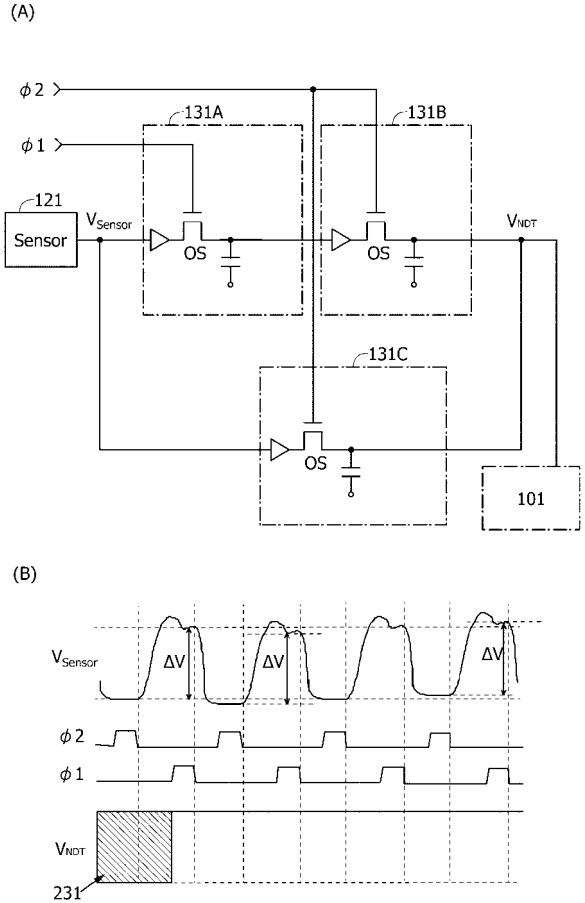
【 図 6 】



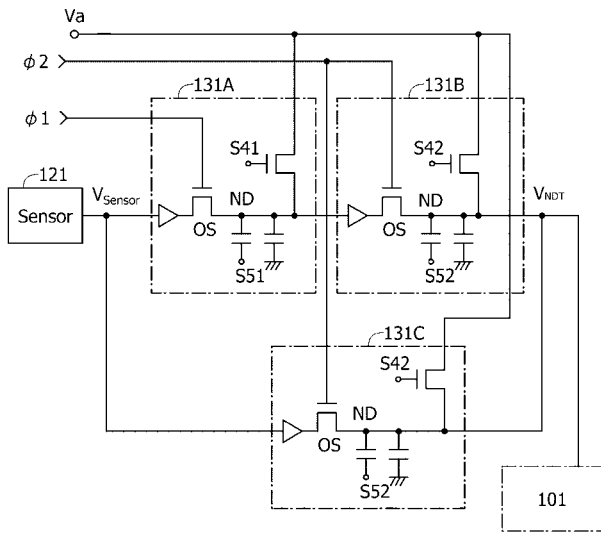
【 図 7 】



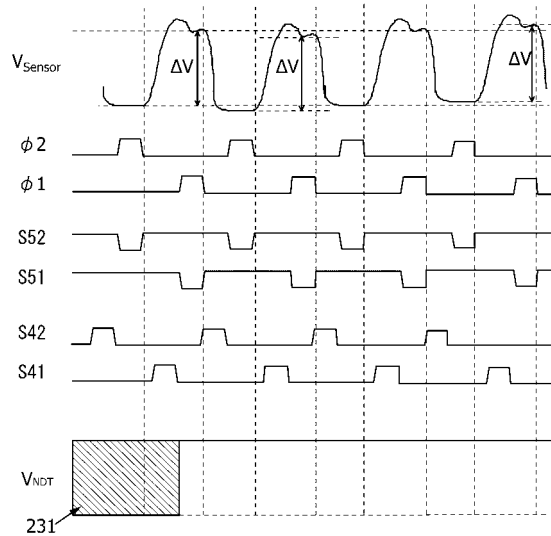
【 図 8 】



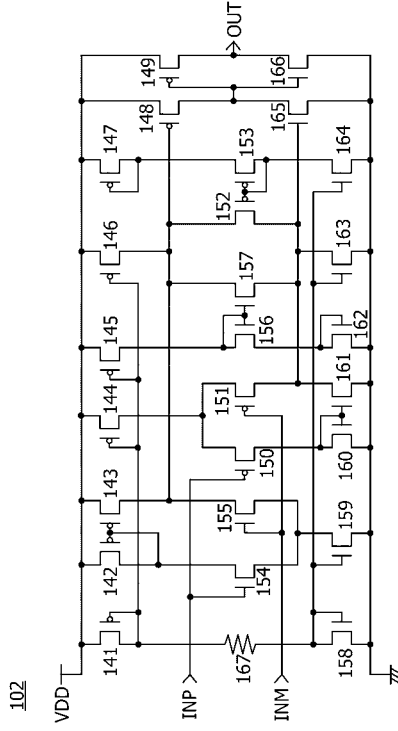
【 図 9 】



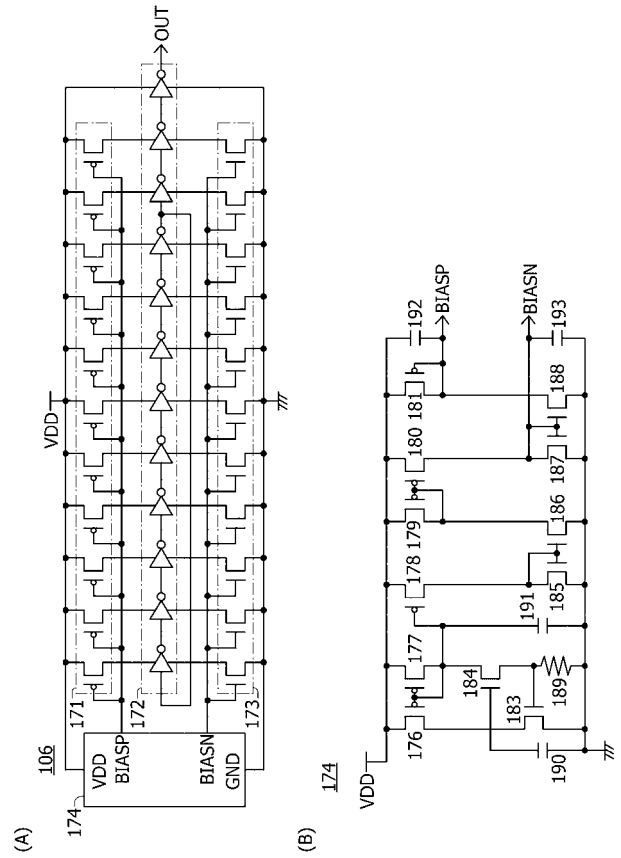
【 図 10 】



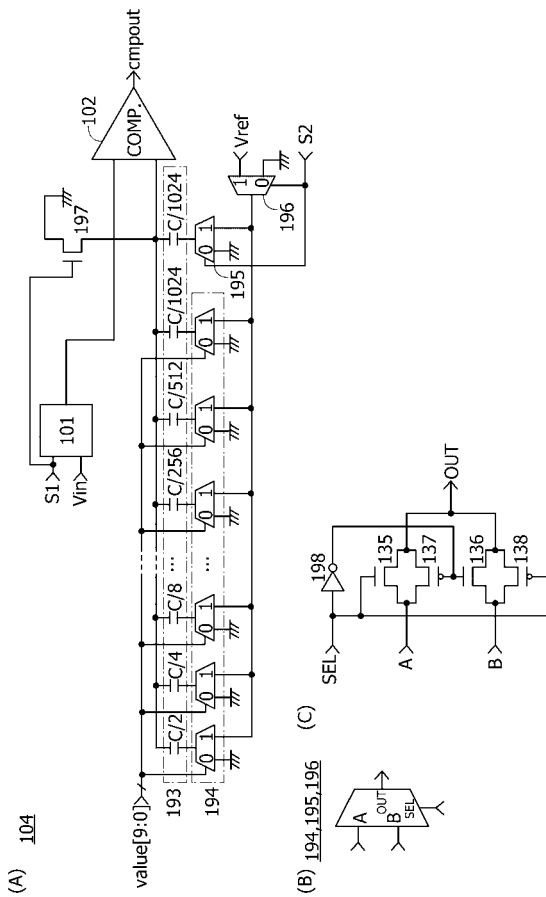
【 図 1 1 】



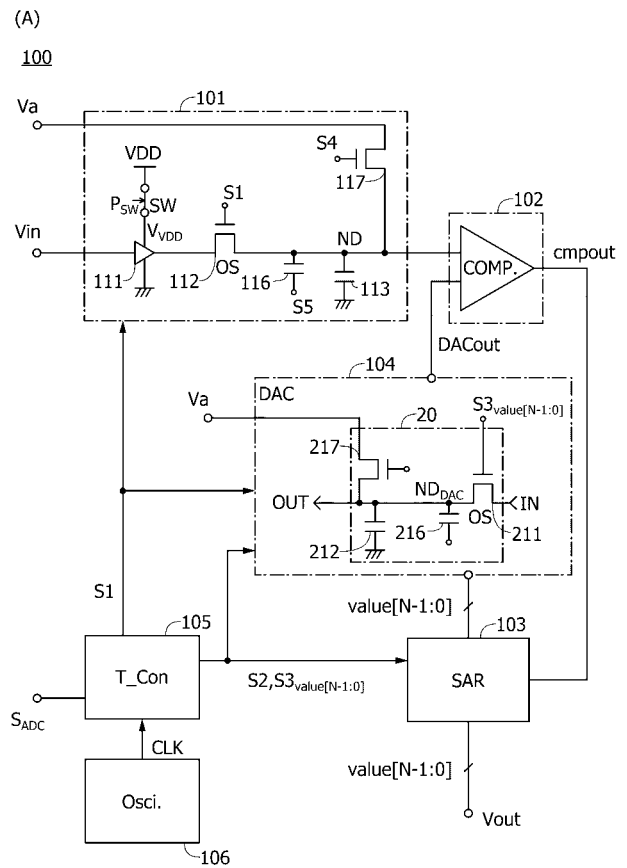
【 図 1 2 】



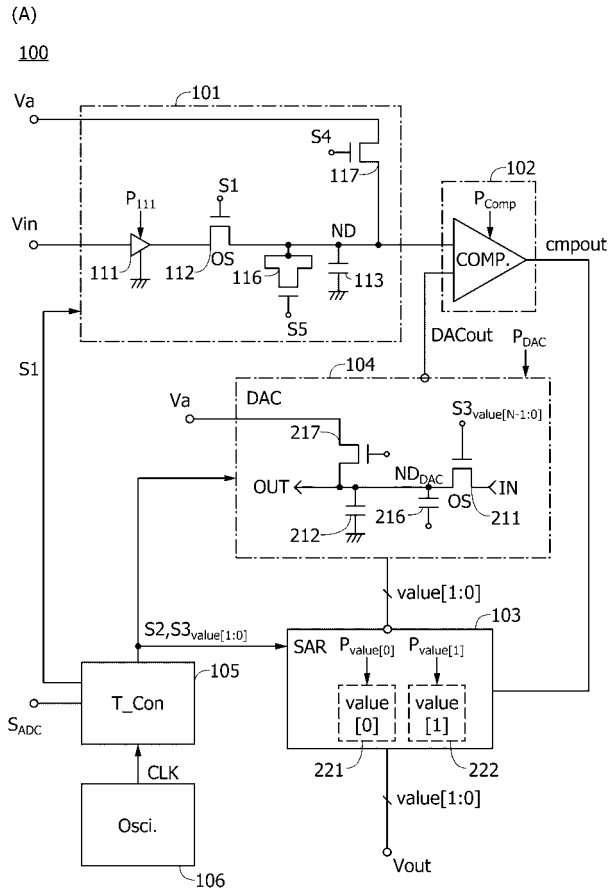
【 図 1 3 】



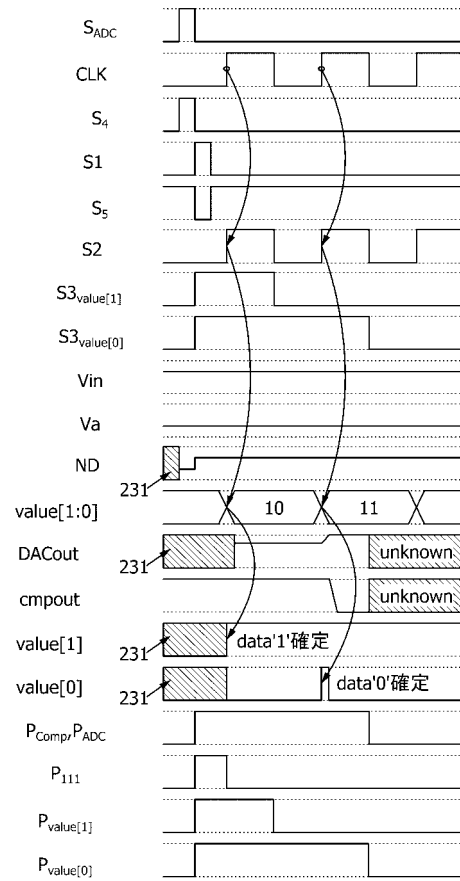
【 図 1 4 】



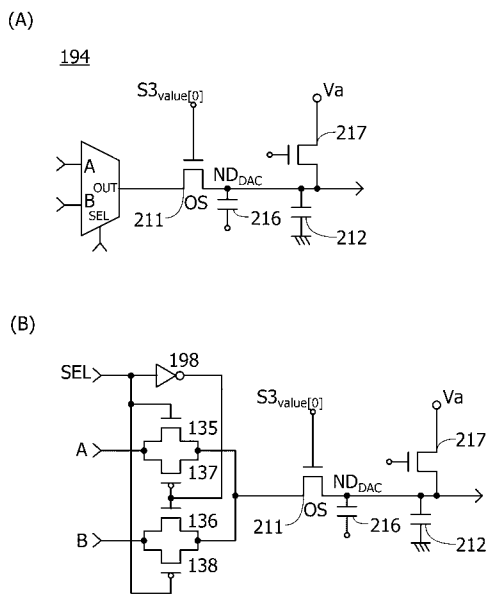
【 図 1 5 】



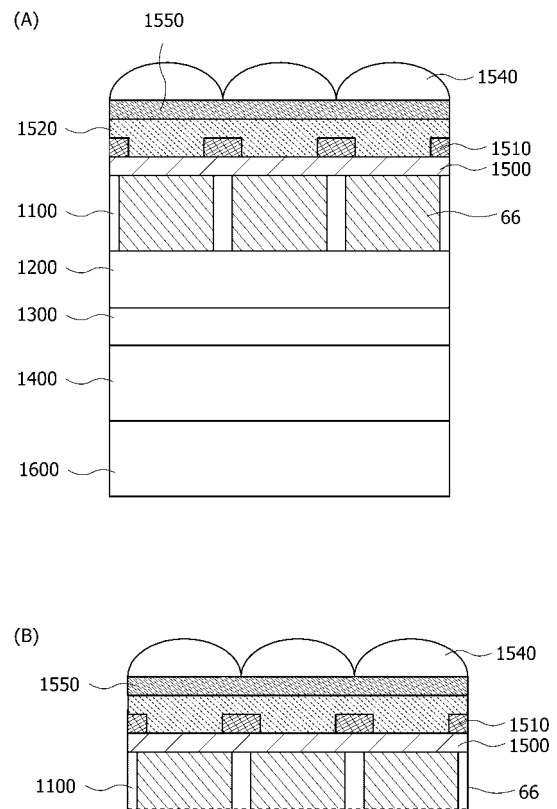
【 図 1 6 】



【 図 1 7 】

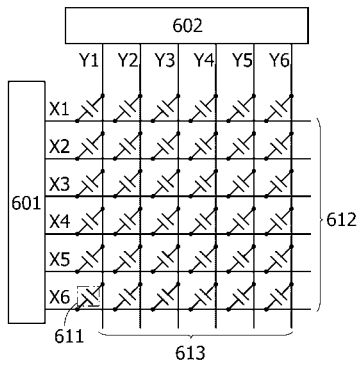


【 図 1 8 】

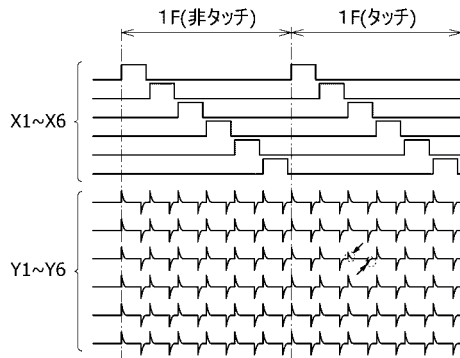


【図19】

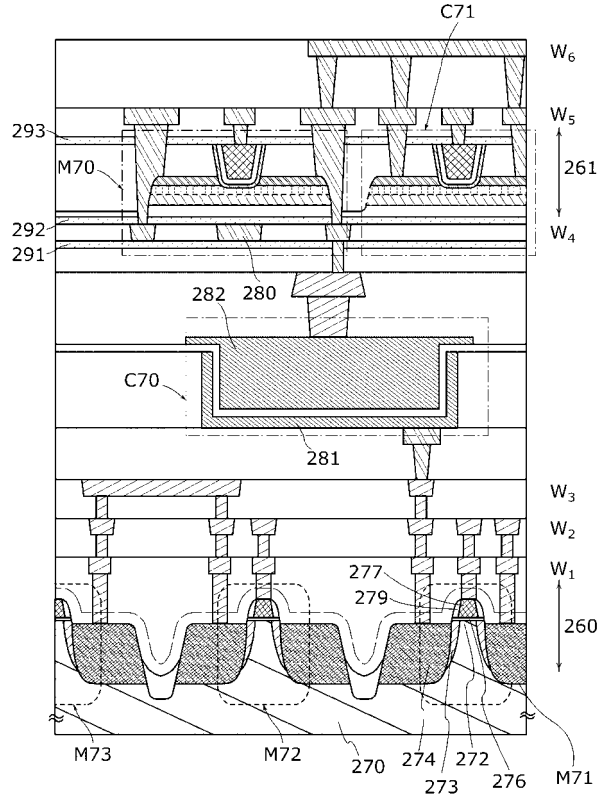
(A)



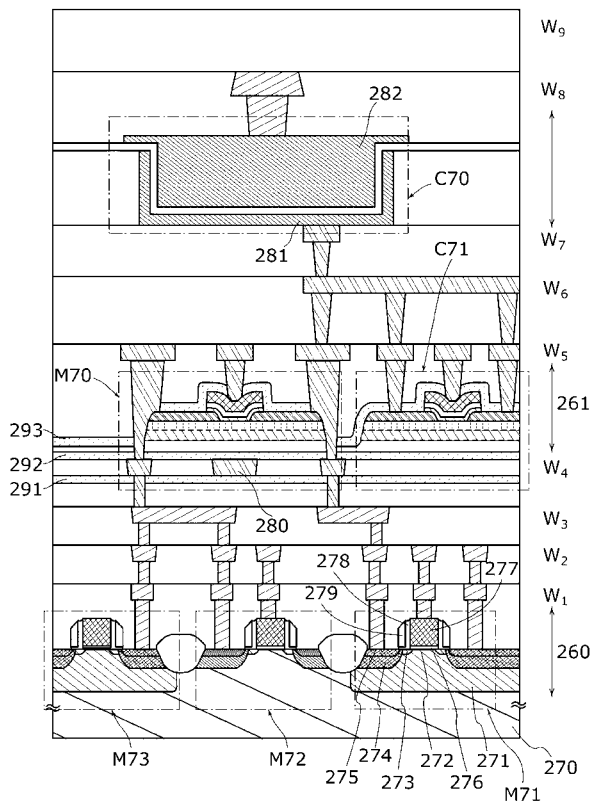
(B)



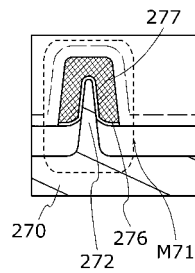
【図20】



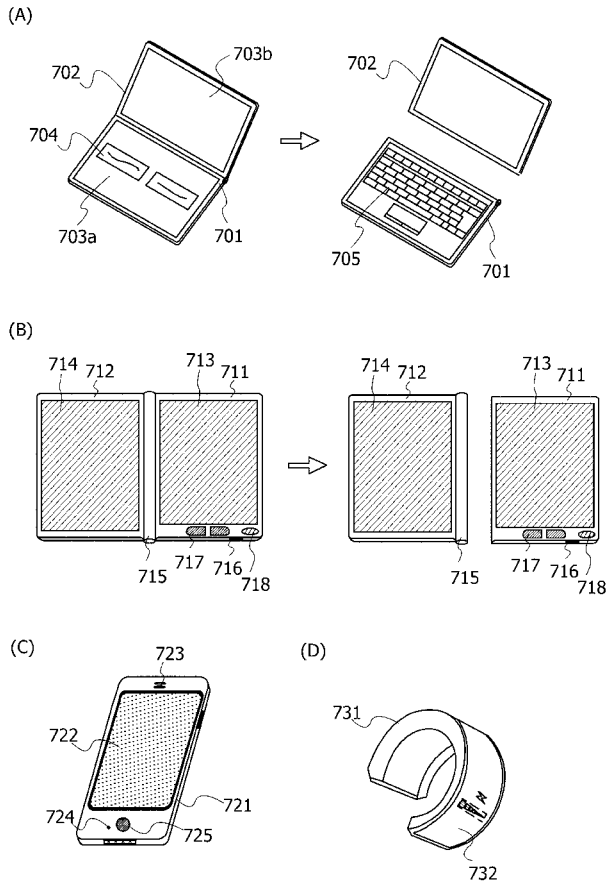
【図21】



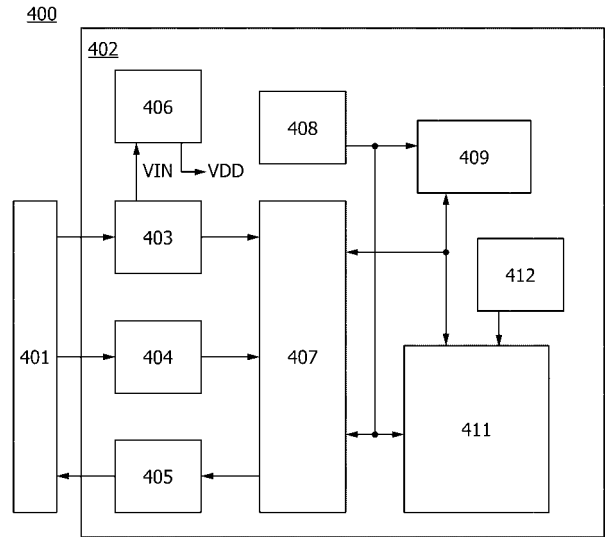
【図22】



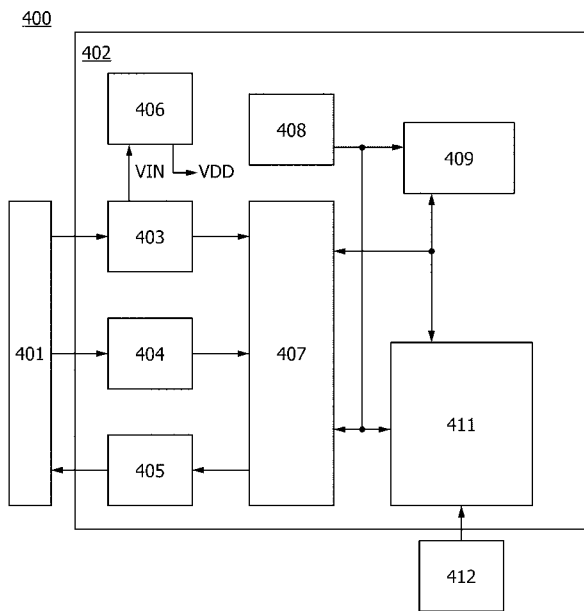
【 図 2 3 】



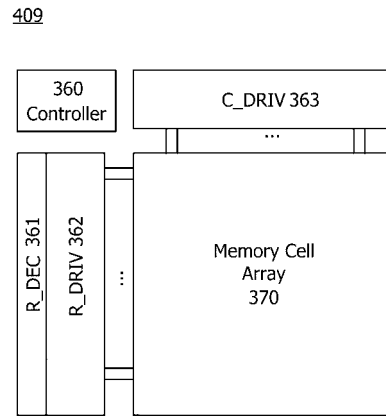
【 図 2 4 】



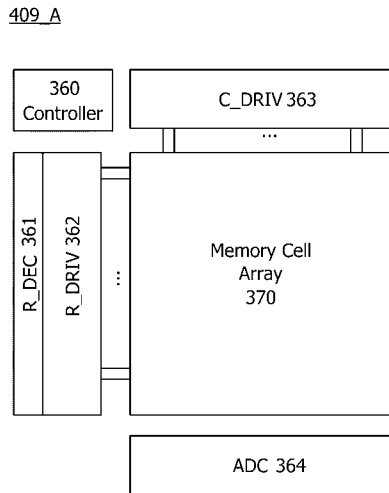
【 図 2 5 】



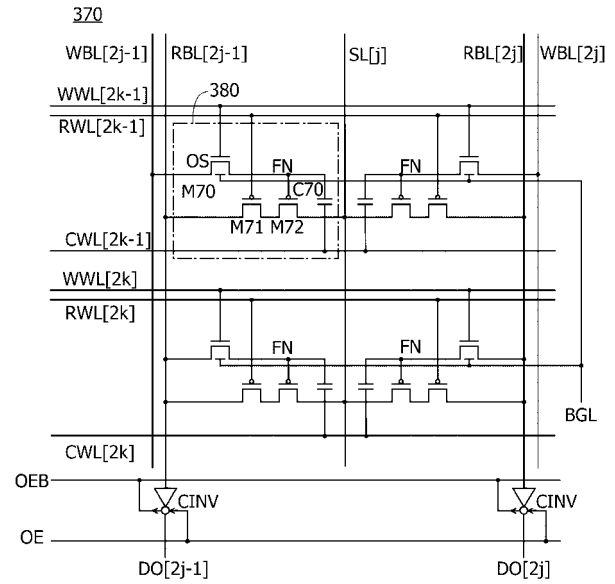
【 図 2 6 】



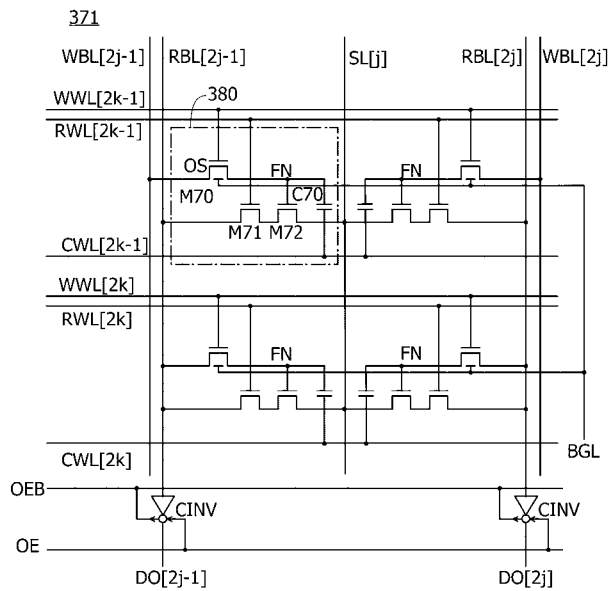
【 図 2 7 】



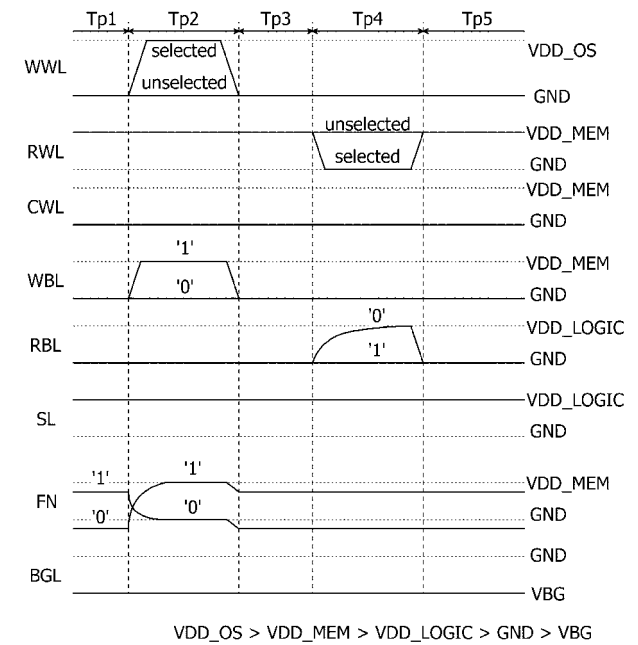
【 図 2 8 】



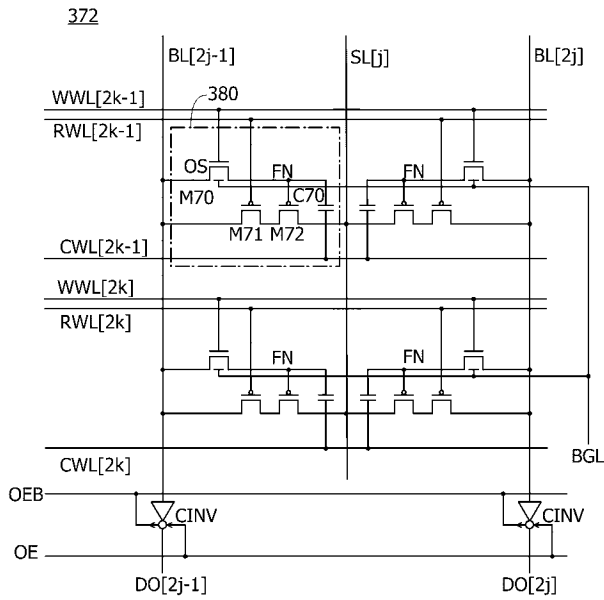
【 図 2 9 】



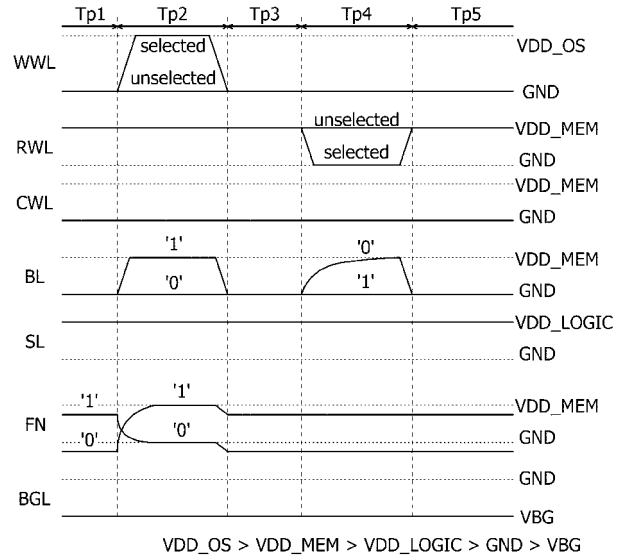
【 図 3 0 】



【 図 3 1 】

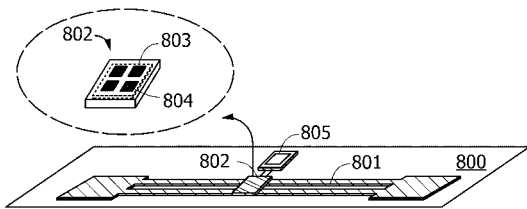


【 図 3 2 】

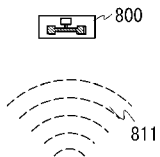


【 図 3 3 】

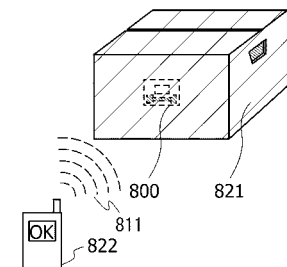
(A)



(B)

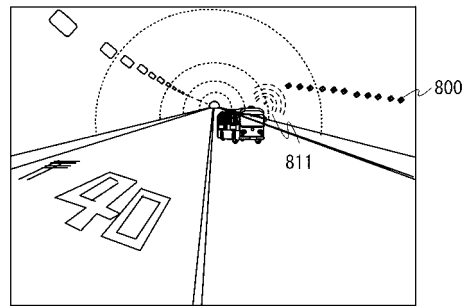


(C)

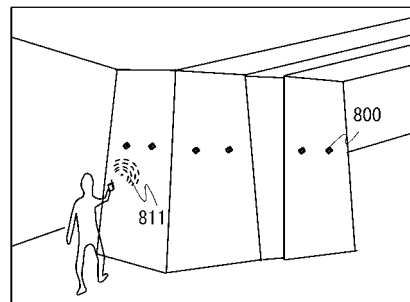


【 図 3 4 】

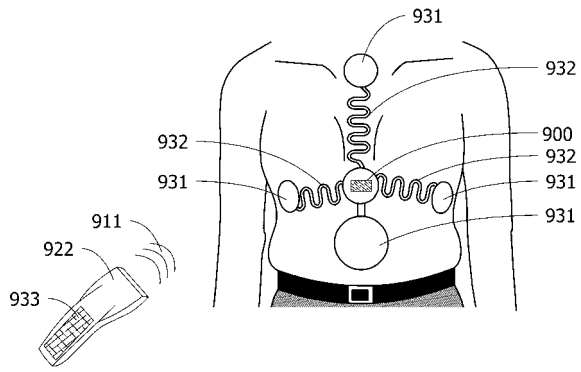
(A)



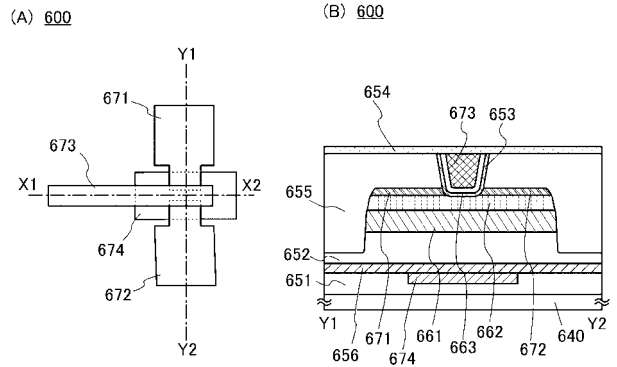
(B)



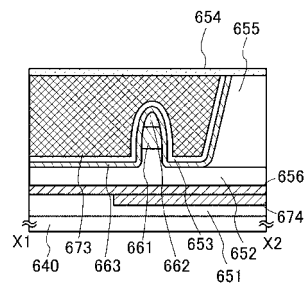
【 図 3 5 】



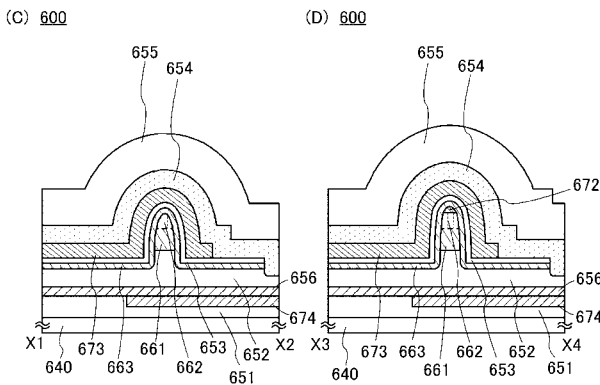
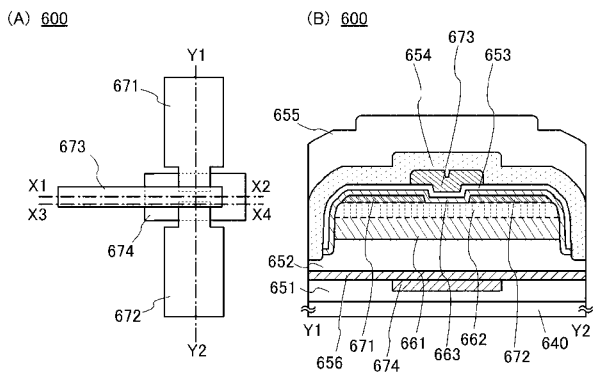
【 図 3 6 】



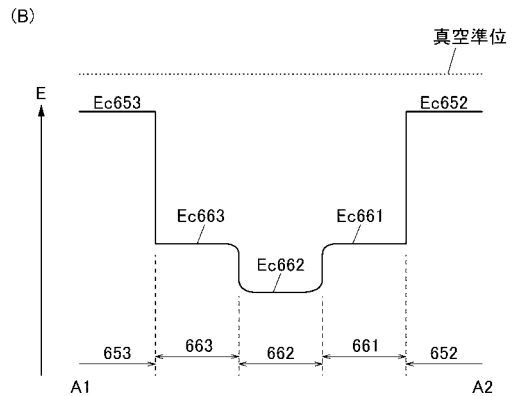
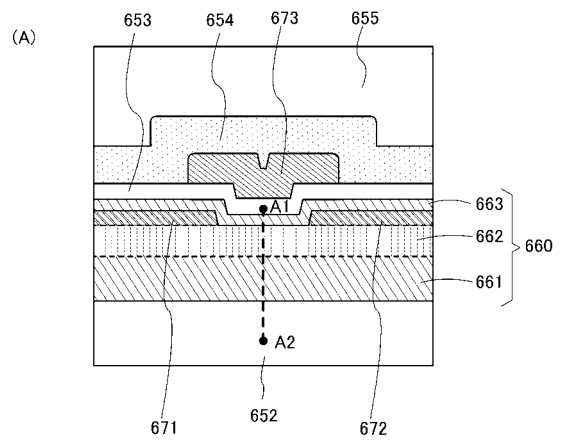
(C) 600



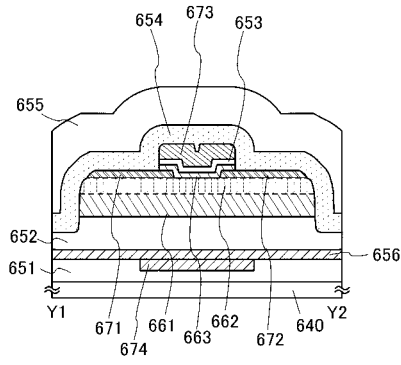
【 図 3 7 】



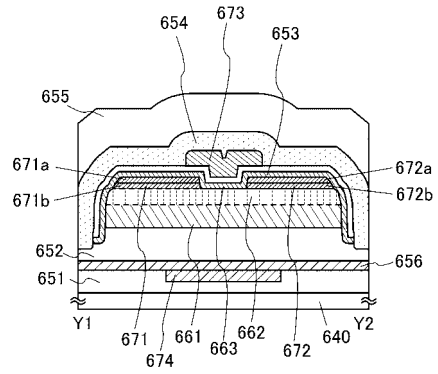
【 図 3 8 】



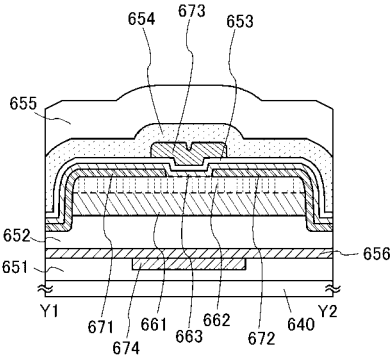
【 図 3 9 】



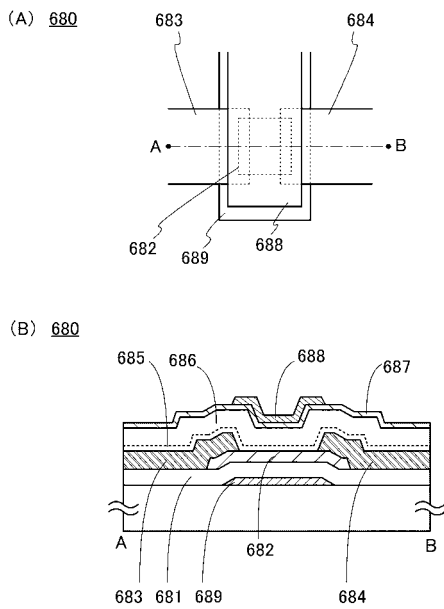
【 図 4 1 】



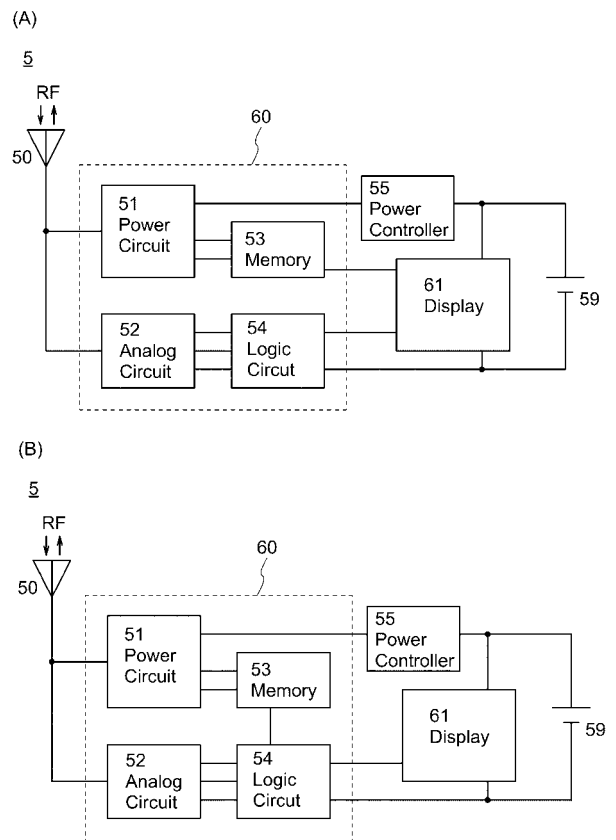
【 図 4 0 】



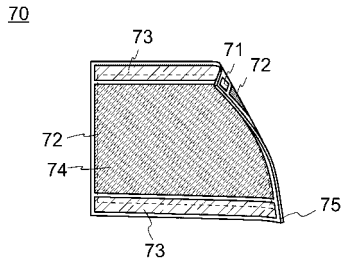
【 図 4 2 】



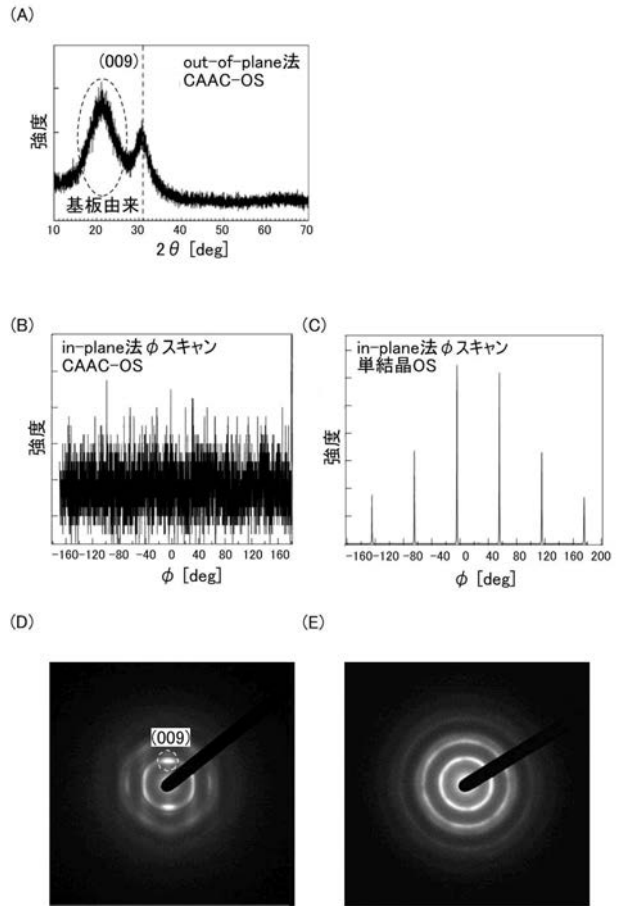
【 図 4 3 】



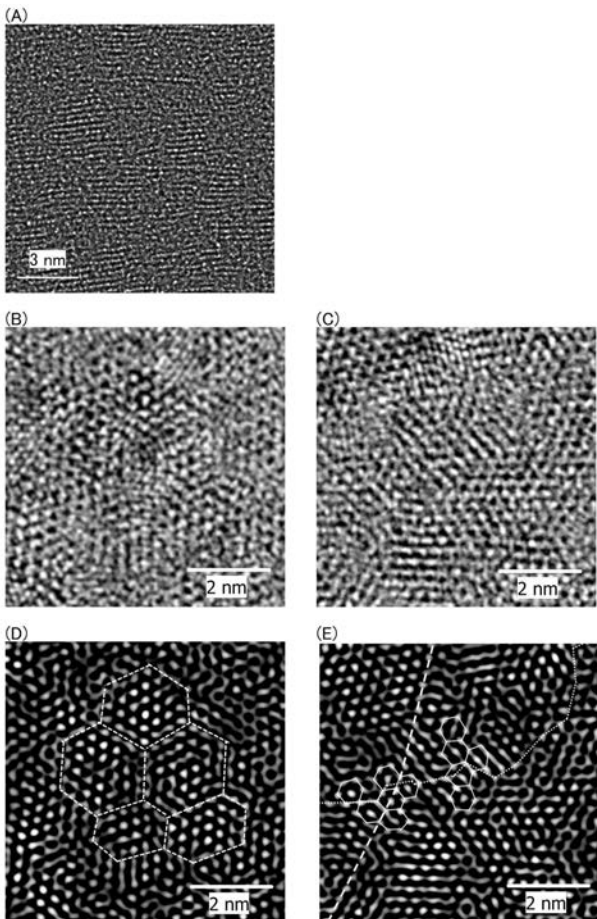
【 図 4 4 】



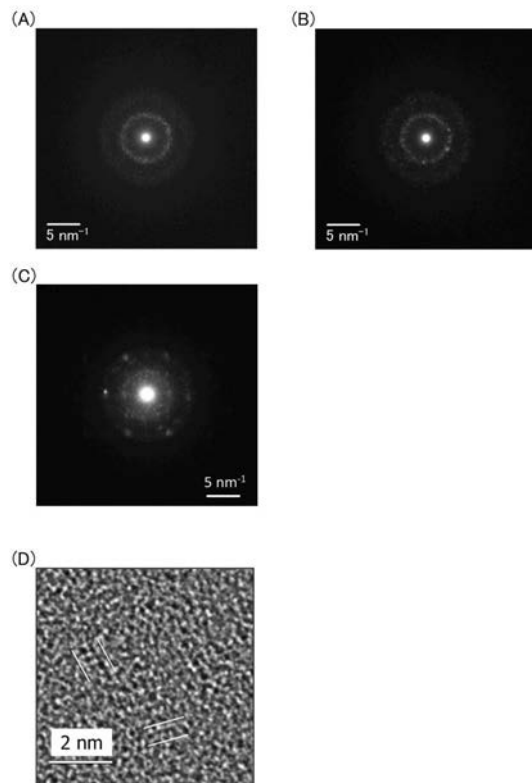
【 図 4 5 】



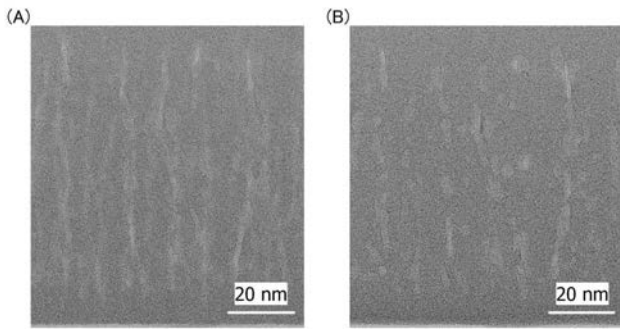
【 図 4 6 】



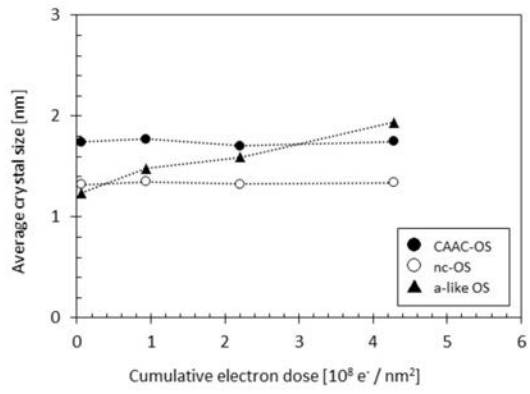
【 図 4 7 】



【 4 8 】



【 4 9 】



フロントページの続き

(51)Int.Cl.		F I			テーマコード(参考)
<i>H 0 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>3 3 1 E</i>
<i>H 0 1 L</i>	<i>27/08</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/04</i>	<i>C</i>
<i>H 0 1 L</i>	<i>21/822</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 1 8 B</i>
<i>H 0 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>29/78</i>	<i>6 1 3 Z</i>
<i>H 0 1 L</i>	<i>29/786</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/08</i>	<i>1 0 2 C</i>
<i>H 0 1 L</i>	<i>27/088</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/10</i>	<i>3 2 1</i>
<i>H 0 1 L</i>	<i>21/8242</i>	<i>(2006.01)</i>	<i>H 0 1 L</i>	<i>27/14</i>	<i>A</i>
<i>H 0 1 L</i>	<i>27/108</i>	<i>(2006.01)</i>	<i>H 0 3 M</i>	<i>1/46</i>	
<i>H 0 1 L</i>	<i>27/146</i>	<i>(2006.01)</i>			
<i>H 0 3 M</i>	<i>1/46</i>	<i>(2006.01)</i>			

F ターム(参考)	5F048	AB01	AB03	AC01	AC03	AC10	BA01	BA14	BA15	BA16	BA19
		BA20	BB01	BB02	BB09	BB11	BB12	BB14	BC06	BC18	BD02
		BD06	BF06	BF12	BF15	BF16	BF17	BG12	BG13	CB01	CB03
		CB04	CB10	DA24	DA30						
	5F083	AD02	AD24	AD69	GA06	JA56	JA60				
	5F110	AA04	AA09	AA30	BB03	BB04	BB05	BB10	BB11	CC05	CC07
		DD01	DD02	DD03	DD04	DD05	DD06	DD08	DD12	DD13	DD14
		DD15	DD17	EE02	EE03	EE04	EE06	EE14	EE22	EE25	EE30
		EE42	EE44	EE45	FF01	FF02	FF03	FF04	FF05	FF09	FF27
		FF28	FF29	FF36	GG01	GG06	GG07	GG12	GG13	GG15	GG16
		GG17	GG19	GG22	GG25	GG26	GG28	GG29	GG33	GG34	GG35
		GG42	GG43	GG44	GG58	HK01	HK02	HK03	HK04	HK06	HK07
		HK08	HK17	HK18	HK21	HM05	NN03	NN22	NN23	NN24	NN27
		NN28	NN33	NN34	NN35	NN36	NN40	NN44	NN72	NN74	QQ09
		QQ16	QQ19								
	5J022	AB01	CA10	CF01	CF02						