



(12) 发明专利申请

(10) 申请公布号 CN 118631274 A

(43) 申请公布日 2024.09.10

(21) 申请号 202410252773.2

(22) 申请日 2024.03.06

(30) 优先权数据

18/181,466 2023.03.09 US

(71) 申请人 苹果公司

地址 美国加利福尼亚州

(72) 发明人 M·阿布齐德 A·科米加尼

(74) 专利代理机构 北京市金杜律师事务所

11256

专利代理师 李兴斌 郭星

(51) Int. Cl.

H04B 1/40 (2015.01)

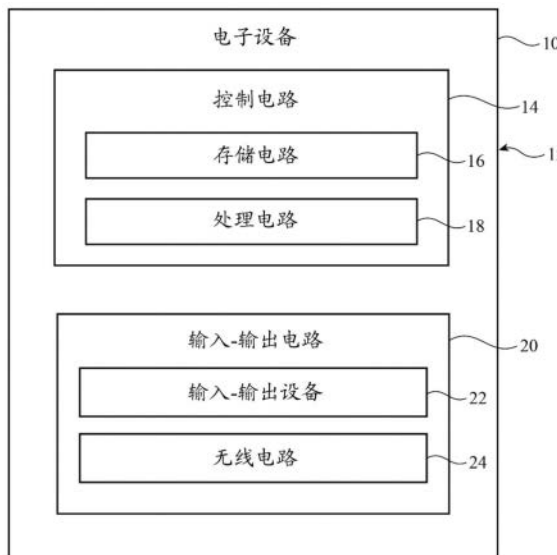
权利要求书3页 说明书14页 附图8页

(54) 发明名称

具有非线性消除的射频功率检测器

(57) 摘要

无线电路可包括射频放大器和功率检测电路,该功率检测电路耦接到该射频放大器的输出。该功率检测电路可包括:输入晶体管;偏置电路,该偏置电路被配置为输出用于该输入晶体管的偏置电压并且被配置为跟踪温度和电压变化;和非线性消除部件,该非线性消除部件被配置为生成至少部分地消除与该输入晶体管相关联的非线性电流的电流。该输入晶体管可以是n型晶体管,并且该非线性消除部件可以是p型金属氧化物半导体电容器。该偏置电路可包括n型二极管接法偏置晶体管和p型二极管接法偏置晶体管。



1. 一种无线电路,所述无线电路包括:
射频放大器;和
功率检测电路,所述功率检测电路耦接到所述射频放大器的输出,所述功率检测电路包括:
输入晶体管,所述输入晶体管具有耦接到所述射频放大器的所述输出的栅极端子,和非线性消除部件,所述非线性消除部件耦接到所述输入晶体管的所述栅极端子。
2. 根据权利要求1所述的无线电路,其中所述非线性消除部件包括金属氧化物半导体(MOS)电容器。
3. 根据权利要求1所述的无线电路,其中所述输入晶体管包括n型金属氧化物半导体晶体管,并且其中所述非线性消除部件包括p型金属氧化物半导体电容器。
4. 根据权利要求1所述的无线电路,其中所述非线性消除部件包括金属氧化物半导体(MOS)电容器,所述MOS电容器具有耦接到所述输入晶体管的所述栅极端子的第一端子并且具有耦接到分路电容器的第二端子。
5. 根据权利要求1所述的无线电路,其中所述非线性消除部件包括金属氧化物半导体(MOS)电容器,所述MOS电容器具有耦接到所述输入晶体管的所述栅极端子的栅极端子并且具有耦接到分路电容器的主体端子。
6. 根据权利要求5所述的无线电路,其中所述功率检测电路还包括:
附加输入晶体管,所述附加输入晶体管具有耦接到所述射频放大器的所述输出的栅极端子;和
附加MOS电容器,所述附加MOS电容器具有耦接到所述附加输入晶体管的所述栅极端子的栅极端子并且具有耦接到所述分路电容器的主体端子。
7. 根据权利要求6所述的无线电路,其中所述功率检测电路还包括:
第一偏置晶体管,所述第一偏置晶体管具有耦接到所述MOS电容器的所述主体端子并且耦接到第一电流源的源极端子、栅极端子和短接到其栅极端子的漏极端子。
8. 根据权利要求7所述的无线电路,其中所述功率检测电路还包括:
第二偏置晶体管,所述第二偏置晶体管具有耦接到接地线的源极端子、耦接到所述第一偏置晶体管的所述漏极端子的漏极端子和短接到其漏极端子的栅极端子,所述第二偏置晶体管被配置为向所述输入晶体管的所述栅极端子提供偏置电压。
9. 根据权利要求8所述的无线电路,其中所述功率检测电路还包括:
第一共源共栅晶体管,所述第一共源共栅晶体管与所述输入晶体管串联耦接;
第二共源共栅晶体管;和
第三偏置晶体管,所述第三偏置晶体管具有耦接到所述第二偏置晶体管的所述漏极端子的源极端子、耦接到第二电流源的漏极端子和短接到其漏极端子的栅极端子,所述第三偏置晶体管被配置为向所述第一共源共栅晶体管和所述第二共源共栅晶体管的所述栅极端子提供共源共栅偏置电压。
10. 根据权利要求9所述的无线电路,其中:
所述MOS电容器包括p型MOS电容器;
所述第一偏置晶体管包括p型偏置晶体管;并且
所述第二偏置晶体管和所述第三偏置晶体管包括n型偏置晶体管。

11. 一种功率检测电路,所述功率检测电路包括:

第一输入晶体管,所述第一输入晶体管被配置为接收射频信号;

第二输入晶体管,所述第二输入晶体管被配置为接收所述射频信号;

偏置电路,所述偏置电路被配置为向所述第一输入晶体管和所述第二输入晶体管提供偏置电压;和

第一非线性消除部件,所述第一非线性消除部件耦接在所述第一输入晶体管与所述偏置电路之间。

12. 根据权利要求11所述的功率检测电路,还包括:

第二非线性消除部件,所述第二非线性消除部件耦接在所述第二输入晶体管与所述偏置电路之间。

13. 根据权利要求12所述的功率检测电路,其中:

所述第一非线性消除部件包括第一金属氧化物半导体 (MOS) 电容器,所述第一MOS电容器具有耦接到所述第一输入晶体管的栅极端子的栅极端子并且具有耦接到所述偏置电路的主体端子;并且

所述第二非线性消除部件包括第二金属氧化物半导体 (MOS) 电容器,所述第二MOS电容器具有耦接到所述第二输入晶体管的栅极端子的栅极端子并且具有耦接到所述偏置电路的主体端子。

14. 根据权利要求13所述的功率检测电路,还包括:

共源共栅晶体管,所述共源共栅晶体管耦接到所述第一输入晶体管和所述第二输入晶体管,其中所述偏置电路包括:

第一二极管接法偏置晶体管,所述第一二极管接法偏置晶体管具有耦接到所述第一非线性消除部件和所述第二非线性消除部件并且耦接到第一电流源的端子,

第二二极管接法偏置晶体管,所述第二二极管接法偏置晶体管耦接到所述第一二极管接法偏置晶体管并且被配置为输出所述偏置电压,和

第三二极管接法偏置晶体管,所述第三二极管接法偏置晶体管耦接到所述第二二极管接法偏置晶体管,具有耦接到第二电流源的端子,并且被配置为向所述共源共栅晶体管输出共源共栅偏置电压。

15. 根据权利要求13所述的功率检测电路,其中所述第一输入晶体管的所述栅极端子经由第一电容器耦接到射频放大器,并且其中所述第二晶体管的所述栅极端子经由第二电容器耦接到所述射频放大器。

16. 一种电路,所述电路包括:

输入晶体管,所述输入晶体管被配置为从射频放大器接收射频信号;

偏置电路,所述偏置电路被配置为输出用于所述输入晶体管的偏置电压并且被配置为跟踪温度和电压变化;和

非线性消除部件,所述非线性消除部件被配置为生成至少部分地消除与所述输入晶体管相关联的非线性电流的电流。

17. 根据权利要求16所述的电路,其中所述非线性消除部件包括金属氧化物半导体 (MOS) 电容器,所述MOS电容器具有耦接到所述输入晶体管的栅极端子的第一端子并且具有耦接到所述偏置电路的第二端子。

18. 根据权利要求16所述的电路,还包括:

附加输入晶体管,所述附加输入晶体管被配置为从所述射频放大器接收所述射频信号;和

附加非线性消除部件,所述附加非线性消除部件被配置为生成至少部分地消除与所述附加输入晶体管相关联的非线性电流的电流。

19. 根据权利要求18所述的电路,其中:

所述输入晶体管和所述附加输入晶体管包括n型输入晶体管;

所述非线性消除部件包括第一p型金属氧化物半导体 (MOS) 电容器,所述第一p型MOS电容器具有耦接到所述输入晶体管的栅极端子的栅极端子并且具有耦接到所述偏置电路的主体端子;并且

所述附加非线性消除部件包括第二p型金属氧化物半导体 (MOS) 电容器,所述第二p型MOS电容器具有耦接到所述附加输入晶体管的栅极端子的栅极端子并且具有耦接到所述偏置电路的主体端子。

20. 根据权利要求19所述的电路,其中所述偏置电路包括p型偏置晶体管,所述p型偏置晶体管具有耦接到所述第一p型MOS电容器和所述第二p型MOS电容器并且耦接到电流源的源极端子、栅极端子和耦接到其栅极端子的漏极端子。

具有非线性消除的射频功率检测器

[0001] 本申请要求2023年3月9日提交的美国专利申请号18/181,466的优先权,该申请据此全文以引用方式并入本文。

技术领域

[0002] 本公开整体涉及电子设备,并且更具体地涉及具有无线通信电路的电子设备。

背景技术

[0003] 电子设备可具备无线通信能力。具备无线通信能力的电子设备具有无线通信电路,该无线通信电路具有一个或多个天线。无线通信电路中的无线收发器电路使用天线来发射和接收射频信号。

[0004] 由天线发射的射频信号可通过功率放大器馈送,该功率放大器被配置为将低功率模拟信号放大成更适合于通过空气长距离传输的高功率信号。在天线处接收的射频信号可通过低噪声放大器馈送,该低噪声放大器被配置为将低功率模拟信号放大成高功率信号,以便在接收器处进行处理。设计用于电子设备的令人满意的射频放大器可能具有挑战性。

发明内容

[0005] 电子设备可包括无线通信电路。无线通信电路可包括用于生成基带信号的一个或多个处理器或信号处理块、用于将基带信号上变频(调制)成射频并且用于将射频信号下变频(解调)成基带信号的收发器、用于在一个或多个天线处发射之前放大射频信号的射频功率放大器、以及用于在电子设备中放大在一个或多个天线处接收的射频信号的射频低噪声放大器。

[0006] 本公开的一个方面提供无线电路,该无线电路包括:射频放大器;和功率检测电路,该功率检测电路耦接到射频放大器的输出。功率检测电路可包括:输入晶体管,该输入晶体管具有耦接到射频放大器的输出的栅极端子,和非线性消除部件,该非线性消除部件耦接到输入晶体管的栅极端子。非线性消除部件可以是金属氧化物半导体(MOS)电容器。功率检测电路还可包括:附加输入晶体管,该附加输入晶体管具有耦接到射频放大器的输出的栅极端子;和附加MOS电容器,该附加MOS电容器具有耦接到附加输入晶体管的栅极端子的栅极端子并且具有耦接到分路电容器的主体端子。

[0007] 功率检测电路还可包括:第一偏置晶体管,该第一偏置晶体管具有耦接到MOS电容器的主体端子并且耦接到第一电流源的源极端子、栅极端子和短接到其栅极端子的漏极端子。功率检测电路还可包括:第二偏置晶体管,该第二偏置晶体管具有耦接到接地线的源极端子、耦接到第一偏置晶体管的漏极端子的漏极端子和短接到其漏极端子的栅极端子,该第二偏置晶体管被配置为向输入晶体管的栅极端子提供偏置电压。功率检测电路还可包括:第一共源共栅晶体管,该第一共源共栅晶体管与输入晶体管串联耦接;第二共源共栅晶体管;和第三偏置晶体管,该第三偏置晶体管具有耦接到第二偏置晶体管的漏极端子的源极端子、耦接到第二电流源的漏极端子和短接到其漏极端子的栅极端子,该第三偏置晶体

管被配置为向第一共源共栅晶体管和第二共源共栅晶体管的栅极端子提供共源共栅偏置电压。

[0008] 本公开的一个方面提供功率检测电路,该功率检测电路包括:第一输入晶体管,该第一输入晶体管被配置为接收射频信号;第二输入晶体管,该第二输入晶体管被配置为接收射频信号;偏置电路,该偏置电路被配置为向第一输入晶体管和第二输入晶体管提供偏置电压;和第一非线性消除部件,该第一非线性消除部件耦接在第一输入晶体管与偏置电路之间。功率检测电路还可包括:第二非线性消除部件,该第二非线性消除部件耦接在第二输入晶体管与偏置电路之间。第一非线性消除部件可以是第一金属氧化物半导体 (MOS) 电容器,该第一MOS电容器具有耦接到第一输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子,而第二非线性消除部件可以是第二金属氧化物半导体 (MOS) 电容器,该第二MOS电容器具有耦接到第二输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子。偏置电路可包括:第一二极管接法偏置晶体管,该第一二极管接法偏置晶体管具有耦接到第一非线性消除部件和第二非线性消除部件并且耦接到第一电流源的端子;第二二极管接法偏置晶体管,该第二二极管接法偏置晶体管耦接到第一二极管接法偏置晶体管并且被配置为输出偏置电压;和第三二极管接法偏置晶体管,该第三二极管接法偏置晶体管耦接到第二二极管接法偏置晶体管,具有耦接到第二电流源的端子,并且被配置为向耦接到第一输入晶体管和第二输入晶体管的共源共栅晶体管输出共源共栅偏置电压。

[0009] 本公开的一个方面提供电路,该电路包括:输入晶体管,该输入晶体管被配置为从射频放大器接收射频信号;偏置电路,该偏置电路被配置为输出用于输入晶体管的偏置电压并且被配置为跟踪温度和电压变化;和非线性消除部件,该非线性消除部件被配置为生成至少部分地消除与输入晶体管相关联的非线性电流的电流。非线性消除部件可以是金属氧化物半导体 (MOS) 电容器,该MOS电容器具有耦接到输入晶体管的栅极端子的第一端子并且具有耦接到偏置电路的第二端子。电路还可包括:附加输入晶体管,该附加输入晶体管被配置为从射频放大器接收射频信号;和附加非线性消除部件,该附加非线性消除部件被配置为生成至少部分地消除与附加输入晶体管相关联的非线性电流的电流。

[0010] 输入晶体管和附加输入晶体管可任选地是n型输入晶体管。非线性消除部件可任选地是第一p型金属氧化物半导体 (MOS) 电容器,该第一p型MOS电容器具有耦接到输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子。附加非线性消除部件可任选地是第二p型金属氧化物半导体 (MOS) 电容器,该第二p型MOS电容器具有耦接到附加输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子。偏置电路可包括p型偏置晶体管,该p型偏置晶体管具有耦接到第一p型MOS电容器和第二p型MOS电容器并且耦接到电流源的源极端子、栅极端子和耦接到其栅极端子的漏极端子。

附图说明

[0011] 图1是根据一些实施方案的具有无线电路的例示性电子设备的图示。

[0012] 图2是根据一些实施方案的具有射频放大器的例示性无线电路的图示。

[0013] 图3是示出根据一些实施方案的耦接到射频放大器输出的例示性功率检测器的图示。

[0014] 图4是根据一些实施方案的用于射频放大器的例示性控制电路的图示。

[0015] 图5是根据一些实施方案的具有单端输入和非线性消除部件的例示性功率检测电路的电路图。

[0016] 图6A和图6B是根据一些实施方案的具有差分输入和非线性消除部件的例示性功率检测电路的电路图。

[0017] 图7是例示根据一些实施方案的由射频放大器功率检测器中的一个或多个非线性消除部件提供的线性改善的绘图。

具体实施方式

[0018] 电子设备,诸如图1的设备10可具备无线电路。无线电路可包括射频放大器,诸如功率放大器和低噪声放大器。功率放大器可用于放大发射路径中的射频信号,而低噪声放大器可用于放大接收路径中的射频信号。功率检测电路可耦接在这些射频放大器的输出处。耦接在射频功率放大器的输出处的功率检测器可被配置为运行用于调节功率放大器的功率电平的自适应功率控制算法,而耦接在射频低噪声放大器的输出处的功率检测器可用于运行用于调节低噪声放大器的功率电平的自动增益控制算法。

[0019] 然而,将功率检测电路附接到射频放大器会使放大器的线性降级。根据一些实施方案,可在功率检测器的输入处耦接一个或多个非线性消除部件,以帮助减轻或抵消与功率检测器相关联的任何非线性效应。非线性消除部件可使用一个或多个p型金属氧化物半导体(MOS)电容器或其他类型的电容性部件来实现。非线性消除部件可耦接到跟踪工艺、温度和电压(PVT)变化的偏置电路。以这种方式配置和操作,可改善射频放大器的三阶截点(IP3),这可提高放大器的通量。

[0020] 图1的电子设备10可以是:计算设备,诸如膝上型计算机、台式计算机、包含嵌入式计算机的计算机监视器、平板电脑、蜂窝电话、媒体播放器或者其他手持式或便携式电子设备;较小的设备,诸如腕表设备、挂式设备、耳机或听筒设备、嵌入在眼镜中的设备;或者佩戴在用户头部上的其他装备;或者其他可佩戴式或微型设备、电视机、不包含嵌入式计算机的计算机显示器、游戏设备、导航设备、嵌入式系统(诸如其中具有显示器的电子装备安装在信息亭或汽车中的系统)、连接无线互联网的语音控制的扬声器、家庭娱乐设备、遥控设备、游戏控制器、外围用户输入设备、无线基站或接入点、实现这些设备中的两个或更多个设备的功能的装备;或者其他电子装备。

[0021] 如图1中的功能框图所示,设备10可包括位于电子设备外壳诸如外壳12上或其内的部件。外壳12(有时可以称为壳体)可由塑料、玻璃、陶瓷、纤维复合材料、金属(例如,不锈钢、铝、金属合金等)、其他合适的材料、或这些材料的组合形成。在一些实施方案中,外壳12的部分或全部可由介电或其他低电导率材料(例如,玻璃、陶瓷、塑料、蓝宝石等)形成。在其他实施方案中,外壳12或构成外壳12的结构中的至少一些结构可由金属元件形成。

[0022] 设备10可包括控制电路14。控制电路14可包括存储装置,诸如存储电路16。存储电路16可包括硬盘驱动器存储装置、非易失性存储器(例如,被配置为形成固态驱动器的闪存存储器或其他电可编程只读存储器)、易失性存储器(例如,静态随机存取存储器或动态随机存取存储器)等。存储电路16可包括集成在设备10内的存储装置和/或可移动存储介质。

[0023] 控制电路14可包括处理电路,诸如处理电路18。处理电路18可用于控制设备10的

操作。处理电路18可包括一个或多个微处理器、微控制器、数字信号处理器、主机处理器、基带处理器集成电路、专用集成电路、中央处理单元(CPU)等。控制电路14可被配置为使用硬件(例如,专用硬件或电路)、固件和/或软件在设备10中执行操作。用于在设备10中执行操作的软件代码可以存储在存储电路16(例如,存储电路16可以包括存储软件代码的非暂态(有形)计算机可读存储介质)上。该软件代码可有时被称为程序指令、软件、数据、指令、或代码。存储在存储电路16上的软件代码可由处理电路18来执行。

[0024] 控制电路14可用于运行设备10上的软件,诸如卫星导航应用、互联网浏览应用、互联网语音协议(VOIP)电话呼叫应用、电子邮件应用、媒体回放应用、操作系统功能等。为了支持与外部装备进行交互,控制电路14可用于实现通信协议。可使用控制电路14实现的通信协议包括:互联网协议、无线局域网(WLAN)协议(例如,IEEE 802.11协议——有时称为**Wi-Fi**[®])、用于其他短距离无线通信链路的协议诸如**Bluetooth**[®]协议或其他无线个人区域网(WPAN)协议、IEEE 802.11ad协议(例如,超宽带协议)、蜂窝电话协议(例如,3G协议、4G(LTE)协议、5G协议等)、天线分集协议、卫星导航系统协议(例如,全球定位系统(GPS)协议、全球导航卫星系统(GLONASS)协议等)、基于天线的空间测距协议(例如,在毫米和厘米波频率下传送的信号的无线电探测与测距(RADAR)协议或其他期望的距离检测协议)或任何其他期望的通信协议。每种通信协议可与对应的无线电接入技术(RAT)相关联,该无线电接入技术指定用于实现该协议的物理连接方法。

[0025] 设备10可包括输入-输出电路20。输入-输出电路20可包括输入-输出设备22。输入-输出设备22可用于允许将数据供应给设备10并且允许将数据从设备10提供给外部设备。输入-输出设备22可包括用户接口设备、数据端口设备和其他输入-输出部件。例如,输入-输出设备22可包括触摸传感器、显示器(例如,触敏显示器和/或力敏显示器)、发光部件诸如没有触摸传感器能力的显示器、按钮(机械、电容、光学等)、滚轮、触摸板、小键盘、键盘、麦克风、相机、按钮、扬声器、状态指示器、音频插孔和其他音频端口部件、数字数据端口设备、运动传感器(加速度计、陀螺仪和/或检测运动的罗盘)、电容传感器、接近传感器、磁传感器、力传感器(例如,耦接到显示器以检测施加到显示器的压力的力传感器)等。在一些配置中,键盘、耳机、显示器、指向设备诸如触控板、鼠标和操纵杆以及其他输入-输出设备可使用有线或无线连接耦接到设备10(例如,输入-输出设备22中的一些设备可以是经由有线或无线链路耦接到设备10的主处理单元或其他部分的外围设备)。

[0026] 输入-输出电路20可包括无线电路24以支持无线通信。无线电路24(在本文中有时被称为无线通信电路24)可包括一个或多个天线。无线电路24还可包括基带处理器电路、收发器电路、放大器电路、滤波器电路、切换电路、射频传输线和/或用于利用天线发射和/或接收射频信号的任何其他电路。

[0027] 无线电路24可以在无线电频率(在本文中有时称为通信频带或简称为“带”)的对应频带内发射和/或接收射频信号。由无线电路24处理的频带可以包括无线局域网(WLAN)频带(例如,**Wi-Fi**[®](IEEE 802.11)或其他WLAN通信频带)诸如2.4GHz WLAN频带(例如,2400MHz至2480MHz)、5GHz WLAN频带(例如,5180MHz至5825MHz)、**Wi-Fi**[®]6E频带(例如,5925MHz至7125MHz)和/或其他**Wi-Fi**[®]频带(例如,1875MHz至5160MHz);无线个人区域网(WPAN)频带诸如2.4GHz **Bluetooth**[®]频带或其他WPAN通信频带;蜂窝电话频带(例如,约

600MHz至约5GHz的频带、3G频带、4GLTE频带、低于10GHz的5G新空口频率范围1 (FR1) 频带、在20GHz和60GHz之间的5G新空口频率范围2 (FR2) 频带等); 10GHz至300GHz之间的其他厘米或毫米波频带; 近场通信频带 (例如, 13.56MHz); 卫星导航频带 (例如, 1565MHz至1610MHz的GPS频带、全球卫星导航系统 (GLONASS) 频带、北斗卫星导航系统 (BDS) 频带等); 在IEEE 802.15.4协议和/或其他超宽带通信协议下工作的超宽带 (UWB) 频带; 在3GPP无线通信标准族下的通信频带; 在IEEE 802.XX标准族下的通信频带, 和/或任何其他期望的感兴趣的频带。

[0028] 图2是示出无线电路24内的例示性部件的图示。如图2所示, 无线电路24可包括处理器诸如处理器26、射频 (RF) 收发器电路诸如射频收发器28、射频前端电路诸如射频前端模块 (FEM) 40以及天线42。处理器26可以是基带处理器、应用处理器、通用处理器、微处理器、微控制器、数字信号处理器、主机处理器、专用信号处理硬件或其他类型的处理器。处理器26可通过路径34耦接到收发器28。收发器28可经由射频传输线路径36耦接到天线42。射频前端模块40可设置在收发器28与天线42之间的射频传输线路径36上。

[0029] 在图2的示例中, 为了清楚起见, 无线电路24被示出为仅包括单个处理器26、单个收发器28、单个前端模块40和单个天线42。一般来讲, 无线电路24可包括任何期望数量的处理器26、任何期望数量的收发器36、任何期望数量的前端模块40以及任何期望数量的天线42。每个处理器26可通过相应路径34耦接到一个或多个收发器28。每个收发器28可包括被配置为将上行链路信号输出到天线42的发射器电路30, 可包括被配置为从天线42接收下行链路信号的接收器电路32, 并且可通过相应射频传输线路径36耦接到一个或多个天线42。每个射频传输线路径36可具有设置在其上的相应前端模块40。如果需要, 两个或更多个前端模块40可设置在相同射频传输线路径36上。如果需要, 可在其上没有设置任何前端模块的情况下实现无线电路24中的射频传输线路径36中的一个或多个射频传输线路径。

[0030] 射频传输线路径36可耦接到天线42上的天线馈电部。天线馈电部可例如包括正天线馈电端子和接地天线馈电端子。射频传输线路径36可具有正传输线信号路径, 该正传输线信号路径耦接到天线42上的正天线馈电端子。射频传输线路径36可具有接地传输线信号路径, 该接地传输线信号路径耦接到天线42上的接地天线馈电端子。该示例仅仅是例示性的, 并且一般来讲, 天线42可使用任何期望的天线馈电方案来馈电。如果需要, 天线42可具有耦接到一个或多个射频传输线路径36的多个天线馈电部。

[0031] 射频传输线路径36可包括用于对设备10 (图1) 内的射频天线信号进行路由的传输线。设备10中的传输线可包括同轴电缆、微带传输线、带状线传输线、边缘耦合的微带传输线、边缘耦合的带状线传输线、由这些类型的传输线的组合形成的传输线等。设备10中的传输线诸如射频传输线路径36中的传输线可集成到刚性和/或柔性印刷电路板中。

[0032] 在执行无线发射时, 处理器26可通过路径34向收发器28提供发射信号 (例如, 数字或基带信号)。收发器28还可包括用于将从处理器26接收的发射 (基带) 信号转换为对应射频信号的电路, 该电路被配置为生成至少部分地消除与输入晶体管相关联的非线性电流的电流。例如, 收发器电路28可包括用于在通过天线42传输之前将发射 (基带) 信号上变频 (或调制) 为射频的混频器电路。其中处理器26与收发器28通信的图2的示例仅为例示性的。一般来讲, 收发器28可以与基带处理器、应用处理器、通用处理器、微控制器、微处理器或电路18内的一个或多个处理器通信。收发器电路28还可包括用于在数字域与模拟域之间转换信

号的数模转换器 (DAC) 电路和/或模数转换器 (ADC) 电路。收发器28可使用发射器 (TX) 30经由射频传输线路径36和前端模块40通过天线42传输射频信号。天线42可通过将射频信号辐射到自由空间中而来将射频信号传输到外部无线装备。

[0033] 在执行无线接收时,天线42可从外部无线装备接收射频信号。可将所接收的射频信号经由射频传输线路径36和前端模块40传送到收发器28。收发器28可以包括用于从前端模块40接收信号和用于将所接收的射频信号转换为对应的基带信号的电路,诸如接收器 (RX) 32。例如,收发器28可包括用于在将所接收的信号通过路径34传送到处理器26之前将所接收的射频信号下变频(或解调)为基带频率的混频器电路。

[0034] 前端模块 (FEM) 40可包括对通过射频传输线路径36传送(发射和/或接收)的射频信号操作的射频前端电路。FEM 40可例如包括前端模块 (FEM) 部件,诸如射频滤波器电路44(例如,低通滤波器、高通滤波器、陷波滤波器、带通滤波器、多路复用电路、双工器电路、双迅器电路、三工器电路等)、切换电路46(例如,一个或多个射频开关)、射频放大器电路48(例如,一个或多个功率放大器电路50和/或一个或多个低噪声放大器电路52)、信号衰减器、阻抗匹配电路(例如,有助于将天线42的阻抗匹配到射频传输线36的阻抗的电路)、天线调谐电路(例如,调节天线42的频率响应的电容器、电阻器、电感器和/或开关的网络)、射频耦接器电路、电荷泵电路、电源管理电路、数字控制和接口电路和/或对由天线42发射和/或接收的射频信号进行操作的任何其他期望的电路。可将前端模块部件中的每一者安装到公共(共享)衬底,诸如刚性印刷电路板衬底或柔性印刷电路衬底。如果需要,各种前端模块部件还可以集成到单个集成电路芯片中。如果需要,放大器电路48和/或前端40中的其他部件(诸如滤波器电路44)也可以被实现为收发器电路28的一部分。

[0035] 滤波器电路44、切换电路46、放大器电路48和其他电路可以沿射频传输线路径36设置,可以结合到FEM 40中,和/或可以结合到天线42中(例如,以支持天线调谐、以支持在期望频带中的操作等)。可(例如,使用控制电路14)调节这些部件(在本文中有时被称为天线调谐部件)以随时间调节天线42的频率响应和无线性能。

[0036] 收发器28可与前端模块40分开。例如,可在另一个衬底诸如设备10的主逻辑板、刚性印刷电路板或并非前端模块40的一部分的柔性印刷电路上形成收发器28。虽然为了清楚起见,在图1的示例中,控制电路14被示出为与无线电路24分开,但是无线电路24可包括处理电路和/或存储电路,该处理电路形成处理电路18的一部分,该存储电路形成控制电路14的存储电路16的一部分(例如,控制电路14的各部分可在无线电路24上实现)。作为一个示例,处理器26和/或收发器28的部分(例如,收发器28上的主机处理器)可形成控制电路14的一部分。控制电路14(例如,处理器26上形成的控制电路14的部分、收发器28上形成的控制电路14的部分和/或与无线电路24分开的控制电路14的部分)可提供控制前端模块40的操作的控制信号(例如,通过设备10中的一个或多个控制路径)。

[0037] 收发器电路28可包括处理WLAN通信频带(例如,**Wi-Fi**[®](IEEE 802.11)或其他WLAN通信频带)诸如2.4GHz WLAN频带(例如,2400MHz至2480MHz)、5GHz WLAN频带(例如,5180MHz至5825MHz)、**Wi-Fi**[®]6E频带(例如,5925MHz至7125MHz)和/或其他**Wi-Fi**[®]频带(例如,1875MHz至5160MHz)的无线局域网收发器电路;处理2.4GHz **Bluetooth**[®]频带或其他WPAN通信频带的无线个人区域网收发器电路;处理蜂窝电话频带(例如,约600MHz至约5GHz的频带、3G频带、4G LTE频带、低于10GHz的5G新空口频率范围1 (FR1) 频带、在20GHz和60GHz

之间的5G新空口频率范围2 (FR2) 频带等) 的蜂窝电话收发器电路;处理近场通信频带(例如,13.56MHz)的近场通信(NFC)收发器电路;处理卫星导航频带(例如,1565MHz至1610MHz的GPS频带、全球卫星导航系统(GLONASS)频带、北斗卫星导航系统(BDS)频带等)的卫星导航接收器电路;使用IEEE 802.15.4协议和/或其他超宽带通信协议来处理通信的超宽带(UWB)收发器电路;处理为工业、科学和医疗(ISM)目的保留的未经许可的无线电频带的无线电收发器电路;和/或用于覆盖任何其他期望的感兴趣通信频带的任何其他期望的射频收发器电路。

[0038] 无线电路24可包括一个或多个天线,诸如天线42。可使用任何期望的天线结构来形成天线42。例如,天线42可以是具有谐振元件的天线,该天线由环形天线结构、贴片天线结构、倒F形天线结构、隙缝天线结构、平面倒F形天线结构、螺旋天线结构、单极天线、偶极、这些设计的混合等形成。两个或更多个天线42可被布置成一个或多个相控天线阵列(例如,用于在毫米波频率下传送射频信号)。寄生元件可包括在天线42中以调节天线性能。天线42可设置有导电腔,该导电腔支撑天线42的天线谐振元件(例如,天线42可以是背腔天线,诸如背腔隙缝天线)。

[0039] 射频放大器可耦接到功率检测器以用于功率监视目的。图3是示出耦接到射频放大器输出的例示性功率检测器的图示。如图3所示,无线电路24可具有经由诸如双工器60等射频双工电路耦接到发射路径和接收路径的一个或多个天线42。双工器60可具有耦接到共享天线42的第一端口、耦接到发射路径的第二端口(例如,被配置为接收将由天线42辐射的经放大射频信号的第二端口)和耦接到接收路径的第三端口(例如,由天线42接收的射频信号被传送到第三端口)。

[0040] 接收路径可包括低噪声放大器(LNA)电路52、诸如混频器68等下变频混频电路和诸如模数转换器(ADC)66等数据转换器。LNA电路52可包括串联和/或并联耦接的一个或多个放大器。混频器68可使用本地振荡器信号将射频信号下变频(或解调)为基带频率(或中频)。然后,模数转换器(ADC)电路66可将经解调的信号从模拟域转换到数字域,以生成对应数字基带信号。混频器68和ADC电路66有时被认为是接收器电路32的一部分。然后,数字基带信号可由一个或多个处理器26接收。处理器26可表示一个或多个处理器,诸如基带处理器、应用处理器、数字信号处理器、微控制器、微处理器、中央处理单元(CPU)、可编程设备、这些电路的组合和/或电路18内的一个或多个处理器(参见图1)。

[0041] 上述用于处理由天线42接收的信号电路有时被统称为无线接收电路。如果需要,一个或多个附加前端模块部件(诸如图2的射频滤波器电路44(例如,低通滤波器、高通滤波器、陷波滤波器、带通滤波器、衰减器、多路复用电路、双工器电路、双讯器电路、三工器电路等)、切换电路46(例如,一个或多个射频开关)、阻抗匹配电路、天线调谐电路(例如,调节天线42的频率响应的电容器、电阻器、电感器和/或开关的网络)、射频耦接器电路、电荷泵电路、电源管理电路和/或任何其他期望的前端模块电路可任选地沿着射频接收线路径耦接在LNA电路52的输入和/或输出处。

[0042] 另一方面,发射路径可包括功率放大器(PA)电路50、诸如混频器64等上变频混频电路和诸如数模转换器(DAC)62等数据转换器。处理器26可生成数字基带信号,有时被称为用于传输的数字信号。DAC电路62可将数字基带信号从数字域转换到模拟域,以生成对应模拟基带信号。混频器64可使用本地振荡器信号将射频信号上变频(或调制)为射频(或中

频)。DAC电路62和混频器64有时被认为是发射器电路30的一部分。然后,上变频的射频信号可被馈送到放大器电路50。PA电路52可包括串联和/或并联耦接的一个或多个放大器,这些放大器被配置为放大信号以便由天线42发射。

[0043] 上述用于准备由天线42发射的信号的电路有时被统称为无线发射电路。如果需要,一个或多个附加前端模块部件(诸如图2的射频滤波器电路44(例如,低通滤波器、高通滤波器、陷波滤波器、带通滤波器、衰减器、多路复用电路、双工器电路、双讯器电路、三工器电路等)、切换电路46(例如,一个或多个射频开关)、阻抗匹配电路、天线调谐电路(例如,调节天线42的频率响应的电容器、电阻器、电感器和/或开关的网络)、射频耦接器电路、电荷泵电路、电源管理电路和/或任何其他期望的前端模块电路可任选地沿着射频传输线路耦接在放大器电路50的输入和/或输出处。

[0044] 功率检测电路可耦接到射频放大器的输出,以启用功率监视操作。仍然参考图3,诸如功率检测器70-TX等第一功率检测电路可耦接到发射放大器电路50的输出,而诸如功率检测器70-RX等第二功率检测电路可耦接到接收放大器电路52的输出。功率检测器70-TX可用于检测或测量在放大器电路50的输出处生成的射频信号的输出功率电平。然后,自动功率控制(APC)算法可使用检测到的输出功率电平来动态地调节功率放大器电路50的增益,以确保发射路径以期望的功率电平输出信号。可在设备10中的处理器26或其他控制电路上运行的APC算法可将所测量的输出功率电平与参考功率电平进行比较。如果输出功率电平太高,则APC算法可降低放大器50的增益。如果输出功率电平太低,则APC算法可增加放大器50的增益。

[0045] 功率检测器70-RX可用于检测或测量在接收放大器电路52的输出处生成的射频信号的输出功率电平。然后,自动增益控制(AGC)算法可使用检测到的输出功率电平来动态地调节LNA电路52的增益,以确保接收路径以期望的功率电平输出信号,而不管到达电路52的输入处的信号的强度如何。可在设备10中的处理器26或其他控制电路上运行的AGC算法可用于确保以恒定的输出功率电平从电路52输出信号。如果输入信号较弱,则AGC算法可增加放大器52的增益,以维持恒定的输出电平。如果输入信号较强,则AGC算法可降低放大器52的增益,以防止输出电平变得太高。

[0046] 虽然在发射路径中使用功率检测器70-TX可启用APC算法,并且虽然在接收路径中使用功率检测器70-RX可启用AGC算法,但如果不小心的话,将功率检测器耦接到射频放大器会使那些放大器的线性降级。例如,将功率检测器70-TX附接到功率放大器电路50的输出会使放大器50的线性降级,而将功率检测器70-RX附接到LNA电路52的输出会使放大器52的线性降级。

[0047] 功率检测器70有时被认为是发射(TX)或接收(RX)控制电路80的一部分(参见例如图4)。发射控制电路80可包括发射功率检测器70(参见例如图3中耦接到功率放大器50的输出功率检测器70-TX),而接收控制电路80可包括接收功率检测器70(参见例如图3中耦接到LNA 52的输出功率检测器70-RX)。如图4所示,TX/RX控制电路80还可包括诸如互阻抗放大器72等放大器、诸如滤波器74等滤波电路、诸如模数转换器(ADC)76等数据转换器以及控制器78。

[0048] 功率检测器70可具有耦接到互阻抗放大器72的输出(例如,互阻抗放大器72可具有被配置为从功率检测器70接收信号的输入)。互阻抗放大器72在本文中可指并被定义为

被配置为将输入电流信号转换为对应输出电压信号的电路。互阻抗放大器72可具有耦接到滤波器74的输出(例如,滤波器74可具有被配置为从放大器72接收信号的输入)。滤波器74可以是抗混叠滤波器。滤波器74可具有耦接到ADC电路76的输出(例如,ADC 76可具有被配置为从滤波器74接收信号的输入)。ADC电路76可向控制器78输出对应数字信号。TX控制电路80内的控制器78可用于运行或执行用于控制功率放大器电路50的APC算法,而RX控制电路80内的控制器78可用于运行或执行用于控制接收LNA电路52的AGC算法。一般来讲,控制器78可形成为处理器26(参见图2和图3)、处理电路18(参见图1)或设备10上的其他处理子系统的一部分。图5的示例是例示性的,其中功率检测器70具有耦接到互阻抗放大器72的输出。一般来讲,功率检测器70的输出可耦接到其他类型的下游处理电路或控制电路。

[0049] 图5是具有单端输入的例示性功率检测电路70的电路图。如图6A所示,功率检测电路70可包括输入晶体管110、第一共源共栅晶体管112、晶体管114、第二共源共栅晶体管116、第一负载晶体管122和第二负载晶体管124。晶体管110、112、114和116可以是n型金属氧化物半导体(NMOS)晶体管,而负载晶体管122和124可以是p型金属氧化物半导体(PMOS)晶体管。输入晶体管110可具有经由交流(AC)耦接电容器102耦接到输入端口100的栅极端子、耦接到接地线104(例如,其上提供接地电压 V_{gnd} 的接地电源线)的源极端子和耦接到分路电容器118的漏极端子。输入端口100可耦接到射频功率放大器的输出或射频低噪声放大器的输出(例如,功率检测器输入端口100可被配置为从相关联的RF放大器电路接收经放大射频信号)。当提到金属氧化物半导体晶体管的导电端子时,术语“源极”和“漏极”有时可互换使用。因此,源极端子和漏极端子有时被称为“源极-漏极”端子(例如,晶体管具有栅极端子、第一源极-漏极端子和第二源极-漏极端子)。

[0050] 共源共栅晶体管112可具有耦接到输入晶体管110的漏极端子的源极端子、耦接到分路电容器120的栅极端子和耦接到分路电容器134的漏极端子。共源共栅晶体管在本文中可指或被定义为耦接到另一晶体管的输出并且其栅极端子耦接到共同(固定)偏置电压(例如, V_{casc})的晶体管。此处,共源共栅晶体管112可用于增加输入晶体管110的输出阻抗。

[0051] 晶体管114可具有耦接到接地线的源极端子、被配置为经由串联电阻器192接收偏置电压 V_{bias1} 的栅极端子和漏极端子。电阻器192是任选的。共源共栅晶体管116可具有耦接到晶体管114的漏极端子的源极端子、耦接到分路电容器120的栅极端子(例如,晶体管116的栅极端子可短接到晶体管112的栅极端子)和耦接到分路电容器136的漏极端子。以这种方式配置,晶体管110、112、114和116可被操作以执行AC电压到DC电流的转换,并且有时被称为AC到DC转换器或平方分支电路(例如,被配置为针对在输入端口100处接收的输入信号 x 执行平方函数 x^2 的分支电路)。

[0052] 负载晶体管122可具有耦接到共源共栅晶体管112的漏极端子的漏极端子、经由电阻器130耦接到其自己的漏极端子的栅极端子和经由源电阻器126耦接到电源线106(例如,其上提供电源电压 V_{sup} 的正电源线)的源极端子。类似地,负载晶体管124可具有耦接到共源共栅晶体管116的漏极端子的漏极端子、经由电阻器132耦接到其自己的漏极端子的栅极端子和经由源电阻器128耦接到电源线106的源极端子。

[0053] 功率检测电路70可具有耦接到互阻抗放大器72的输出。在图5的示例中,介于晶体管112与122之间的第一功率检测器输出节点可经由路径135耦接到放大器72的第一输入,而介于晶体管116与124之间的第二功率检测器输出节点可经由路径137耦接到放大器72的

第二输入。放大器72可包括差分放大器140,该差分放大器具有第一(+)输入、第二(-)输入、其上生成输出电压 V_{outp} 的第一输出、其上生成输出电压 V_{outn} 的第二输出、耦接在放大器72的第一输入与第一输出之间的反馈电阻器142和电容器146和耦接在放大器72的第二输入与第二输出之间的反馈电阻器144和电容器148。如图5所示的互阻抗放大器72的电路结构是示例性的。可采用其他类型的互阻抗放大器。如结合图4所述,放大器72的输出可任选地耦接到一个或多个滤波器、一个或多个ADC 76和/或一个或多个控制器78。

[0054] 如果不小心的话,经由AC耦接电容器102将功率检测电路70耦接到相关联射频放大器的输出会使该射频放大器的线性降级。根据实施方案,功率检测电路70可设置有一个或多个非线性消除部件,诸如MOS电容器150。MOS电容器150可以是p型(p沟道)MOS电容器。如图5所示,MOS电容器150可具有耦接到输入晶体管110的栅极端子的栅极端子和耦接到分路电容器152的主体(体)端子。以这种方式配置,MOS电容器150可用于在宽输入摆动范围内均衡输入节点处的总电容,这也注入了复合电流(参见虚线路径I2),该复合电流消除或至少部分地抵消流过输入晶体管110的非线性电流(参见虚线电流路径I1)。非线性电流I1可通过与输入晶体管110相关联的寄生栅极到漏极电容而流入分路电容器118中。非线性消除电流I2可流过MOS电容器150并进入分路电容器152中。

[0055] MOS电容器150还可耦接到偏置晶体管156、158和160。偏置晶体管156可以是PMOS器件,而偏置晶体管158和160可以是NMOS器件。具体地,偏置晶体管156可具有经由串联电阻器154耦接到MOS电容器150的源极端子、栅极端子和短接到其自己的栅极端子的漏极端子。偏置晶体管156可从电流源166接收电流。具有短接在一起的栅极和漏极端子的偏置晶体管156在本文中可被称为并被定义为二极管接法晶体管。偏置晶体管158可具有耦接到接地线的源极端子、经由串联电阻器162耦接到输入晶体管110的栅极端子的栅极端子和耦接到二极管接法偏置晶体管156的漏极端子的漏极端子。串联电阻器162可任选地由串联电感器代替。晶体管158的漏极端子和栅极端子也短接在一起,因此晶体管158也可被称为二极管接法晶体管。以这种方式布置,二极管接法偏置晶体管158可向输入晶体管110的栅极端子提供偏置电压 V_{bias2} 。偏置电压 V_{bias2} 可任选地短接到 V_{bias1} (例如, V_{bias1} 和 V_{bias2} 可相等)。在其他实施方案中, V_{bias1} 和 V_{bias2} 可不同。

[0056] 偏置晶体管160可具有耦接到二极管接法偏置晶体管158的漏极端子的源极端子、经由串联电阻器164耦接到共源共栅晶体管112的栅极端子的栅极端子和被配置为从电流源168接收电流的漏极端子。晶体管160的漏极端子和栅极端子也短接在一起,因此晶体管160也可被称为二极管接法晶体管。以这种方式布置,二极管接法偏置晶体管160可向共源共栅晶体管112和116的栅极端子提供共源共栅偏置电压 V_{casc} 。以这种方式布置的晶体管156、158和160有时可被统称为偏置电路。通过使得至少偏置电压 V_{bias1} 、 V_{bias2} 和/或 V_{casc} 能够跟踪工艺、电压和/或温度的变化,以图5所示的方式配置的偏置电路可以是有益并且在技术上有利的。

[0057] 图5的实施方案是例示性的,其中功率检测电路70具有单端输入。图6A示出了具有差分输入的功率检测电路70的另一实施方案。如图6A所示,功率检测器70可包括第一输入晶体管110-1和第二输入晶体管110-2。第一输入晶体管110-1可具有耦接到接地线的源极端子、耦接到分路电容器118的漏极端子和经由第一AC耦接电容器102-1耦接到第一输入端口100-1的栅极端子。第二输入晶体管110-2可具有也耦接到接地线的源极端子、耦接到分

路电容器118的漏极端子和经由第二AC耦接电容器102-2耦接到第二输入端口100-2的栅极端子。输入晶体管110-1的栅极端子可被配置为经由电阻器162接收偏置电压 V_{bias2} 。输入晶体管110-2的栅极端子可被配置为从串联电阻器190接收偏置电压 V_{bias3} 。串联电阻器162和190可任选地由串联电感器代替。输入端口100-1和100-2可共同用作功率检测电路70的差分输入。输入端口100-1和100-2可耦接到相关联射频放大器(例如,发射功率放大器或接收低噪声放大器)的差分输出端口。

[0058] 根据实施方案,功率检测电路70可设置有一个或多个非线性消除部件,诸如MOS电容器150-1和150-2。MOS电容器150-1和150-2可以是p型(p沟道)MOS电容器。这是示例性的。如果需要,变抗器、电容器(例如,金属-绝缘体-金属电容器、金属-氧化物-金属电容器等)或其他类型的电容性部件可用作非线性消除部件。如图6A所示,MOS电容器150-1可具有耦接到第一输入晶体管110-1的栅极端子的栅极端子和耦接到MOS电容器150-2的主体(体)端子。对称地,MOS电容器150-2可具有耦接到第二输入晶体管110-2的栅极端子的栅极端子和耦接到MOS电容器150-1的主体端子的主体(体)端子。以这种方式配置,MOS电容器150-1和150-2可用于在差分输入处的宽输入摆动范围内均衡总电容,这也注入了复合电流,该复合电流消除或至少部分地抵消流过输入晶体管110-1和110-2的非线性电流(例如,MOS电容器150-1可被配置为生成至少部分地消除与输入晶体管110-1相关联的非线性电流的电流,而MOS电容器150-2可被配置为生成至少部分地消除与输入晶体管110-2相关联的非线性电流的电流)。以这种方式操作,如结合图7所述,可显著改善相关联射频放大器的三阶截点 $IP3$ 。

[0059] MOS电容器150-1和150-2的主体端子可耦接到分路电容器152。MOS电容器150-1和150-2的主体端子还可经由串联电阻器154耦接到包括二极管接法偏置晶体管156、158和160的偏置电路。通过使得至少偏置电压 V_{bias1} 、 V_{bias2} 和/或 V_{casc} 能够跟踪工艺、电压和/或温度的变化,以图6所示的方式配置的偏置电路可以是有益并且在技术上有利的。

[0060] 图6A的其余电路部件在结构和功能上可与已经结合图5所述的相同,并且不必详细重复以避免模糊本实施方案。一般来讲,功率检测器70可具有耦接到任何类型的下游射频控制电路(不限于互阻抗放大器)的输出节点。图6A的示例是例示性的,其中p型MOS电容器150-1和150-2以背对背配置连接(例如,其中主体端子彼此短接)。作为另一示例,p型MOS电容器可以面对面配置连接,其中栅极端子彼此短接,并且主体端子耦接到相应输入端口。作为另一示例,可使用n型MOS电容器来代替p型MOS电容器。n型MOS电容器可以背对背配置或面对面配置来布置。此外,图5和图6A所示的所有晶体管部件的极性是例示性的。在其他实施方案中,每个晶体管部件的极性可翻转(例如,可用PMOS晶体管代替NMOS晶体管,反之亦然)。类似地,如果需要,可用n型MOS电容器代替p型MOS电容器。一般来讲,功率检测电路70可以是单端电路或差分电路(例如,功率检测电路70可具有单端或差分输入和/或单端或差分输出)。

[0061] 图6A的示例是例示性的,其中负载晶体管122和124的栅极端子耦接到电阻器130与132之间的节点。图6B示出了使用运算放大器180的用于负载晶体管122和124的另一种合适的偏置方案。如图6B所示,负载晶体管122可具有耦接到共源共栅晶体管112的漏极端子的漏极端子、栅极端子和经由源电阻器126耦接到电源线106(例如,其上提供电源电压 V_{sup} 的正电源线)的源极端子。类似地,负载晶体管124可具有耦接到共源共栅晶体管116的漏极端子的漏极端子、耦接到晶体管122的栅极端子的栅极端子和经由源电阻器128耦接到电源

线106的源极端子。电阻器130和132可耦接在晶体管122和124的漏极端子之间。运算放大器180可具有被配置为接收参考电压Vref的第一(-)输入、经由路径182耦接到电阻器130与132之间的节点的的第二(+)输入和耦接到晶体管122和124的栅极端子的输出。该偏置方案仅是例示性的,并且可任选地应用于图5的功率检测电路。一般来讲,可采用用于偏置负载晶体管122和124的其他偏置方案。

[0062] 图7是例示由射频放大器功率检测器70中的非线性消除部件150-1和150-2提供的线性改善的绘图。具体地,图7将以dBm为单位的三阶截点(IP3)绘制为双音调注入的频率差的函数。三阶截点IP3是弱非线性电路的与三阶互调失真(IMD3)相关联的线性的量度。截点IP3可对应于一个输入或输出功率电平,在该输入或输出功率电平下,由非线性电路生成的三阶互调失真产物在功率上等于期望的信号电平。

[0063] 当将不同频率下的至少两个信号应用于非线性电路时并且当两个信号的总和升高到大于一的幂时两个信号的振幅调制或混合(倍增)生成互调产物时,就出现互调失真,该调制产物不仅仅处于输入信号的谐波频率(整数倍),而且还处于输入信号频率的总和和差异并且还处于这些频率的倍数的总和和差异。例如,考虑双音调情形,其中第一音调处于角频率 ω_1 (即,等于 $2\pi f_1$),而第二音调处于角频率 ω_2 (即,等于 $2\pi f_2$)。角频率 ω_2 可大于 ω_1 。特别关注的是在 $(2\omega_1 - \omega_2)$ 和 $(2\omega_2 - \omega_1)$ 处生成的三阶互调(IM3)产物。具体地,如果 ω_1 与 ω_2 之间的差相对较小,则在 $(2\omega_1 - \omega_2)$ 和 $(2\omega_2 - \omega_1)$ 处生成的IM3分量将在 ω_1 和 ω_2 附近出现。这些IM3音调的量值(参见在两个信号音调的任一侧出现的三阶音调)直接导致三阶互调失真(IMD3)。

[0064] 在图7中,曲线200表示耦接到不包括任何非线性消除部件的功率检测电路的射频放大器的IP3分布。另一方面,曲线202表示耦接到包括一个或多个非线性消除部件(诸如MOS电容器150-1和150-2)的功率检测电路70的射频放大器的IP3分布。如图7所示,曲线202在宽频率范围内产生比曲线200高得多的IP3水平,表明非线性消除部件能够消除或减轻大部分的三阶互调失真。

[0065] 以上结合图1至图7描述的方法和操作可由设备10的部件使用软件、固件和/或硬件(例如,专用电路或硬件)来执行。用于执行这些操作的软件代码可存储在非暂态计算机可读存储介质(例如,有形计算机可读存储介质)上,该非暂态计算机可读存储介质存储在设备10的部件中的一个或多个部件上(例如,图1的存储电路16和/或无线通信电路24)。该软件代码有时可被称为软件、数据、指令、程序指令或代码。非暂态计算机可读存储介质可包括驱动器、非易失性存储器诸如非易失性随机存取存储器(NVRAM)、可移动闪存驱动器或其他可移动介质、其他类型的随机存取存储器等。存储在非暂态计算机可读存储介质上的软件可由设备10的部件中的一个或多个部件上的处理电路(例如,无线电路24中的处理电路、图1的处理电路18等)来执行。处理电路可包括微处理器、应用处理器、数字信号处理器、中央处理单元(CPU)、具有处理电路的专用集成电路或其他处理电路。

[0066] 根据一个实施方案,提供无线电路,该无线电路包括:射频放大器;和功率检测电路,该功率检测电路耦接到射频放大器的输出,功率检测电路包括:输入晶体管,该输入晶体管具有耦接到射频放大器的输出的栅极端子,和非线性消除部件,该非线性消除部件耦接到输入晶体管的栅极端子。

[0067] 根据另一实施方案,非线性消除部件包括金属氧化物半导体(MOS)电容器。

[0068] 根据另一实施方案,输入晶体管包括n型金属氧化物半导体晶体管,并且非线性消除部件包括p型金属氧化物半导体电容器。

[0069] 根据另一实施方案,非线性消除部件包括金属氧化物半导体(MOS)电容器,该MOS电容器具有耦接到输入晶体管的栅极端子的第一端子并且具有耦接到分路电容器的第二端子。

[0070] 根据另一实施方案,非线性消除部件包括金属氧化物半导体(MOS)电容器,该MOS电容器具有耦接到输入晶体管的栅极端子的栅极端子并且具有耦接到分路电容器的主体端子。

[0071] 根据另一实施方案,功率检测电路还包括:附加输入晶体管,该附加输入晶体管具有耦接到射频放大器的输出的栅极端子;和附加MOS电容器,该附加MOS电容器具有耦接到附加输入晶体管的栅极端子的栅极端子并且具有耦接到分路电容器的主体端子。

[0072] 根据另一实施方案,功率检测电路还包括:第一偏置晶体管,该第一偏置晶体管具有耦接到MOS电容器的主体端子并且耦接到第一电流源的源极端子、栅极端子和短接到其栅极端子的漏极端子。

[0073] 根据另一实施方案,功率检测电路还包括:第二偏置晶体管,该第二偏置晶体管具有耦接到接地线的源极端子、耦接到第一偏置晶体管的漏极端子的漏极端子和短接到其漏极端子的栅极端子,该第二偏置晶体管被配置为向输入晶体管的栅极端子提供偏置电压。

[0074] 根据另一实施方案,功率检测电路还包括:第一共源共栅晶体管,该第一共源共栅晶体管与输入晶体管串联耦接;第二共源共栅晶体管;和第三偏置晶体管,该第三偏置晶体管具有耦接到第二偏置晶体管的漏极端子的源极端子、耦接到第二电流源的漏极端子和短接到其漏极端子的栅极端子,该第三偏置晶体管被配置为向第一共源共栅晶体管和第二共源共栅晶体管的栅极端子提供共源共栅偏置电压。

[0075] 根据另一实施方案,MOS电容器包括p型MOS电容器,第一偏置晶体管包括p型偏置晶体管,并且第二偏置晶体管和第三偏置晶体管包括n型偏置晶体管。

[0076] 根据一个实施方案,提供功率检测电路,该功率检测电路包括:第一输入晶体管,该第一输入晶体管被配置为接收射频信号;第二输入晶体管,该第二输入晶体管被配置为接收射频信号;偏置电路,该偏置电路被配置为向第一输入晶体管和第二输入晶体管提供偏置电压;和第一非线性消除部件,该第一非线性消除部件耦接在第一输入晶体管与偏置电路之间。

[0077] 根据另一实施方案,功率检测电路包括:第二非线性消除部件,该第二非线性消除部件耦接在第二输入晶体管与偏置电路之间。

[0078] 根据另一实施方案,第一非线性消除部件包括第一金属氧化物半导体(MOS)电容器,该第一MOS电容器具有耦接到第一输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子,并且第二非线性消除部件包括第二金属氧化物半导体(MOS)电容器,该第二MOS电容器具有耦接到第二输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子。

[0079] 根据另一实施方案,功率检测电路包括:共源共栅晶体管,该共源共栅晶体管耦接到第一输入晶体管和第二输入晶体管,偏置电路包括:第一二极管接法偏置晶体管,该第一二极管接法偏置晶体管具有耦接到第一非线性消除部件和第二非线性消除部件并且耦接

到第一电流源的端子;第二二极管接法偏置晶体管,该第二二极管接法偏置晶体管耦接到第一二极管接法偏置晶体管并且被配置为输出偏置电压;和第三二极管接法偏置晶体管,该第三二极管接法偏置晶体管耦接到第二二极管接法偏置晶体管,具有耦接到第二电流源的端子,并且被配置为向共源共栅晶体管输出共源共栅偏置电压。

[0080] 根据另一实施方案,第一输入晶体管的栅极端子经由第一电容器耦接到射频放大器,并且第二晶体管的栅极端子经由第二电容器耦接到射频放大器。

[0081] 根据一个实施方案,提供电路,该电路包括:输入晶体管,该输入晶体管被配置为从射频放大器接收射频信号;偏置电路,该偏置电路被配置为输出用于输入晶体管的偏置电压并且被配置为跟踪温度和电压变化;和非线性消除部件,该非线性消除部件被配置为生成至少部分地消除与输入晶体管相关联的非线性电流的电流。

[0082] 根据另一实施方案,非线性消除部件包括金属氧化物半导体 (MOS) 电容器,该MOS电容器具有耦接到输入晶体管的栅极端子的第一端子并且具有耦接到偏置电路的第二端子。

[0083] 根据另一实施方案,电路包括:附加输入晶体管,该附加输入晶体管被配置为从射频放大器接收射频信号;和附加非线性消除部件,该附加非线性消除部件被配置为生成至少部分地消除与附加输入晶体管相关联的非线性电流的电流。

[0084] 根据另一实施方案,输入晶体管和附加输入晶体管包括n型输入晶体管,非线性消除部件包括第一p型金属氧化物半导体 (MOS) 电容器,该第一p型MOS电容器具有耦接到输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子,并且附加非线性消除部件包括第二p型金属氧化物半导体 (MOS) 电容器,该第二p型MOS电容器具有耦接到附加输入晶体管的栅极端子的栅极端子并且具有耦接到偏置电路的主体端子。

[0085] 根据另一实施方案,偏置电路包括p型偏置晶体管,该p型偏置晶体管具有耦接到第一p型MOS电容器和第二p型MOS电容器并且耦接到电流源的源极端子、栅极端子和耦接到其栅极端子的漏极端子。

[0086] 前述内容仅为例示性的并且可对所述实施方案作出各种修改。前述实施方案可独立实施或可以任意组合实施。

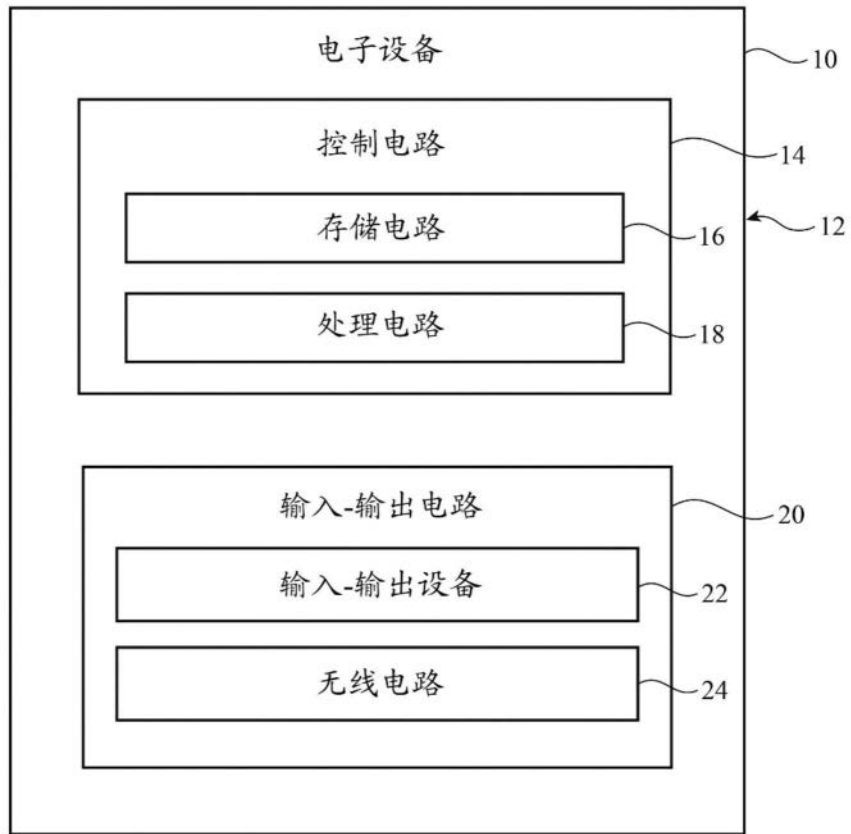


图1

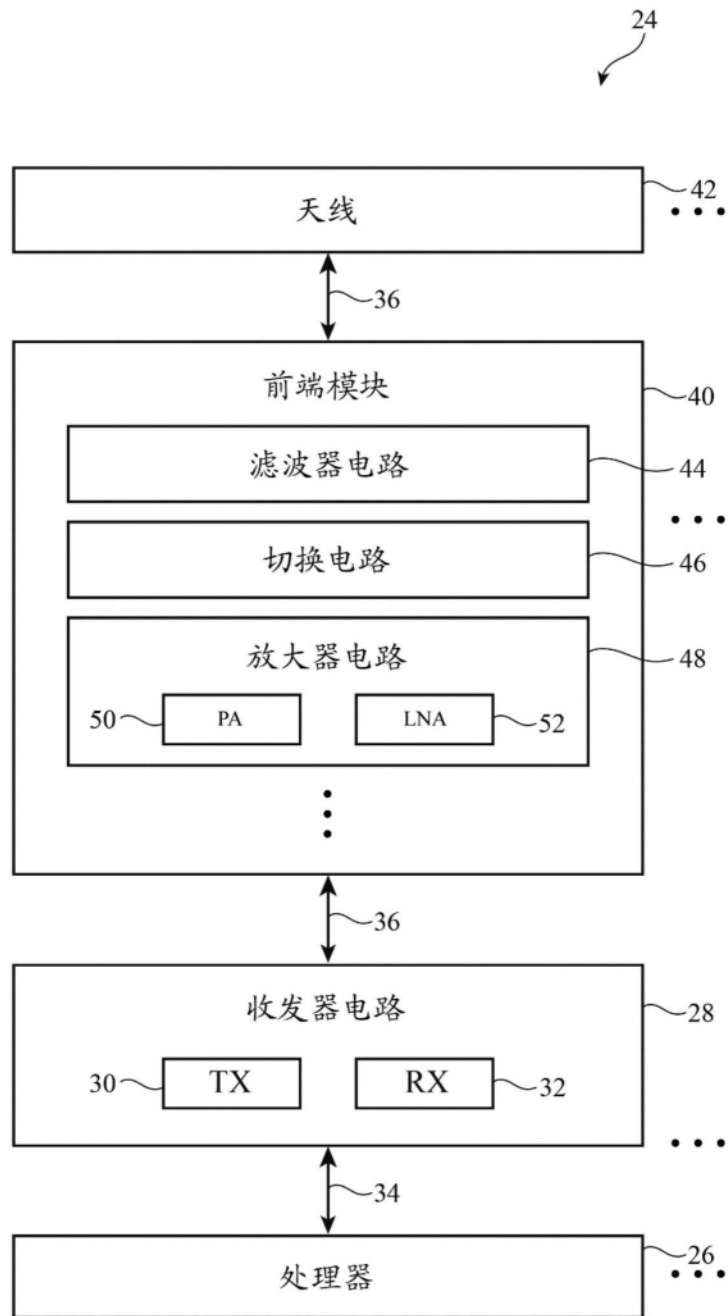


图2

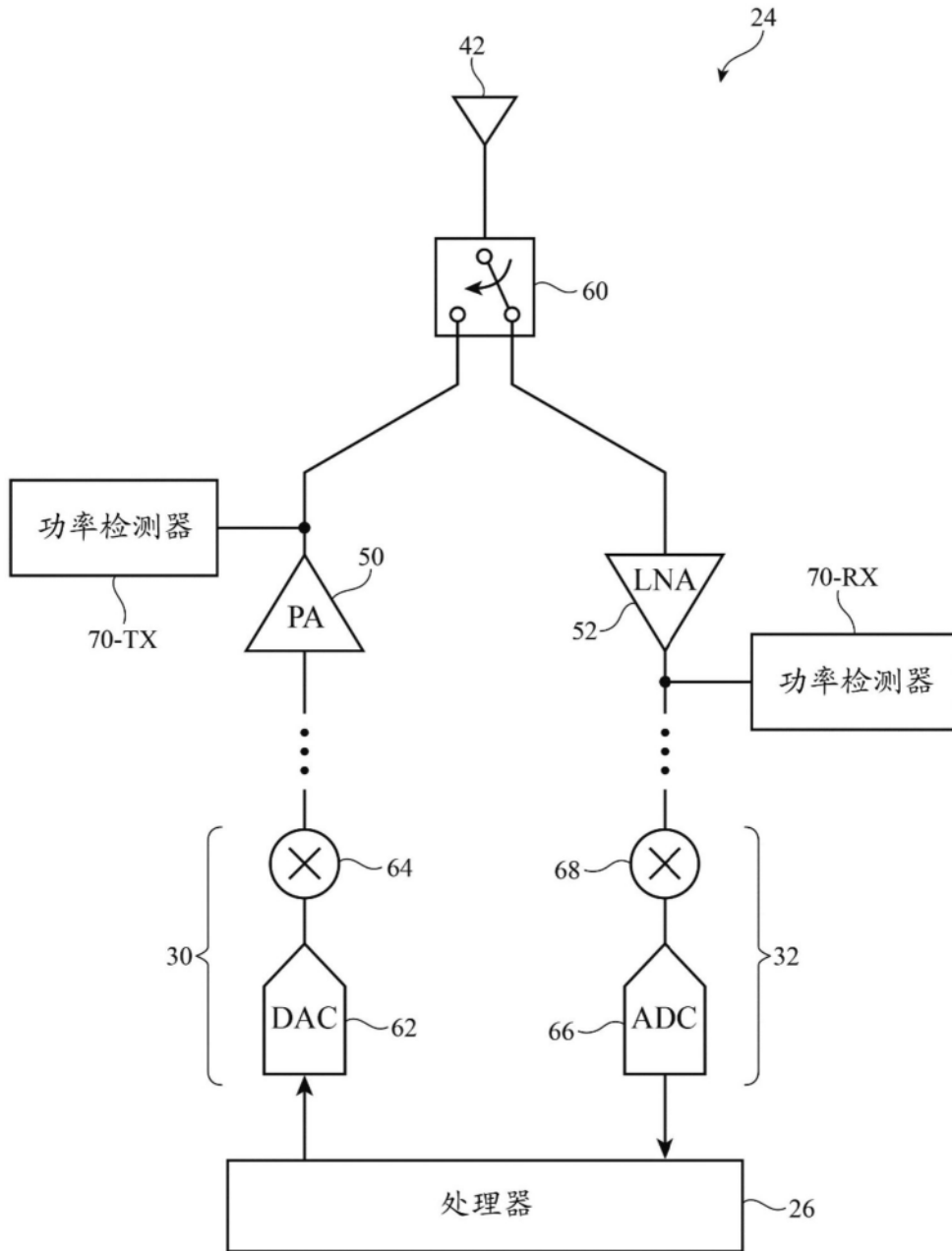


图3

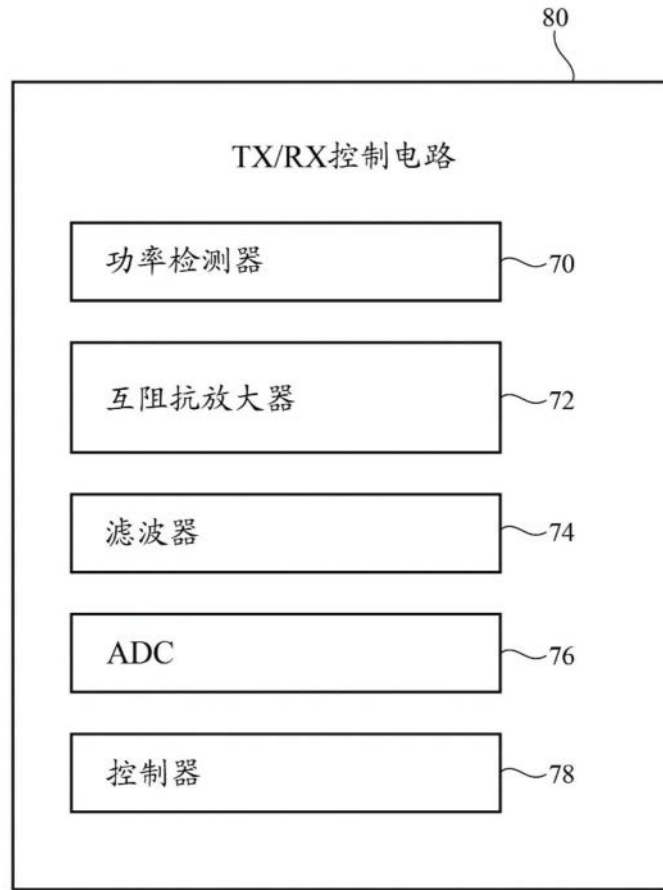


图4

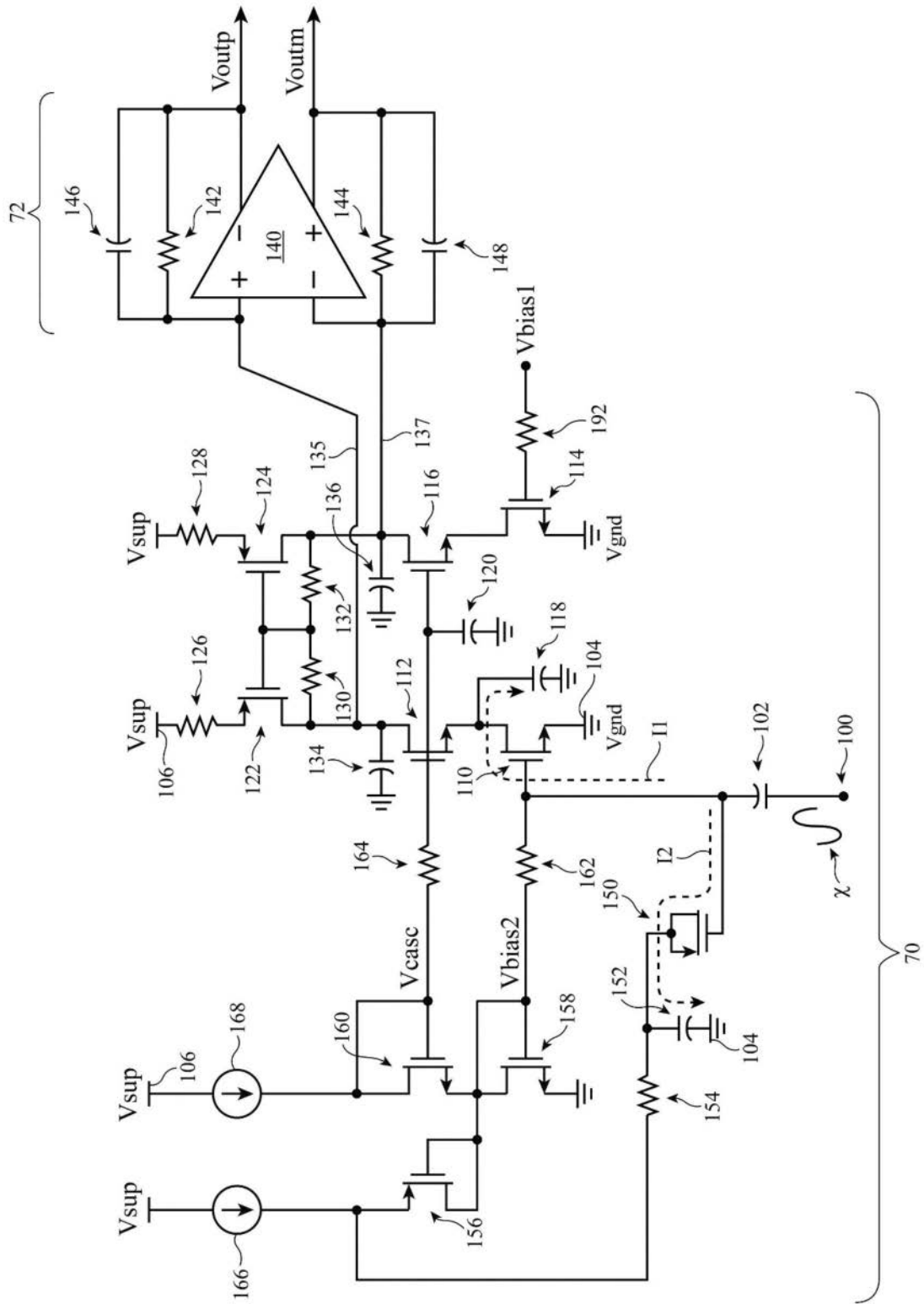


图5

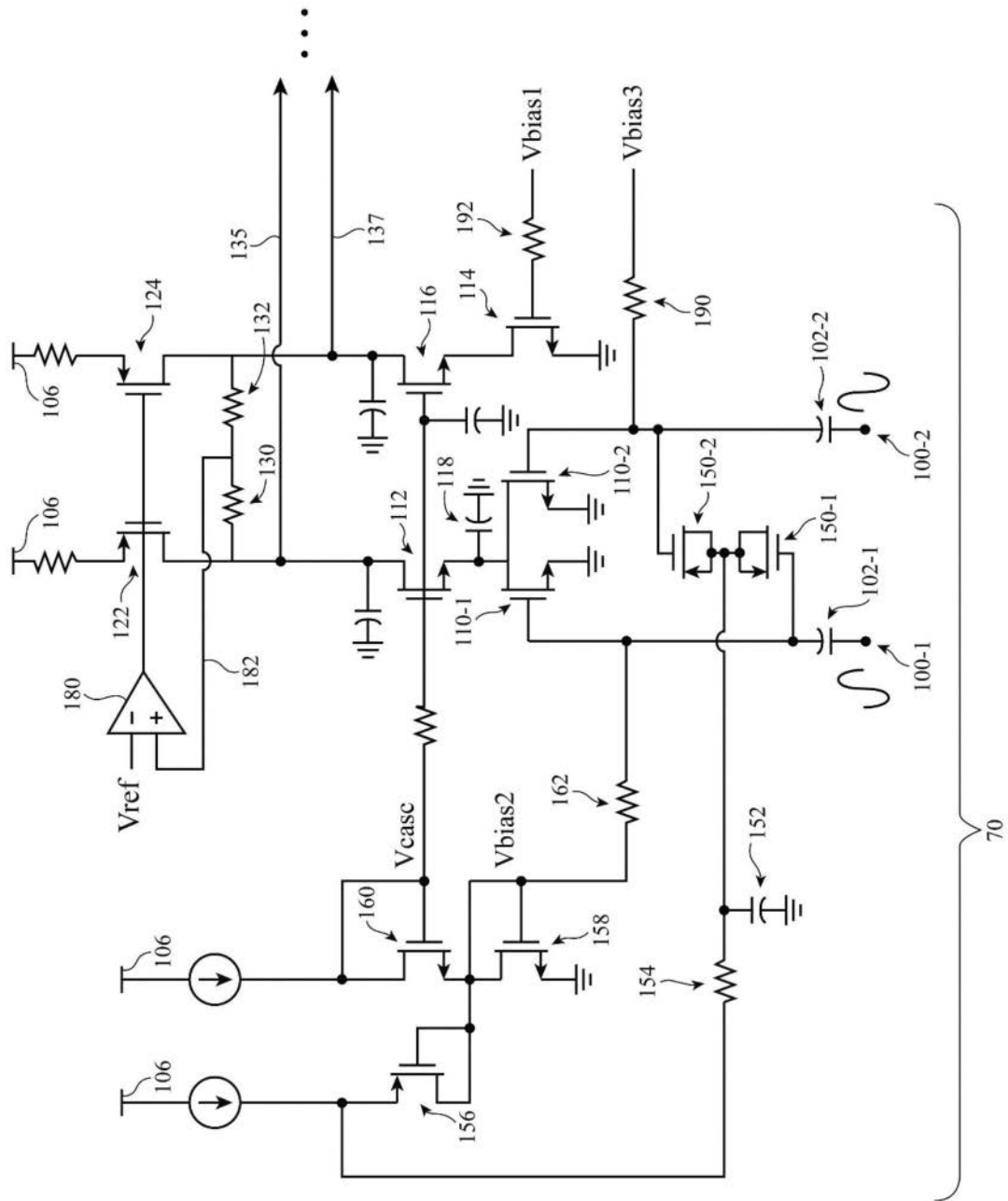


图6B

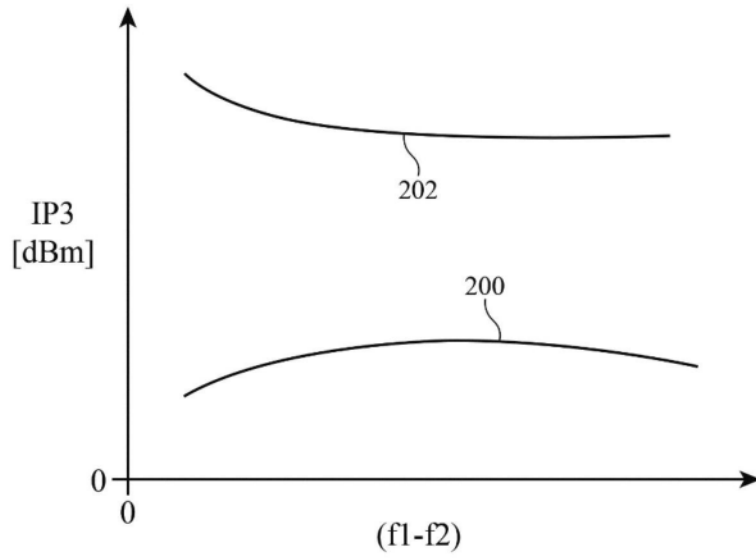


图7