

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5399198号
(P5399198)

(45) 発行日 平成26年1月29日(2014.1.29)

(24) 登録日 平成25年11月1日(2013.11.1)

(51) Int.Cl.		F I	
G09G 3/30 (2006.01)		G09G 3/30	J
G09G 3/20 (2006.01)		G09G 3/20	6 2 4 B
G09G 3/36 (2006.01)		G09G 3/36	
		G09G 3/20	6 1 1 H
		G09G 3/20	6 4 2 A
請求項の数 10 (全 21 頁) 最終頁に続く			

(21) 出願番号 特願2009-234584 (P2009-234584)
 (22) 出願日 平成21年10月8日(2009.10.8)
 (65) 公開番号 特開2011-81267 (P2011-81267A)
 (43) 公開日 平成23年4月21日(2011.4.21)
 審査請求日 平成24年4月16日(2012.4.16)

(73) 特許権者 510048417
 グローバル・オーエーディー・テクノロジー・リミテッド・ライアビリティ・カンパニー
 GLOBAL OLED TECHNOLOGY LLC.
 アメリカ合衆国、バージニア州、ハーンドン、パーク・センター・ロード 13873、スイート 330
 13873 Park Center Road, Suite 330, Herndon, VA 20171, United States of America

最終頁に続く

(54) 【発明の名称】 画素回路および表示装置

(57) 【特許請求の範囲】

【請求項1】

各画素について、複数ビットの表示データによって表示が制御される表示装置の画素回路であって、

少なくとも2つの設定電位に設定されるデータラインに接続される複数のカップリング容量と、

複数ビットの表示データに応じてオンオフがそれぞれ制御され、複数のカップリング容量とデータラインの接続関係を制御して、前記複数のカップリング容量の合計容量を制御する複数のビットトランジスタと、

前記データラインに設定される2つの設定電圧の差に応じて、前記カップリング容量の合計容量に蓄積される電圧に応じて動作する表示素子と、
 を有する画素回路。

10

【請求項2】

請求項1に記載の画素回路であって、
 前記表示素子は、有機EL素子であり、
 この有機EL素子に電流を供給する駆動トランジスタを含み、
 この駆動トランジスタのゲート電圧を前記カップリング容量の合計容量に蓄積される電圧に応じて決定することで、前記有機EL素子の駆動電流を制御する画素回路。

【請求項3】

請求項2に記載の画素回路であって、

20

前記複数のビットトランジスタにより接続関係が制御された複数のカップリング容量と、
前記駆動トランジスタのゲートの接続を制御する選択トランジスタと、
前記駆動トランジスタのソース・ゲート間を接続する保持容量と、
前記駆動トランジスタのドレインの接続を制御するリセットトランジスタと、
前記駆動トランジスタのドレインと前記有機 EL 素子との接続を制御する発光制御トランジスタと、

をさらに含み、

前記発光制御トランジスタをオフした状態で、前記リセットトランジスタをオンすることで、前記保持容量に前記駆動トランジスタの閾値電圧に対応する電圧を保持させ、その後前記複数のカップリング容量の合計容量に蓄積される電圧を駆動トランジスタのゲートに印加する画素回路。

10

【請求項 4】

請求項 1 に記載の画素回路であって、

前記表示素子は、電圧制御表示素子であり、

この電圧制御表示素子に前記カップリング容量の合計容量に蓄積される電圧を印加することを特徴とする画素回路。

【請求項 5】

請求項 4 に記載の画素回路であって、

前記複数のビットトランジスタにより接続関係が制御された複数のカップリング容量と、前記電圧制御表示素子の接続を制御する選択トランジスタと、

20

前記電圧制御表示素子に並列接続された保持容量と、

前記選択トランジスタと前記複数のカップリング容量との接続点と一定電圧源との接続を制御するリセットトランジスタと、

をさらに含み、

前記リセットトランジスタをオンし、前記複数のカップリング容量の両端に同一電圧を供給することで前記複数のカップリング容量の充電電圧をリセットし、その後前記リセットトランジスタをオフし前記選択トランジスタをオンした状態で、前記データネーブルラインに設定される 2 つの設定電圧の差に応じて、前記カップリング容量の合計容量に蓄積される制御表示素子に印加する画素回路。

【請求項 6】

30

マトリクス状に配置された各画素に表示素子を有する表示装置であって、

少なくとも 2 つの設定電位に設定されるデータネーブルラインと、

複数ビットの表示データをビット毎に伝達する複数のビットラインと、

を含むと共に、

予め定められた数の画素の中の 1 つの画素は、

前記データネーブルラインに接続される複数のカップリング容量と、

複数ビットの表示データに応じてオンオフがそれぞれ制御され、複数のカップリング容量とデータネーブルラインの接続関係を制御して、前記複数のカップリング容量の合計容量を制御する複数のビットトランジスタと、

を含み、

40

各画素は、

前記データネーブルラインに設定される 2 つの設定電圧の差に応じて、前記カップリング容量の合計容量に蓄積される電圧に応じて動作する表示素子と、

を含む表示装置。

【請求項 7】

請求項 6 に記載の表示装置であって、

前記予め定められた数は、1 つであり、各画素が複数のカップリング容量と、複数のビットトランジスタを含む表示装置。

【請求項 8】

請求項 6 に記載の表示装置であって、

50

前記予め定められた数は、複数であり、1つの画素の複数のカップリング容量と、複数のビットランジスタにより、他の画素についての表示素子を駆動するための電圧を蓄積する表示装置。

【請求項9】

請求項8に記載の表示装置であって、

前記1つの画素と、他の画素は互いに色の異なる表示画素である表示装置。

【請求項10】

請求項8に記載の表示装置であって、

前記1つの画素と、他の画素は、データの上位ビットの表示を行う画素と、下位ビット表示を行う画素である表示装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画素回路および表示装置に関する。

【背景技術】

【0002】

有機ELは自発光型であることから、コントラストが高く、応答が早いため、映像を高画質に表示できる次世代ディスプレイとしての応用が期待されている。有機EL素子はパッシブマトリクスで駆動される場合もあるが、最近では高解像化に有利な薄膜トランジスタ(TFT)を用いたアクティブマトリクス型が普及しつつある。有機EL素子を安定して、長時間駆動し続けるため、低温ポリシリコンなどの高性能な薄膜トランジスタ(TFT)が用いられてディスプレイは作製されるが、低温ポリシリコンTFTは製造コストが高く、低コストに大型化することは現状では困難であると考えられている。そのため、低温ポリシリコンTFTは主に小型向けに実用化が進んでいる。

20

【0003】

一方で、低温ポリシリコンTFTは移動度が高く、長時間安定動作するため、画素のみならず、高速で動作する駆動回路にも用いることができる。そこで、画素と同じガラス基板上に選択ラインやデータラインを駆動する駆動回路(ドライバ)を形成することにより、ドライバICなどの電子部品の一部を省略し、総合的なコスト削減を図っている。

【0004】

30

ところが、低温ポリシリコンTFTは V_{th} (閾値)や移動度の特性ばらつきが顕著であるため、有機ELを駆動するTFTを飽和領域(定電流駆動)で用いる場合には、画素内に補正回路を導入するのが一般的である。例えば特許文献1に開示されているように、複数のトランジスタを用いて駆動トランジスタの V_{th} を補正することで、駆動トランジスタの特性の違いによる表示の不均一を改善できる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特表2002-514320号公報

【発明の概要】

40

【発明が解決しようとする課題】

【0006】

この従来技術では、画素にアナログの電気信号(例えばアナログ電位)を供給するのは概ねドライバICである。なぜなら、前述のように特性ばらつきの顕著な低温ポリシリコンTFTを用いて均一なアナログ電位が得られるドライバをガラス基板上に構成することは難しいからである。従って、低温ポリシリコンTFTでドライバを形成する場合、専ら選択ドライバのように選択、非選択を切り替えるデジタル回路に用いられているのが現状である。さらなる低コスト化のためには、すべてのドライバをTFTで作製し、ドライバICを削減することが望まれている。

【課題を解決するための手段】

50

【 0 0 0 7 】

本発明は、各画素について、複数ビットの表示データによって表示が制御される表示装置の画素回路であって、少なくとも2つの設定電位に設定されるデータネーブルラインに接続される複数のカップリング容量と、複数ビットの表示データに応じてオンオフがそれぞれ制御され、複数のカップリング容量とデータネーブルラインの接続関係を制御して、前記複数のカップリング容量の合計容量を制御する複数のビットトランジスタと、前記データネーブルラインに設定される2つの設定電圧の差に応じて、前記カップリング容量の合計容量に蓄積される電圧に応じて動作する表示素子と、を有する。

【 0 0 0 8 】

また、前記表示素子は、有機EL素子であり、この有機EL素子に電流を供給する駆動トランジスタを含み、この駆動トランジスタのゲート電圧を前記カップリング容量の合計容量に蓄積される電圧に応じて決定することで、前記有機EL素子の駆動電流を制御することが好適である。

10

【 0 0 0 9 】

また、前記複数のビットトランジスタにより接続関係が制御された複数のカップリング容量と、前記駆動トランジスタのゲートの接続を制御する選択トランジスタと、前記駆動トランジスタのソース・ゲート間を接続する保持容量と、前記駆動トランジスタのソース・ドレイン間の接続を制御するリセットトランジスタと、前記駆動トランジスタのドレインと前記有機EL素子との接続を制御する発光制御トランジスタと、をさらに含み、前記発光制御トランジスタをオフした状態で、前記リセットトランジスタをオンすることで、前記保持容量に前記駆動トランジスタの閾値電圧に対応する電圧を保持させ、その後前記複数のカップリング容量の合計容量に蓄積される電圧を駆動トランジスタのゲートに印加することが好適である。

20

【 0 0 1 0 】

また、前記表示素子は、電圧制御表示素子であり、この電圧制御表示素子に前記カップリング容量の合計容量に蓄積される電圧を印加することが好適である。

【 0 0 1 1 】

また、前記複数のビットトランジスタにより接続関係が制御された複数のカップリング容量と、前記電圧制御表示素子の接続を制御する選択トランジスタと、前記電圧制御表示素子に並列接続された保持容量と、前記選択トランジスタと前記複数のカップリング容量との接続点と一定電圧源との接続を制御するリセットトランジスタと、をさらに含み、前記リセットトランジスタをオンし、前記複数のカップリング容量の両端に同一電圧を供給することで前記複数のカップリング容量の充電電圧をリセットし、その後前記リセットトランジスタをオフし前記選択トランジスタをオンした状態で、前記データネーブルラインに設定される2つの設定電圧の差に応じて、前記カップリング容量の合計容量に蓄積される電圧制御表示素子に印加するが好適である。

30

【 0 0 1 2 】

また、本発明は、マトリクス状に配置された各画素に表示素子を有する表示装置であって、少なくとも2つの設定電位に設定されるデータネーブルラインと、複数ビットの表示データをビット毎に伝達する複数のビットラインと、を含むと共に、予め定められた数の画素の中の1つの画素は、前記データネーブルラインに接続される複数のカップリング容量と、複数ビットの表示データに応じてオンオフがそれぞれ制御され、複数のカップリング容量とデータネーブルラインの接続関係を制御して、前記複数のカップリング容量の合計容量を制御する複数のビットトランジスタと、を含み、各画素は、前記データネーブルラインに設定される2つの設定電圧の差に応じて、前記カップリング容量の合計容量に蓄積される電圧に応じて動作する表示素子と、を含む。

40

【 0 0 1 3 】

また、前記予め定められた数は、1つであり、各画素が複数のカップリング容量と、複数のビットトランジスタを含むことが好適である。

【 0 0 1 4 】

50

また、前記予め定められた数は、複数であり、1つの画素の複数のカップリング容量と、複数のビットトランジスタにより、他の画素についての表示素子を駆動するための電圧を蓄積することが好適である。

【0015】

また、前記1つの画素と、他の画素は互いに色の異なる表示画素であることが好適である。

【0016】

また、前記1つの画素と、他の画素は、データの上位ビットの表示を行う画素と、下位ビット表示を行う画素であることが好適である。

【発明の効果】

10

【0017】

本発明によれば、画素にDA変換機能を持たせたため、表示領域の外側に配置するデータドライバにおいてトランジスタの閾値のバラツキを考慮する必要がなくなり、TFTでドライバを構成することが容易になる。

【図面の簡単な説明】

【0018】

【図1】実施形態の画素回路及びそれを含む表示装置の概略構成を示す図である。

【図2】画素回路の動作を示すタイミングチャートである。

【図3】イネーブル電圧を3～5Vまで変化させた際のDA変換特性を示す図である。

【図4】DA変換部をRGB画素(20R、20G、20B)で共有する画素回路の構成を示す図である。

20

【図5】DA変換部をサブ画素において共有する画素回路の構成を示す図である。

【図6】サブ画素の表示状態を説明する図である。

【図7】サブフレームを利用する場合の画素回路の構成例を示す図である。

【図8】図7の構成のサブフレームの表示例を示す図である。

【図9】表示素子が電圧制御素子である表示装置の概略構成を示す図である。

【図10】図9の画素回路の動作を示すタイミングチャートである。

【図11】DA変換部をRGB画素(20R、20G、20B)で共有する画素回路の構成を示す図である。

【図12】DA変換部をサブ画素において共有する画素回路の構成を示す図である。

30

【図13】サブフレームを利用する場合の画素回路の構成例を示す図である。

【図14】1つの端末に複数のディスプレイを導入する構成例を示す図である。

【発明を実施するための形態】

【0019】

以下、本発明の実施形態について、図面に基づいて説明する。

【0020】

図1には、本実施形態のDAC内蔵画素回路及びそれを含む表示装置の概略が示されている。6ビットのDAC内蔵画素20において、表示素子としての有機EL素子1は、カソードが全画素共通のカソード電極10(VSSの一定電位が与えられる)に、アノードはゲート端子が発光制御ライン16に接続された発光制御トランジスタ5のドレイン端子に接続されている。発光制御トランジスタ5のソース端子は、ソース端子が電源ライン9(VDDの一定電位が与えられる)に接続された駆動トランジスタ2のドレイン端子に接続されており、その接続点には、ゲート端子がリセットライン15に接続されたリセットトランジスタ4のソース端子が接続されている。リセットトランジスタ4のドレイン端子は、ゲート端子がそれぞれビット0～ビット5のビットライン11-0～11-5に接続されたビットトランジスタ6-0～6-5のドレイン端子、及びゲート端子が選択ライン13に接続された選択トランジスタ3のドレイン端子に接続されている。ビットトランジスタ6-0～6-5のそれぞれのソース端子は、一端がデータイネーブルライン14に接続されたカップリング容量7-0～7-5のそれぞれの他端に接続され、選択トランジスタ3のソース端子は駆動トランジスタ2のゲート端子と一端が電源ライン9に接続された

40

50

保持容量 8 の他端に接続されている。ここで、カップリング容量 7 - 0 ~ 7 - 5 の容量値は $C_0 : C_1 : C_2 : C_3 : C_4 : C_5 = 1 : 2 : 4 : 8 : 16 : 32$ となるように構成されている。

【 0 0 2 1 】

選択ライン 1 3 及びデータネーブルライン 1 4 は第 1 選択ドライバ 2 1 に駆動され、リセットライン 1 5 及び発光制御ライン 1 6 は第 2 選択ドライバに駆動される。選択ドライバ 2 1、2 2 は図 1 のように必ずしも第 1、第 2 に分割する必要はなく、一つの選択ドライバで 4 本を駆動してもよい。

【 0 0 2 2 】

ビットライン 1 1 - 0 ~ 1 1 - 5 はそれぞれのビットラインがマルチプレクスライン 1 7 - 0 ~ 1 7 - 5 によって制御されるマルチプレクサ 1 2 - 0 ~ 1 2 - 5 を介してデータライン 1 8 に接続されており、データドライバ 2 3 からの出力がマルチプレクサ 1 2 - 0 ~ 1 2 - 5 により切り替えられて、各ビットラインへ供給される。例えば、データドライバ 2 3 がビットデータをビット 0 からビット 5 まで連続して時分割出力する際、そのタイミングに合わせてマルチプレクスラインを 1 7 - 0 から 1 7 - 5 まで順に選択すると、それらのビットデータは対応するビットラインに供給され、ビットトランジスタ 6 - 0 ~ 6 - 5 をそのビットデータに応じてオンオフする。

【 0 0 2 3 】

このように、マルチプレクサ 1 2 を用いると、1 本のデータライン 1 8 で 6 本のビットライン 1 1 - 0 ~ 1 1 - 5 にアクセスできるため、データドライバ 2 3 の出力本数を削減できる。マルチプレクサ 1 2 - 0 ~ 1 2 - 5 によりデータドライバ 2 3 の出力数を低減でき、データドライバ 2 3 を簡略化できるが、反対にマルチプレクサ 1 2 は省略することも可能である。つまり、データドライバ 2 3 の出力をビットラインと同じ数だけ用意し、直接ビットライン 1 1 - 0 ~ 1 1 - 5 を接続してもよい。

【 0 0 2 4 】

前述のように、マルチプレクサ 1 2 を用いてビットデータをそれぞれのビットライン 1 1 - 0 ~ 1 1 - 5 に供給するとビットライン 1 1 - 0 ~ 1 1 - 5 は、例えば図 2 のような状態になる (B 0 ~ B 5)。この例では、画素に入力されるビットデータは 6 ビット 6 4 階調のうちの “ 2 2 (0 1 0 1 1 0) ” であり (括弧内はビット表示)、P 型のトランジスタのオンオフと対応させるため、その補数データ “ 4 1 (1 0 1 0 0 1) ” がデータドライバ 2 3 より出力され、各ビットラインに保持されている。つまり補数データの “ 0 ” はビットトランジスタ 6 をオンする L o w の電位、“ 1 ” はビットトランジスタ 6 をオフする H i g h の電位を表す。これにより、データネーブルライン 1 4 とのカップリング容量の合計値は $C_c = C_1 + C_2 + C_4 = 2 2 C_0$ となる。

【 0 0 2 5 】

画素の駆動方法を図 2 を参照して説明する。まず、データネーブルライン 1 4 の電位を V_{ref} とし、選択ライン 1 3 とリセットライン 1 5 が L o w とされ、選択トランジスタ 3 及びリセットトランジスタ 4 がオンすると、駆動トランジスタ 2 のゲート端子とドレイン端子がダイオード接続され、有機 E L 素子 1 に電流が流れる。次に発光制御ライン 1 6 が H i g h とされ、発光制御トランジスタ 5 がオフすると、有機 E L 素子 1 に流れていた電流が遮断され、駆動トランジスタ 2 のドレイン電位は電流が流れなくなる電位、すなわち V_{th} に近づいていく。保持容量 8 には最終電位である V_{th} が書き込まれ、カップリング容量 7 (この例では容量 7 - 1、7 - 2、7 - 4 の合計値 $C_c = 2 2 C_0$) には、データネーブルライン 1 4 が V_{ref} に維持されているため、 $V_{ref} - (V_{dd} - V_{th})$ が書き込まれる。

【 0 0 2 6 】

次に選択ライン 1 3 を L o w にしたまま、リセットライン 1 5 を H i g h とし、リセットトランジスタ 4 をオフしてカップリング容量 7 の電位を確定した後、データネーブルライン 1 4 を V_{dat} ($V_{dat} < V_{ref}$) とすると駆動トランジスタ 2 のゲート電位は式 1 のようになる。

10

20

30

40

50

【数 1】

$$V_g = V_{dd} - \frac{C_c}{C_c + C_s}(V_{ref} - V_{dat}) - V_{th}$$

(式 1)

【0027】

従って、駆動トランジスタ 2 のゲート - ソース電位は式 2 のようになり、

【数 2】

$$V_{gs} = V_{dd} - V_g = \frac{C_c}{C_c + C_s}(V_{ref} - V_{dat}) + V_{th}$$

(式 2)

10

駆動トランジスタ 2 のゲート - ソース間電位は、常に V_{th} が加算された電位となる。

【0028】

この状態で選択ライン 13 を High とし、選択トランジスタ 3 をオフすると駆動トランジスタ 2 のゲート電位が確定し、駆動トランジスタ 2 は式 3 に示されるドレイン電流 I_{ds} を流すように動作する。

【数 3】

$$I_{ds} = \beta(V_{gs} - V_{th})^2 = \beta \left\{ \frac{C_c}{(C_c + C_s)}(V_{ref} - V_{dat}) \right\}^2$$

(式 3)

ただし、

20

【数 4】

$$\beta = \frac{1}{2} \mu C_{ox} \frac{W}{L}$$

(式 4)

【0029】

ここで、 μ は移動度、 C_{ox} はゲート絶縁膜容量、 W 及び L はそれぞれトランジスタのチャネル幅とチャネル長である。

【0030】

式 3、4 から分かるように前述の V_{th} 補正により、ドレイン電流 I_{ds} は V_{th} の影響がキャンセルされている。しかし、移動度 μ (に含まれる) はドレイン電流 I_{ds} のパラメータとして残るため、単に V_{th} 補正のみではそのばらつきの影響を排除できない。

30

【0031】

そこで、データインーブルライン 14 を V_{dat} に維持し、選択ライン 13 を High とし、選択トランジスタ 3 をオフしたまま、リセットライン 15 を Low としてリセットトランジスタ 4 を読み出し期間 t の間だけオンすると、移動度 μ のばらつきの影響を受けたドレイン電流 I_{ds} がカップリング容量 C_c に読み出される。ただし、 t は駆動トランジスタ 2 が飽和領域で動作し続けるのに十分小さい期間である。読み出された電流は式 5 のように電圧に換算され、カップリング容量 C_c に保持される。

【数 5】

$$\Delta V = \frac{I_{ds} \Delta t}{C_c}$$

(式 5)

40

【0032】

再度選択ライン 13 を Low として選択トランジスタ 3 をオンすると、読み出されたドレイン電流による電位差 ΔV が駆動トランジスタ 2 のゲート電位に反映され、そのゲート電位は式 6 のようにネガティブフィードバックがかかる (移動度補正) 。

【数 6】

$$V_{gs} = V_{dd} - V_g = \frac{C_c}{C_c + C_s}(V_{ref} - V_{dat}) + V_{th} - \Delta V$$

50

(式6)

【0033】

すなわち、移動度 μ がばらつきによりやや大きいときは V_{th} 補正後のドレイン電流 I_{ds} が多くなりため、 V は大きくなり、移動度 μ がやや小さいときは V_{th} 補正後のドレイン電流 I_{ds} が少なくなるため、 V が小さくなる。その結果、最終的には移動度補正後のドレイン電流 I_{ds}' は式7のように表される。

【数7】

$$I_{ds}' = \beta \left\{ \frac{C_c}{(C_c + C_s)} (V_{ref} - V_{dat}) - \Delta V \right\}^2$$

(式7)

10

【0034】

式5より、 V は読み出し期間 t に依存するため、移動度補正後のドレイン電流 I_{ds}' も読み出し期間 t に依存する。そこで、移動度 μ の変動(の変動)に対して移動度補正後のドレイン電流 I_{ds}' をより安定化させる最適な読み出し期間 t を導出する。

【0035】

式7を t で微分して整理すると式8のようになる。

【数8】

$$\frac{\partial I_{ds}}{\partial \beta} = V^2 \left\{ 1 - \frac{\beta \Delta t}{C_c + C_s} (V_{ref} - V_{dat}) \right\} \left\{ 1 - \frac{3\beta \Delta t}{C_c + C_s} (V_{ref} - V_{dat}) \right\}$$

(式8)

20

【0036】

従って、式8の微分係数がゼロとなり、移動度 μ の変動に対してドレイン電流の変動が最も少ない t の条件は式9のように導出される。

【数9】

$$\Delta t = \frac{C_c + C_s}{3\beta(V_{ref} - V_{dat})}$$

(式9)

【0037】

式7より、 V が大きくなるとドレイン電流 I_{ds}' は小さくなるが、 t が式9を満たす場合、微分係数はゼロとなり、 I_{ds}' は極大値を示すため、電流の減少は最小限に抑えられる。

30

【0038】

式9を式7に代入して整理すると、最適に移動度補正された後のドレイン電流は式10のように求まる。

【数10】

$$I_{ds}' = \frac{4}{9} \beta \left\{ \frac{C_c}{(C_c + C_s)} (V_{ref} - V_{dat}) \right\}^2$$

(式10)

【0039】

ただし、実際には t の制御、すなわち移動度補正時のリセットライン15のオン期間はライン単位で行われるため式9のようにカップリング容量値 C_c に応じた最適な値を設定することができない。すなわち、1ラインにはビットデータに応じて異なるカップリング容量値 C_c の画素(明るい画素と暗い画素)が存在するが、1ラインすべての画素に最適な t を設定することはできない。従って、 t はカップリング容量値 C_c がある値、例えばピーク電流の80%になるカップリング容量値 C_c など、ある基準値で最適な期間になるように設定する。

40

【0040】

このように、 V_{th} と最適な t で移動度が補正された後は、選択ライン13がHighとなり、発光制御ライン16がLowとされることで有機EL素子1に電流が流れて発

50

光する。これをすべてのラインで繰り返すと一画面分の補正が完了し、 V_{th} や移動度のばらつきがキャンセルされた均一な映像が表示される。

【0041】

さて、図1のようにDACが内蔵された画素の場合、これまでの画素回路と異なり、ビットライン11-0~11-5に保持されるビットデータによってビットトランジスタ6-0~6-5がオンオフすることでカップリング容量値 C_c が変化する。すなわち、ドレイン電流 $I_{ds'}$ は C_c の値によって制御される。ビットデータあるいはカップリング容量値 C_c とドレイン電流 $I_{ds'}$ の関係を式10に基づいて図示すると図3のようになる。これは図1の画素のDA変換特性を示している。

【0042】

図2の例では、ビットデータとして"22"が入力されているため、カップリング容量値 $C_c = 22C_0$ ($C_c / C_0 = 22$)となり、それに対応したドレイン電流 $I_{ds'}$ が決定される。

【0043】

図3には、 $V_{ref} - V_{dat}$ 、すなわちデータイネーブルライン14のイネーブル電圧を3~5Vまで変化させた際のドレイン電流 $I_{ds'}$ 、すなわちDA変換特性も示されている。

【0044】

DA変換特性はビット0~ビット5の容量値 $C_0 \sim C_5$ のカップリング容量7-0~7-5を基板上に作製してしまうと決まってしまうが、ピーク電流はデータイネーブルラインのイネーブル電圧 $V_{ref} - V_{dat}$ を変化させることで変えられることが分かる。これは所望のピーク電流を高く設定して画面を明るくしたり、低く設定して画面を暗くしたいときには都合がよい。なぜならDA変換特性はピーク電流を変化させても6ビットを維持できるため、画質を劣化させることなく、ピーク電流(明るさ)を変換することができるためである。

【0045】

さらに、式10より、カップリング容量値 C_c と保持容量値 C_s の比を変えるとDA変換特性をも変えることができることが理解できる。カップリング容量値 C_c を保持容量値 C_s と比較して大きくするとドレイン電流 $I_{ds'}$ は上に凸のカーブとなるし、逆に小さくすると下に凸のカーブとなる。容量比を変えるとピークのドレイン電流 $I_{ds'}$ も変化するが、これは前述のようにデータイネーブルライン14のイネーブル電圧で調整可能である。この機能は、一端が電源ライン9に接続された複数の保持容量8を設けておき、他端の接続を、トランジスタを設けて、それぞれのトランジスタを介して、駆動トランジスタ2のゲート端子に接続を切替れば容易に実現できる。

【0046】

なお、DAC内蔵画素20は、カップリング容量7-nとビットトランジスタ6-n(ただし $n = 0 \sim 5$)の配置を入れ替えて構成されてもよい。つまり、データイネーブルライン14にビットトランジスタ6-nのドレイン端子、そのソース端子にカップリング容量7-nの一端、その他端に選択トランジスタ3及びリセットトランジスタ4のドレイン端子の接続点を接続してもよい。あるいは、駆動トランジスタ2の移動度を補正する必要がない場合には、すなわち V_{th} を補正するのみで足りる場合には、リセットトランジスタ4のドレイン端子を駆動トランジスタ2のゲート端子に接続して、DAC内蔵画素20が構成されていてもよい。

【0047】

図1ではすべてP型のトランジスタを用いたが、一部のトランジスタにN型を用いてもよいし、すべてN型で構成してもよい。その場合、図2の駆動波形の極性はトランジスタの極性に対応してHighとLowを反転させるとよい。

【0048】

図1の画素回路ではDACが各画素に配置されるため、やや複雑になり、有機EL素子1の発光面積の確保が難しくなる場合がある。そこで、図4のようにRGB画素(20R

10

20

30

40

50

、20G、20B)でDACを共有すると、画素回路を簡略化できる。

【0049】

図4には、カップリング容量7-0~7-5とビットトランジスタ6-0~6-5で構成されるDACの一部をRGB画素で共有したフルカラー単位画素(RGBで構成される画素)の一例が示されている。フルカラー画素としてはRGBに加えてW(白)を追加する場合もある。RGB各画素の選択トランジスタ3R、3G、3Bのドレイン端子とリセットトランジスタ4R、4G、4Bのドレイン端子の接続点は、各ビットトランジスタ6-0~6-5のソース端子に接続されている。データを書き込む際は、図2の手順を例えばRGBの順にそれぞれ行えばよい。つまり、R画素20RのVth補正、データ書き込み、移動度補正を行ってから、G画素20GのVth補正、データ書き込み、移動度補正を行ったのち、B画素20BのVth補正、データ書き込み、移動度補正が行われ、1ラインのフルカラー画素の書き込みが終了する。これは図1の画素がRGBの3画素分横に配置され、一度にRGBのデータ書き込みが行われるのに対して、RGBの1画素ずつ3回に分けて図2と同じ手順を繰り返すことで同様な効果を得るしくみである。

10

【0050】

Vth補正と移動度補正をそれぞれの画素で行うため、各色で合計3回必要となる反面、DACやその制御に必要なビットラインの数を大幅に省略できるため、画素がコンパクトに構成できる利点がある。なお、RGB各画素の書き込みの際、Vdatを各色で異なる電圧レベルとすることにより、RGBのピーク電流を変えることができる。この方法を用いると各色の色度値が製造過程でばらついていても、各色のピーク電流を変えて所望のホワイトポイントに調整することができるため、画質を維持することが容易となる。

20

【0051】

図5には、サブ画素を用いてDACの一部を簡略化したDAC内蔵画素回路の一例が示されている。図5の例は1画素(RGBのいずれか)を2つのサブ画素20A、20Bに分割し、1つの3ビットのDACを2つのサブ画素で共有している。サブ画素20Aは上位ビットであるビット5~3、サブ画素Bは下位ビットであるビット2~0の表示を担当する。各サブ画素がそれぞれ上位ビットと下位ビットの表示を行うには、上位ビットデータと下位ビットデータでドレイン電流が8:1となるように生成されなければならないが、それを実現する方法はいくつか考えられる。まず、駆動トランジスタ2のサイズをサブ画素間で変える方法である。これにより、同じゲート電位でもドレイン電流を変化させることができる。例えば、駆動トランジスタ2Aのチャネル幅を駆動トランジスタ2Bの8倍とするかもしくはチャネル長を1/8とすれば、単純に電流は8倍になる。

30

【0052】

あるいは、駆動トランジスタ2のサイズは変えずに、図3で示したように、電流比をデータインーブルライン14のインーブル電圧を変えることで調整する方法でもよい。つまり、データインーブルライン14のVrefを同じ値にしておき、データを書き込む際のデータインーブルライン14のVdatを、画素20Aに書き込む際と画素20Bで書き込む際に異なる電位とする。画素20Aにデータを書き込む際のデータインーブルライン14のVdatを画素20Bのときより低くして、インーブル電圧Vref-Vdatを大きくし、電流比を8:1になるように調整すればよい。これによりVdatの電位を調整することで電流比を設定できるため、自由度が高く、操作性を向上できる。

40

【0053】

データの書き込みは、例えば、まず上位ビットに対応する画素20Aから、上位3ビットデータをビットライン11-0~11-2へ供給し、Vth補正後、より低いVdatでデータを書き込み、移動度補正を行う。次いで下位3ビットデータをビットライン11-0~11-2へ供給し、画素20BのVth補正後、より高いVdatでデータを書き込み、移動度補正を行うという2段階でデータを書き込む。このようにサブ画素を設け、共通のDACを備えることで各サブ画素のDACのビット数を削減でき、画素回路をコンパクトにすることができる。サブ画素の数を3つ、もしくはそれ以上としてもよく、その場合にはさらにDACのビット数を省略できるか、階調数を低規模なDACで増加させる

50

ことができる。

【0054】

また、サブ画素の発光面積を上位ビット表示のサブ画素20Aと下位ビット表示のサブ画素20Bとで変えてもよい。例えば上位ビットのサブ画素20Aを下位ビットのサブ画素20Bより8倍程度大きくするとよい。こうすると、上位ビットのサブ画素20Aの電流密度を抑制でき、有機EL素子の劣化を防ぐことができる。下位ビットのサブ画素20Bはそもそも電流ストレスが小さいため、開口面積を必要以上に確保する必要はない。

【0055】

開口面積が上位のサブ画素と下位のサブ画素で同じであっても、交互に上位と下位を切り替えることで劣化の程度を均一化してもよい。例えば奇数フレームではサブ画素20Aを上位ビット画素として多く電流を流し、サブ画素20Bを下位ビット画素として少ない電流で駆動する一方、偶数フレームではサブ画素20Bを上位ビット画素として多く電流を流し、サブ画素20Aを下位ビット画素として少ない電流で駆動すると交互に均一な電流が流れるため、劣化もサブ画素間で均一となる。

【0056】

図5のようにサブ画素を導入する利点は画素回路の簡略化だけでなく、擬似的に階調数を向上できる点にもある。図6にはその一例が示されている。図6の階調Nと階調N+1は6ビット階調表示時の連続する階調であり、下位ビット表示サブ画素20Bの階調のインクリメントにより表示されている。サブ画素20Bの階調を隣接する上下左右のサブ画素20Bとで異なる値とすることにより、本来は再現できない階調を擬似的に表示できる。例えば、アドレス1行1列目のサブ画素20Bとアドレス2行2列目のサブ画素20Bを+1インクリメントすることで、左上の2×2のマトリクスでは隣接画素との平均値で+1/2インクリメントした表示と同等の効果を得ることができる(N+1/2)。アドレス1行1列目のサブ画素20Bのみ+1インクリメントすれば左上の2×2のマトリクスは+1/4インクリメントした表示となるし(N+1/4)、アドレス1行1列、2行1列、2行2列目のサブ画素20Bを+1インクリメントすれば左上の2×2のマトリクスは+3/4インクリメントした表示と同等の効果を得ることができる(N+3/4)。つまり、階調表示性能が擬似的に4倍増加、すなわち6ビットのDACで8ビット階調に近い表示が可能になる。インクリメントする位置をフレーム単位で切り替えると、複数のフレームでインクリメントによる発光が平滑化されるため、点灯画素が目立たなくなる。例えばN+1/4の例では、アドレス1行1列目のインクリメントサブ画素が次のフレームにはそれを含む2×2のマトリクスのいずれかのサブ画素に交代し、4フレーム後に再び1行1列目に点灯順が戻るように制御されると点灯が分散されて擬似階調によるパターンが目立たなくなる。

【0057】

このような表示方法により、簡略された回路構成でも表示性能を向上させることができる。また、隣接画素を2×2からさらに3×3のマトリクスに広げてより階調数を増加させることも可能であるし、サブ画素20Bの+1のインクリメントを+2、+3とさらに増加させて調整することも可能である。あるいは上位ビットサブ画素20Aを用いて同様な方法により隣接画素間で擬似階調を生成してもよいし、上位ビット画素20Aの擬似階調と下位ビット画素20Bの擬似階調を組み合わせ表示してもよい。

【0058】

図7には、DACがさらに簡略化された別のDAC内蔵画素回路の例が示されている。図7の例では3ビットに簡略化されたDACが内蔵されているが、サブフレームを用いてさらに多ビット化する駆動方法が適用される。図8にはそのサブフレームの一例が示されている。図8(A)には均等な表示期間が割り当てられた2つのサブフレームで6ビット表示を行う場合、図8(B)は同様に均等な表示期間が割り当てられた4サブフレームで12ビット表示を行う場合の例が示されている。

【0059】

図8(A)の6ビット表示を行う場合、フレーム期間は2つのサブフレームに分割され

10

20

30

40

50

、第1のサブフレームで上位ビット表示、第2のサブフレームで下位ビット表示を行う。まず、第1サブフレームにおいて、ビットライン11-0~11-2に上位ビットデータを供給し、V_{th}補正、データ書き込み、移動度補正を行って、上位ビット表示を行う。データ書き込みの際には、V_{dat}をより低めに設定し、駆動トランジスタ2が上位ビット表示に必要な電流を流せるように、イネーブル電圧V_{ref}-V_{dat}を適切な値に設定する。続く第2サブフレームにおいては、ビットライン11-0~11-2に下位ビットデータを供給し、同様にV_{th}補正、データ書き込み、移動度補正を行って、下位ビット表示を行う。データ書き込みの際には、V_{dat}はより高めに設定され、駆動トランジスタ2が下位ビット表示に適切な電流を流せるようにイネーブル電圧V_{ref}-V_{dat}が設定される。つまり図8(A)の6ビット表示例では、上位ビット表示時には下位ビット表示時に対して8倍の電流を有機EL素子に流すようにV_{dat}は設定される。

10

【0060】

図8(B)のように4サブフレームを用いることでさらに多階調化が可能となる。つまり3ビットのDACを用いて12ビット階調を生成できる。第1サブフレームでは12ビットのうち上位のビット11~9、第2サブフレームでは次のビット8~6、第3サブフレームではその次のビット5~3、第4サブフレームでは下位のビット2~0を表示する。各サブフレームではビットライン11-0~11-2に対応する3ビットデータが供給され、V_{th}補正、データ書き込み、移動度補正が行われ、分割された3ビットの階調で表示が行われる。また、データ書き込み時にはV_{dat}はそれぞれのサブフレームで異なる値が設定される。上位ビットのサブフレームではV_{dat}は最も低く、ビットが下位に移るにしたがってV_{dat}の値は高くなる。すなわちイネーブル電圧V_{ref}-V_{dat}が小さくなっていく。こうすることで各3ビット表示時に電流が適切な値に設定され、その電流比は上位ビットから、512:64:8:1となる。

20

【0061】

図8(A)、(B)のようにサブフレームは必ずしも均等な期間でなくてもよく、任意の期間に設定してもよい。例えば、図8(C)のように、3つのサブフレームで9ビット表示を行う場合、第1サブフレームの期間を第2、第3サブフレームより長く、例えば2倍とすると、第1サブフレームでは、第2サブフレームの電流で最上位ビットを表示できる。そのため、書き込み時のV_{dat}、すなわちイネーブル電圧V_{ref}-V_{dat}は第1、第2サブフレームで等しくでき、データイネーブルライン14を駆動する選択ドライバ21が用意する電圧レベルの数を簡略化できる。つまり、図8(A)では2レベルのV_{dat}が必要なのに対して、図8(B)では4レベル必要になるが、図8(C)では2レベルで9ビット階調を表示できるようになる。

30

【0062】

図8(A)、(B)、(C)のようにサブフレームを導入して多階調化すると、DACのビット数を少なくできるため、より画素回路を簡略化できる点で有利であるが、サブフレームを用いるため、フレームメモリが必要となる。従って、外部の制御ICやシステムにフレームメモリが導入され、各サブフレームに対応するビットデータがサブフレームのタイミングで出力されるように制御することが求められる。

40

【0063】

このようにDACを画素に導入することで、ビットライン11にデジタルデータを入力すれば、駆動トランジスタ2のゲート端子にはそのデジタルデータがアナログ変換されて与えられ、かつV_{th}と移動度が補正された電位が得られるため、データドライバ23をデジタル回路のみで構成可能となる。すなわち有機ELディスプレイをデジタル回路のみで構成できるようになり、ドライバICなどの外部のICを省略できるかもしくはドライバICのさらなる簡略化が可能となる。

【0064】

以上の内容は低温ポリシリコンTFTを用いた有機ELディスプレイのみならず、アモルファスシリコンTFTを用いても同様な効果を得ることができるし、それ以外の例えば酸化物半導体などで構成されるTFTを用いることも可能である。また、有機ELディス

50

プレイに限らず、その他液晶や電子ペーパーなどの異なる表示特性を有するディスプレイにも応用が可能である。

【0065】

図9には、液晶や電子ペーパーなど、電圧で透過率や反射率などの光学特性が制御される表示素子（電圧制御表示素子）31を含む画素40に6ビットのDACを内蔵した画素回路の例が示されている。容量性の表示素子31は一端が共通電極32（対向電極に相当し、全画素共通電位Vcomが与えられる）に対応し、他端は選択トランジスタ3のソース端子に接続されている。このソース端子には一端が共通電極32に対応する保持容量8の他端も接続されているため、保持容量8は表示素子31と並列に構成された容量として作用する。つまり、保持容量8は表示素子31に与える電位差を一定期間保持し、表示素子31と同じ電位差をその期間安定的に与え続けることができる。なお、保持容量8の一端は対向電極でなくても、他の配線に接続されていてもよい。

10

【0066】

選択トランジスタ3のドレイン端子には、ゲート端子がそれぞれビットライン11-0～11-5に接続され、ソース端子がそれぞれカップリング容量7-0～7-5の一端に接続されたビットトランジスタ6-0～6-5のドレイン端子、並びにリセットトランジスタ4のドレイン端子が接続されており、選択トランジスタ3のゲート端子は選択ライン13に接続されてオンオフが制御される。カップリング容量7-0～7-5の他端はデータインーブルライン14に接続され、ビットライン11-0～11-5の状態により、アクティブになる容量値Ccが制御される。つまり、カップリング容量7-0～7-5の容量値C0～C5の比は図2の例と同様、C0：C1：C2：C3：C4：C5 = 1：2：4：8：16：32と与えられているので、ビットデータに比例してカップリング容量値Ccは制御される。

20

【0067】

リセットトランジスタ4のソース端子は共通電位Vcomが与えられる参照ライン19に接続され、またゲート端子はリセットライン15に接続されてオンオフが制御される。

【0068】

図9の例では選択ライン13及びデータインーブルライン14は第1選択ドライバ21、リセットライン15は第2選択ドライバ22で駆動されるが、それらは単一の選択ドライバで駆動されてもよい。

30

【0069】

各ラインの駆動方法並びに制御タイミングは図10に示されている。まず、データドライバ23からデータライン18を介して順に出力される各ビットデータが、マルチプレクサライン17-0～17-5に与えられる切替え信号に基づいてオンオフされるマルチプレクサ12-0～12-5によって切り替えられ、対応するビットライン11-0～11-5に供給される。ここでは図2と同様の“22(010110)”のビットデータが入力されているため、ビットライン11-0～11-5には例えば上位ビットから0 1 0 1 1 0の順にビットデータが切り替えられて転送され、各ビットラインは図10のような状態になる。これにより、アクティブなカップリング容量が確定し、図2の場合と同様に容量値Cc = 22C0のカップリング容量が得られる。

40

【0070】

この状態で、データインーブルライン14にVrefを供給しながら、選択ライン13及びリセットライン15をHighとすると、選択トランジスタ3とリセットトランジスタ4がオンするため、保持容量8及びカップリング容量7がリセットされる。このとき、参照ライン19及び共通電極32には一定電位Vcomが供給されているため、保持容量8にはゼロ、カップリング容量7（ここではアクティブなカップリング容量7-1、7-2、7-4）にはVcom - Vrefの電位差が現れる。

【0071】

続いてリセットライン15をLowとして、リセットトランジスタ4をオフした後、データインーブルライン14をVdatへ遷移させると、選択トランジスタ3のソース電位

50

V_s 、すなわち保持容量 8 の一端の電位は式 11 のようになる。

【数 11】

$$V_s = V_{com} + \frac{C_c}{C_c + C_s}(V_{dat} - V_{ref})$$

(式 11)

【0072】

ただし、表示素子 31 の容量は保持容量 8 と比較して十分小さいと仮定し、ここでは無視している。その結果、表示素子 31 の両端には式 12 の電位差 V_{opt} が与えられ、この電位差に基づいて光学特性が制御される。

【数 12】

$$V_{opt} = \frac{C_c}{C_c + C_s}(V_{dat} - V_{ref})$$

(式 12)

【0073】

式 12 から明らかなように、カップリング容量値 C_c を制御することで表示素子 31 の電位差 V_{opt} を制御できることが分かる。また、データインーブルライン 14 の電位差 $V_{dat} - V_{ref}$ によってピーク電圧を制御できることも確認できる。つまり、 $V_{dat} - V_{ref}$ を大きくすれば V_{opt} のピークは大きくなり、小さくすれば V_{opt} のピークは小さくなる。さらにピークを小さくし、ピーク電位差をマイナスに反転させることも可能である。

【0074】

この反転させる機能は液晶を駆動する際に都合がよい。なぜなら表示素子 31 が液晶の場合には、一定周期で交流駆動する必要があるためである。これは、式 12 で示されるように、 $V_{dat} - V_{ref}$ のインーブル電圧を制御することにより、容易に実現できる。つまり、奇数フレームでは $V_{dat} - V_{ref} > 0$ となる V_{dat} を与え、偶数フレームでは $V_{dat} - V_{ref} < 0$ なる V_{dat} を与えればフレーム単位に液晶に与えられる駆動電圧が交流化するため、液晶を適切に制御できる（フレーム反転駆動）。ライン単位にこの制御を切り替える、すなわち奇数ラインでは $V_{dat} - V_{ref} > 0$ なる V_{dat} を与え、偶数ラインでは $V_{dat} - V_{ref} < 0$ なる V_{dat} を与えればライン周期で交流化され、なおかつ次のフレームの偶数ラインで $V_{dat} - V_{ref} > 0$ なる V_{dat} 、奇数ラインで $V_{dat} - V_{ref} < 0$ なる V_{dat} を切り替えて与えることにより、フレーム単位でも交流化され、液晶が適切に動作するように制御できる（ライン反転駆動）。このような制御をフレーム単位で切り替えることで交流化が維持され、液晶においても正常に映像表示がなされる。

【0075】

表示素子 31 が電気泳動素子の場合には、表示素子 31 に状態が記憶されるため、繰り返しデータを書き込む必要はなく、また交流化の必要もない。映像を書き換える時のみビットライン 11 - 0 ~ 11 - 5 にビットデータを設定し、 V_{opt} を保持容量 8 に書き込めばよい。

【0076】

なお、この場合も図 1 の画素と同様に、カップリング容量 7 とビットトランジスタ 6 の配置を入れ替えてもよい。つまり、データインーブルライン 14 にビットトランジスタ 6 のドレイン端子を接続し、そのソース端子にカップリング容量 7 の一端を接続する。カップリング容量 7 の他端はリセットトランジスタ 4 及び選択トランジスタ 3 のドレイン端子の接続点へ接続すればよい。

【0077】

図 9 の画素回路の場合でも同様に、DAC を RGB の 3 画素で共有し、画素回路を簡略化することは可能である。図 11 は RGB 画素（40R、40G、40B）で 6 ビットの DAC を共有した例である。ビットトランジスタ 6 - 0 ~ 6 - 5 のゲート端子はそれぞれビットライン 11 - 0 ~ 11 - 5 に接続され、ソース端子は一端がデータインーブルライ

10

20

30

40

50

ン 1 4 に接続されたカップリング容量 7 - 0 ~ 7 - 5 の他端に、ドレイン端子は R G B 画素の選択トランジスタ 3 R、3 G、3 B のドレイン端子に接続されて共有される。ビットトランジスタ 6 - 0 ~ 6 - 5 のドレイン端子と R G B 画素の選択トランジスタ 3 R、3 G、3 B のドレイン端子の接続点には、ソース端子が参照ライン 1 9 に接続され、ゲート端子がリセットライン 1 5 に接続されたリセットトランジスタ 4 のドレイン端子が接続されており、リセットトランジスタ 4 は各画素のリセット時に共有される。各画素の選択トランジスタ 3 R、3 G、3 B のソース端子と共通電極 3 2 の間には保持容量 8 R、8 G、8 B と表示素子 3 1 R、3 1 G、3 1 B が並列に配置されている。

【 0 0 7 8 】

図 1 1 の画素を用いて例えば R G B の順にデータを書き込む場合、ビットライン 1 1 - 0 ~ 1 1 - 5 にまず R のビットデータを設定し、データインーブルライン 1 4 に V r e f を供給しながら、対応する保持容量 8 R とアクティブなカップリング容量 7 を選択トランジスタ 3 R 及びリセットトランジスタ 4 をオンすることでリセットする。その後、リセットトランジスタ 4 をオフし、データインーブルライン 1 4 を V r e f から V d a t に遷移させることで D A 変換された電位 V o p t が保持容量 8 R に反映され、選択トランジスタ 3 R をオフすることで電位が確定し、次にアクセスされるまで保持される。同様な動作を G と B で行えば、各フルカラー画素で 1 つの D A C を共有して所望の映像データを書き込むことができる。

【 0 0 7 9 】

図 1 2 のように、1 つの画素 (R G B いずれかの画素) に複数のサブ画素を設けて D A C を共有してもよい。図 1 2 は 1 画素内に 2 つのサブ画素 (4 0 A、4 0 B) が設けられている例であるが、さらに多くのサブ画素を設けることも可能である。

【 0 0 8 0 】

ビットトランジスタ 6 - 0 ~ 6 - 2 のゲート端子はビットライン 1 1 - 0 ~ 1 1 - 2 に接続され、ソース端子は一端がデータインーブルライン 1 4 に接続されたカップリング容量 7 - 0 ~ 7 - 2 の他端に接続され、ドレイン端子はサブ画素 4 0 A、4 0 B の選択トランジスタ 3 A 及び 3 B のドレイン端子に接続されて共有される。その接続点には、ソース端子が参照ライン 1 9、ゲート端子がリセットライン 1 5 に接続されたリセットトランジスタ 4 のソース端子が接続されており、リセットトランジスタ 4 はサブ画素のリセット時に共有される。

【 0 0 8 1 】

図 1 2 において、第 1 サブ画素 4 0 A は上位 3 ビット、第 2 サブ画素 4 0 B は下位 3 ビットの表示を担当する。まず、上位 3 ビットデータがビットライン 1 1 - 0 ~ 1 1 - 2 に設定されると、カップリング容量 7 の容量値が決定される。次にデータインーブルライン 1 4 を V r e f に設定した状態で、第 1 サブ画素 4 0 A の選択トランジスタ 3 A とリセットトランジスタ 4 をオンすることで、カップリング容量 7 と保持容量 8 A をリセットする。その後リセットトランジスタ 4 はオフされ、データインーブルライン 1 4 が V r e f から V d a t へ変化すると保持容量 8 A の一端には上位 3 ビットが D A 変換された V o p t が現れ、選択トランジスタ 3 A をオフすることでその電位が保持容量 8 A に保持される。

【 0 0 8 2 】

上位 3 ビットの書き込みが終わると続いて下位 3 ビットの書き込みが開始される。下位 3 ビットデータがビットライン 1 1 - 0 ~ 1 1 - 2 に設定され、カップリング容量 7 の容量値が決定されると、同様なリセット動作が行われ、データインーブルライン 1 4 が V r e f から V d a t に変化することで第 2 サブ画素 4 0 B の保持容量 8 B に V o p t が書き込まれる。ここで、第 1 サブ画素 4 0 A にデータを書き込む場合と第 2 サブ画素 4 0 B にデータを書き込む場合とではデータインーブルライン 1 4 に与えられる V d a t は異なる値が設定されている。これは図 5 の場合と同様な理由で、第 1 サブ画素 4 0 A は上位 3 ビット表示のため、下位 3 ビットを表示する第 2 サブ画素 4 0 B に対し 8 倍の電圧を表示素子 3 1 に印加しなければならないためである。V d a t の電位を変えることでピーク電位を容易に変えられる。

10

20

30

40

50

【 0 0 8 3 】

図 1 2 のサブ画素を積極的に活用すると図 6 のように擬似的に階調数を増加させることも可能である。下位ビットのサブ画素 4 0 B を隣接画素で異なる値とし、人間の視覚が平滑化する作用を利用することで D A C 回路を省略しながらも、多階調化が可能となる。

【 0 0 8 4 】

サブフレームを用いれば図 1 3 のように D A C をさらに簡略化することも可能である。図 1 3 には 3 ビットの D A C が画素内に構成されているが、図 8 のように複数のサブフレームを利用することで表示に十分な多階調化を実現することができる。図 8 (A) のように均等な期間のサブフレームを 2 つ導入すると、第 1 サブフレームで上位 3 ビット表示を行い、第 2 サブフレームで下位 3 ビット表示を行うことで 6 ビット表示が可能となる。第 1 サブフレームでは、上位ビットデータをビットライン 1 1 - 0 ~ 1 1 - 2 に供給し、リセット後に高いイネーブル電圧 V_{dat} をデータイネーブルライン 1 4 に与える。第 2 サブフレームでは下位ビットデータをビットライン 1 1 - 0 ~ 1 1 - 2 に供給してリセットを行い、低い V_{dat} をデータイネーブルライン 1 4 に与えることで、サブフレームに応じた V_{opt} が表示素子 3 1 に印加される。図 8 (B) のようにサブフレームを増加させるとさらに多階調化が可能となるし、図 8 (C) のようにサブフレーム期間を調整すれば、イネーブル電圧を多種備える必要がなくて済み、第 1 選択ドライバ 2 1 を簡略化しやすい。ただし、図 7 の例と同様、サブフレームを用いる限り、フレームメモリの導入が不可欠であり、サブフレームに同期したデータ処理が必要となる。

【 0 0 8 5 】

このように、画素内に D A C を内蔵することで、周辺回路をすべてデジタル回路で構成することが可能になり、外部の I C を削減できるため、ディスプレイの低コスト化につながる。ディスプレイ単体が低コスト化すると表示デバイスの多機能化がしやすくなる。例えば、本実施形態の構成を導入することで有機 E L ディスプレイが低コスト化すれば、1 つの端末に複数のディスプレイを導入することが容易となり、複数の種類のディスプレイを端末の表示内容に応じて切り替えることができるようになるため、映像を効果的に表示することが可能となる。

【 0 0 8 6 】

図 1 4 にはこの考え方を導入したデュアルディスプレイ 5 0 が示されている。図 1 4 のデュアルディスプレイ 5 0 には片面に第 1 のディスプレイとして例えば有機 E L ディスプレイが導入され、その裏面に第 2 のディスプレイとして例えば電気泳動素子による電子ペーパーが導入されている。すなわち、両面を表示画面として用いることができる。両者、画素内に本実施形態の D A C が導入されているため、周辺回路はすべてデジタル回路で構成でき、ドライバ I C は必要ない。

【 0 0 8 7 】

制御回路は、デジタルの映像信号や制御信号を第 1、第 2 ディスプレイに送信するだけでなく、映像を第 1、第 2 どちらのディスプレイに供給するかを切り替える。この制御回路はデュアルディスプレイモジュールの中に組み込まれるか、外部のシステムがこの機能を提供する。例えば映像を有機 E L ディスプレイに表示する場合には制御回路は映像信号を第 1 ディスプレイ用フレキシブルケーブルに送り、第 1 ディスプレイが受信する。その間、第 2 ディスプレイには映像信号は供給されないため、表示は行われぬ。反対に電子ペーパーに映像を表示する場合には、制御回路は第 2 ディスプレイ用フレキシブルケーブルに映像を送信し、第 2 ディスプレイが映像を受信する。この間、有機 E L ディスプレイは映像を表示しないため、電力を消費しないように電源をオフする。

【 0 0 8 8 】

このように制御することで余計な電力を消費することなく、効果的にデュアルディスプレイ 5 0 を制御することができる。

【 0 0 8 9 】

デュアルディスプレイ 5 0 は、自発光の有機 E L ディスプレイと反射型の電子ペーパーを一つのディスプレイモジュールに組み込むことで屋内と屋内での視認性を向上させるこ

10

20

30

40

50

とができ、消費電力を効果的に低減することができる。屋内では周辺の明るさが比較的暗いこともあり、自発光の有機 E L の方が視認性が高いが、屋外になると反射型の電子ペーパーの方が低消費電力であり、視認性も高い。屋外であっても、夜になると電子ペーパーでは視認性が悪くなるため、有機 E L の方に映像表示を切り替えると視認性が向上できる。このように、ディスプレイ単体では表示素子に由来する長所と短所のため、様々な用途に対応することが困難であったが、複数の異なる表示特性を有するディスプレイを備えると低消費電力でかつ視認性の高いディスプレイシステムを構築することができる。

【 0 0 9 0 】

D A C を画素内に導入することでディスプレイ単体が低コストに作製できるようになれば、デュアルディスプレイ 5 0 を構成するコストを抑制することができる。なお、図 1 4 10
ではデュアルディスプレイ 5 0 を構成する単体のディスプレイは有機 E L と電子ペーパーを例としたが、片方に液晶を導入してもよいし、両者有機 E L であってもよい。

【 0 0 9 1 】

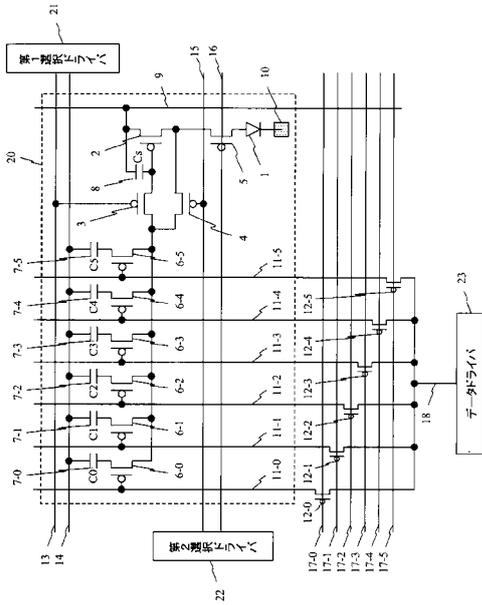
以上説明したように、本実施形態によれば、画素回路において、デジタルデータを受け付け、これをアナログ信号に変換して、駆動トランジスタのゲートに印加したり、表示素子に印加することができる。従って、データドライバについても、トランジスタの特性のバラツキの影響を抑えることができ、すべてのドライバを T F T で作製することが可能となる。

【符号の説明】

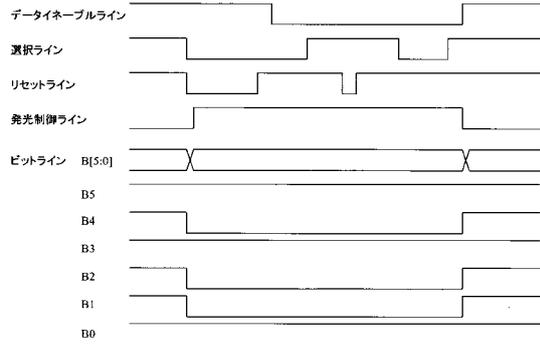
【 0 0 9 2 】

1 表示素子(有機 E L 素子)、2 駆動トランジスタ、3 選択トランジスタ、4
リセットトランジスタ、5 発光制御トランジスタ、6 ビットトランジスタ、7 カッ
プリング容量、8 保持容量、9 電源ライン、1 0 カソード電極、1 1 ビットライ
ン、1 2 マルチプレクサ、1 3 選択ライン、1 4 データイネーブルライン、1 5
リセットライン、1 6 発光制御ライン、1 7 マルチプレクスライン、1 8 データラ
イン、1 9 参照ライン、2 0 , 4 0 画素、2 1 第 1 選択ドライバ、2 2 第 2 選択
ドライバ、2 3 データドライバ、3 1 表示素子、5 0 デュアルディスプレイ。 20

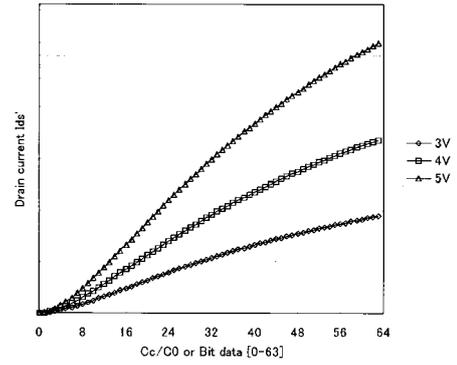
【図1】



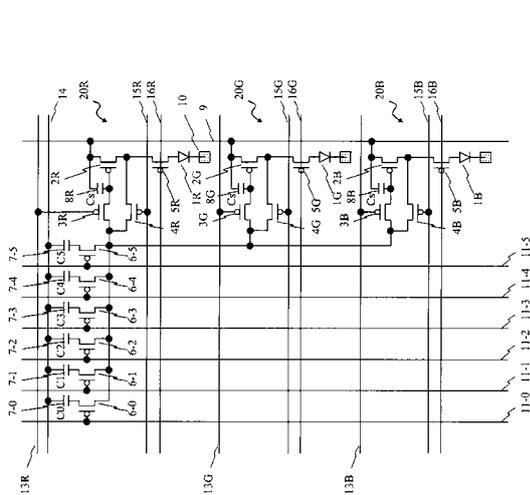
【図2】



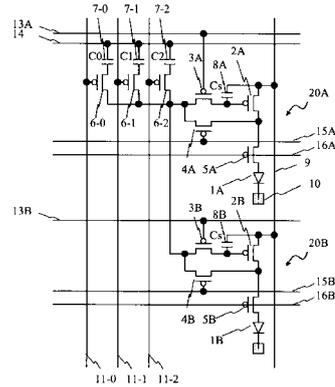
【図3】



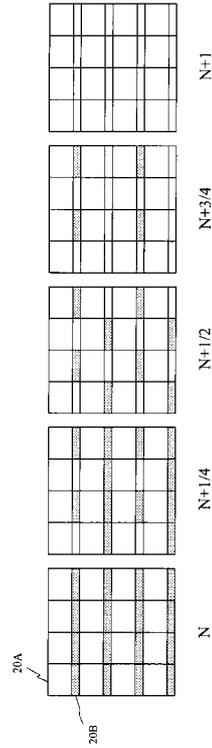
【図4】



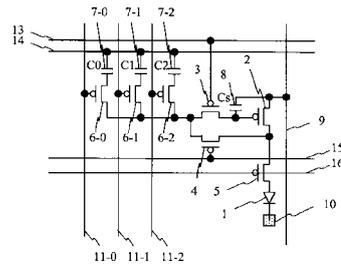
【図5】



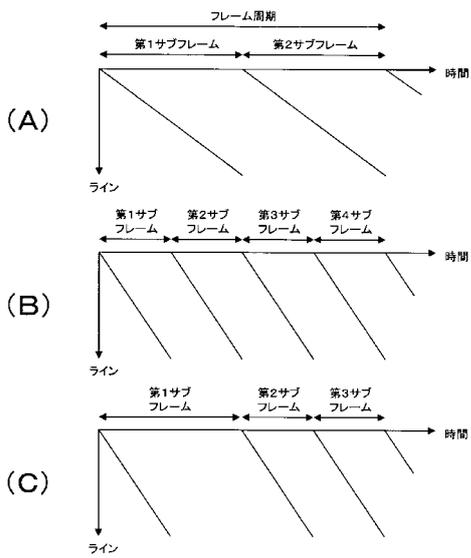
【 図 6 】



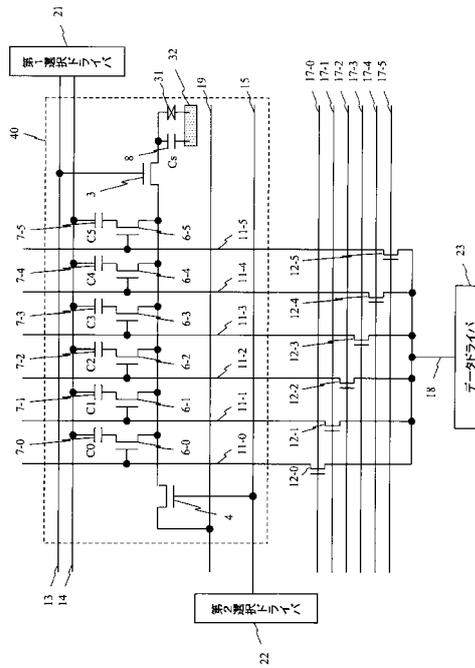
【 図 7 】



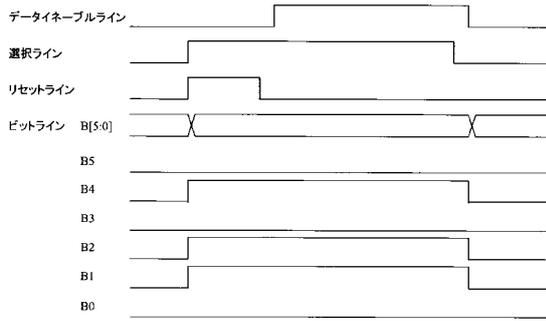
【 図 8 】



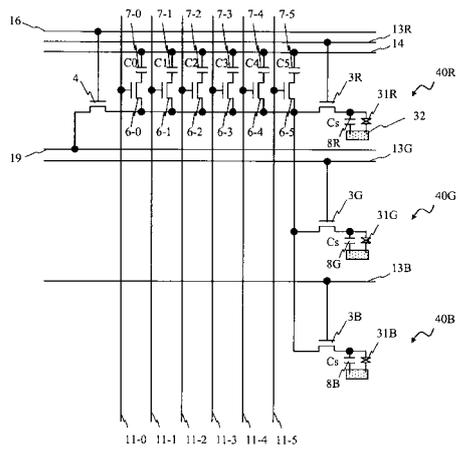
【 図 9 】



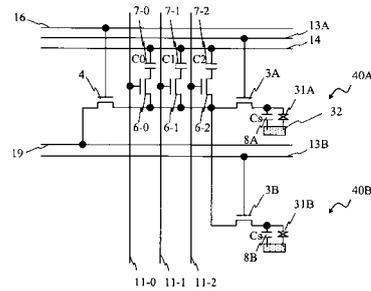
【図10】



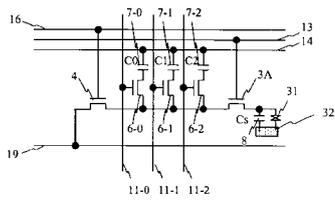
【図11】



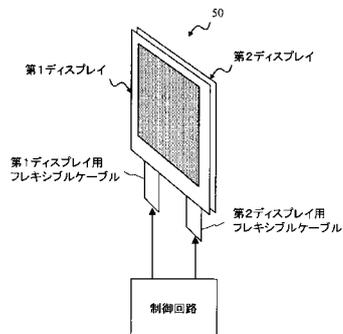
【図12】



【図13】



【図14】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 G

(74)代理人 100110423
弁理士 曾我 道治

(74)代理人 100084010
弁理士 古川 秀利

(74)代理人 100094695
弁理士 鈴木 憲七

(74)代理人 100111648
弁理士 梶並 順

(74)代理人 100122437
弁理士 大宅 一宏

(74)代理人 100147566
弁理士 上田 俊一

(72)発明者 川辺 和佳
東京都千代田区神田駿河台2 - 9 KDX御茶ノ水ビル コダック株式会社内

審査官 鳥居 祐樹

(56)参考文献 特開2003 - 098996 (JP, A)
特開2003 - 098999 (JP, A)
特開2003 - 099007 (JP, A)
特開2003 - 036054 (JP, A)
特開2002 - 341826 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3 / 0 0 - 3 / 0 8
G 0 9 G 3 / 1 2 - 3 / 2 6
G 0 9 G 3 / 3 0 - 3 / 3 8
G 0 2 F 1 / 1 3 3