



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0087217
(43) 공개일자 2019년07월24일

(51) 국제특허분류(Int. Cl.)
G06F 12/02 (2018.01) G06F 13/16 (2006.01)
G06F 3/06 (2006.01)

(52) CPC특허분류
G06F 12/0292 (2013.01)
G06F 13/1673 (2013.01)

(21) 출원번호 10-2018-0005728
(22) 출원일자 2018년01월16일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091

(72) 발명자
정인
경기도 성남시 수정구 산성대로437번길 7 푸르지오아파트 101동 503호

박병규
경기도 성남시 분당구 느티로 70 느티마을3,4단지아파트 406동 1401호

조영익
서울특별시 송파구 문정2동 휘미리아아파트 231동 1402호

(74) 대리인
김성남

전체 청구항 수 : 총 17 항

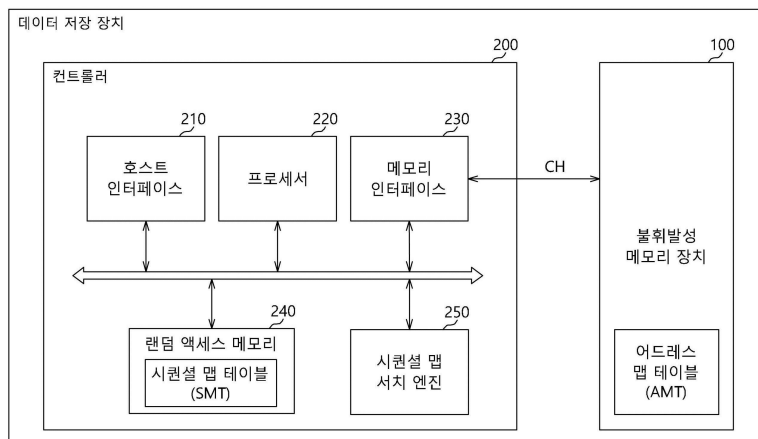
(54) 발명의 명칭 데이터 저장 장치 및 그것의 동작 방법

(57) 요약

본 발명의 실시 예에 따른 데이터 저장 장치는 복수의 블록 그룹들을 포함하는 불휘발성 메모리 장치; 호스트 장치로부터 수신되는 라이트 어드레스들 중 기 설정된 임계 개수 이상으로 연속되는 시퀀셜 라이트 논리 어드레스들에 대한 시퀀셜 맵 엔트리가 저장되는 시퀀셜 맵 테이블을 포함하는 랜덤 액세스 메모리; 및 호스트 장치로부터 수신된 라이트 요청에 응답하여 라이트 동작이 수행되는 제1 블록 그룹의 제1 영역에 대한 라이트가 완료되면, 상기 제1 블록 그룹의 상기 제1 영역에 대한 물리 어드레스들에 대응하는 논리 어드레스들 중 제1 시퀀셜 라이트 논리 어드레스들이 존재하는지 여부를 판단하고, 상기 제1 시퀀셜 라이트 논리 어드레스들이 존재하면 상기 제1 시퀀셜 라이트 논리 어드레스들에 대한 제1 시퀀셜 맵 엔트리를 생성하여 상기 시퀀셜 맵 테이블에 저장하는 프로세서를 포함한다.

대표도

10



(52) CPC특허분류

G06F 3/064 (2013.01)

G06F 2212/7201 (2013.01)

명세서

청구범위

청구항 1

복수의 블록 그룹들을 포함하는 불휘발성 메모리 장치;

호스트 장치로부터 수신되는 라이트 어드레스들 중 기 설정된 임계 개수 이상으로 연속되는 시퀀셜 라이트 논리 어드레스들에 대한 시퀀셜 맵 엔트리가 저장되는 시퀀셜 맵 테이블을 포함하는 랜덤 액세스 메모리; 및

호스트 장치로부터 수신된 라이트 요청에 응답하여 라이트 동작이 수행되는 제1 블록 그룹의 제1 영역에 대한 라이트가 완료되면, 상기 제1 블록 그룹의 상기 제1 영역에 대한 물리 어드레스들에 대응하는 논리 어드레스들 중 제1 시퀀셜 라이트 논리 어드레스들이 존재하는지 여부를 판단하고, 상기 제1 시퀀셜 라이트 논리 어드레스들이 존재하면 상기 제1 시퀀셜 라이트 논리 어드레스들에 대한 제1 시퀀셜 맵 엔트리를 생성하여 상기 시퀀셜 맵 테이블에 저장하는 프로세서

를 포함하는 데이터 저장 장치.

청구항 2

제1항에 있어서,

상기 랜덤 액세스 메모리는,

상기 제1 블록 그룹의 상기 제1 영역에 대한 P2L(physical to logical) 엔트리들이 저장되는 어드레스 버퍼;

상기 논리 어드레스들에 대한 L2P(logical to physical) 엔트리들이 캐싱되는 맵 캐시 버퍼

를 더 포함하는 데이터 저장 장치.

청구항 3

제2항에 있어서,

상기 프로세서는 상기 어드레스 버퍼에 저장된 상기 P2L 엔트리들에 근거하여 상기 제1 시퀀셜 라이트 논리 어드레스들이 존재하는지 여부를 판단하는 데이터 저장 장치.

청구항 4

제2항에 있어서,

상기 제1 시퀀셜 맵 엔트리는 상기 제1 시퀀셜 라이트 논리 어드레스들에 대한 시작 논리 어드레스, 논리 어드레스 길이, 및 상기 제1 시퀀셜 라이트 논리 어드레스들에 대응하는 물리 어드레스들 중 시작 물리 어드레스를 포함하는 데이터 저장 장치.

청구항 5

제4항에 있어서,

상기 제1 블록 그룹은 복수의 섹터들을 포함하는 복수의 페이지들을 포함하고,

상기 제1 시퀀셜 맵 엔트리의 상기 시작 물리 어드레스는 상기 제1 블록 그룹의 인덱스 및 상기 복수의 섹터들 중 상기 시작 논리 어드레스에 대응하는 섹터의 인덱스를 포함하는 데이터 저장 장치.

청구항 6

제4항에 있어서,

상기 제1 블록 그룹의 상기 제1 영역에 연속하는 제2 영역에 대한 라이트가 완료되고 상기 제1 블록 그룹의 상기 제2 영역에 대한 물리 어드레스들에 대응하는 논리 어드레스들 중 제2 시퀀셜 라이트 논리 어드레스들이 존재하면, 상기 프로세서는 상기 제2 시퀀셜 라이트 논리 어드레스들의 시작 논리 어드레스와 상기 제1 시퀀셜 라

이트 논리 어드레스들의 종료 논리 어드레스가 연속되는지 여부를 판단하는 데이터 저장 장치.

청구항 7

제6항에 있어서,

상기 제2 시퀀셜 라이트 논리 어드레스들의 상기 시작 논리 어드레스와 상기 제1 시퀀셜 라이트 논리 어드레스들의 상기 종료 논리 어드레스가 연속되면, 상기 프로세서는 상기 제1 시퀀셜 맵 엔트리에서 상기 논리 어드레스 길이를 상기 제2 시퀀셜 라이트 논리 어드레스들을 합산한 길이로 변경하는 데이터 저장 장치.

청구항 8

제6항에 있어서,

상기 제2 시퀀셜 라이트 논리 어드레스들의 상기 시작 논리 어드레스와 상기 제1 시퀀셜 라이트 논리 어드레스들의 상기 종료 논리 어드레스가 연속되지 않으면, 상기 프로세서는 상기 제2 시퀀셜 라이트 논리 어드레스들에 대한 제2 시퀀셜 맵 엔트리를 생성하여 상기 시퀀셜 맵 테이블에 저장하는 데이터 저장 장치.

청구항 9

제4항에 있어서,

상기 호스트 장치로부터 리드 요청 및 리드할 논리 어드레스가 수신되면, 상기 시퀀셜 맵 테이블에서 상기 리드할 논리 어드레스가 포함된 시퀀셜 맵 엔트리를 검색하고, 검색 결과를 상기 프로세서로 제공하는 시퀀셜 맵 서치 엔진을 더 포함하는 데이터 저장 장치.

청구항 10

제9항에 있어서,

상기 프로세서는 상기 시퀀셜 맵 서치 엔진으로부터 제공되는 검색 결과에 근거하여 상기 시퀀셜 맵 엔트리 또는 상기 맵 캐시 버퍼에 저장된 상기 L2P 엔트리에 근거하여 상기 리드할 논리 어드레스를 물리 어드레스로 변환하는 데이터 저장 장치.

청구항 11

제10항에 있어서,

상기 시퀀셜 맵 서치 엔진으로부터 상기 리드할 논리 어드레스가 포함된 시퀀셜 맵 엔트리의 인덱스가 제공되면, 상기 프로세서는 상기 시퀀셜 맵 서치 엔진으로부터 제공된 인덱스에 대응하는 시퀀셜 맵 엔트리의 시작 논리 어드레스와 상기 리드할 논리 어드레스 간의 오프셋을 연산하고, 연산된 오프셋을 상기 시작 물리 어드레스에 합산하여 상기 물리 어드레스로 변환하는 데이터 저장 장치.

청구항 12

맵 업데이트가 수행되면, 어드레스 버퍼에 저장된 P2L 엔트리들에 근거하여 기 설정된 임계 개수 이상으로 연속되는 제1 시퀀셜 논리 어드레스들이 존재하는지 여부를 판단하는 단계; 및

상기 제1 시퀀셜 논리 어드레스들이 존재하면, 상기 제1 시퀀셜 논리 어드레스들에 대한 시작 논리 어드레스, 논리 어드레스 길이, 및 상기 시작 논리 어드레스에 대응하는 시작 물리 어드레스를 포함하는 제1 시퀀셜 맵 엔트리를 생성하는 단계;

를 포함하는 데이터 저장 장치의 동작 방법.

청구항 13

제12항에 있어서,

상기 제1 시퀀셜 맵 엔트리를 생성하는 단계는 상기 제1 시퀀셜 논리 어드레스들의 상기 시작 논리 어드레스와 연속되는 종료 논리 어드레스를 갖는 시퀀셜 맵 엔트리가 존재하는지 여부를 판단하는 단계를 포함하고,

상기 시작 논리 어드레스와 연속되는 종료 논리 어드레스를 갖는 시퀀셜 맵 엔트리가 존재하지 않으면 상기 제1

시퀀셜 맵 엔트리를 생성하는 데이터 저장 장치의 동작 방법.

청구항 14

제12항에 있어서,

다음 순서의 맵 업데이트가 수행되면, 어드레스 버퍼에 저장된 P2L 엔트리들에 근거하여 제2 시퀀셜 논리 어드레스들이 존재하는지 여부를 판단하는 단계;

상기 제2 시퀀셜 논리 어드레스들의 시작 논리 어드레스와 상기 제1 시퀀셜 맵 엔트리의 종료 논리 어드레스가 연속되는지 여부를 판단하는 단계; 및

상기 제2 시퀀셜 논리 어드레스들의 시작 논리 어드레스와 상기 제1 시퀀셜 맵 엔트리의 종료 논리 어드레스가 연속되면 상기 제1 시퀀셜 맵 엔트리의 상기 논리 어드레스 길이를 상기 제2 시퀀셜 논리 어드레스들을 합산한 길이로 변경하는 단계

를 더 포함하는 데이터 저장 장치의 동작 방법.

청구항 15

제14항에 있어서,

상기 제2 시퀀셜 논리 어드레스들의 시작 논리 어드레스와 상기 제1 시퀀셜 맵 엔트리의 종료 논리 어드레스가 연속되지 않으면 상기 제2 시퀀셜 논리 어드레스들에 대한 제2 시퀀셜 맵 엔트리를 생성하는 단계

를 포함하는 데이터 저장 장치의 동작 방법.

청구항 16

제12항에 있어서,

호스트 장치로부터 리드 요청이 수신되면, 리드할 논리 어드레스가 포함된 시퀀셜 맵 엔트리가 존재하는지 여부를 판단하는 단계;

상기 리드할 논리 어드레스가 포함된 시퀀셜 맵 엔트리가 존재하면, 상기 리드할 논리 어드레스와 상기 시퀀셜 맵 엔트리의 시작 논리 어드레스 간의 오프셋을 연산하는 단계; 및

상기 시퀀셜 맵 엔트리의 시작 물리 어드레스에 상기 연산된 오프셋을 합산하여 상기 리드할 논리 어드레스를 대응하는 물리 어드레스로 변환하는 단계

를 더 포함하는 데이터 저장 장치의 동작 방법.

청구항 17

제16항에 있어서,

상기 리드할 논리 어드레스가 포함된 상기 시퀀셜 맵 엔트리가 존재하지 않으면, 맵 캐시 버퍼에 상기 리드할 논리 어드레스에 대응하는 L2P 엔트리가 캐싱되어 있는지 여부를 판단하는 단계;

상기 맵 캐시 버퍼에 상기 리드할 논리 어드레스에 대응하는 L2P 엔트리가 캐싱되어 있으면, 상기 L2P 엔트리에 근거하여 상기 리드할 논리 어드레스를 대응하는 물리 어드레스로 변환하는 단계

를 더 포함하는 데이터 저장 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치에 관한 것으로, 구체적으로 데이터 저장 장치 및 그것의 동작 방법에 관한 것이다.

배경 기술

[0002] 최근 컴퓨터 환경에 대한 패러다임(paradigm)이 언제, 어디서나 컴퓨터 시스템을 사용할 수 있도록 하는 유비쿼터스 컴퓨팅(ubiquitous computing)으로 전환되고 있다. 이로 인해 휴대폰, 디지털 카메라, 노트북 컴퓨터 등과

같은 휴대용 전자 장치의 사용이 급증하고 있다. 이와 같은 휴대용 전자 장치는 일반적으로 메모리 장치를 이용하는 데이터 저장 장치를 사용한다. 데이터 저장 장치는 휴대용 전자 장치에서 사용되는 데이터를 저장하기 위해서 사용된다.

[0003] 메모리 장치를 이용한 데이터 저장 장치는 기계적인 구동부가 없어서 안정성 및 내구성이 뛰어나며 정보의 액세스 속도가 매우 빠르고 전력 소모가 적다는 장점이 있다. 이러한 장점을 갖는 데이터 저장 장치는 USB(Universal Serial Bus) 메모리 장치, 다양한 인터페이스를 갖는 메모리 카드, UFS(Universal Flash Storage) 장치, 솔리드 스테이트 드라이브(Solid State Drive, 이하, SSD라 칭함)를 포함한다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시 예는 리드 성능을 향상시킬 수 있는 데이터 저장 장치 및 그것의 동작 방법을 제공하는 것이다.

과제의 해결 수단

[0005] 본 발명의 실시 예에 따른 데이터 저장 장치는 복수의 블록 그룹들을 포함하는 불휘발성 메모리 장치; 호스트 장치로부터 수신되는 라이트 어드레스들 중 기 설정된 임계 개수 이상으로 연속되는 시퀀셜 라이트 논리 어드레스들에 대한 시퀀셜 맵 엔트리가 저장되는 시퀀셜 맵 테이블을 포함하는 랜덤 액세스 메모리; 및 호스트 장치로부터 수신된 라이트 요청에 응답하여 라이트 동작이 수행되는 제1 블록 그룹의 제1 영역에 대한 라이트가 완료 되면, 상기 제1 블록 그룹의 상기 제1 영역에 대한 물리 어드레스들에 대응하는 논리 어드레스들 중 제1 시퀀셜 라이트 논리 어드레스들이 존재하는지 여부를 판단하고, 상기 제1 시퀀셜 라이트 논리 어드레스들이 존재하면 상기 제1 시퀀셜 라이트 논리 어드레스들에 대한 제1 시퀀셜 맵 엔트리를 생성하여 상기 시퀀셜 맵 테이블에 저장하는 프로세서를 포함한다.

[0006] 본 발명의 실시 예에 따른 데이터 저장 장치의 동작 방법은 맵 업데이트가 수행되면, 어드레스 버퍼에 저장된 P2L 엔트리들에 근거하여 기 설정된 임계 개수 이상으로 연속되는 제1 시퀀셜 논리 어드레스들이 존재하는지 여부를 판단하는 단계; 및 상기 제1 시퀀셜 논리 어드레스들이 존재하면, 상기 제1 시퀀셜 논리 어드레스들에 대한 시작 논리 어드레스, 논리 어드레스 길이, 및 상기 시작 논리 어드레스에 대응하는 시작 물리 어드레스를 포함하는 제1 시퀀셜 맵 엔트리를 생성하는 단계를 포함한다.

발명의 효과

[0007] 본 발명의 실시 예에서는 기 설정된 임계 개수 이상으로 연속되는 시퀀셜 논리 어드레스들에 대한 시퀀셜 맵 엔트리를 별도로 생성하여 랜덤 액세스 메모리에 저장하고 호스트 장치로부터의 랜덤 리드 요청 시 시퀀셜 맵 엔트리를 이용하여 대응하는 물리 어드레스로 변환할 수 있으므로, 불필요한 맵 리드 동작의 수행이 감소하여 랜덤 리드 성능이 향상될 수 있다.

[0008] 즉, 시퀀셜 라이트에 대한 L2P 엔트리들을 시작 논리 어드레스, 논리 어드레스 길이, 및 시작 물리 어드레스만을 포함하는 하나의 시퀀셜 맵 엔트리로 단순화시켜 저장함에 따라, 맵 데이터 저장을 위한 공간은 감소하는 반면 맵 커버리지는 향상되는 효과가 있다.

도면의 간단한 설명

- [0009] 도 1은 본 발명의 실시 예에 따른 데이터 저장 장치의 구성 예를 도시한 블록도이다.
- 도 2a는 도 1의 불휘발성 메모리 장치의 구성을 예시적으로 도시한 도면이다.
- 도 2b는 도 2a의 슈퍼 블록(super block)의 구성을 예시적으로 도시한 도면이다.
- 도 3은 어드레스 맵 테이블(AMT)의 구성 예를 도시한 도면이다.
- 도 4는 랜덤 액세스 메모리의 구성을 예시적으로 도시한 도면이다.
- 도 5a는 도 4의 어드레스 버퍼(AB)를 개념적으로 도시한 도면이다.
- 도 5b는 도 4의 시퀀셜 맵 테이블(SMT)을 개념적으로 도시한 도면이다.
- 도 6a는 시퀀셜 라이트 및 랜덤 라이트를 예시적으로 도시한 도면이다.

도 6b는 도 6a의 시퀀셜 라이트에 대한 시퀀셜 맵 엔트리의 생성 및 저장 예를 도시한 도면이다.

도 7a는 하나의 슈퍼 블록(super block)에서 수행되는 시퀀셜 라이트에 대하여 복수의 맵 업데이트가 수행되는 경우에 대한 시퀀셜 맵 엔트리의 생성 및 갱신을 예시적으로 도시한 도면이다.

도 7b는 하나의 슈퍼 블록(super block)에서 완료된 시퀀셜 라이트가 다른 슈퍼 블록(super block)에서 이어서 수행되는 경우에 대한 시퀀셜 맵 엔트리의 생성을 예시적으로 도시한 도면이다.

도 8a는 3 개의 시퀀셜 맵 엔트리들이 저장된 시퀀셜 맵 테이블을 예시적으로 도시한 도면이다.

도 8b는 리드 요청된 논리 어드레스가 시퀀셜 맵 엔트리에 포함된 경우를 설명하기 위한 도면이다.

도 9는 본 발명의 실시 예에 따른 데이터 저장 장치의 동작 방법을 도시한 순서도이다.

도 10은 본 발명의 실시 예에 따른 데이터 저장 장치의 동작 방법을 도시한 순서도이다.

도 11은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.

도 12는 도 11에 도시된 컨트롤러를 예시적으로 보여주는 도면이다.

도 13은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.

도 14는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다.

도 15는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 네트워크 시스템을 예시적으로 보여주는 도면이다.

도 16은 본 발명의 실시 예에 따른 데이터 저장 장치에 포함된 불휘발성 메모리 장치를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 도면들을 참조하여 본 발명의 실시 예에 대해 상세히 설명하기로 한다.

[0011] 도 1은 본 발명의 실시 예에 따른 데이터 저장 장치(10)의 구성 예를 도시한 블록도이다. 본 실시 예에서, 데이터 저장 장치(10)는 휴대폰, MP3 플레이어, 랩탑 컴퓨터, 데스크탑 컴퓨터, 게임기, TV, 차량용 인포테인먼트(in-vehicle infotainment) 시스템 등과 같은 호스트 장치(도시되지 않음)에 의해서 액세스되는 데이터를 저장할 수 있다. 데이터 저장 장치(10)는 메모리 시스템이라고도 불릴 수 있다.

[0012] 데이터 저장 장치(10)는 호스트 장치와의 전송 프로토콜을 의미하는 호스트 인터페이스에 따라서 다양한 종류의 저장 장치들 중 어느 하나로 제조될 수 있다. 예를 들면, 데이터 저장 장치(10)는 솔리드 스테이트 드라이브(solid state drive, SSD), MMC, eMMC, RS-MMC, micro-MMC 형태의 멀티 미디어 카드(multi media card), SD, mini-SD, micro-SD 형태의 시큐어 디지털(secure digital) 카드, USB(universal storage bus) 저장 장치, UFS(universal flash storage) 장치, PCMCIA(personal computer memory card international association) 카드 형태의 저장 장치, PCI(peripheral component interconnection) 카드 형태의 저장 장치, PCI-E(PCI express) 카드 형태의 저장 장치, CF(compact flash) 카드, 스마트 미디어(smart media) 카드, 메모리 스틱(memory stick) 등과 같은 다양한 종류의 저장 장치들 중 어느 하나로 구성될 수 있다.

[0013] 데이터 저장 장치(10)는 다양한 종류의 패키지(package) 형태들 중 어느 하나로 제조될 수 있다. 예를 들면, 데이터 저장 장치(10)는 POP(package on package), SIP(system in package), SOC(system on chip), MCP(multi chip package), COB(chip on board), WFP(wafer-level fabricated package), WSP(wafer-level stack package) 등과 같은 다양한 종류의 패키지 형태들 중 어느 하나로 제조될 수 있다.

[0014] 도 1을 참조하면, 데이터 저장 장치(10)는 불휘발성 메모리 장치(100) 및 컨트롤러(200)를 포함할 수 있다.

[0015] 불휘발성 메모리 장치(100)는 데이터 저장 장치(10)의 저장 매체로서 동작할 수 있다. 불휘발성 메모리 장치(100)는 메모리 셀에 따라서 낸드(NAND) 플래시 메모리 장치, 노어(NOR) 플래시 메모리 장치, 강유전체 커패시터를 이용한 강유전체 램(ferroelectric random access memory, FRAM), 터널링 자기저항(tunneling magneto-resistive,

TMR) 막을 이용한 마그네틱 램(magnetic random access memory, MRAM), 칼코젠 화합물(chalcogenide alloys)을 이용한 상 변화 램(phase change random access memory, PRAM), 전이 금속 화합물(transition metal oxide)을 이용한 저항성 램(resistive random access memory, RRAM) 등과 같은 다양한 형태의 불휘발성 메모리 장치들 중 어느 하나로 구성될 수 있다.

- [0016] 불휘발성 메모리 장치(100)는 복수의 비트라인들(도시되지 않음) 및 복수의 워드라인들(도시되지 않음)이 교차하는 영역들에 각각 배치되는 복수의 메모리 셀들을 갖는 메모리 셀 어레이(도시되지 않음)를 포함할 수 있다. 메모리 셀 어레이는 복수의 메모리 블록들을 포함할 수 있고, 복수의 메모리 블록들은 각각 복수의 페이지들을 포함할 수 있다.
- [0017] 예를 들어, 메모리 셀 어레이의 각 메모리 셀은 하나의 비트를 저장하는 싱글 레벨 셀(single, level cell, SLC), 2 비트의 데이터를 저장할 수 있는 멀티 레벨 셀(multi level cell, MLC), 3 비트의 데이터를 저장할 수 있는 트리플 레벨 셀(triple level cell, TLC) 또는 4 비트의 데이터를 저장할 수 있는 쿼드 레벨 셀(quad level cell, QLC)일 수 있다. 메모리 셀 어레이는 싱글 레벨 셀, 멀티 레벨 셀, 트리플 레벨 셀, 및 쿼드 레벨 셀 중 적어도 하나 이상을 포함할 수 있다. 예를 들어, 메모리 셀 어레이는 2차원 수평 구조의 메모리 셀들을 포함할 수도 있고, 또는 3차원 수직 구조의 메모리 셀들을 포함할 수도 있다.
- [0018] 도 2a는 도 1의 불휘발성 메모리 장치의 구성을 예시적으로 도시한 도면이고, 도 2b는 도 2a의 슈퍼 블록(super block)의 구성을 예시적으로 도시한 도면이다. 도 2a에서는 제1 슈퍼 블록(SB1)을 예를 들어 도시하였으나, 나머지 슈퍼 블록들 즉, 제2 내지 제j 슈퍼 블록들(SB2~SBk)의 구성 역시 이와 동일할 것이다. 설명의 편의를 위하여, 도 2a에서는 불휘발성 메모리 장치(100)가 4개의 다이들(D1~D4)들을 포함하는 것으로 도시하였으나, 불휘발성 메모리 장치(100)에 포함되는 다이(die)의 개수가 특별히 이에 한정되는 것은 아니다. 또한, 도 2b에서는 하나의 블록(B)에 4개의 페이지들(P1~P4)이 포함되고, 각 페이지(P1~P4)에는 4개의 섹터(S)들이 포함되는 것으로 도시하였으나, 각 블록에 포함되는 페이지들의 수 및 각 페이지에 포함되는 섹터들의 수가 특별히 이에 한정되는 것은 아니다.
- [0019] 도 2a를 참조하면, 불휘발성 메모리 장치(100)는 제1 내지 제4 다이들(D1~D4)을 포함할 수 있다. 제1 내지 제4 다이들(D1~D4)은 각각 복수의 메모리 블록들(B1~Bk)을 포함할 수 있다. 도 2a에 구체적으로 도시하지는 않았으나, 각 다이(D1~D4)는 복수의 메모리 블록들이 포함된 복수의 플레인(plane)들을 포함할 수도 있다.
- [0020] 도 2a를 참조하면, 각 다이(D1~D4) 별 동일 메모리 블록들은 하나의 메모리 블록 그룹으로 묶일 수 있다. 이와 같이, 각 다이(D1~D4) 별 동일 메모리 블록들을 그룹핑한 하나의 메모리 블록 그룹을 슈퍼 블록(super block)이라 한다. 각 다이(D1~D4) 별 제1 메모리 블록(B1)들을 그룹핑하여 제1 슈퍼 블록(SB1)으로 사용할 수 있다. 불휘발성 메모리 장치(100)는 k 개의 슈퍼 블록들 즉, 제1 내지 제k 슈퍼 블록들(SB1~SBk)을 포함할 수 있다. 컨트롤러(200)는 각 슈퍼 블록(SB1~SBk) 내에 포함된 4개의 메모리 블록들을 병렬적으로 동작시킬 수 있다.
- [0021] 예를 들어, 컨트롤러(200)는 제1 슈퍼 블록(SB1) 내에 포함된 4개의 제1 메모리 블록(B1)들에서 동시에 리드/라이트 동작이 수행되도록 불휘발성 메모리 장치(100)를 제어할 수 있다. 도 2b를 참조하면, 제1 슈퍼 블록(SB1)에 포함된 4개의 제1 메모리 블록(B1)들은 각각 4개의 페이지들(P1~P4)을 포함하고, 각 페이지(P1~P4)는 4개의 섹터(S)들을 포함할 수 있다. 이에 따라, 제1 슈퍼 블록(SB1)은 총 64개의 섹터들(S1~S64)을 포함할 수 있다.
- [0022] 호스트 장치로부터 수신된 라이트 데이터들은 도 2b에 점선 화살표로 표시한 방향으로 시퀀셜하게 저장될 수 있다. 즉, 제1 슈퍼 블록(SB1)에 대한 라이트 동작 시 라이트 데이터들은 제1 섹터(S1)부터 제64 섹터까지 순차적으로 저장될 수 있다. 제64 섹터(S64)까지 데이터가 저장되면 제1 슈퍼 블록(SB1)에 대한 맵 업데이트가 수행될 수 있다. 맵 업데이트는 호스트 장치로부터 수신된 라이트할 논리 어드레스들(logical block addresses, LBAs) 각각에 대한 물리 어드레스(physical block address, PBA)를 제1 슈퍼 블록(SB1)의 실제 어드레스로 매핑시켜 저장하는 것을 의미한다. 물리 어드레스(PBA)는 라이트 데이터가 저장된 슈퍼 블록(SB)의 인덱스 및 섹터(sector)의 인덱스를 포함할 수 있다.
- [0023] 불휘발성 메모리 장치(100)에는 어드레스 매핑 테이블(AMT)이 저장될 수 있다. 어드레스 매핑 테이블(AMT)은 호스트 장치로부터 수신되는 논리 어드레스(LBA) 및 논리 어드레스(LBA)에 대응하는 물리 어드레스(PBA) 간의 매핑 정보를 저장할 수 있다.
- [0024] 도 3은 어드레스 맵 테이블(AMT)의 구성 예를 도시한 도면이다. 도 3을 참조하면, 어드레스 맵 테이블(AMT)은 복수의 맵 세그먼트들(MS0~MSn)을 포함할 수 있다. 각 맵 세그먼트(MS0~MSn)는 복수의 논리 어드레스들(LBA0~LBA_m) 및 각 논리 어드레스(LBA0~LBA_m)에 대응하는 복수의 물리 어드레스들(PBA0~PBA_m)을 포함할 수

있다. 하나의 논리 어드레스(LBA)와 하나의 물리 어드레스(PBA) 간의 매핑 정보를 L2P 엔트리(logical to physical entry)라 하면, 각 맵 세그먼트(MS0-MSn)는 m 개의 L2P 엔트리들을 포함할 수 있다.

- [0025] 어드레스 맵 테이블(AMT)은 P2L(physical to logical) 엔트리들이 저장되는 어드레스 버퍼(AB, 도 4 참조)에 빈 공간이 없을 때 업데이트될 수 있으나, 업데이트가 수행되는 시점이 특별히 이에 한정되는 것은 아니다. 어드레스 맵 테이블(AMT)에 저장된 매핑 정보를 업데이트하는 것을 맵 업데이트라 한다. 어드레스 맵 테이블(AMT)은 맵 세그먼트 단위로 업데이트될 수 있다.
- [0026] 컨트롤러(200)는 호스트 인터페이스(210), 프로세서(220), 메모리 인터페이스(230), 랜덤 액세스 메모리(240), 및 시퀀셜 맵 서치 엔진(250)을 포함할 수 있다.
- [0027] 호스트 인터페이스(210)는 호스트 장치와 데이터 저장 장치(10)를 인터페이싱할 수 있다. 예시적으로, 호스트 인터페이스(210)는 USB(universal serial bus), UFS(universal flash storage), MMC(multimedia card), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI expresss)와 같은 표준 전송 프로토콜들 중 어느 하나를 이용해서 호스트 장치와 통신할 수 있다.
- [0028] 프로세서(220)는 마이크로 컨트롤 유닛(micro control unit)(MCU), 중앙 처리 장치(central processing unit)(CPU)로 구성될 수 있다. 프로세서(220)는 호스트 장치로부터 수신된 요청을 처리할 수 있다. 프로세서(220)는 호스트 장치로부터 수신된 요청을 처리하기 위하여 랜덤 액세스 메모리(240)에 로딩된 코드 형태의 명령(instruction) 또는 알고리즘, 즉, 소프트웨어를 구동하고, 내부의 기능 블록들 및 불휘발성 메모리 장치(100)를 제어할 수 있다.
- [0029] 메모리 인터페이스(230)는 프로세서(220)의 제어에 따라서 불휘발성 메모리 장치(100)를 제어할 수 있다. 메모리 인터페이스(230)는 메모리 컨트롤러로도 불릴 수 있다. 메모리 인터페이스(230)는 제어 신호들을 불휘발성 메모리 장치(100)로 제공할 수 있다. 제어 신호들은 불휘발성 메모리 장치(100)를 제어하기 위한 커맨드, 어드레스 등을 포함할 수 있다. 메모리 인터페이스(230)는 데이터를 불휘발성 메모리 장치(100)로 제공하거나, 불휘발성 메모리 장치(100)로부터 데이터를 제공 받을 수 있다. 메모리 인터페이스(230)는 하나 이상의 신호 라인들을 포함하는 채널(CH)을 통해 불휘발성 메모리 장치(100)와 연결될 수 있다.
- [0030] 랜덤 액세스 메모리(240)는 동적 랜덤 액세스 메모리(DRAM) 또는 정적 랜덤 액세스 메모리(SRAM)와 같은 랜덤 액세스 메모리로 구성될 수 있다. 랜덤 액세스 메모리(240)는 프로세서(220)에 의해서 구동되는 소프트웨어를 저장할 수 있다. 또한, 랜덤 액세스 메모리(240)는 소프트웨어의 구동에 필요한 데이터(예컨대, 메타 데이터)를 저장할 수 있다. 즉, 랜덤 액세스 메모리(240)는 프로세서(220)의 동작 메모리(working memory)로서 동작할 수 있다.
- [0031] 랜덤 액세스 메모리(240)는 호스트 장치로부터 불휘발성 메모리 장치(100)로 또는 불휘발성 메모리 장치(100)로부터 호스트 장치로 전송될 데이터를 임시 저장할 수 있다. 즉, 랜덤 액세스 메모리(240)는 데이터 버퍼 메모리 또는 데이터 캐시(cache) 메모리로서 동작할 수 있다.
- [0032] 도 4는 랜덤 액세스 메모리(240)의 구성을 예시적으로 도시한 도면이다.
- [0033] 도 4를 참조하면, 랜덤 액세스 메모리(240)는 어드레스 버퍼(AB), 맵 업데이트 버퍼(MUB), 맵 캐시 버퍼(MCB), 및 시퀀셜 맵 테이블(SMT) 등을 포함할 수 있다.
- [0034] 어드레스 버퍼(AB)는 호스트 장치로부터 수신된 라이트할 어드레스 즉, 논리 어드레스(LBA)와 라이트 데이터가 저장된 불휘발성 메모리 장치(100)의 실제 어드레스 즉, 물리 어드레스(PBA)의 매핑 정보를 저장할 수 있다. 어드레스 버퍼(AB)에 저장되는 어드레스 매핑 정보는 P2L(Physical to Logical) 엔트리일 수 있다. 어드레스 버퍼(AB)에 저장된 P2L 엔트리에 근거하여 불휘발성 메모리 장치(100)의 어드레스 매핑 테이블(AMT)이 업데이트될 수 있다.
- [0035] 도 5a는 도 4의 어드레스 버퍼(AB)를 개념적으로 도시한 도면이다.
- [0036] 도 5a를 참조하면, 어드레스 버퍼(AB)는 임의의 수퍼 블록(SB)에 포함된 각 섹터(S1~S64)에 일대일로 매핑되는 영역들을 포함할 수 있다. 임의의 수퍼 블록(SB)은 현재 사용중인 예컨대, 라이트 동작이 수행중인 수퍼 블록(SB)에 해당할 수 있다. 호스트 장치로부터 라이트할 논리 어드레스들(LBAs)이 수신되면 하나의 논리 어드레스(LBA)가 하나의 섹터(S)에 매핑되도록 저장될 수 있다. 하나의 섹터(S)에 매핑되는 하나의 논리 어드레스(LBA)를 P2L 엔트리라 한다. 이때, 물리 어드레스(PBA)는 사용중인 수퍼 블록(SB)의 인덱스와 섹터들(S1~S64)의 인덱

스를 포함할 수 있다.

- [0037] 맵 업데이트 버퍼(MUB)는 불휘발성 메모리 장치(100)의 어드레스 맵 테이블(AMT)에 저장된 복수의 맵 세그먼트들(MS0~MSn) 중 업데이트 대상인 적어도 하나 이상의 맵 세그먼트들의 L2P 엔트리들을 임시 저장할 수 있다. 맵 업데이트 버퍼(MUB)에 임시 저장된 L2P 엔트리들 각각에 대한 물리 어드레스(PBA)는 어드레스 버퍼(AB)에 저장된 P2L 엔트리들에 근거하여 변경될 수 있다. 물리 어드레스(PBA)가 변경된 L2P 엔트리들이 불휘발성 메모리 장치(100)의 어드레스 맵 테이블(AMT)에 라이트됨에 따라 어드레스 맵 테이블(AMT)의 업데이트 즉, 맵 업데이트 동작이 완료될 수 있다.
- [0038] 맵 캐시 버퍼(MCB)는 호스트 장치로부터 최근 리드 요청된 논리 어드레스 또는 호스트 장치로부터 빈번히 리드 요청된 논리 어드레스에 대응하는 맵 데이터를 캐싱할 수 있다. 맵 캐시 버퍼(MCB)에 캐싱되는 맵 데이터는 L2P 엔트리들일 수 있다.
- [0039] 시퀀셜 맵 테이블(SMT)은 어드레스 버퍼(AB)에 저장된 P2L 엔트리들에 근거하여 기 설정된 임계 개수 이상의 연속되는 논리 어드레스들(LBAs)에 대한 시퀀셜 맵 엔트리들을 저장할 수 있다. 시퀀셜 맵 엔트리들은 맵 업데이트가 수행될 때 생성되어 시퀀셜 맵 테이블(SMT)에 저장될 수 있다.
- [0040] 도 5b는 도 4의 시퀀셜 맵 테이블(SMT)을 개념적으로 도시한 도면이다.
- [0041] 도 5b를 참조하면, 시퀀셜 맵 테이블(SMT)은 시퀀셜 맵 엔트리 인덱스(SME Index), 시작 논리 어드레스(start LBA), 논리 어드레스 길이(LBA Length), 및 시작 물리 어드레스(start PBA)를 포함하도록 구성될 수 있다. 시퀀셜 맵 테이블(SMT)은 i 개의 시퀀셜 맵 엔트리들(1~i)이 저장되는 영역을 가질 수 있다. 시퀀셜 맵 엔트리(sequential map entry)는 시작 논리 어드레스(start LBA), 논리 어드레스 길이(LBA Length), 및 시작 물리 어드레스(start PBA)를 포함하는 구성을 의미할 수 있다.
- [0042] 예를 들어, 임의의 수퍼 블록(SB)에 대한 라이트 동작이 완료되면, 맵 업데이트가 수행된다. 이때, 프로세서(220)는 어드레스 버퍼(AB)에 저장된 P2L 엔트리들을 스캔하여 기 설정된 임계 개수 이상으로 연속되는 논리 어드레스들(LBAs)(이하, '시퀀셜 논리 어드레스'라 함)이 존재하는지 여부를 판단할 수 있다. 시퀀셜 논리 어드레스가 존재하면, 프로세서(220)는 시퀀셜 논리 어드레스의 시작 논리 어드레스(start LBA), 길이(length), 및 시퀀셜 논리 어드레스의 시작 논리 어드레스와 대응하는 시작 물리 어드레스(start PBA)를 포함하는 시퀀셜 맵 엔트리를 생성하고, 생성된 시퀀셜 맵 엔트리를 시퀀셜 맵 테이블(SMT)에 저장할 수 있다.
- [0043] 도 6a는 시퀀셜 라이트 및 랜덤 라이트 시 어드레스 버퍼(AB)에 P2L 엔트리들이 저장된 예를 도시한 도면이고, 도 6b는 도 6a의 시퀀셜 라이트에 대한 시퀀셜 맵 엔트리의 생성 및 저장 예를 도시한 도면이다. 설명의 편의를 위하여, 제10 수퍼 블록(SB10)에 대한 라이트 동작이 수행된 것으로 가정한다. 또한, 시퀀셜 논리 어드레스에 해당하는지 여부를 판단하기 위한 기 설정된 임계 개수를 30개로 가정한다.
- [0044] 도 6a를 참조하면, 호스트 장치로부터 수신된 제1 라이트 커맨드(WCMD1)에 대한 라이트 데이터가 제10 수퍼 블록(SB10)의 제1 내지 제48 섹터들(S1~S48)에 저장됨에 따라, 제1 라이트 커맨드(WCMD1)에 대응하는 라이트 논리 어드레스들(LBA1~LBA48)이 각각 어드레스 버퍼(AB)의 대응하는 섹터들(S1~S48)에 매핑되어 저장된다. 다음 순서로 호스트 장치로부터 수신된 제2 라이트 커맨드(WCMD2)에 대한 라이트 데이터가 제10 수퍼 블록(SB10)의 제49 내지 제56 섹터들(S49~S56)에 저장됨에 따라, 제2 라이트 커맨드(WCMD2)에 대응하는 라이트 논리 어드레스들(LBA1401~LBA1408)이 각각 어드레스 버퍼(AB)의 대응하는 섹터들(S49~S56)에 매핑되어 저장된다. 마지막 순서로 호스트 장치로부터 수신된 제3 라이트 커맨드(WCMD3)에 대한 라이트 데이터가 제10 수퍼 블록(SB10)의 제57 내지 제64 섹터들(S57~S64)에 저장됨에 따라, 제3 라이트 커맨드(WCMD3)에 대응하는 라이트 논리 어드레스들(LBA1501~LBA1508)이 각각 어드레스 버퍼(AB)의 대응하는 섹터들(S49~S56)에 매핑되어 저장된다.
- [0045] 이와 같이, 제10 수퍼 블록(SB10)의 사용이 완료됨에 따라 맵 업데이트가 수행될 수 있다. 맵 업데이트는 앞서 설명된 바와 같이 불휘발성 메모리 장치(100)에 저장된 어드레스 맵 테이블(AMT)에서 라이트 논리 어드레스들(LBA1~LBA48, LBA1401~1408, 및 LBA1501~LBA1508)을 포함하는 맵 세그먼트(MS)들을 맵 업데이트 버퍼(MUB)에 저장한 후, 라이트 논리 어드레스들(LBA1~LBA48, LBA1401~1408, 및 LBA1501~LBA1508)에 대응하는 물리 어드레스(PBA)를 대응하는 수퍼 블록 인덱스(예컨대, 10) 및 섹터 인덱스들(1~64)로 변경하고, 물리 어드레스(PBA)이 변경된 라이트 논리 어드레스들(LBA1~LBA48, LBA1401~1408, 및 LBA1501~LBA1508)을 포함하는 맵 세그먼트(MS)들을 불휘발성 메모리 장치(100)에 재저장함으로써 수행될 수 있다.
- [0046] 맵 업데이트를 수행하면서 프로세서(220)는 어드레스 버퍼(AB)에 저장된 P2L 엔트리들에 근거하여 기 설정된 임계 개수(즉, 30) 이상으로 연속되는 시퀀셜 논리 어드레스들이 있는지 여부를 판단할 수 있다. 도 6a에 도시한

것처럼, 제1 내지 제48 논리 어드레스들(LBA1~LBA48)이 기 설정된 임계 개수 이상이므로, 프로세서(220)는 제1 내지 제48 논리 어드레스들(LBA1~LBA48)을 시퀀셜 논리 어드레스들에 해당하는 것으로 판단하고, 해당 논리 어드레스들(LBA1~LBA48)에 대한 시퀀셜 맵 엔트리를 생성하고, 시퀀셜 맵 테이블(SMT)에 저장할 수 있다.

- [0047] 도 6b에 도시한 바와 같이, 제1 내지 제48 논리 어드레스들(LBA1~LBA48)에 대한 시퀀셜 맵 엔트리의 시작 논리 어드레스인 'LBA1', 논리 어드레스 길이(LBA Length)인 '48', 시작 물리 어드레스(start PBA)인 슈퍼 블록 인덱스 '10' 및 섹터 인덱스 '1' 을 포함할 수 있다.
- [0048] 도 7a는 하나의 슈퍼 블록(super block)에서 수행되는 시퀀셜 라이트에 대하여 복수의 맵 업데이트가 수행되는 경우에 대한 시퀀셜 맵 엔트리의 생성 및 갱신을 예시적으로 도시한 도면이다. 설명의 편의를 위하여, 도 7a에 도시된 제10 슈퍼 블록(SB) 전체에 대하여 시퀀셜 라이트 동작이 수행된 것으로 가정한다.
- [0049] 랜덤 액세스 메모리(240)의 어드레스 버퍼(AB)의 크기는 슈퍼 블록(SB)의 크기보다 작을 수 있다. 도 7a에서는 슈퍼 블록(SB)의 크기가 어드레스 버퍼(AB)보다 4배의 크기를 갖는 것을 예를 들어 도시하였다. 어드레스 버퍼(AB)가 P2L 엔트리들로 가득 차게 되면 맵 업데이트가 수행되므로, 제10 슈퍼 블록(SB10)에 대한 라이트 동작이 완료될 때까지 4번의 맵 업데이트가 수행될 수 있다.
- [0050] 예를 들어, 제10 슈퍼 블록(SB10)이 제1 내지 제4j 섹터들(S1~S4j)을 포함하고 어드레스 버퍼(AB)가 제1 내지 제j 개의 매핑 영역들을 포함하면, 제10 슈퍼 블록(SB10)의 제1 내지 제j 섹터들(S1~Sj), 제j+1 내지 제2j 섹터들(Sj+1~S2j), 제2j+1 내지 제3j 섹터들(S2j+1~S3j), 및 제3j+1 내지 제4j 섹터들(S3j+1~S4j) 각각에 대한 라이트 동작이 완료될 때마다 맵 업데이트가 수행될 수 있다.
- [0051] 제10 슈퍼 블록(SB10)의 제1 내지 제j 섹터들(S1~Sj)에 대한 라이트 동작이 완료되면, 맵 업데이트가 수행되고, 프로세서(220)는 시퀀셜 논리 어드레스(LBA1~LBAj)에 대한 시퀀셜 맵 엔트리(SME1)를 생성할 수 있다. 생성된 시퀀셜 맵 엔트리(SME1)는 시작 논리 어드레스 'LBA1', 논리 어드레스 길이(LBA Length)인 'j', 시작 물리 어드레스(start PBA)로 슈퍼 블록 인덱스 '10' 및 섹터 인덱스 '1' 을 포함할 수 있다.
- [0052] 제10 슈퍼 블록(SB10)의 제j+1 내지 제2j 섹터들(Sj+1~S2j)에 대한 라이트 동작이 완료되면, 맵 업데이트가 수행되고, 프로세서(220)는 시퀀셜 맵 테이블(SMT)에 시퀀셜 논리 어드레스(LBAj+1~LBA2j)의 시작 논리 어드레스(LBAj+1)와 연속되는 종료 논리 어드레스(LBAj)를 갖는 시퀀셜 맵 엔트리가 있는지 여부를 판단할 수 있다. 시퀀셜 맵 테이블(SMT)에는 종료 논리 어드레스(LBAj)를 갖는 시퀀셜 맵 엔트리(SME1)가 저장되어 있으므로, 프로세서(220)는 해당 시퀀셜 맵 엔트리(SME1)에서 논리 어드레스 길이(LBA length)를 '2j' 로 갱신할 수 있다.
- [0053] 마찬가지로, 제10 슈퍼 블록(SB10)의 제2j+1 내지 제3j 섹터들(S2j+1~S3j) 및 제3j+1 내지 제4j 섹터들(S3j+1~S4j) 각각에 대한 라이트 동작이 완료될 때마다, 프로세서(220)는 시퀀셜 맵 테이블(SMT)에 저장된 시퀀셜 맵 엔트리(SME1)에서 논리 어드레스 길이(LBA length)를 '3j' 및 '4j' 로 갱신할 수 있다.
- [0054] 도 7b는 하나의 슈퍼 블록(super block)에서 완료된 시퀀셜 라이트가 다른 슈퍼 블록(super block)에서 이어져 수행되는 경우에 대한 시퀀셜 맵 엔트리의 생성을 예시적으로 도시한 도면이다.
- [0055] 도 7a에 도시한 것처럼 제10 슈퍼 블록(SB10)에서 완료된 시퀀셜 라이트가 제11 슈퍼 블록(SB11)의 제1 내지 제j 섹터들(S1~Sj)까지 이어져 수행되면, 슈퍼 블록의 인덱스가 변경됨에 따라 프로세서(220)는 시퀀셜 논리 어드레스(LBA4j+1~LBA5j)에 대한 새로운 시퀀셜 맵 엔트리(SME2)를 생성할 수 있다. 새로 생성된 시퀀셜 맵 엔트리(SME2)는 시작 논리 어드레스 'LBA4j+1', 논리 어드레스 길이(LBA Length)인 'j', 시작 물리 어드레스(start PBA)로 슈퍼 블록 인덱스 '11' 및 섹터 인덱스 '1' 을 포함할 수 있다.
- [0056] 시퀀셜 맵 서치 엔진(250)은 호스트 장치로부터 리드 요청이 수신되면, 프로세서(200)의 제어에 의해 시퀀셜 맵 테이블(SMT)에 저장된 시퀀셜 맵 엔트리(SME)들 중 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)를 서치할 수 있다. 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)가 시퀀셜 맵 테이블(SMT)에 존재하면, 해당 시퀀셜 맵 엔트리(SME)의 인덱스를 프로세서(220)로 제공할 수 있다. 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)가 시퀀셜 맵 테이블(SMT)에 존재하지 않으면, 시퀀셜 맵 서치 엔진(250)은 프로세서(220)로 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리가 존재하지 않음을 나타내는 신호를 프로세서(220)로 제공할 수 있다.
- [0057] 프로세서(220)는 시퀀셜 맵 서치 엔진(250)으로부터 제공된 인덱스를 참조하여 시퀀셜 맵 테이블(SMT)로부터 대응하는 시퀀셜 맵 엔트리(SME)를 확인하고, 해당 시퀀셜 맵 엔트리(SME)의 시작 논리 어드레스(start LBA)와 리드 요청된 논리 어드레스 간의 오프셋(offset)을 연산한다. 프로세서(220)는 시퀀셜 맵 엔트리(SME)의 물리 어

드레스(수퍼 블록 인덱스/섹터 인덱스)의 섹터 인덱스에 연산된 오프셋(offset)을 더하여 리드할 물리 어드레스로 변환하고, 변환된 물리 어드레스를 불휘발성 메모리 장치(100)로 제공하여 해당 위치에 저장된 데이터를 독출하도록 불휘발성 메모리 장치(100)를 제어할 수 있다.

- [0058] 시퀀셜 맵 서치 엔진(250)으로부터 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리가 존재하지 않음을 나타내는 신호가 제공되면, 프로세서(220)는 랜덤 액세스 메모리(240)의 맵 캐시 버퍼(MCB)에 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 있는지를 확인하고, 맵 캐시 버퍼(MCB)에 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 있으면, L2P 엔트리에 근거하여 리드 요청된 논리 어드레스를 물리 어드레스 변환하여 불휘발성 메모리 장치(100)로 제공할 수 있다.
- [0059] 만일, 맵 캐시 버퍼(MCB)에 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 없으면, 프로세서(220)는 불휘발성 메모리 장치(100)의 어드레스 맵 테이블(AMT)에서 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 포함된 맵 세그먼트(MS)를 리드하여 맵 캐시 버퍼(MCB)에 캐싱하고, 맵 캐시 버퍼(MCB)에서 대응하는 L2P 엔트리를 검색하고, 검색된 L2P 엔트리에 근거하여 리드 요청된 논리 어드레스를 물리 어드레스 변환할 수 있다.
- [0060] 도 8a는 3 개의 시퀀셜 맵 엔트리들이 저장된 시퀀셜 맵 테이블을 예시적으로 도시한 도면이고, 도 8b는 랜덤 리드 요청된 논리 어드레스가 시퀀셜 맵 엔트리에 포함된 경우의 동작을 설명하기 위한 도면이다.
- [0061] 도 8a 및 도 8b에 도시한 바와 같이, 호스트 장치로부터 리드 요청(예컨대, 랜덤 리드 요청) 및 리드할 논리 어드레스(LBA30)가 수신되면, 프로세서(220)는 시퀀셜 맵 서치 엔진(250)을 이용하여 시퀀셜 맵 테이블(SMT)에서 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)를 검색한다. 리드할 논리 어드레스(LBA30)가 포함된 시퀀셜 맵 엔트리(SME1)가 검색되면, 프로세서(220)는 검색된 시퀀셜 맵 엔트리(SME1)의 시작 논리 어드레스 'LBA1' 과 리드 요청된 논리 어드레스 'LBA30' 간의 오프셋('29')을 연산한다. 이후, 프로세서(220)는 검색된 시퀀셜 맵 엔트리(SME1)의 시작 물리 어드레스(start PBA)의 섹터 인덱스 '1' 에 오프셋 '29' 를 더하여 리드할 논리 어드레스(LBA30)를 리드할 물리 어드레스 (10, 30)로 변환할 수 있다.
- [0062] 도 9는 본 발명의 실시 예에 따른 데이터 저장 장치의 동작 방법을 도시한 순서도이다. 구체적으로, 도 9는 본 실시 예에 따른 데이터 저장 장치의 동작 방법 중 시퀀셜 맵 엔트리를 생성하는 방법을 설명하기 위한 순서도이다. 도 9를 참조하여 본 실시 예에 따른 데이터 저장 장치의 동작 방법을 설명함에 있어서, 도 1 내지 도 8b가 참조될 수 있다.
- [0063] S910 단계에서, 프로세서(220)는 맵 업데이트의 수행이 필요한지 여부를 판단할 수 있다. 예를 들어, 랜덤 액세스 메모리(240)의 어드레스 버퍼(AB)에 P2L 엔트리들이 가득 차면 맵 업데이트를 수행해야 하는 것으로 판단할 수 있다. 맵 업데이트의 수행이 필요한 것으로 판단되면, S920 단계로 진행될 수 있다.
- [0064] S920 단계에서, 프로세서(220)는 어드레스 버퍼(AB)의 P2L 엔트리들에 근거하여 불휘발성 메모리 장치(100)의 어드레스 맵 테이블(AMT)로부터 업데이트할 논리 어드레스들(LBAs)이 포함된 맵 세그먼트(MS)들을 랜덤 액세스 메모리(240)의 맵 업데이트 버퍼(MUB)에 로딩하고, 업데이트할 논리 어드레스들(LBAs)에 대응하는 물리 어드레스들을 변경하고, 물리 어드레스들이 변경된 논리 어드레스들(LBAs)들을 불휘발성 메모리 장치(100)의 어드레스 맵 테이블(AMT)에 저장하는 맵 업데이트를 수행할 수 있다.
- [0065] S930 단계에서, 프로세서(220)는 어드레스 버퍼(AB)에 저장된 P2L 엔트리들에 근거하여 기 설정된 임계 개수 이상의 연속되는 논리 어드레스들인 시퀀셜 논리 어드레스들이 존재하는지 여부를 판단할 수 있다. 시퀀셜 논리 어드레스들이 존재하지 않으면, S910 단계로 진행될 수 있다. 시퀀셜 논리 어드레스들이 존재하면 S940 단계로 진행될 수 있다.
- [0066] S940 단계에서, 프로세서(220)는 랜덤 액세스 메모리(240)의 시퀀셜 맵 테이블(SMT)을 참조하여 시퀀셜 논리 어드레스들의 시작 논리 어드레스와 연속되는 종료 논리 어드레스를 갖는 시퀀셜 맵 엔트리가 존재하는지 여부를 판단할 수 있다. 시퀀셜 논리 어드레스들의 시작 논리 어드레스와 연속되는 종료 논리 어드레스를 갖는 시퀀셜 맵 엔트리가 존재하면 S950 단계로 진행될 수 있다.
- [0067] S950 단계에서, 프로세서(220)는 시퀀셜 논리 어드레스들에 대한 수퍼 블록 인덱스와 시퀀셜 맵 엔트리의 수퍼 블록 인덱스가 동일한지 여부를 판단할 수 있다. 동일하면 S960 단계로 진행될 수 있다.
- [0068] S960 단계에서, 프로세서(220)는 시퀀셜 맵 엔트리의 논리 어드레스 길이(LBA length)를 시퀀셜 논리 어드레스들의 길이만큼 더한 값으로 갱신할 수 있다.
- [0069] S940 단계에서 시퀀셜 논리 어드레스들의 시작 논리 어드레스와 연속되는 종료 논리 어드레스를 갖는 시퀀셜 맵

엔트리가 존재하지 않거나 또는 S950 단계에서 시퀀셜 논리 어드레스들에 대한 수퍼 블록 인덱스와 시퀀셜 맵 엔트리의 수퍼 블록 인덱스가 동일하지 않으면 S970 단계로 진행될 수 있다.

- [0070] S970 단계에서, 프로세서(220)는 해당 시퀀셜 논리 어드레스들에 대한 시퀀셜 맵 엔트리를 새로 생성하여 시퀀셜 맵 테이블(SMT)에 저장할 수 있다.
- [0071] 도 10은 본 발명의 실시 예에 따른 데이터 저장 장치의 동작 방법을 도시한 순서도이다. 구체적으로, 도 10은 본 실시 예에 따른 데이터 저장 장치의 동작 방법 중 랜덤 리드 요청에 대한 어드레스 변환 방법을 설명하기 위한 순서도이다. 도 10을 참조하여 본 실시 예에 따른 데이터 저장 장치의 동작 방법을 설명함에 있어서, 도 1 내지 도 8b가 참조될 수 있다.
- [0072] S1010 단계에서, 프로세서(220)는 호스트 장치로부터 리드 요청이 수신되는지 여부를 판단할 수 있다. 호스트 장치로부터 리드 요청이 수신되면 S1020 단계로 진행될 수 있다.
- [0073] S1020 단계에서, 프로세서(220)는 시퀀셜 맵 서치 엔진(250)을 이용하여 시퀀셜 맵 테이블(SMT)에 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)가 존재하는지 여부를 판단할 수 있다. 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)가 존재하면 S1030 단계로 진행될 수 있다.
- [0074] S1030 단계에서, 프로세서(220)는 시퀀셜 맵 엔트리(SME)의 시작 논리 어드레스와 리드 요청된 논리 어드레스 간의 오프셋을 연산할 수 있다.
- [0075] S1040 단계에서, 프로세서(220)는 시퀀셜 맵 엔트리(SME)의 시작 물리 어드레스에 연산된 오프셋을 합산하여 리드 요청된 논리 어드레스를 리드할 물리 어드레스로 변환할 수 있다. 예를 들어, 오프셋은 시작 물리 어드레스에 포함된 섹터 인덱스에 합산될 수 있다. 이후, S1080 단계로 진행될 수 있다.
- [0076] S1020 단계에서 리드 요청된 논리 어드레스가 포함된 시퀀셜 맵 엔트리(SME)가 존재하지 않으면 S1050 단계로 진행될 수 있다.
- [0077] S1050 단계에서, 프로세서(220)는 랜덤 액세스 메모리(240)의 맵 캐시 버퍼(MCB)에 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 존재하는지 여부를 판단할 수 있다. 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 존재하면, S1060 단계로 진행될 수 있다.
- [0078] S1060 단계에서, 프로세서(220)는 맵 캐시 버퍼(MCB)에 캐싱된 L2P 엔트리에 근거하여 리드 요청된 논리 어드레스를 리드할 물리 어드레스로 변환할 수 있다. 이후, S1080 단계로 진행될 수 있다.
- [0079] S1050 단계에서 맵 캐시 버퍼(MCB)에 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 존재하지 않으면, S1070 단계로 진행될 수 있다.
- [0080] S1070 단계에서, 프로세서(220)는 불휘발성 메모리 장치(100)의 어드레스 맵 테이블(AMT)로부터 리드 요청된 논리 어드레스에 대응하는 L2P 엔트리가 포함된 맵 세그먼트(MS)를 리드하여 맵 캐시 버퍼(MCB)에 캐싱하고, 맵 캐시 버퍼(MCB)에 캐싱된 L2P 엔트리에 근거하여 리드 요청된 논리 어드레스를 리드할 물리 어드레스로 변환할 수 있다. 이후, S1080 단계로 진행될 수 있다.
- [0081] S1080 단계에서, 프로세서(220)는 변환된 리드할 물리 어드레스와 리드 커맨드를 불휘발성 메모리 장치(100)로 제공하고, 리드할 물리 어드레스에 대응하는 위치로부터 데이터를 독출하도록 불휘발성 메모리 장치(100)를 제어할 수 있다.
- [0082] 도 11은 본 발명의 실시 예에 따른 솔리드 스테이트 드라이브(SSD)를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 11을 참조하면, 데이터 처리 시스템(2000)은 호스트 장치(2100)와 솔리드 스테이트 드라이브(solid state drive)(2200)(이하, SSD라 칭함)를 포함할 수 있다.
- [0083] SSD(2200)는 컨트롤러(2210), 버퍼 메모리 장치(2220), 불휘발성 메모리 장치들(2231~223n), 전원 공급기(2240), 신호 커넥터(2250) 및 전원 커넥터(2260)를 포함할 수 있다.
- [0084] 컨트롤러(2210)는 SSD(2200)의 제반 동작을 제어할 수 있다.
- [0085] 버퍼 메모리 장치(2220)는 불휘발성 메모리 장치들(2231~223n)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(2220)는 불휘발성 메모리 장치들(2231~223n)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(2220)에 임시 저장된 데이터는 컨트롤러(2210)의 제어에 따라 호스트 장치(2100) 또는 불휘발성 메모리 장치들(2231~223n)로 전송될 수 있다.

- [0086] 불휘발성 메모리 장치들(2231~223n)은 SSD(2200)의 저장 매체로 사용될 수 있다. 불휘발성 메모리 장치들(2231~223n) 각각은 복수의 채널들(CH1~CHn)을 통해 컨트롤러(2210)와 연결될 수 있다. 하나의 채널에는 하나 또는 그 이상의 불휘발성 메모리 장치가 연결될 수 있다. 하나의 채널에 연결되는 불휘발성 메모리 장치들은 동일한 신호 버스 및 데이터 버스에 연결될 수 있다.
- [0087] 전원 공급기(2240)는 전원 커넥터(2260)를 통해 입력된 전원(PWR)을 SSD(2200) 내부에 제공할 수 있다. 전원 공급기(2240)는 보조 전원 공급기(2241)를 포함할 수 있다. 보조 전원 공급기(2241)는 서든 파워 오프(sudden power off)가 발생하는 경우, SSD(2200)가 정상적으로 종료될 수 있도록 전원을 공급할 수 있다. 보조 전원 공급기(2241)는 전원(PWR)을 충전할 수 있는 대용량 캐패시터들(capacitors)을 포함할 수 있다.
- [0088] 컨트롤러(2210)는 신호 커넥터(2250)를 통해서 호스트 장치(2100)와 신호(SGL)를 주고 받을 수 있다. 여기에서, 신호(SGL)는 커맨드, 어드레스, 데이터 등을 포함할 수 있다. 신호 커넥터(2250)는 호스트 장치(2100)와 SSD(2200)의 인터페이스 방식에 따라 다양한 형태의 커넥터로 구성될 수 있다.
- [0089] 도 12는 도 11에 도시된 컨트롤러를 예시적으로 보여주는 도면이다. 도 12를 참조하면, 컨트롤러(2210)는 호스트 인터페이스 유닛(2211), 컨트롤 유닛(2212), 랜덤 액세스 메모리(2213), 에러 정정 코드(ECC) 유닛(2214) 및 메모리 인터페이스 유닛(2215)을 포함할 수 있다.
- [0090] 호스트 인터페이스 유닛(2211)은, 호스트 장치(2100)의 프로토콜에 따라서, 호스트 장치(2100)와 SSD(2200)를 인터페이스할 수 있다. 예를 들면, 호스트 인터페이스 유닛(2211)은, 시큐어 디지털(secure digital), USB(universal serial bus), MMC(multi-media card), eMMC(embedded MMC), PCMCIA(personal computer memory card international association), PATA(parallel advanced technology attachment), SATA(serial advanced technology attachment), SCSI(small computer system interface), SAS(serial attached SCSI), PCI(peripheral component interconnection), PCI-E(PCI Express), UFS(universal flash storage) 프로토콜들 중 어느 하나를 통해서 호스트 장치(2100)와 통신할 수 있다. 또한, 호스트 인터페이스 유닛(2211)은 호스트 장치(2100)가 SSD(2200)를 범용 데이터 저장 장치, 예를 들면, 하드 디스크 드라이브(HDD)로 인식하도록 지원하는 디스크 에뮬레이션(disk emulation) 기능을 수행할 수 있다.
- [0091] 컨트롤 유닛(2212)은 호스트 장치(2100)로부터 입력된 신호(SGL)를 분석하고 처리할 수 있다. 컨트롤 유닛(2212)은 SSD(2200)를 구동하기 위한 펌웨어 또는 소프트웨어에 따라서 내부 기능 블록들의 동작을 제어할 수 있다. 랜덤 액세스 메모리(2213)는 이러한 펌웨어 또는 소프트웨어를 구동하기 위한 동작 메모리로서 사용될 수 있다.
- [0092] 에러 정정 코드(ECC) 유닛(2214)은 불휘발성 메모리 장치들(2231~223n)로 전송될 데이터의 패리티 데이터를 생성할 수 있다. 생성된 패리티 데이터는 데이터와 함께 불휘발성 메모리 장치들(2231~223n)에 저장될 수 있다. 에러 정정 코드(ECC) 유닛(2214)은 패리티 데이터에 근거하여 불휘발성 메모리 장치들(2231~223n)로부터 독출된 데이터의 에러를 검출할 수 있다. 만약, 검출된 에러가 정정 범위 내이면, 에러 정정 코드(ECC) 유닛(2214)은 검출된 에러를 정정할 수 있다.
- [0093] 메모리 인터페이스 유닛(2215)은, 컨트롤 유닛(2212)의 제어에 따라서, 불휘발성 메모리 장치들(2231~223n)에 커맨드 및 어드레스와 같은 제어 신호를 제공할 수 있다. 그리고 메모리 인터페이스 유닛(2215)은, 컨트롤 유닛(2212)의 제어에 따라서, 불휘발성 메모리 장치들(2231~223n)과 데이터를 주고받을 수 있다. 예를 들면, 메모리 인터페이스 유닛(2215)은 버퍼 메모리 장치(2220)에 저장된 데이터를 불휘발성 메모리 장치들(2231~223n)로 제공하거나, 불휘발성 메모리 장치들(2231~223n)로부터 읽혀진 데이터를 버퍼 메모리 장치(2220)로 제공할 수 있다.
- [0094] 도 13은 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 13을 참조하면, 데이터 처리 시스템(3000)은 호스트 장치(3100)와 데이터 저장 장치(3200)를 포함할 수 있다.
- [0095] 호스트 장치(3100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(3100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0096] 호스트 장치(3100)는 소켓(socket), 슬롯(slot) 또는 커넥터(connector)와 같은 접속 터미널(3110)을 포함할 수 있다. 데이터 저장 장치(3200)는 접속 터미널(3110)에 마운트(mount)될 수 있다.

- [0097] 데이터 저장 장치(3200)는 인쇄 회로 기판과 같은 기판 형태로 구성될 수 있다. 데이터 저장 장치(3200)는 메모리 모듈 또는 메모리 카드로 불릴 수 있다. 데이터 저장 장치(3200)는 컨트롤러(3210), 버퍼 메모리 장치(3220), 불휘발성 메모리 장치(3231~3232), PMIC(power management integrated circuit)(3240) 및 접속 터미널(3250)을 포함할 수 있다.
- [0098] 컨트롤러(3210)는 데이터 저장 장치(3200)의 제반 동작을 제어할 수 있다. 컨트롤러(3210)는 도 12에 도시된 컨트롤러(2210)와 동일하게 구성될 수 있다.
- [0099] 버퍼 메모리 장치(3220)는 불휘발성 메모리 장치들(3231~3232)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(3220)는 불휘발성 메모리 장치들(3231~3232)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(3220)에 임시 저장된 데이터는 컨트롤러(3210)의 제어에 따라 호스트 장치(3100) 또는 불휘발성 메모리 장치들(3231~3232)로 전송될 수 있다.
- [0100] 불휘발성 메모리 장치들(3231~3232)은 데이터 저장 장치(3200)의 저장 매체로 사용될 수 있다.
- [0101] PMIC(3240)는 접속 터미널(3250)을 통해 입력된 전원을 데이터 저장 장치(3200) 내부에 제공할 수 있다. PMIC(3240)는, 컨트롤러(3210)의 제어에 따라서, 데이터 저장 장치(3200)의 전원을 관리할 수 있다.
- [0102] 접속 터미널(3250)은 호스트 장치의 접속 터미널(3110)에 연결될 수 있다. 접속 터미널(3250)을 통해서, 호스트 장치(3100)와 데이터 저장 장치(3200) 간에 커맨드, 어드레스, 데이터 등과 같은 신호와, 전원이 전달될 수 있다. 접속 터미널(3250)은 호스트 장치(3100)와 데이터 저장 장치(3200)의 인터페이스 방식에 따라 다양한 형태로 구성될 수 있다. 접속 터미널(3250)은 데이터 저장 장치(3200)의 어느 한 변에 배치될 수 있다.
- [0103] 도 14는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 데이터 처리 시스템을 예시적으로 보여주는 도면이다. 도 14를 참조하면, 데이터 처리 시스템(4000)은 호스트 장치(4100)와 데이터 저장 장치(4200)를 포함할 수 있다.
- [0104] 호스트 장치(4100)는 인쇄 회로 기판(printed circuit board)과 같은 기판(board) 형태로 구성될 수 있다. 비록 도시되지 않았지만, 호스트 장치(4100)는 호스트 장치의 기능을 수행하기 위한 내부 기능 블록들을 포함할 수 있다.
- [0105] 데이터 저장 장치(4200)는 표면 실장형 패키지 형태로 구성될 수 있다. 데이터 저장 장치(4200)는 솔더 볼(solder ball)(4250)을 통해서 호스트 장치(4100)에 마운트될 수 있다. 데이터 저장 장치(4200)는 컨트롤러(4210), 버퍼 메모리 장치(4220) 및 불휘발성 메모리 장치(4230)를 포함할 수 있다.
- [0106] 컨트롤러(4210)는 데이터 저장 장치(4200)의 제반 동작을 제어할 수 있다. 컨트롤러(4210)는 도 12에 도시된 컨트롤러(2210)와 동일하게 구성될 수 있다.
- [0107] 버퍼 메모리 장치(4220)는 불휘발성 메모리 장치(4230)에 저장될 데이터를 임시 저장할 수 있다. 또한, 버퍼 메모리 장치(4220)는 불휘발성 메모리 장치들(4230)로부터 읽혀진 데이터를 임시 저장할 수 있다. 버퍼 메모리 장치(4220)에 임시 저장된 데이터는 컨트롤러(4210)의 제어에 따라 호스트 장치(4100) 또는 불휘발성 메모리 장치(4230)로 전송될 수 있다.
- [0108] 불휘발성 메모리 장치(4230)는 데이터 저장 장치(4200)의 저장 매체로 사용될 수 있다.
- [0109] 도 15는 본 발명의 실시 예에 따른 데이터 저장 장치를 포함하는 네트워크 시스템(5000)을 예시적으로 보여주는 도면이다. 도 15를 참조하면, 네트워크 시스템(5000)은 네트워크(5500)를 통해서 연결된 서버 시스템(5300) 및 복수의 클라이언트 시스템들(5410~5430)을 포함할 수 있다.
- [0110] 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)의 요청에 응답하여 데이터를 서비스할 수 있다. 예를 들면, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로부터 제공된 데이터를 저장할 수 있다. 다른 예로서, 서버 시스템(5300)은 복수의 클라이언트 시스템들(5410~5430)로 데이터를 제공할 수 있다.
- [0111] 서버 시스템(5300)은 호스트 장치(5100) 및 데이터 저장 장치(5200)를 포함할 수 있다. 데이터 저장 장치(5200)는 도 1의 데이터 저장 장치(100), 도 11의 데이터 저장 장치(2200), 도 13의 데이터 저장 장치(3200), 도 14의 데이터 저장 장치(4200)로 구성될 수 있다.
- [0112] 도 16은 본 발명의 실시 예에 따른 데이터 저장 장치에 포함된 불휘발성 메모리 장치를 예시적으로 보여주는 블록도이다. 도 16을 참조하면, 불휘발성 메모리 장치(100)는 메모리 셀 어레이(110), 행 디코더(120), 열 디코더

(130), 데이터 읽기/쓰기 블럭(140), 전압 발생기(150) 및 제어 로직(160)을 포함할 수 있다.

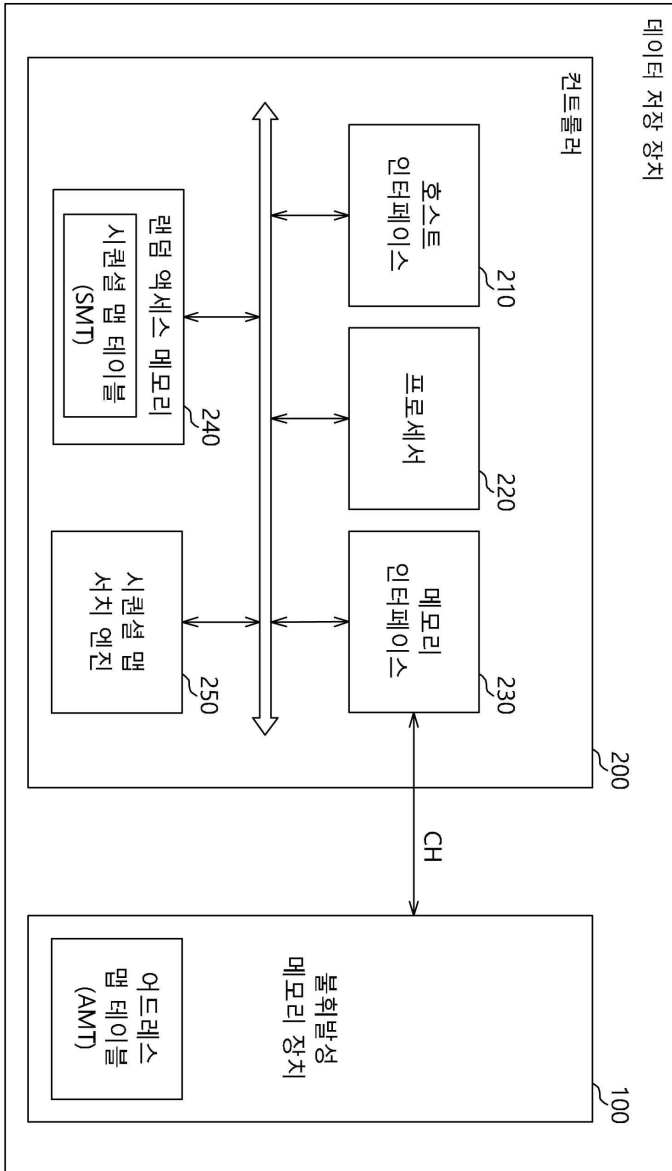
- [0113] 메모리 셀 어레이(110)는 워드 라인들(WL1~WLm)과 비트 라인들(BL1~BLn)이 서로 교차된 영역에 배열된 메모리 셀(MC)들을 포함할 수 있다.
- [0114] 행 디코더(120)는 워드 라인들(WL1~WLm)을 통해서 메모리 셀 어레이(110)와 연결될 수 있다. 행 디코더(120)는 제어 로직(160)의 제어에 따라 동작할 수 있다. 행 디코더(120)는 외부 장치(도시되지 않음)로부터 제공된 어드레스를 디코딩할 수 있다. 행 디코더(120)는 디코딩 결과에 근거하여 워드 라인들(WL1~WLm)을 선택하고, 구동할 수 있다. 예시적으로, 행 디코더(120)는 전압 발생기(150)로부터 제공된 워드 라인 전압을 워드 라인들(WL1~WLm)에 제공할 수 있다.
- [0115] 데이터 읽기/쓰기 블럭(140)은 비트 라인들(BL1~BLn)을 통해서 메모리 셀 어레이(110)와 연결될 수 있다. 데이터 읽기/쓰기 블럭(140)은 비트 라인들(BL1~BLn) 각각에 대응하는 읽기/쓰기 회로들(RW1~RWn)을 포함할 수 있다. 데이터 읽기/쓰기 블럭(140)은 제어 로직(160)의 제어에 따라 동작할 수 있다. 데이터 읽기/쓰기 블럭(140)은 동작 모드에 따라서 쓰기 드라이버로서 또는 감지 증폭기로서 동작할 수 있다. 예를 들면, 데이터 읽기/쓰기 블럭(140)은 쓰기 동작 시 외부 장치로부터 제공된 데이터를 메모리 셀 어레이(110)에 저장하는 쓰기 드라이버로서 동작할 수 있다. 다른 예로서, 데이터 읽기/쓰기 블럭(140)은 읽기 동작 시 메모리 셀 어레이(110)로부터 데이터를 독출하는 감지 증폭기로서 동작할 수 있다.
- [0116] 열 디코더(130)는 제어 로직(160)의 제어에 따라 동작할 수 있다. 열 디코더(130)는 외부 장치로부터 제공된 어드레스를 디코딩할 수 있다. 열 디코더(130)는 디코딩 결과에 근거하여 비트 라인들(BL1~BLn) 각각에 대응하는 데이터 읽기/쓰기 블럭(140)의 읽기/쓰기 회로들(RW1~RWn)과 데이터 입출력 라인(또는 데이터 입출력 버퍼)을 연결할 수 있다.
- [0117] 전압 발생기(150)는 불휘발성 메모리 장치(100)의 내부 동작에 사용되는 전압을 생성할 수 있다. 전압 발생기(150)에 의해서 생성된 전압들은 메모리 셀 어레이(110)의 메모리 셀들에 인가될 수 있다. 예를 들면, 프로그램 동작 시 생성된 프로그램 전압은 프로그램 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다. 다른 예로서, 소거 동작 시 생성된 소거 전압은 소거 동작이 수행될 메모리 셀들의 웰-영역에 인가될 수 있다. 다른 예로서, 읽기 동작 시 생성된 읽기 전압은 읽기 동작이 수행될 메모리 셀들의 워드 라인에 인가될 수 있다.
- [0118] 제어 로직(160)은 외부 장치로부터 제공된 제어 신호에 근거하여 불휘발성 메모리 장치(100)의 제반 동작을 제어할 수 있다. 예를 들면, 제어 로직(160)은 불휘발성 메모리 장치(100)의 읽기, 쓰기, 소거 동작과 같은 불휘발성 메모리 장치(100)의 동작을 제어할 수 있다.
- [0119] 이상에서, 본 발명은 구체적인 실시 예를 통해 설명되고 있으나, 본 발명은 그 범위에서 벗어나지 않는 한도 내에서 여러 가지로 변형할 수 있음은 잘 이해될 것이다. 그러므로, 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위 및 이와 균등한 것들에 의해 정해져야 한다. 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 잘 이해될 것이다.

부호의 설명

- | | |
|----------------------|------------------|
| [0120] 10: 데이터 저장 장치 | 100: 불휘발성 메모리 장치 |
| 200: 컨트롤러 | 210: 호스트 인터페이스 |
| 220: 프로세서 | 230: 메모리 인터페이스 |
| 240: 랜덤 액세스 메모리 | 250: 시퀀셜 맵 서치 엔진 |

도면

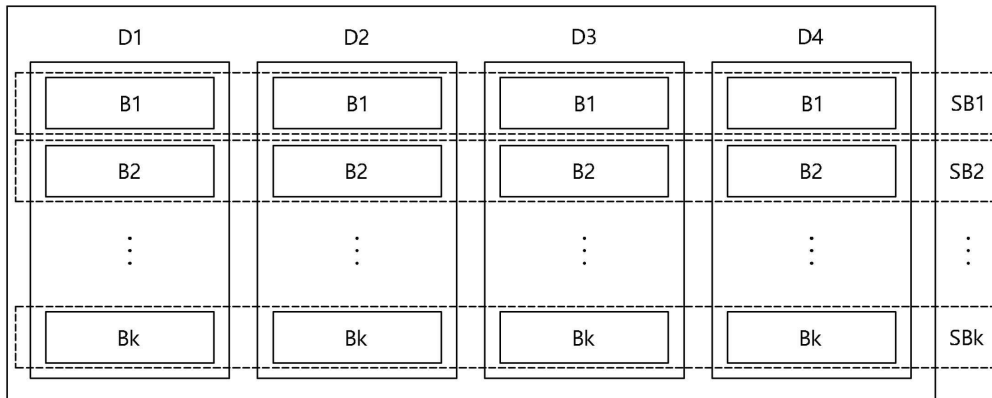
도면1



10

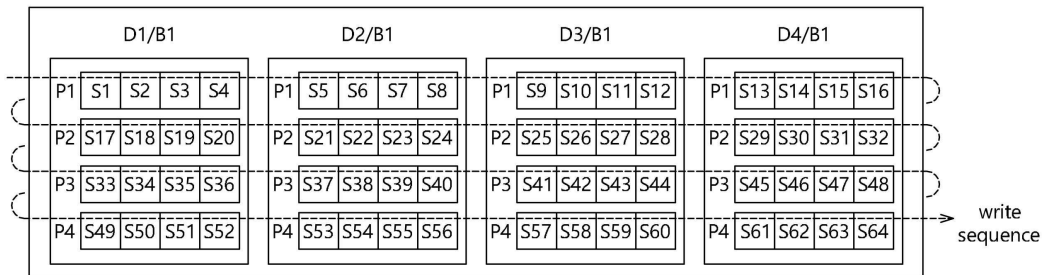
도면2a

100



도면2b

SB1



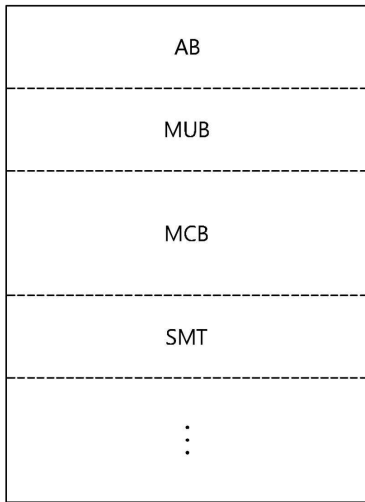
도면3

AMT

MS Index	Logical Address	Physical Address	L2P entry
MS1	LBA1	PBA1	↖
	LBA2	PBA2	
	⋮	⋮	
	LBA _m	PBA _m	
⋮	⋮	⋮	
MS _n	LBA1	PBA1	
	LBA2	PBA2	
	⋮	⋮	
	LBA _m	PBA _m	

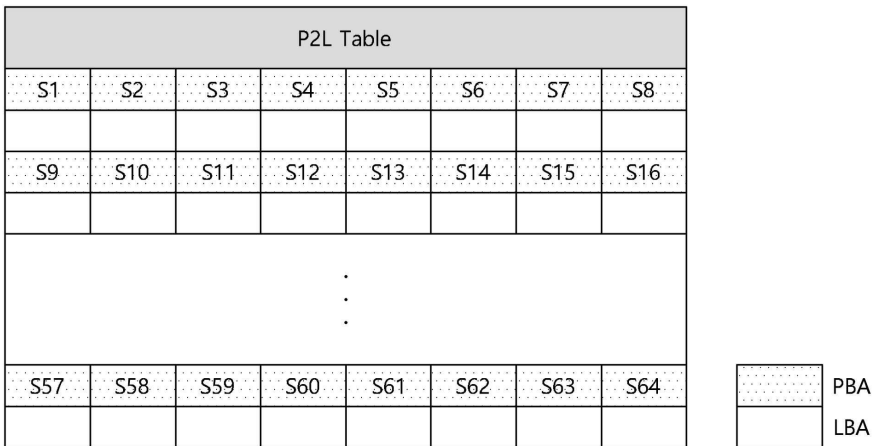
도면4

240



도면5a

AB



도면5b

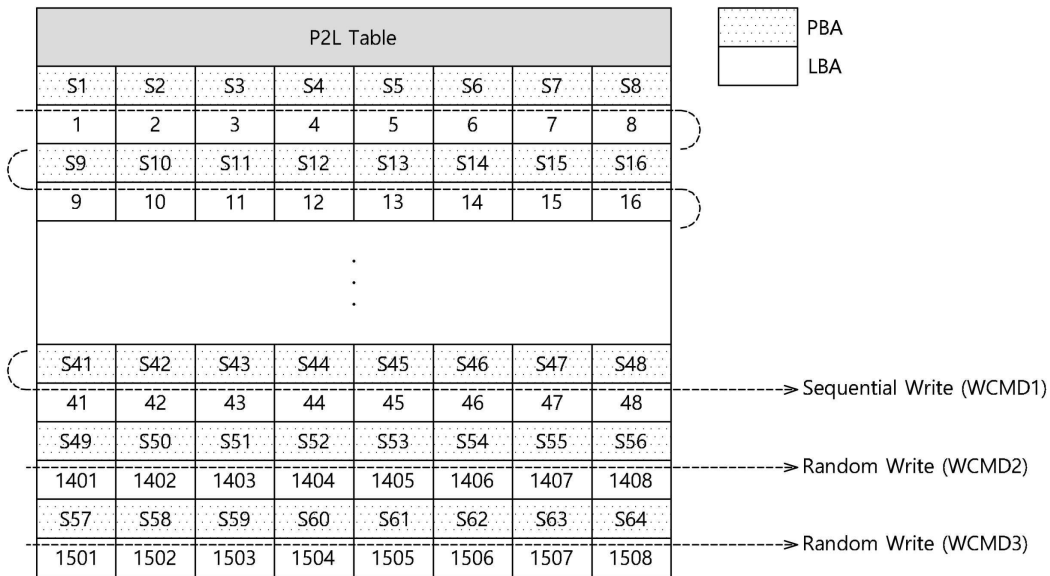
SMT

SME Index	Start LBA	LBA length	Start PBA (Super Block/Sector)	
1	LBA	Value	SB Index	Sector Index
2	LBA	Value	SB Index	Sector Index
3	LBA	Value	SB Index	Sector Index
·	·	·	·	·
·	·	·	·	·
i	LBA	Value	SB Index	Sector Index

Sequential Map Entry

도면6a

AB

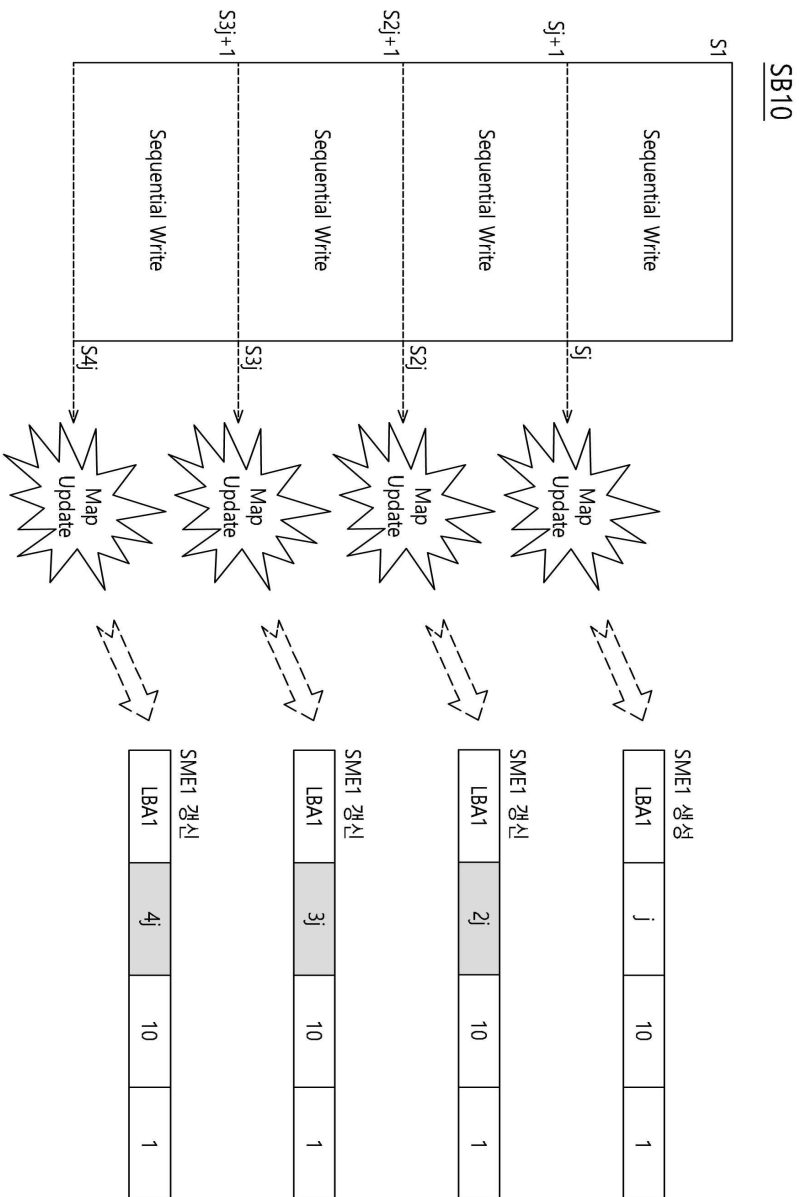


도면6b

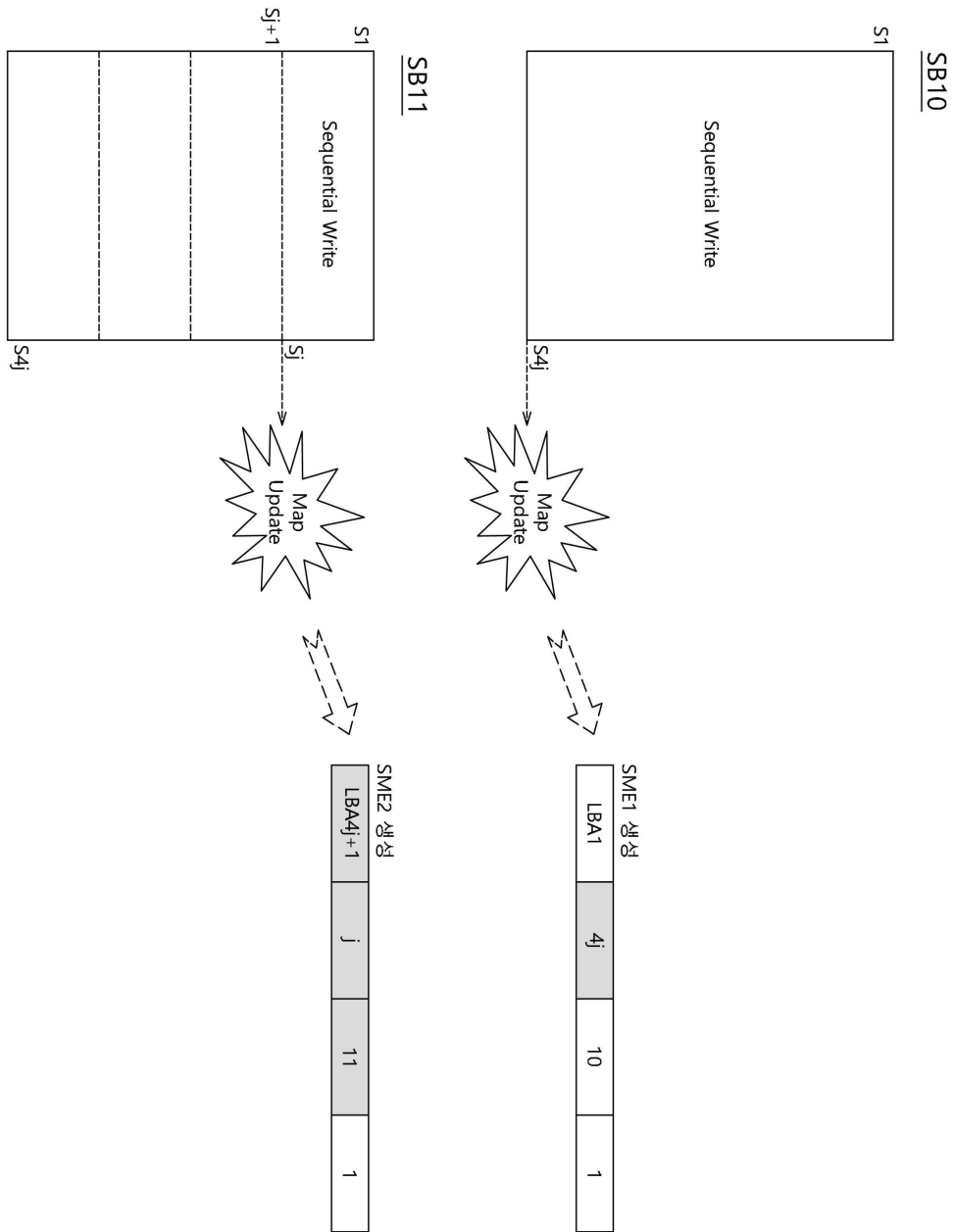
SMT

SME Index	Start LBA	LBA length	Start PBA (Super Block/Sector)	
1	LBA1	48	10	1
⋮	⋮	⋮	⋮	⋮
i	-	-	-	-

도면7a



도면7b

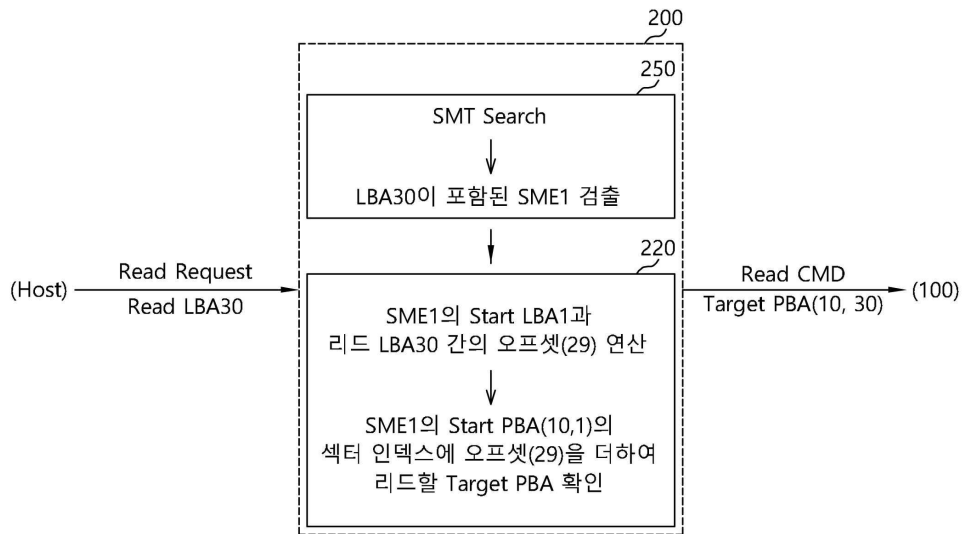


도면8a

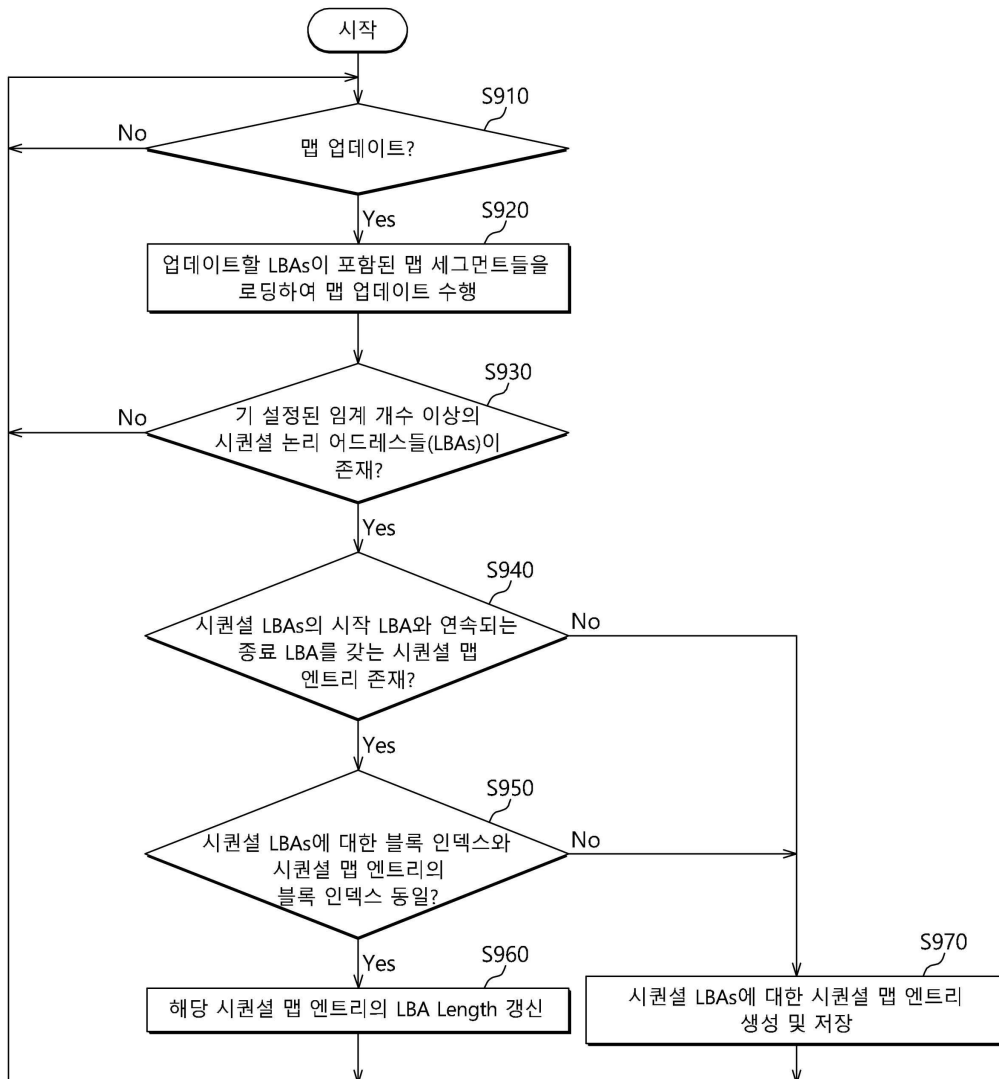
SMT

SME Index	Start LBA	LBA length	Start PBA (Super Block/Sector)	
1	LBA1	400	10	1
2	LBA401	200	11	1
3	LBA800	400	13	10
⋮	⋮	⋮	⋮	⋮
i	-	-	-	-

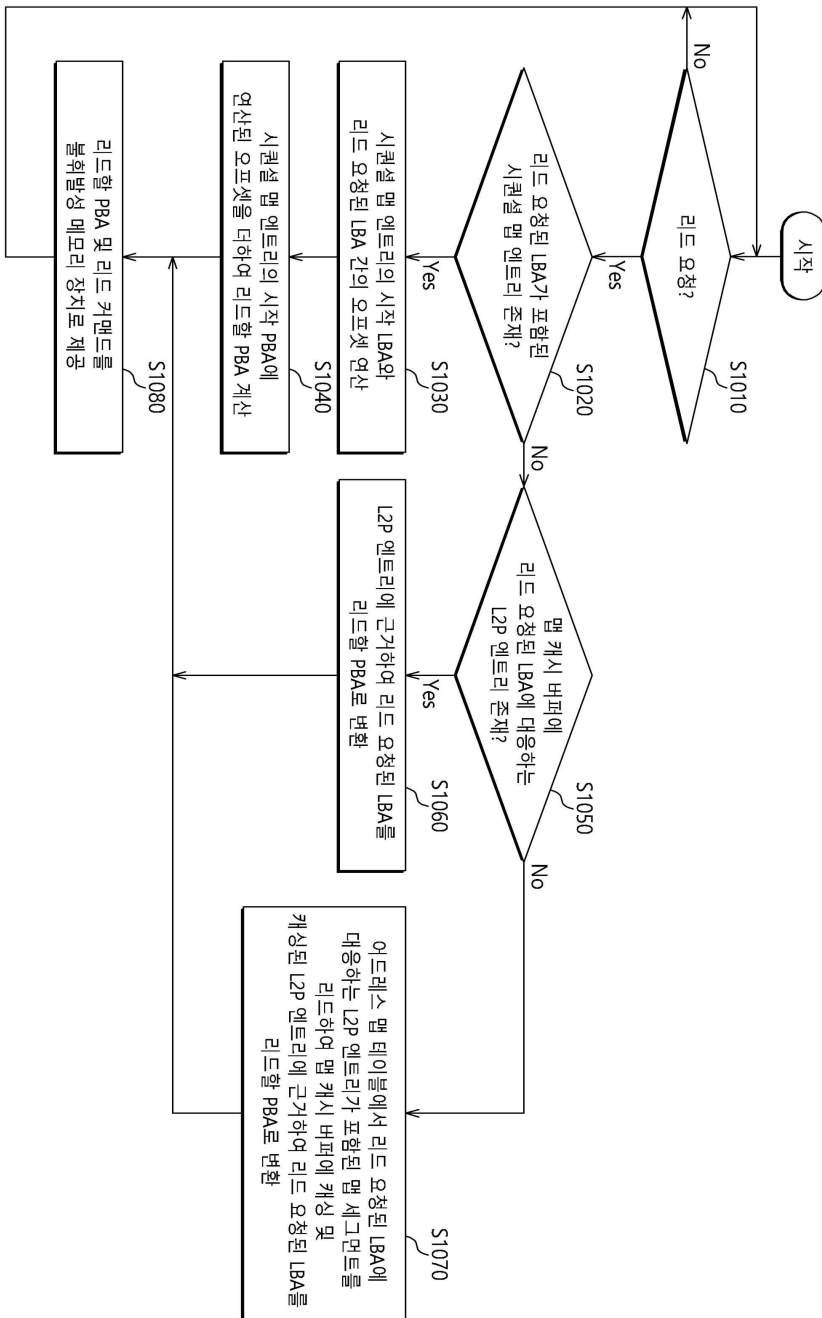
도면8b



도면9

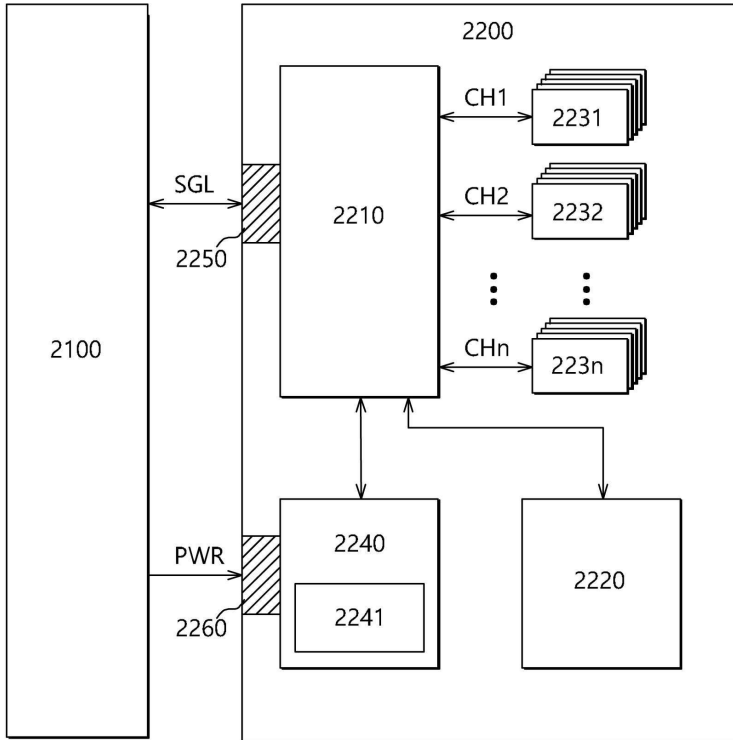


도면10



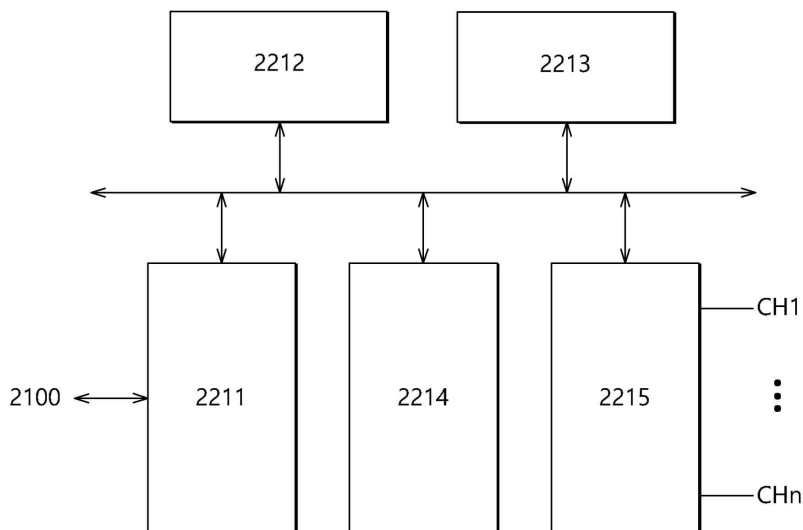
도면11

2000



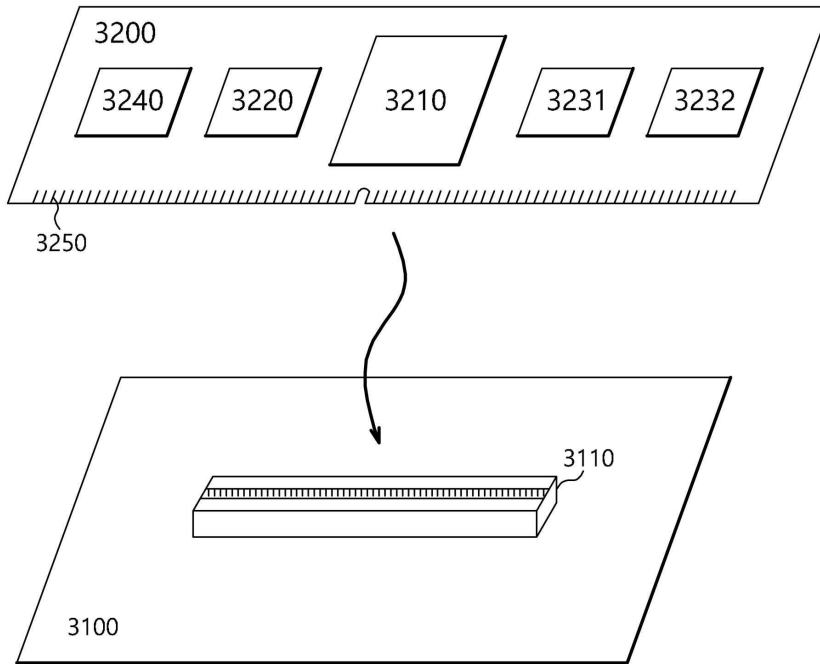
도면12

2210



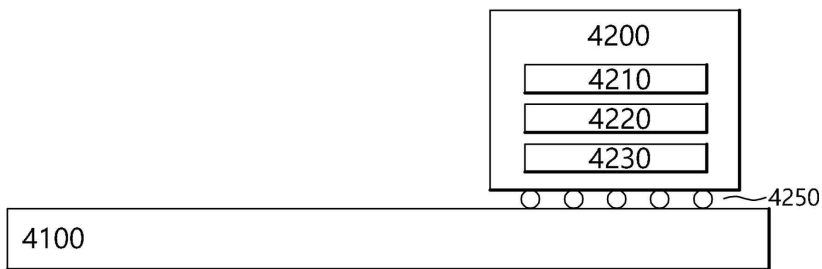
도면13

3000



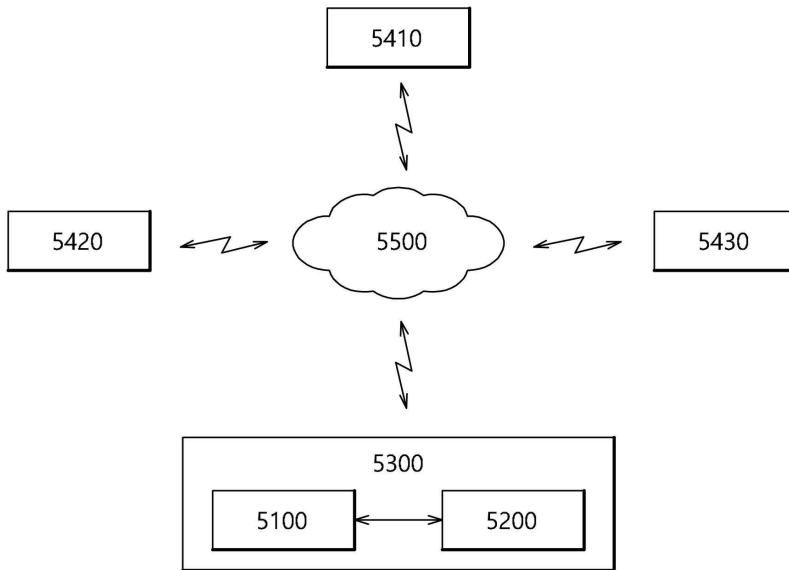
도면14

4000



도면15

5000



도면16

100

