

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ H01L 29/78 H01L 21/336	(45) 공고일자 (11) 등록번호 (24) 등록일자	2000년 12월 15일 10-0274555 2000년 09월 14일
(21) 출원번호 (22) 출원일자	10-1992-0011088 1992년 06월 25일	(65) 공개번호 (43) 공개일자
(30) 우선권주장 (73) 특허권자	7/721,739 1991년 06월 26일 미국(US) 텍사스 인스트루먼트 인코포레이티드 윌리엄 비. 캠플러	미국 텍사스주 75265 달라스 노스센트럴 익스프레스웨이 13500
(72) 발명자	메르다드엠. 모슬레이	미합중국 77248 텍사스주 달라스 세고비아 드라이브 15350-비
(74) 대리인	주성민	

심사관 : 오세준

(54) 절연 게이트 전계 효과 트랜지스터 구조물 및 이의 제조 방법

요약

절연 게이트 전계 효과 트랜지스터(10)가 반도체 기판(8)상에 형성된다. 소스(12) 및/또는 드레인(20)의 집합 영역은 고농도 도핑 영역(14)(22), 비중첩 저농도 도핑 영역(16)(24), 및 중첩 저농도 도핑 영역(18)(26)을 포함한다. 중첩 저농도 도핑 영역(18) 및 비중첩 저농도 도핑 영역(16)은 독립적으로 제어될 수 있어 최적화 상태로 만들 수 있다. 절연층(50)은 소스(12)와 드레인(20)을 분리시키는 채널 영역(28)과 소스(18) 및 드레인(26)의 중첩된 부분위에 형성된다. 게이트(42)는 절연층(50) 위에 형성된다. 2가지의 예시적인 제조 방법이 상세히 설명되었을 뿐만 아니라 다른 시스템 및 방법도 설명되어 있다.

대표도

도 1

명세서

[발명의 명칭]
절연 게이트 전계 효과 트랜지스터 구조물 및 이의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 양호한 실시예의 트랜지스터의 단면도.
제2도 내지 제12도는 본 발명의 제1 실시예에 따른 NMOS 트랜지스터의 제조 단계를 도시한 단면도.
제13도 내지 제18도는 본 발명의 제2 실시예에 따른 NMOS 트랜지스터의 제조단계를 도시한 단면도.

<도면의 주요부분에 대한 부호의 설명>

- 10 : 절연 게이트 전계 효과 트랜지스터
- 12 : 소스 영역
- 14, 22 : 고농도 도핑 영역
- 16, 24 : 비중첩 저농도 도핑 영역
- 18, 26 : 중첩 저농도 도핑 영역
- 20 : 드레인 영역
- 28 : 채널 영역
- 42 : 게이트
- 50 : 절연층

[발명의 상세한 설명]

본 발명은 일반적으로 반도체 디바이스의 제조 방법에 관한 것이고 특히, 저농도 도핑 드레인을 갖는 절연 게이트 전계 효과 트랜지스터 구조물 및 그 제조 방법에 관한 것이다.

소형의 고성능 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET) 제조사의 문제점은 다음과 같다. 소스/드레인 접합부가 상당히 낮은 직렬 저항을 제공하기에 충분히 높은 레벨로 도핑되는 경우, 온 상태 동안 드레인에 인접한 채널 내의 전계의 크기가 상당히 증가되어, 핫 캐리어 및 충돌 이온화 효과가 발생되므로 수명이 단축되게 된다.

MOSFET 채널이 짧아질수록 이 채널에 따른 전계는 (주어진 전원 전압에 대해) 더욱 강해진다. 즉, 전위 분포는 2차원적으로 되고, 채널에 따른 전계 효과는 채널에 대해 전형적인 전계의 효과를 고려해볼 때 더이상 무시될 수 없다. 특히, 채널에 따른 전계가 클 경우(이는 단 채널 MOS 디바이스에서 발생하기 쉽다), 충돌 이온화는 드레인 부근에 발생하기 쉽다. 최종 기판 전류는 CMOS 기술에서의 가능한 디바이스 래치업의 가능성을 크게 증가시킨다. 또한, 핫 캐리어는 드레인 부근의 강전계에 의해 발생할 수 있고, 몇몇의 캐리어들은 게이트 산화물내로 주입되어 임계 전압 쉬프트 및 상호콘덕턴스 저하를 유도한다.

이러한 저하를 최소화하기 위한 한가지 방법은 드레인 영역에서의 전계를 감소시켜 캐리어들이 게이트 산화물 내로 주입될 에너지를 충분히 받지 못하게 하는 것이다. 이것은 소스/드레인 영역 내로 2번 주입을 실행하여 드레인 접합을 경사(grade)지게 하므로써 달성된다. 한 번의 주입은 정상 N+ 드레인 영역 하부에 저농도 도핑 영역을 생성하는 것이다. 이것은 종종 저농도 도핑 드레인(LDD)이라 부르는 드레인 구조물을 형성하는 측벽 스페이서로 고농도 주입을 오프세팅(off setting)함으로써 행해질 수 있다. 다른 방법은 종종 이중 도핑(또는 이중 확산된)드레인(DDD)이라 부르는 구조물을 형성하기 위해 동일 영역 내에 인과 비소를 2회 주입하는 것이다. 드레인 영역내의 전계는 그레이드형(graded) 드레인 도핑으로 인해 두 구조물을 모두에 대해 감소된다.

그런, 조래의 LDD 구조물에 있어서는, LDD 영역의 2 부분 즉, 트랜지스터 게이트 하부에 있는 중첩 부분 및 트랜지스터 게이트 하부가 아닌 비중첩 부분을 독립적으로 제어하는 것이 어렵다. LDD 영역을 형성하기 위해 확산 공정을 사용하는 조래의 방법은 게이트 하부의 측방향 이동뿐만 아니라 접합의 깊이를 독립적으로 제어할 수 없었다.

LDD 영역을 형성하기 위한 다른 방법은 게이트가 형성되어진 후 게이트 하부에 이온 주입을 실행하는 것을 수반한다. 이 방법에서는, 이온들은 불순물이 게이트 하부로 유입될 수 있는 각으로 주입된다. 그러나, 이 공정은 불순물이 아래 방향 뿐만 아니라 게이트 하부의 측방향으로도 유입되기 때문에 제어하는 것이 어렵다. 다시말하면, 중첩된 LDD 영역의 전장에 걸쳐 행해져야할 제어가 제한을 받고 LDD 영역 접합 깊이 및 측방향 중첩 LDD 전장에 걸친 독립된 제어가 제한된다.

따라서, 현재로서는 이러한 문제점 중 어느 한가지 또는 모두를 극복하는 것이 바람직하다.

본 발명의 목적 및 장점은 저농도 도핑 소스 또는 드레인 영역을 포함하는 절연 게이트 전계 효과 트랜지스터(IGFET) 및 그 형성 방법을 제공하는 본 발명에 의해 명백해지고 달성된다.

절연 게이트 전계효과 트랜지스터(IGFET)는 반도체 기판 상에 형성된다. 소스 및/또는 드레인 접합 영역은 고농도 도핑 영역, 중첩된 저농도 도핑 영역 및 비중첩된 저농도 도핑 영역을 포함한다. 중첩 및 비중첩 저농도 도핑 영역의 도핑 농도 및 접합 깊이는 독립적으로 제어될 수 있다. 절연층은 소스와 드레인을 분리하는 채널 영역 위에, 및 소스와 드레인의 중첩된 부분 위에 형성된다. 게이트는 절연층 위에 형성된다. 2가지 예시적인 제조 방법이 본 명세서에 기술되어 있다.

본 발명의 장점은 소스 및 드레인 접합의 중첩 및 비중첩 부분이 서로 독립적으로 형성되어 트랜지스터 성능 및 신뢰도 특성이 원하는 용도에 따라 최적화 될수 있다는 것이다. 선택적 반도체 증착 공정에 대한 공정의 요구 조건이 상당히 완화되며, 용이하게 만족된다.

소스/드레인 영역 및 트랜지스터 게이트의 제어가능한 중첩은 핫 캐리어 응력 하에서의 디바이스 수명을 향상시킬 수 있다. 비중첩 부분들이 중첩 영역 형성에 의해 영향받지 않기 때문에, 이들은 트랜지스터 특성을 최적화시키도록 독립적으로 제어될 수 있다.

또한, 본 발명의 공정은 게이트 길이와 동일한 즉, 형태 크기가 최소인 석판인쇄 해상도(lithography resolution)를 필요로 한다. 이것은 게이트 길이보다 짧은 형태의 해상도를 필요로 하는 몇몇 조래의 기술보다 유리하므로, 반전-T 게이트 LDD나 ITLDD 디바이스와 같은 보다 엄격한 패터닝을 필요로 한다.

또한, 양호한 실시예의 제조 공정은 규화물 n+ 소스/드레인 접합과 중첩 및 비중첩 영역 내의 소스 및 드레인 도핑 농도의 독립 제어에 대한 충분한 융통성을 제공한다. 주입량과 에너지는 최적한 디바이스 수명(즉, 핫 캐리어 응력 수명) 및 성능(예를 들어, 표면/벌크 펀치-스루, 상호콘덕턴스 및 서브임계 누설)의 완전한 최적화를 위해 조절될 수 있다.

또한, 이 구조물은 조래의 몇가지 디바이스보다 긴 규화물 게이트 길이를 제공하기 때문에 조래의 몇가지 LDD 구조물에 비해 낮은 게이트 시트 저항을 제공한다. 양호한 한 실시예에 있어서, 보다 낮은 시트 저항은 제2의 선택적 실리콘 피착이 자기 정합 규화물 공정전에 얇은 폴리 이어(ear) 위의 갭들을 채우기 위해 사용된다는 사실에 기인할 수 있다.

본 발명의 상기 특징은 첨부 도면을 참조하여 설명된 아래의 상세한 설명을 고찰함으로써 보다 명백하게 이해될 수 있다.

도면에서 다른 표시가 없는 한 대응하는 동일 요소에 동일한 참조번호를 붙였다.

양호한 실시예의 제조 및 이용이 이하 상세히 논의될 것이다. 그러나, 본 발명은 여러가지 변형으로 실현될 수 있는 많은 응용 가능한 발명 개념을 제공한다는 것을 인식하여야 한다. 설명된 특정 실시예들은

발명을 제조 및 사용하는 특정 방법을 단순히 예시하는 것이고 발명의 범위를 한정하는 것은 아니다.

이하, 본 발명의 구조물 및 그 제조 방법을 설명한다. 우선, 양호한 실시예를 설명하고, 그 다음 본 발명의 구조물을 제조하는 제1 방법을 변형예와 함께 설명하겠다. 그 다음, 이 구조물을 형성하는 제2의 양호한 방법을 설명하겠다.

우선, 제1도를 참조하면, 예시적인 NMOS(n-채널 금속 산화물 반도체) 트랜지스터 구조물(10)이 도시되어 있다. NMOS 트랜지스터가 도시되었지만, 유사한 PMOS(p-채널 금속 산화물 반도체) 트랜지스터가 형성될 수도 있다. NMOS와 PMOS 트랜지스터 모두는 예를 들어, CMOS(상보 금속 산화물 반도체) 디바이스를 제조하기 위해 동일 칩상에 형성될 수 있다. 바이폴라 기술은, 예를 들어 동일 칩상에, BiCMOS 디바이스를 형성하는데 사용할 수 있다. 트랜지스터(10)는 전형적으로 반도체 칩상의 동일한 트랜지스터 어레이 중 하나의 트랜지스터이다.

트랜지스터(1)는 채널 영역(28)에 의해 분리된 소스 영역(12) 및 드레인 영역(20)을 포함한다. 소스 영역(12)은 3개 부분 즉, 고농도 도핑부(14), 비중첩[즉, 트랜지스터 게이트(42) 하부가 아닌] 저농도 도핑부(16) 및 중첩[즉, 트랜지스터 게이트(42) 하부의] 저농도 도핑부(18)를 포함한다. 유사하게, 드레인 영역(20)은 3개 부분 즉, 고농도 도핑부(22), 비중첩 저농도 도핑부(24) 및 중첩 저농도 도핑부(26)를 포함한다. 물론, 소스(12) 및 드레인(20)은 기능적으로 반전될 수 있다. 종래의 디바이스와는 달리, 소스(12) 및 드레인(20) 접합부의 비중첩 부분(16 및 24) 및 중첩 부분(18 및 26)의 접합 깊이 및 도핑 농도는 독립적으로 제어될 수 있다. 이것은 종래의 트랜지스터 구조물보다 훨씬 유리한 장점들을 제공한다.

도시된 실시예는 또한 필요에 따라 포함될 수 있는 융기된 소스 영역(30) 및 융기된 드레인 영역(32)을 또한 포함한다. 융기된 소스 영역(30) 및 융기된 드레인 영역(32)은, 예를 들어 선택적 반도체 성장법(SSG)을 사용하여, 실리콘, 게르마늄, 또는 실리콘/게르마늄 합금으로 형성될 수 있다.

트랜지스터(10)를 칩 상의 다른 부품들과 분리시키는 것은 필드 절연 영역(34 및 36)이다. 필드 절연 영역(34 및 36)은 전형적으로 이산화 실리콘과 같은 산화물을 포함하므로 필드 산화물 영역이라 부른다. 채널 정지 영역(38)은 절연 영역(34)하부에 형성된다. 채널 정지 영역(38)은 또한 디바이스 분리를 위해 형성된다. 도시한 NMOS 실시예에 있어서, 채널 정지 영역(38)은 P 도핑 실리콘을 포함한다. 일반적으로, 이 채널 정지부는 소스 및 드레인과는 반대의 도전형질을 갖는다. 유사하게, 채널 정지 영역(40)은 절연 영역(36) 하부에 형성되고, 채널 정지부(38)의 특성과 유사한 특징을 갖는다.

게이트 영역(42)은 채널 영역(28) 및 중첩 저농도 도핑 영역들(18 및 26) 위에 형성된다. 게이트 영역(42)을 채널(28)로부터 분리하는 것은 전형적으로 이산화 실리콘의 박층인 절연 영역(50)이다. 측벽 스페이서(62)는 게이트 영역 측면상에, 및 비중첩 소스(16) 및 드레인(24) 위에 형성된다.

본 발명의 양호한 실시예의 예시적인 제조 공정이 제2도 내지 12도에 도시되었다. 이 제조 공정은 NMOS 트랜지스터를 형성시키는데 적용하는 것이다. 종래 기술에 공지된 바와 같이, PMOS 트랜지스터를 형성하기 위한 변형예도 제조될 수 있다. 전형적으로, NMOS와 PMOS 트랜지스터 모두는 CMOS 기술에 대한 것과 동일 칩상에 형성될 수 있다.

우선, 제2도를 참조하면, 단결정 실리콘 기판(8)이 제공된다. 예시적인 제조 공정의 첫번째 단계는 채널 정지 영역(38 및 40)을 형성하는 것이다. 전형적인 방법은 널리 공지된 이온 주입 기술을 이용하여 붕소 이온을 주입하는 것이다. 확산법 등의 다른 공지된 도핑 방법이 사용될 수 있다. P 채널 디바이스에 있어서, 불순물은 전형적으로 비소 또는 인일 수 있다. 채널 정지 영역(38 및 40)은 (기판 도핑 농도에 따라) 바람직하지 않은 경우 제거될 수 있다.

그 다음, 필드 절연 영역(34 및 36)이 국부 산화에 의해 형성된 후, 희생 절연층(52)이 성장된다. 필드 절연 영역(34 및 36)은 실리콘 기판의 열적 산화에 의해 양호하게 형성된다. 종래 기술에서 공지된 바와 같이, 산화물은 질화물 산화 마스크에 의해 커버되지 않은 필드 영역에서 성장한다. 필드 산화물 영역(34 및 36)은 전형적으로 두께가 5000 Å과 7000 Å 사이이고 희생 산화물 층(52)은 두께가 약 100 Å과 300 Å 사이이다.

원하는 경우, 희생 산화물층(52) 하부의 채널 영역(28)은 디바이스의 임계 전압을 조절하기 위해, 및/또는 펀치 스루를 최소화하도록 도핑될 수 있다. 이 도핑 단계는 전형적으로 이온 주입법에 의해 수행되지만 확산법과 같은 다른 방법들에 의해 수행될 수도 있다. 채널 도핑의 목적은 설계 고려를 위한 것이므로 이 단계는 부분적으로 또는 완전히 제거될 수 있다.

도시되지 않은 부가적인 공정이 채널 영역(28)의 표면에 수행될 수 있다. 예를 들어, P-에피택셜 실리콘 층은 피착된 후, 깊은 펀치 스루 방지를 위해 P-에피택셜 실리콘 층이 피착될 수 있다. 그 다음, P-에피택셜층이 형성되고, 이후에 임계치 조절용 P-에피택셜 층이 형성된다. 이 단계들은 채널 이온 주입 단계들을 대체할 수 있지만, 본 발명의 목적에 영향을 줌이 없이 제거될 수 있다.

이제, 제3도를 참조하면, 희생 또는 더미 게이트 산화물 층(52)는 널리 공지된 무손상 에칭법을 사용하여 제거되고 게이트 산화물(50)이 성장된다. 양호한 실시예에 있어서, 게이트 산화물(50)은 두께가 60 Å과 100 Å 사이이다. 이 두께는 0.35 μm CMOS 기술에 따른다.

예시적인 제조 공정의 다음 단계는 게이트 스택을 형성하는 것이다. 여기서, 제1 단계는 두께가 약 100 Å과 1000 Å 사이인 비정질 또는 다결정질 실리콘층(46)의 블랭킷 피착(blanket deposition)을 수행하는 것이다. 그 다음, 전형적으로 두께가 약 10 Å과 100 Å 사이인 얇은 산화물(48)이 형성된다. 이 산화물 층(48)은 열적으로 성장되거나 화학적으로 성장되어 에칭 정지 층으로서 작용한다. 그다음, 두꺼운 디스포저블 게이트 영역(56)이 전형적으로 약 2000 Å과 4000 Å 사이에서 원하는 게이트 높이로 형성된다. 이 두꺼운 디스포저블 게이트(56)는 비정질 또는 다결정질 실리콘의 피착에 의해 형성될 수 있다. 최종적으로, 질화물의 박층(58)이 그 위의 층으로 형성된다. 두께가 100 Å과 800 Å 사이인 질화물 층(58)은 전형

적으로 저압 화학 증착법(LPCVD)에 의해 피착된다. 질화물 층(58)은 후속 디바이스 제조 공정동안 산화 마스크로서 작용한다.

그 다음, 표면은 게이트 영역을 패터닝하기 위해 널리 공지된 사진식판인쇄 기술을 사용하여 마스크된다. 그 다음, 질화물 층(58), 실리콘 층(56), 산화물 층(48), 및 실리콘 층(46)을 에칭하기 위해 인-시튜 비등방성 에칭이 수행된다. 이 에칭을 수행하는데 사용된 화학 물질은 널리 공지되어 있어 설명을 간단히 하기 위해 여기서는 설명하지 않겠다. 게이트 형성 에칭은 동일한 챔버에서 수행되는 것이 바람직하다(인-시튜 다단계 에치).

이제 제4도를 참조하면, 제1 저농도 도핑 영역(16 및 24)이 형성된다. 이들 영역은 소스 및 드레인의 비중첩부, 즉 게이트 하부 이외의 부분으로서 작용한다. 비중첩 LDD 부분(16 및 24)은 전형적으로 NMOS 디바이스 용으로 비소, 인 또는 안티몬을 주입하거나, PMOS 디바이스를 제조하기 위해 붕소를 주입함으로써 형성된다. 그러나, 다른 도펀트가 사용될 수도 있다. 접합 깊이는 통상 두께가 400Å과 1000Å 사이 이고, 농도는 약 $1 \times 10^{13-3} \text{ m}^{-3}$ 내지 $5 \times 10^{14-3} \text{ m}^{-3}$ 인 범위 내에서 디바이스 필요 조건에 적합하게 설계된다.

제4도는 얇은 측벽 산화물(60)의 형성을 도시하였다. 측벽 산화물은, 예를 들어 LPCVD TEOS (테트라에톡시실란) 공정에 의해 피착될 수 있다. 제1 측벽 산화물(60)은 보통 두께가 약 50Å과 200Å 사이이다. 저농도 도핑 영역 및 제1 측벽 산화물 형성의 순서는 제4도에 도시된 바와 같이 반전될 수 있다.

그 다음, 제5도를 참조하면, 제2 측벽 스페이서(62)가 얇은 산화물 측벽(60)에 인접하여 형성된다. 측벽 스페이서(62)는 LPCVD TEOS (블랭킷 피착)에 의해 형성된 이후 반응성 이온 에칭(RIE)에 의해 비등방성 에칭 공정이 수행된다. 측벽 스페이서(62)의 두께는 비중첩 영역(16 및 24)의 길이에 대응하며, 이에 따라 설계되어야 한다. 전형적으로, 측벽 스페이서(62)의 두께는 500Å과 3000Å 사이이다.

오버에칭에 의한 RIE 공정은 소스 및 드레인 영역의 위에서부터 산화물 층(50)을 제거한다. 그러한 경우, 소스 및 드레인은 50Å과 200Å 사이의 두께로 산화될 수 있다. 질화물 층(58)은 소스/드레인 재산화 단계중에 게이트(56)가 산화되는 것을 방지한다.

소스(14) 및 드레인(22)는 NMOS 트랜지스터를 제조하기 위해 고농도 도핑 N+ 영역을 생성하도록 주입될 수 있다. 이 주입 단계는 용기된 소스 및 드레인 영역이 제9도를 참조하여 후술하는 바와 같이 사용되는 경우 제거될 수도 있다(이것은 최종 스테이지로 연기될 수도 있다).

이제 제6도를 참조하면, 상부 질화물(58)의 표면을 세척하기 위해 매우 짧은 산화물 감광액이 수행된다. 이 단계는 노출된 산화물 층을 손상시키지 않는다. 그다음, 건식 또는 습식 중 선택적이면서, 가능한 등방성인 질화물 에칭이 질화물층(58)을 제거하도록 수행된다. 다음에는, 선택적이면서 가능한 등방성인 실리콘 에칭이 디스포저블 실리콘층(56)을 제거하기 위해 실행된다. 이 선택적 에칭은 실리콘 층(46)의 에칭을 방지하기 위해 에칭 정지부로서 작용하는 재성장도 산화물층(50) 또는 산화물 층(48)을 방해하지 않는다.

LPCVD 질화물 블랭킷 콘포멀 피착이 수행된 이후에, 측벽 스페이서(62)의 내면 및 외면 상에 질화물 스페이서(64)를 생성하기 위해 질화물 RIE가 수행된다. 이 단계는 제7도에 도시하였다. 질화물 스페이서(64)의 두께는 저농도 도핑 소스 및 드레인 영역(중첩 LDD영역)의 중첩된 부분의 길이를 결정한다.

RIE의 선택도에 따라, 산화물 층(50)은 제8도에 도시된 바와 같이 제거될 수 있다. 용기된 소스 및 드레인 영역이 필요한 경우, 소스 및 드레인 위의 층(50)을 제거하는 것이 바람직하다. 이와 같이, 이것이 RIE 동안 제거되지 않을 경우, 이것은 산화물 RIE 또는 정해진 습식 에칭 중 어느 하나에 의해 에칭되어야만 한다. 한편, 용기된 소스 및 드레인 구조물이 불필요한 경우, 산화물 층(50)은 소스(14) 및 드레인(22) 영역 위에 재형성되어야 한다. 산화물 층(48)의 일부분이 또한 제거되었다는 것을 인지하여야 한다.

이제, 제9도를 참조하면, 선택적 반도체 성장(SSG)이 용기된 소스 영역(30)과 용기된 드레인 영역(32) 및 게이트 영역(44)을 생성하기 위해 수행된다. SSG, 즉, 전형적인 화학 증착 공정은 소스(14), 드레인(22) 및 게이트(46)의 노출된 부분 상에 실리콘을 성장시킨다. 전형적으로, 피착이 소스(14) 및 드레인(22)과 같은 단결정 기판위에서 행해지는 경우, 피착된 층 또한 단결정이다. 그러나, 표면이 충분한 세척되지 않은 경우, 용기된 소스 및 드레인 영역(30 및 32)은 다결정일 수 있다. 이것은 일반적으로 아무런 문제점을 발생시키지 않는다. SSG는 예를 들어 실리콘, 게르마늄 또는 실리콘/게르마늄 합금일 수 있다. 용기된 소스(30), 용기된 드레인(32) 및 게이트(44)는 SSG 공정 후에 인-시튜 도핑 또는 도핑될 수 있다. 또한, 소스(14) 및 드레인(22)은, 이들이 제5도를 참조하여 상술한 바와같이 수행되지 않은 경우, 이 단계에서 형성될 수 있다.

선택적 반도체 성장(SSG) 이후에는 용기된 소스(30) 및 드레인(32) 위에 30 내지 100 옴스트롱의 층(66)을 생성할 뿐만 아니라 게이트 위에 산화물 층(68)을 생성하기 위한 짧은 열적 산화가 이어진다.

이제 제10도를 참조하면, 선택적이고, 양호하게는 등방성인 질화물 에칭이 질화물 스페이서(64)를 제거하기 위해 수행된다. 질화물 스페이서의 제거는 중첩되고 저농도 도핑부(18 및 26)가 생성될 수 있는 개구를 생성한다.

중첩 저농도 도핑 소스(18) 및 드레인(26) 영역은 NMOS 디바이스에 대해 비소, 인, 또는 안티몬을 주입함으로써 형성될 수 있다. 이 주입은 단지 게이트(48)의 얇은 부분을 통해서[그리고 소스(14) 및 드레인(22) 내로; 그러나, 이것은 중요하지 않음] 수행된다. 중첩 저농도 도핑 소스(18) 및 드레인(26) 영역은 도핑 농도 및 접합 깊이에 관련하여 비중첩부들(16 및 24)에 무관하게 형성되었다는 것을 인식하는 것이 중요하다.

제조 공정을 완성하기 위한 방법은 여러가지가 있을 수 있다. 첫번째 방법은 제11도에 도시하였다. 트랜

치들은 부수적인 용기된 소스 영역(30a)과 용기된 드레인 영역(32a) 및 게이트 영역(70)을 생성하기 위해 SSG에 의해 채워진다. SSG는 실리콘, 게르마늄, 또는 실리콘/게르마늄 합금 일 수 있고, 도핑되거나 도핑되지 않을 수 있다.

대안적으로, 이 트렌치는 LPCVD 다결정 또는 비정질 실리콘 또는 LPCVD 산화물에 의해 채워진 다음 RIE가 행해진다. 이러한 공정은 SSG 보다 간단하므로, 바람직할 수 있다. 그러나, LPCVD 산화물이 사용되는 경우, 게이트의 도전성 부분은 작아질 수 있으므로 게이트 전달 지연 시간에 영향을 미친다.

제12도는 예시적인 살리사이드(자기 정합된 규화물) 공정을 도시한 것이다. 소스, 드레인, 및 게이트로부터 임의의 나머지 절연 물질을 제거한 후, 예를 들어, 티타늄과 같은 내화 금속을 스퍼터링하여 소스(14) 위에 영역(76)을 형성하고, 게이트(44) 위에 영역(74)을 형성하며, 드레인(16) 위에 영역(72)을 형성한다. 그 다음, 반응이 시작되어 규화물이 생성된다. 과잉 비규화물 또는 비반응 금속을 제거한 후, 이 디바이스는 어닐링된다. 이 규화물은 소스/드레인 및 게이트 직렬 저항 값을 보다 낮게 생성하기 위해 사용된다.

몇 가지 널리 공지된 단계들은 설명의 편의를 위해서 제조 공정에서 생략하였다. 예를 들어, 공정 과정 전반에 걸쳐 특히, 피착 바로 전에 다수의 세척 공정이 실행될 수 있다. 공지된 바와 같은 다른 변형에 대한 포함될 수 있다.

예시적인 양호한 실시예의 제2의 예시적인 제조 공정 플로우가 제13도 내지 제18도에 도시되었다. 이 플로우는 NMOS 트랜지스터를 형성을 보여준다. 공지된 바와 같이, 이 공정은 PMOS 트랜지스터를 형성하기 위해 변형될 수 있다. 전형적으로 NMOS 및 PMOS 트랜지스터 모두는 CMOS 디바이스 제조를 위해 동일한 점 상에 형성될 수 있다.

우선 제13도를 참조하면, 이전과 같이 단결정 실리콘 기판(108)이 제공된다. 예시적인 제조 공정의 제1 단계는 제2도에 관련하여 이미 설명한 바와 같은 채널 정지 영역(138 및 140)을 형성하는 단계이다. 다시, 절연 영역(134 및 136)은 상술한 바와 같이 절연층(150)을 따라 형성되며, 채널 영역(128)은 이전과 같이 도핑될 수 있다.

이제, 제14도를 참조하면, 저압 화학 증착 공정이 약 35Å의 폴리실리콘을 형성하기 위해 수행된다. 폴리실리콘 층(142)은 이온 주입에 의해 인-시튜 도핑 또는 도핑될 수 있다. 전형적인 도펀트들은 비소 또는 인일 수 있다.

이어지는 폴리실리콘(142) 피착은 절연층(180)의 피착이다. 절연층(180)은 통상 두께가 약 1000Å인 실리콘 질화물과 같은 LPCVD 질화물 또는 실리콘 이산화물과 같은 LPCVD 산화물이다.

그다음, 폴리실리콘(142) 및 절연층(180)이 디바이스 채널 영역(128)위에 게이트 전극(142)을 형성하기 위해 널리 공지된 사진식판인쇄 및 에칭 기술을 사용하여 패터닝되고 비등방성으로 에칭된다.

이제 제15도를 참조하면, 측방향 언더컷 영역(182)은 정해진 시간동안 등방성 폴리실리콘 에칭을 수행하여 형성된다. 이 에칭은 선택적이므로, 절연 영역(180) 또는 기판(108)을 교란시키지 않는다. 이 에칭은 웨이퍼 상의 모든 게이트들이 동일하게 형성되도록 균일하게 행해져야 한다. 절연 영역(180) 하부에서의 에칭 거리는 중첩 저농도 도핑 소스(118) 및 드레인(126)의 길이에 대응한다.

그 다음, 중첩 소스(118) 및 드레인(126)이 형성된다. 전형적으로, 중첩 소스(118) 및 드레인(126)은 NMOS 디바이스에 대해 비소 또는 인으로 주입되고 PMOS 디바이스에 대해 붕소로 주입된다. 주입 에너지는 이온이 질화물 또는 산화물 층(180)의 돌출 부분을 통해 주입되고, (게이트 중첩에 의해) 얇은 LDD 접합을 형성할 수 있을 정도이다.

도시되지 않은 비대칭 디바이스가 필요한 경우, 측벽(도시되지 않음)은 정해진 시간 동안 등방성 에칭을 수행하기에 앞서 실리콘 게이트(142) 상에 형성될 수 있다. 이 방법에 있어서, 소스 또는 드레인 중 어느 한 영역만이 저농도 도핑 중첩부를 포함한다.

그 다음, 제16도를 참조하면, 선택적 반도체 피착이 폴리실리콘 게이트(142)를 재생장시키기 위해 수행된다. 전형적으로, 게이트(142)는 완전한 피착이 발생하고 측방향 터널이 완전히 채워진다는 것을 보장할 수 있을 정도로 과성장된다.

실리콘 게이트(142)는 그다음 제17도에 도시한 바와 같이 절연층(180)에 대해 선택적으로 비등방성으로 에칭된다. 지금, 실리콘 게이트(142)는 절연층(180)하부에 있으며, 공정의 초기 단계에서와 같이 한번 더 자기 정합된다.

그 다음, 비중첩 저농도 도핑 영역(116 및 124)이 형성된다. 비중첩된 부분은 전형적으로 NMOS 디바이스에 대해 비소 또는 인을 주입하거나 PMOS에 대해 붕소를 주입함으로써 전형적으로 형성되며, 제1 제조 실시예에 관련하여 상술한 바와 같은 특성을 갖는다. 이 실시예에 있어서, 비중첩 영역(116 및 124)의 도핑 특성은 이미 형성된 중첩 영역(118 및 126)의 특성 이외의 특성이다. 이것은 이미 설명한 제조 공정(제1도 내지 제12도)보다 불리하다. 그러나, 이 제2 실시예는 간단하므로 몇몇의 응용 기술에 바람직하게 사용될 수 있다.

제17도는 얇은 측벽 산화물(160)의 형성을 도시한 것이다. 측벽 산화물은 예를 들어, LPCVD TEOS 공정에 의해 피착될 수 있다. 측벽 산화물(160)은 통상 두께가 약 50Å과 100Å 사이이다. 제2 LDD 형성 및 제1 측벽 산화물 형성의 순서는 필요한 경우 반전될 수 있다.

이제 제18도를 참조하면, 보다 두꺼운 측벽 스페이서(162)가 측벽(160)에 인접하여 형성된다. 측벽 스페이서(162)는 전형적으로 산화물 또는 질화물 LPCVD 및 후속의 RIE에 의해 전형적으로 형성된다. 측벽 스페이서(162)의 폭은 비중첩된 영역(116 및 124)의 폭에 대응한다.

최종적으로, 소스(114) 및 드레인(122)의 고농도 도핑부가 이온 주입과 같은 표준 도핑 기술을 사용하여

형성된다. 3개의 독립적으로 형성된 영역이 소스 및 드레인 접합부 모두에 대해 형성되었다.

도시되지 않은 제조 공정의 최종 단계는 설계 선택에 따라 수행될 것이다. 예를 들어, 제12도에 관련하여 기술된 공정과 유사한 살리사이드 공정이 수행될 수 있다.

몇몇 공지된 단계는 제조 공정의 설명을 간단하게 하기 위해 생략되었다. 예를 들어, 공정 과정 전반에 걸쳐 특히, 피착 바로 전에 다수의 세척 공정들이 실행될 수 있다. 종래의 기술로 널리 공지된 다른 변형예들이 포함될 수 있다.

본 발명이 특정 실시예를 참조하여 기술되었을지라도, 이 설명은 발명의 범위를 제한하는 것으로 해석되지 않는다. 이 설명을 참조한 본 분야에 숙련된 기술자들은 본 발명의 특정 실시예 뿐만 아니라 다른 실시예의 여러가지 변형예 및 조합예가 본 발명에 속한다는 것을 명백하게 알 수 있다. 그러므로 첨부된 특허 청구의 범위는 이러한 변형예 또는 실시예를 포함한다.

(57) 청구의 범위

청구항 1

적어도 일부분이 게이트 아래에 형성되는 소스/드레인 영역을 포함하는 전계 효과 트랜지스터를 형성하는 방법에 있어서, 반도체 영역을 제공하는 단계; 상기 반도체 영역의 적어도 일부분 위에 절연층을 형성하는 단계; 상기 절연 영역의 일부분 위에 게이트를 형성하고, 상기 게이트 아래의 상기 반도체 영역 내에 채널 영역을 구획하는 단계; 상기 게이트의 일부를 제거하는 단계; 상기 채널 영역 내에 저농도 도핑 영역을 형성하는 단계; 및 상기 제거 단계에서 제거된 상기 게이트의 일부를 재형성하는 단계를 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 2

제1항에 있어서, 상기 게이트 형성 단계는 제1 게이트부, 상기 제1 게이트부의 상부에 형성된 에치 정지층, 및 상기 에치 정지층의 상부에 형성된 디스포저블(disposable) 게이트부를 포함하는 게이트를 형성하는 단계를 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 3

제2항에 있어서, 상기 디스포저블 게이트부와 상기 제1 게이트부는 실리콘을 포함하며, 상기 에치 정지층은 산화층을 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 4

적어도 일부분이 게이트 아래에 형성되는 소스/드레인 영역을 포함하는 전계 효과 트랜지스터를 형성하는 방법에 있어서, 반도체 영역을 제공하는 단계; 상기 반도체 영역의 적어도 일부분 위에 절연층을 형성하는 단계; 상기 절연 영역의 일부분 위에 제1 게이트부, 상기 제1 게이트부의 상부에 형성된 에치 정지층, 및 상기 에치 정지층의 상부에 형성된 디스포저블 게이트부를 포함하는 게이트를 형성하고, 상기 게이트 아래의 상기 반도체 영역 내에 채널 영역을 구획하는 단계; 상기 게이트에 인접하여 상기 드레인 영역의 제1 부분 위에 제1 측벽 영역을 형성하는 단계; 상기 디스포저블 게이트부를 제거하는 단계; 상기 에치 정지층의 일부 위에 상기 제1 측벽 영역과 접하도록 제2 측벽을 형성하는 단계; 상기 제2 측벽 하부 이외의 상기 에치 정지층의 일부를 제거하는 단계; 상기 제1 게이트부 위에 상기 제2 측벽과 접하도록 제2 게이트부를 형성하는 단계; 상기 제2 측벽을 제거하는 단계; 상기 채널 영역 내에 저농도 도핑 영역을 형성하는 단계; 및 상기 제2 측벽 제거 단계에서 제거된 부분에 도전성 물질을 채우는 단계를 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 5

제1항에 있어서, 상기 게이트의 일부를 제거하는 단계는 상기 게이트의 일부를 등방성 측방 에칭(isotropically and laterally etching)하는 단계를 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 6

제1항에 있어서, 상기 게이트의 일부를 재형성하는 단계는 반도체를 선택적으로 퇴적하는 단계를 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 7

제6항에 있어서, 상기 반도체는 과성장된 후 이방성 에칭되는 전계효과 트랜지스터 형성 방법.

청구항 8

제1항에 있어서, 상기 반도체 영역 내에 상기 게이트의 한 단부와 정렬되도록 소스 영역의 제1부분을 형성하는 단계; 및 상기 반도체 영역 내에 상기 게이트의 대향 단부와 정렬되도록 드레인 영역의 제1부분을 형성하는 단계를 더 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 9

제8항에 있어서, 상기 소스 영역의 제1부분을 형성하는 단계 및 상기 드레인 영역의 제1부분을 형성하는 단계가 상기 채널 영역 내에 상기 저농도 도핑 영역을 형성하는 단계에 앞서 행해지는 전계 효과 트랜지스터 형성 방법.

청구항 10

제8항에 있어서, 상기 소스 영역의 제1 부분을 형성하는 단계 및 상기 드레인 영역의 제1 부분을 형성하는 단계가 상기 채널 영역 내에 상기 저농도 도핑 영역을 형성하는 단계 이후에 행해지는 전계 효과 트랜지스터 형성 방법.

청구항 11

제8항에 있어서, 상기 드레인 영역의 제1 부분의 적어도 일부 위에 상기 게이트와 접하도록 측벽 영역을 형성하는 단계; 및 상기 드레인 영역의 제1 부분에 인접하는 상기 드레인 영역의 제3 부분을 형성하는 단계를 더 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 12

제1항에 있어서, 상기 저농도 도핑 영역을 형성하는 것과 동시에 상기 채널 영역 내에 제2 저농도 도핑 영역을 형성하는 단계를 더 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 13

제1항에 있어서, 상기 채널 영역 내에 저농도 도핑 영역을 형성하는 단계는 주입 단계(implantation step)를 포함하는 전계 효과 트랜지스터 형성 방법.

청구항 14

절연-게이트 전계 효과 트랜지스터의 제조 방법에 있어서, 반도체 기판의 표면 상에 절연층을 형성하는 단계; 제1 실리콘 게이트층, 산화물 박층, 디스포저블 실리콘 게이트층 및 질화물 박층을 순서대로 형성하고, 상기 제1 실리콘 게이트층, 상기 산화물 박층, 상기 디스포저블 실리콘 게이트층 및 상기 질화물 박층을 에칭하여 게이트 스택을 형성하는 단계; 제1 저농도 도핑 드레인 영역과 제1 저농도 도핑 소스 영역을 형성하는 단계; 상기 게이트 스택의 측면 상에 제1 측벽 스페이서 및 제2 측벽 스페이서를 형성하는 단계; 상기 제2 측벽 스페이서에 인접하여 고농도 도핑 소스 영역 및 드레인 영역을 형성하는 단계; 상기 질화물 박층 및 상기 디스포저블 실리콘 게이트층을 제거하여 게이트 트렌치를 형성하는 단계와; 상기 게이트 트렌치의 내벽 및 외벽 상에 질화물 스페이서를 형성하는 단계; 상기 산화물 박층을 제거하여 상기 제1 실리콘 게이트층의 선택된 부분을 노출하는 단계; 상기 제1 실리콘 게이트층 위에 제2 실리콘 게이트층을 형성하는 단계; 트랜지스터 트렌치를 형성하기 위해 상기 질화물 스페이서를 제거하는 단계; 상기 제1 실리콘 게이트층 아래의 상기 반도체 기판에 제2 저농도 도핑 드레인 영역 및 제2 저농도 도핑 소스 영역을 형성하는 단계; 및 상기 트랜지스터 트렌치를 선택된 재료로 채우는 단계를 포함하는 절연 게이트 전계 효과 트랜지스터 형성 방법.

청구항 15

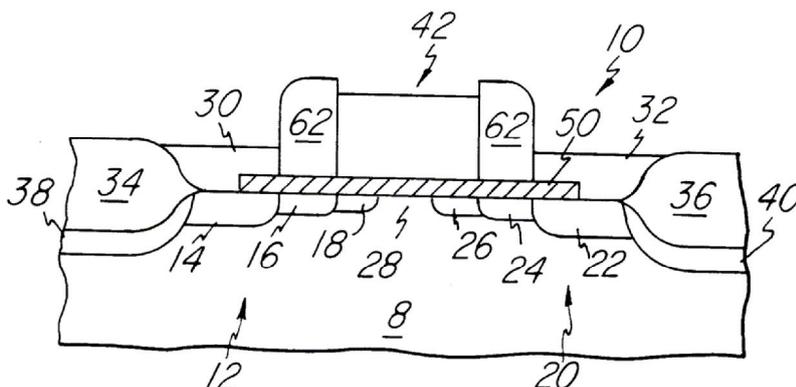
절연 게이트 전계 효과 트랜지스터의 제조 방법에 있어서, 반도체 기판의 표면 상에 절연층을 형성하는 단계; 선택된 폭의 게이트를 형성한 후, 상기 게이트 위에 절연층을 형성하는 단계; 상기 게이트의 선택된 부분을 등방성 측방향 에칭하는 단계; 상기 게이트의 선택된 부분 아래에서 상기 반도체 기판의 일부를 도핑함으로써 중첩되고 저농도로 도핑된 소스와 드레인을 형성하는 단계; 상기 게이트를 상기 선택된 폭으로 재형성하는 단계; 상기 게이트에 인접한 상기 반도체 기판의 일부를 도핑하여 비중첩되고 저농도로 도핑된 소스와 드레인을 형성하는 단계; 상기 게이트의 측면상에 측벽 스페이서를 형성하는 단계; 및 상기 측벽 스페이서에 인접한 상기 반도체 기판의 일부를 도핑하여 고농도로 도핑된 소스와 드레인 접합을 형성하는 단계를 포함하는 절연 게이트 전계 효과 트랜지스터 제조 방법.

청구항 16

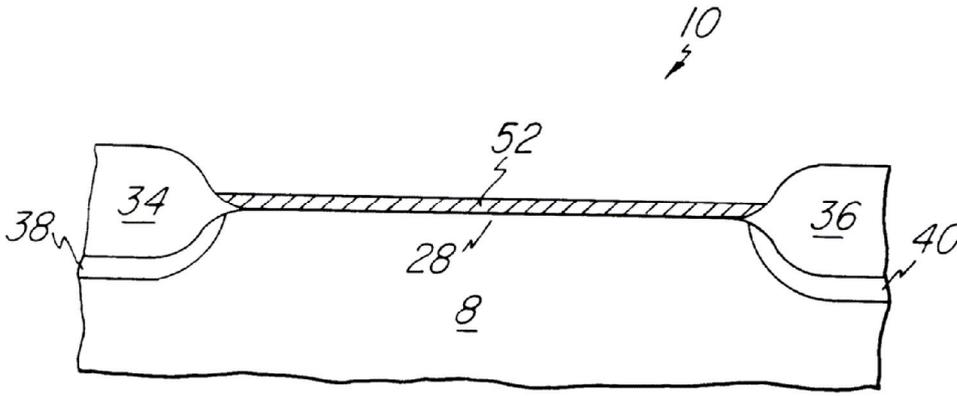
제15항에 있어서, 상기 게이트를 재형성하는 단계는 실리콘을 선택적으로 성장시킨 후, 상기 선택적으로 성장된 실리콘의 초과량을 이방성으로 에칭하는 단계를 포함하는 전계 효과 트랜지스터 제조 방법.

도면

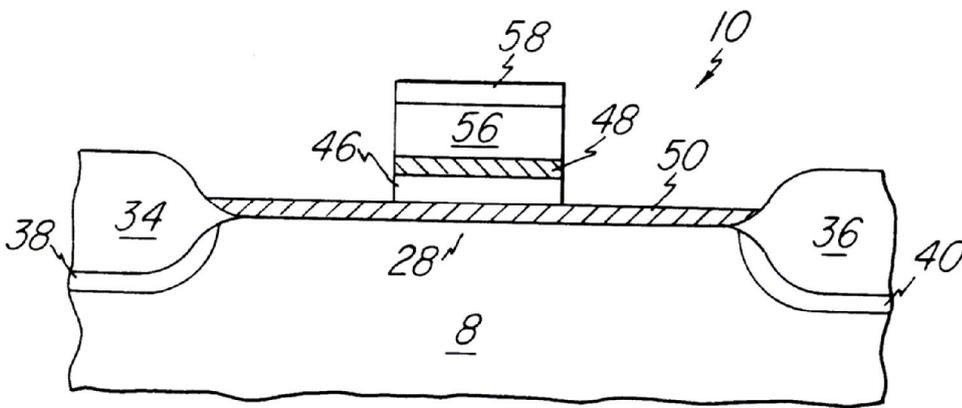
도면1



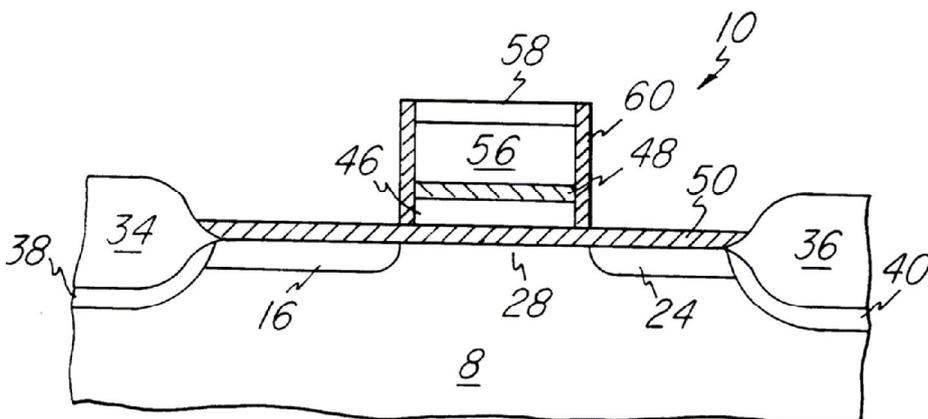
도면2



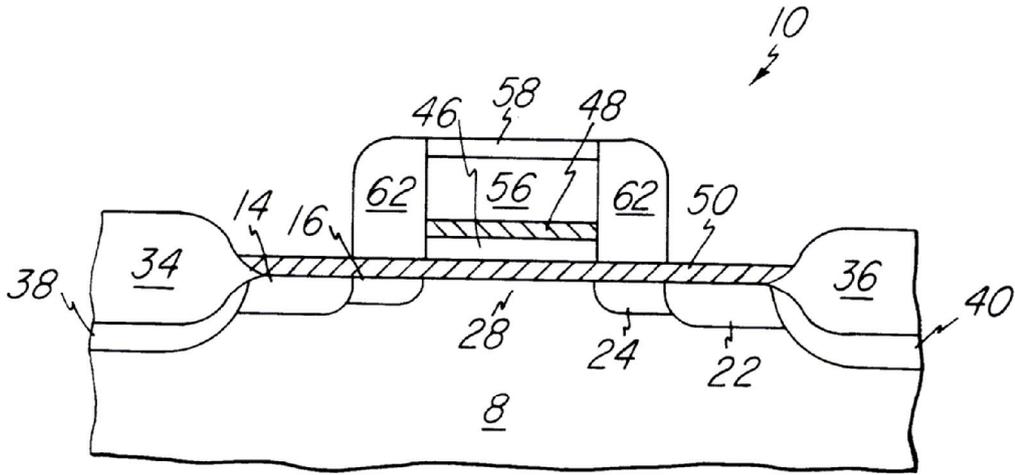
도면3



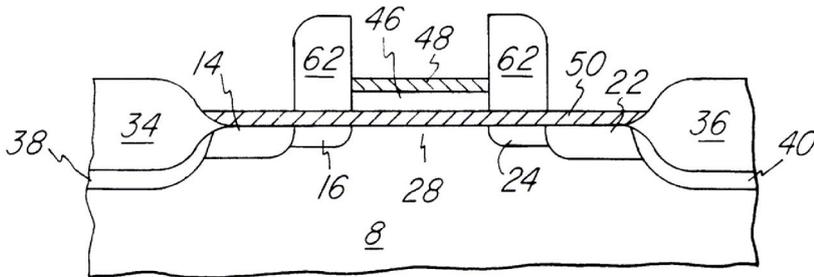
도면4



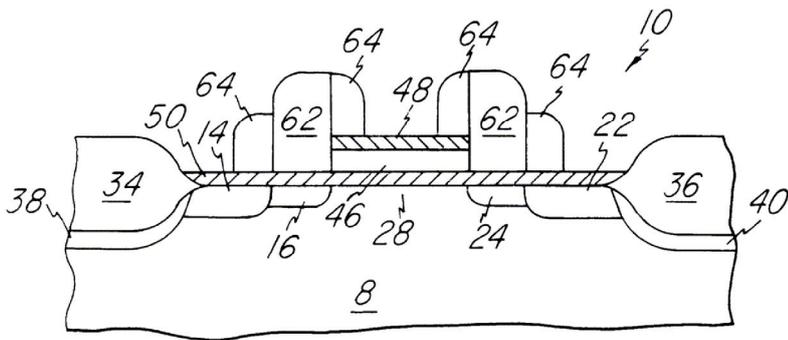
도면5



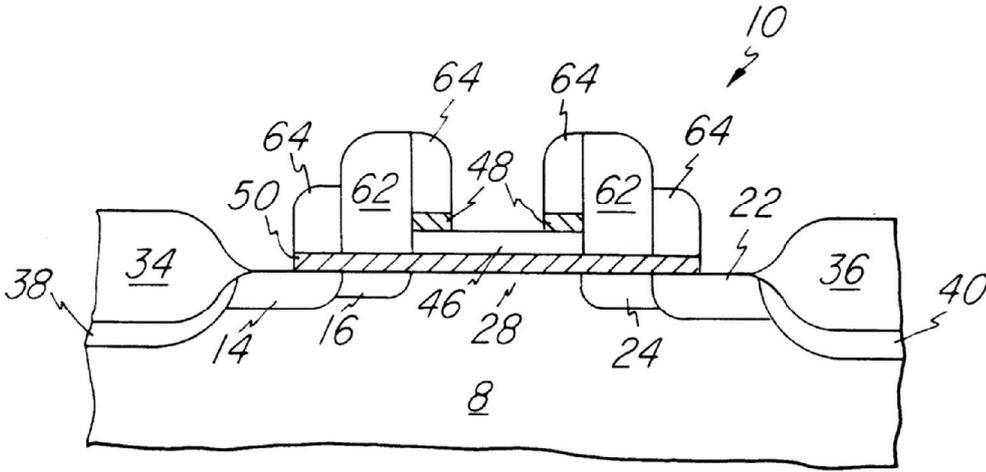
도면6



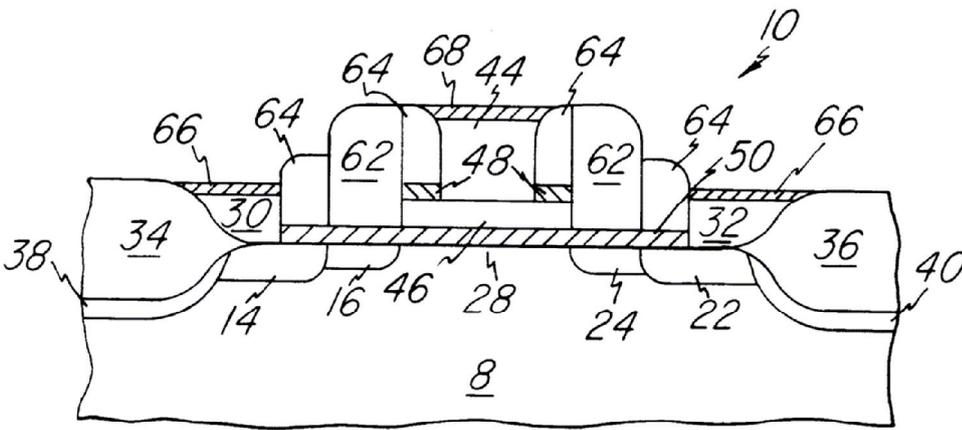
도면7



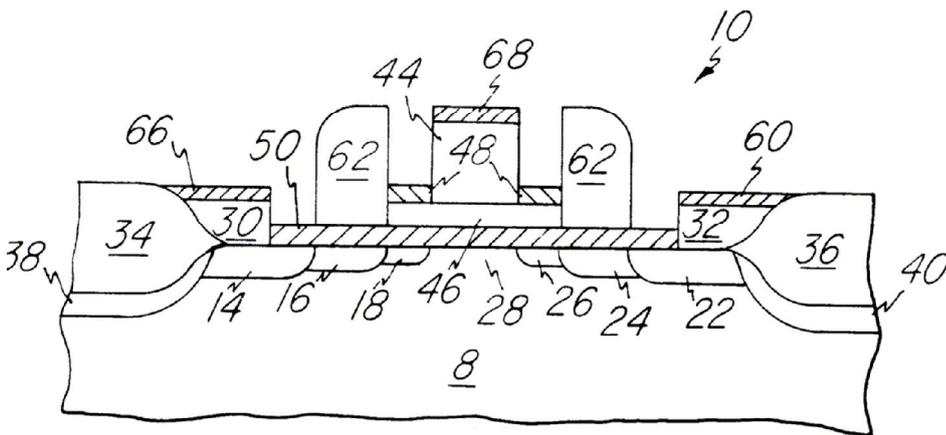
도면8



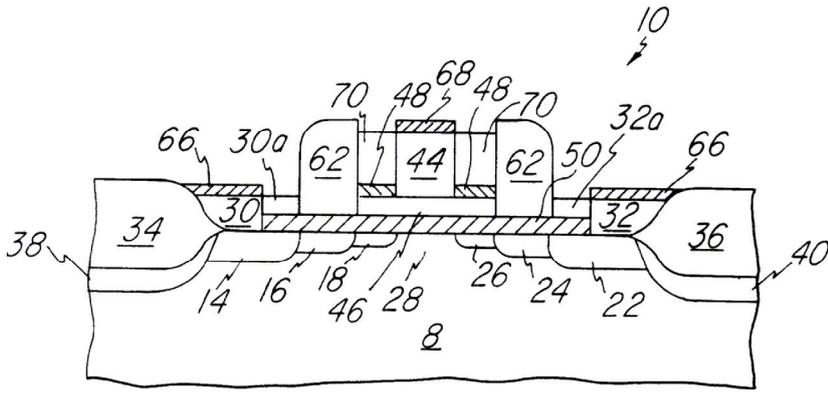
도면9



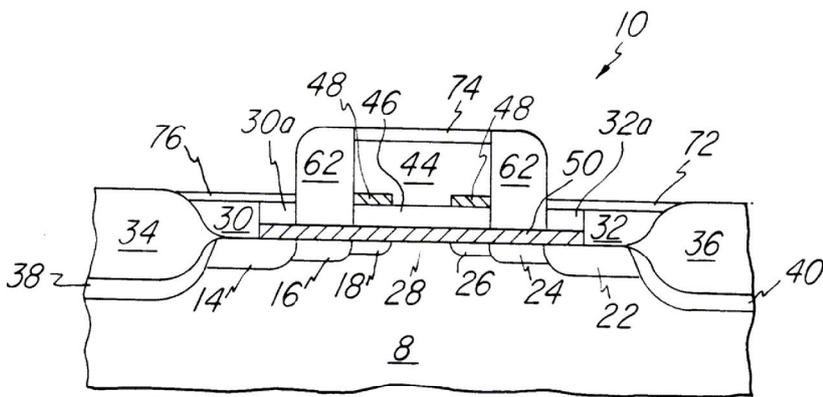
도면10



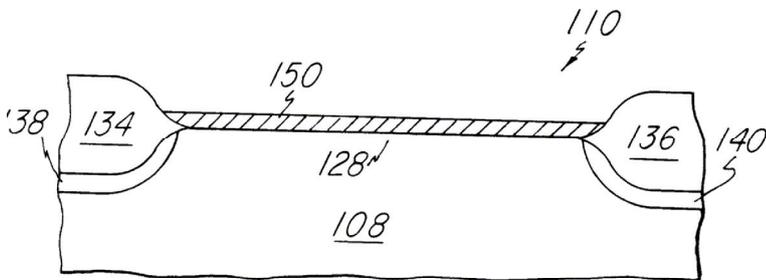
도면11



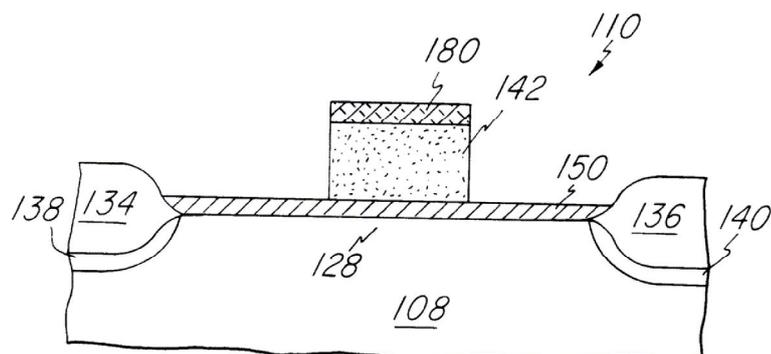
도면12



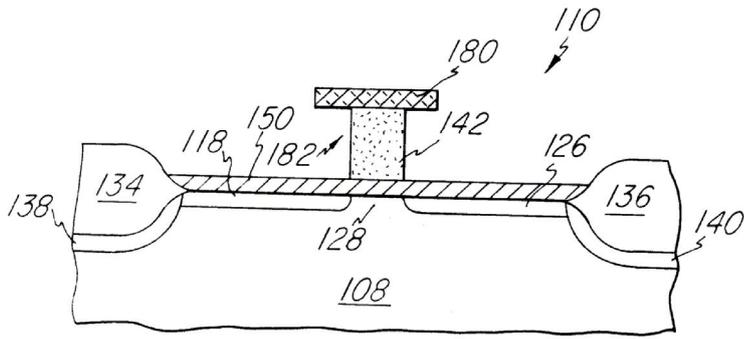
도면13



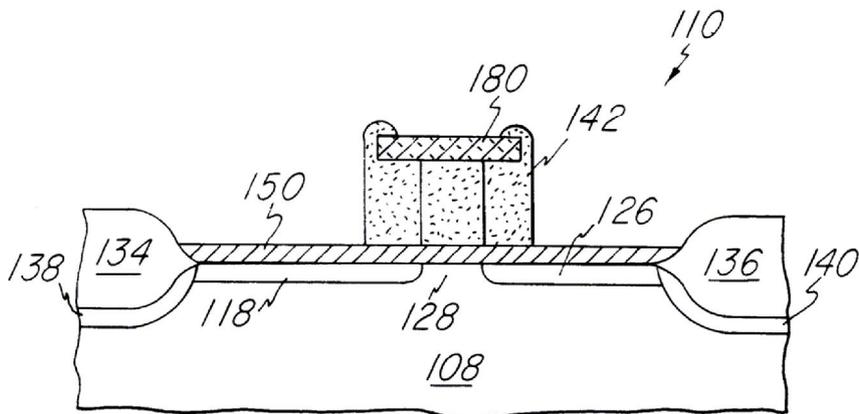
도면14



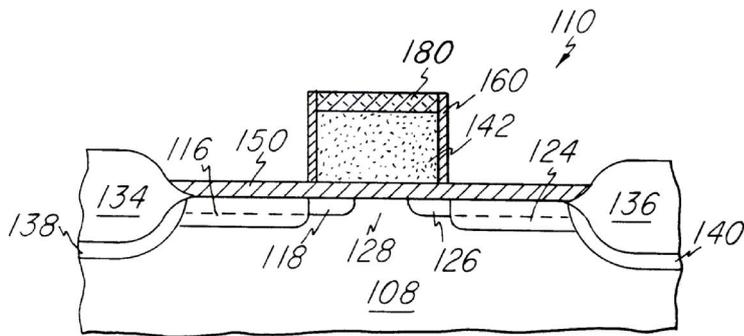
도면15



도면16



도면17



도면18

