



(12) 发明专利

(10) 授权公告号 CN 114513893 B

(45) 授权公告日 2024.06.18

(21) 申请号 202110013955.0

(22) 申请日 2021.01.06

(65) 同一申请的已公布的文献号  
申请公布号 CN 114513893 A

(43) 申请公布日 2022.05.17

(66) 本国优先权数据  
202011278972.9 2020.11.16 CN

(73) 专利权人 华为技术有限公司  
地址 518129 广东省深圳市龙岗区坂田华为总部办公楼

(72) 发明人 熊振兴 刘王亮 兰增奇 赵才军 许祥

(74) 专利代理机构 北京中博世达专利商标代理有限公司 11274  
专利代理师 刘茹

(51) Int.Cl.

H05K 1/02 (2006.01)

H05K 1/18 (2006.01)

(56) 对比文件

CN 108431946 A, 2018.08.21

US 2019122993 A1, 2019.04.25

审查员 李巧芬

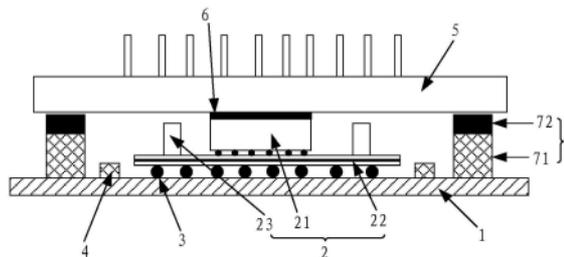
权利要求书2页 说明书9页 附图11页

(54) 发明名称

一种加强结构及电子设备

(57) 摘要

本申请提供一种加强结构及电子设备,涉及芯片技术领域。该加强结构包括:支撑架、容纳腔和电磁辐射抑制结构,容纳腔开设在支撑架上,且贯通支撑架相对的第一表面和第二表面,容纳腔用于容纳设置在印制电路板上的芯片封装结构,支撑架的、围成容纳腔的壁面为内表面,与内表面相对的壁面为外表面;电磁辐射抑制结构设置在第一表面、第二表面、内表面和外表面的至少一个表面上。



1. 一种加强结构,其特征在于,包括:  
支撑架;  
容纳腔,开设在所述支撑架上,且贯通所述支撑架相对的第一表面和第二表面,所述容纳腔用于容纳设置在印制电路板上的芯片封装结构,所述支撑架的、围成所述容纳腔的壁面为内表面,与所述内表面相对的壁面为外表面;  
所述第一表面与所述印制电路板靠近,所述第二表面上设置有第一电磁辐射抑制结构;  
所述第一电磁辐射抑制结构随着所述支撑架环绕所述芯片封装结构,共同形成所述容纳腔。
2. 根据权利要求1所述的加强结构,其特征在于,所述内表面和/或所述外表面上设置有第二电磁辐射抑制结构。
3. 根据权利要求1或2所述的加强结构,其特征在于,所述第一表面的部分区域上形成有凹腔,所述凹腔内布设有第三电磁辐射抑制结构。
4. 根据权利要求1或2所述的加强结构,其特征在于,所述第一电磁辐射抑制结构包括第一金属层,多个金属柱和多个第二金属层;  
所述第一金属层设置于所述第二表面上;  
所述第一金属层上耦接有多个金属柱;  
所述多个金属柱耦接多个第二金属层,所述多个第二金属层与所述多个金属柱一一对应,所述多个第二金属层平行于所述第一金属层。
5. 根据权利要求1或2所述的加强结构,其特征在于,所述支撑架由金属材料制得。
6. 根据权利要求1或2所述的加强结构,其特征在于,所述第一电磁辐射抑制结构包括由电磁屏蔽材料制得的屏蔽层,所述屏蔽层与所述第二表面藕接。
7. 根据权利要求1或2所述的加强结构,其特征在于,所述第一电磁辐射抑制结构包括由电磁吸波材料制得的吸波层,所述吸波层与所述第二表面连接。
8. 根据权利要求7所述的加强结构,其特征在于,所述吸波层通过粘附层粘附在所述支撑架上;或者,所述电磁吸波材料涂覆在所述支撑架上,以形成所述吸波层。
9. 一种电子设备,其特征在于,包括:  
印制电路板;  
芯片封装结构;  
如权利要求1-8任一项所述的加强结构;  
所述芯片封装结构和所述加强结构设置在所述印制电路板的同一表面上,且所述芯片封装结构位于所述容纳腔内;  
散热器,覆盖在所述芯片封装结构的远离所述印制电路板的一侧。
10. 根据权利要求9所述的电子设备,其特征在于,所述第一表面靠近所述印制电路板,所述印制电路板的与所述第一表面相接触的位置处布设有绝缘层,所述内表面和/或所述外表面上设置有第二电磁辐射抑制结构。
11. 根据权利要求9所述的电子设备,其特征在于,所述第一表面靠近所述印制电路板,所述第一表面的部分区域上形成有凹腔,所述凹腔内布设有第三电磁辐射抑制结构。
12. 根据权利要求9~11中任一项所述的电子设备,其特征在于,所述支撑架包括多个

子支撑架,且所述多个子支撑架沿所述芯片封装结构的外围间隔布设,相邻两个所述子支撑架之间的间距为所要抑制的电磁波频率对应的波长的四分之一。

13.根据权利要求9~11中任一项所述的电子设备,其特征在于,所述加强结构的朝向所述印制电路板的表面与所述印制电路板相抵接,所述加强结构的朝向所述散热器的表面与所述散热器相抵接,以使所述芯片封装结构处于所述加强结构、所述散热器和所述印制电路板围成的封闭腔体内。

## 一种加强结构及电子设备

[0001] 本申请要求于2020年11月16日提交国家知识产权局、申请号为202011278972.9、发明名称为“芯片组件及设备”的中国专利申请的优先权,其全部内容通过引用结合在本申请中。

### 技术领域

[0002] 本申请涉及芯片技术领域,尤其涉及一种加强结构及电子设备。

### 背景技术

[0003] 随着芯片速率从10Gbps到25Gbps,再到56Gbps的演进,芯片封装结构辐射的电磁噪声不断增强,目前速率为56Gbps芯片的电磁噪声已经超过限制值8dB。

[0004] 一般,芯片封装结构是集成在印制电路板(printed circuit board,PCB)上,随着芯片封装结构尺寸的变大,芯片封装结构与PCB的热膨胀系数(Coefficient of Thermal Expansion,CTE)失配会让封装热变形控制变得越来越困难,封装热变形变大会直接导致包含芯片封装结构和PCB的结构发生较大的翘曲(Warpage),甚至造成连接芯片封装结构和PCB的焊球发生开裂。

[0005] 所以,目前在集成有较大尺寸的、具有较大功耗的芯片封装结构的PCB中,芯片封装结构电磁噪声的抑制,封装热变形的控制是本领域公知的技术问题。

### 发明内容

[0006] 本申请提供一种加强结构及电子设备,主要目的是提供一种能够抑制电磁噪声,降低封装热变形,抑制翘曲程度的加强结构。

[0007] 为达到上述目的,本申请采用如下技术方案:

[0008] 第一方面,本申请提供了一种加强结构,该加强结构包括:支撑架、容纳腔和电磁辐射抑制结构,容纳腔开设在支撑架上,且贯通支撑架相对的第一表面和第二表面,容纳腔用于容纳设置在印制电路板上的芯片封装结构,支撑架的、围成容纳腔的壁面为内表面,与内表面相对的壁面为外表面;电磁辐射抑制结构设置在第一表面、第二表面、内表面和外表面的至少一个表面上。

[0009] 本申请提供的加强结构,由于该加强结构包括支撑架和承载在支撑架表面上的电磁辐射抑制结构。这样的话,当将该加强结构设置在印制电路板上,并使芯片封装结构位于容纳腔内时,该加强结构具有对印制电路板一定的作用力,进而可以抑制芯片封装基板和印制电路板的翘曲程度,降低连接芯片封装结构和印制电路板的焊球发生开裂的风险,最终提高产品合格率。

[0010] 还有,由于在支撑架表面上承载有电磁辐射抑制结构,电磁辐射抑制结构会抑制芯片封装结构辐射电磁波。所以,该加强结构既具有抑制电磁辐射的功能,还兼顾了抑制翘曲的作用。

[0011] 在第一方面可能的实现方式中,内表面和/或外表面上设置有电磁辐射抑制结构,

且电磁辐射抑制结构的靠近第一表面的部分凸出于第一表面。

[0012] 将该加强结构设置于印制电路板上时,尤其是支撑架为金属材料时,一般印制电路板的表面上也会布设金属走线,为了防止金属的支撑架与印制电路板上的金属走线发生电导通,可以在印制电路板的与支撑架的第一表面相接触的位置处布设绝缘层,支撑架再设置在绝缘层上,以使支撑架与印制电路板之间绝缘,但是一般绝缘层没有电磁辐射抑制功能,所以,本申请中将电磁辐射抑制结构的靠近第一表面的部分凸出于第一表面,以采用凸出的这部分电磁辐射抑制结构防止电磁辐射从绝缘层泄漏出去,以增强电磁辐射抑制效果。

[0013] 在第一方面可能的实现方式中,第一表面的部分区域上形成有凹腔,凹腔内布设有电磁辐射抑制结构,且电磁辐射抑制结构凸出于凹腔。

[0014] 也就是说,当将第一表面靠近印制电路板时,通过在第一表面的部分区域上形成凹腔,未具有凹腔的区域通过绝缘层与印制电路板连接。这样的话,在防止电磁辐射从绝缘层泄漏出去的前提下,还可以减小加强结构的尺寸,避免具有较大尺寸的加强结构占用PCB上其他模块的安装位置。

[0015] 在第一方面可能的实现方式中,第二表面上设置有电磁辐射抑制结构,且内表面和外表面的至少靠近第二表面的位置处设置有电磁辐射印制层。

[0016] 实际中,芯片封装结构辐射的电磁波大部分会通过靠近散热器的位置处辐射出去,那么,本申请将第二表面相对第一表面靠近散热器设置时,通过在第二表面上、内表面和外表面的至少靠近第二表面的位置处设置电磁辐射印制层,可以提高电磁辐射抑制效果。

[0017] 在第一方面可能的实现方式中,支撑架由金属材料制得。通过将支撑架由金属材料制得,在实现抑制翘曲,降低变形的基础上,还会通过金属的支撑架进一步的将芯片封装结构辐射的电磁波屏蔽掉,进而进一步的增强电磁辐射抑制效果。

[0018] 在第一方面可能的实现方式中,电磁辐射抑制结构由电磁屏蔽材料制得,以形成屏蔽层。

[0019] 在第一方面可能的实现方式中,电磁辐射抑制结构由电磁吸波材料制得,以形成吸波层。

[0020] 在第一方面可能的实现方式中,吸波层通过粘结层粘附在支撑架上;或者,电磁吸波材料涂覆在支撑架上,以形成吸波层。

[0021] 采用上述装配方式在支撑架上形成吸波层,制作工艺简单,易于实现。

[0022] 在第一方面可能的实现方式中,电磁辐射抑制结构还包括:金属层和多个金属柱,多个金属柱布设在金属层的一侧,并且每一个金属柱的一端与金属层连接,每相邻两个金属柱之间具有间隙。

[0023] 在第一方面可能的实现方式中,加强结构的高度尺寸大于或等于芯片封装结构的高度尺寸,其中,高度尺寸为沿第一表面至第二表面方向上的尺寸。

[0024] 这样的话,当将该加强结构设置在印制电路板上后,芯片封装结构就会处于加强结构、散热器和印制电路板围成的封闭腔体内,可以进一步减小电磁波的辐射路径,增强电磁波抑制效果。

[0025] 第二方面,本申请提供了一种电子设备,该电子设备包括:印制电路板、芯片封装

结构、加强结构和散热器,加强结构为上述第一方面任一实施方式涉及的加强结构,芯片封装结构和加强结构集成在印制电路板的同一表面上,且芯片封装结构位于容纳腔内,散热器覆盖在芯片封装结构的远离印制电路板的一侧。

[0026] 本申请提供的电子设备,由于包括了上述第一方面任一实施方式的加强结构。这样的话,通过加强结构中的电磁辐射抑制结构会抑制芯片封装结构辐射电磁波,并且,通过加强结构可以抑制芯片封装基板和印制电路板的翘曲程度,降低用于连接芯片封装结构和印制电路板的焊球发生开裂的风险,进而提高该电子设备的合格率。

[0027] 在第二方面可能的实现方式中,第一表面靠近印制电路板,印制电路板的与第一表面相接触的位置处布设有绝缘层,内表面和/或外表面上设置有电磁辐射抑制结构,且电磁辐射抑制结构的靠近第一表面的部分凸出于第一表面。

[0028] 通过设置绝缘层,可以防止支撑架与印制电路板上的金属走线电连接,并且通过内表面和/或外表面上的凸出于第一表面的电磁辐射抑制结构可以阻断电磁辐射从绝缘层辐射出去。

[0029] 在第二方面可能的实现方式中,第一表面靠近印制电路板,第一表面形成有凹腔,凹腔内布设有电磁辐射抑制结构,且电磁辐射抑制结构凸出于凹腔,第一表面的未具有凹腔的区域与印制电路板之间具有绝缘层。

[0030] 这样的话,在防止电磁辐射从绝缘层泄漏出去的前提下,还可以减小加强结构的尺寸,避免具有较大尺寸的加强结构占用印制电路板上其他模块的安装位置。

[0031] 在第二方面可能的实现方式中,支撑架包括多个子支撑架,且多个子支撑架沿芯片封装结构的外围间隔布设,相邻两个子支撑架之间的间距为所要抑制的电磁波频率对应的波长的四分之一。

[0032] 在第二方面可能的实现方式中,加强结构的朝向印制电路板的表面与印制电路板相抵接,加强结构的朝向散热器的表面与散热器相抵接,以使芯片封装结构处于加强结构、散热器和印制电路板围成的封闭腔体内。通过将芯片封装结构围在加强结构、散热器和印制电路板围成的封闭腔体内,可以减小电磁波的辐射路径,增强电磁波抑制效果。

[0033] 在第二方面可能的实现方式中,芯片封装结构包括:封装基板和芯片,封装基板位于印制电路板上;芯片设置在封装基板的表面上,散热器覆盖在芯片的远离封装基板的一侧。这样的话,就形成了裸芯片封装。

[0034] 在第二方面可能的实现方式中,芯片封装结构包括:封装基板和芯片,以及盖板,封装基板位于印制电路板上;芯片设置在封装基板的表面上;盖板覆盖在芯片的远离封装基板的一侧,并与封装基板连接,且散热器覆盖在盖板上。这样的话,就形成了非裸芯片封装。

## 附图说明

[0035] 图1为本申请实施例电子设备的部分结构示意图;

[0036] 图2为本申请实施例电子设备的部分结构示意图;

[0037] 图3为本申请实施例电子设备的俯视图;

[0038] 图4为本申请实施例加强结构的三维示意图;

[0039] 图5为本申请实施例支撑架的剖面图;

- [0040] 图6a为本申请实施例支撑架的结构示意图；
- [0041] 图6b为本申请实施例支撑架的结构示意图；
- [0042] 图6c为本申请实施例支撑架的结构示意图；
- [0043] 图6d为本申请实施例支撑架的结构示意图；
- [0044] 图7a为本申请实施例吸波层或者屏蔽层的断面图；
- [0045] 图7b为本申请实施例吸波层或者屏蔽层的断面图；
- [0046] 图7c为本申请实施例吸波层或者屏蔽层的断面图；
- [0047] 图8为本申请实施例包含支撑架和电磁辐射抑制结构的结构示意图；
- [0048] 图9为本申请实施例电磁辐射抑制结构的结构示意图；
- [0049] 图10为本申请实施例电磁辐射抑制结构的电磁辐射抑制原理图；
- [0050] 图11为本申请实施例电磁辐射抑制结构的结构示意图；
- [0051] 图12为本申请实施例电磁辐射抑制结构的结构示意图；
- [0052] 图13为本申请实施例电磁辐射抑制结构的结构示意图；
- [0053] 图14为本申请实施例包含支撑架和电磁辐射抑制结构的结构示意图；
- [0054] 图15为本申请实施例电子设备的部分结构示意图；
- [0055] 图16为本申请实施例电子设备的部分结构示意图；
- [0056] 图17为本申请实施例电子设备的部分结构示意图；
- [0057] 图18为本申请实施例支撑架的剖面图；
- [0058] 图19为本申请实施例电子设备的部分结构示意图；
- [0059] 图20为本申请实施例电子设备的部分结构示意图；
- [0060] 图21为本申请实施例电子设备的部分结构示意图；
- [0061] 图22为本申请实施例电子设备的屏蔽效能的测试曲线图。
- [0062] 附图标记：
- [0063] 1-PCB;2-芯片封装结构;21-芯片;22-封装基板;23-加固环;24-盖板;3-电连接结构;4-电子元器件;5-散热器;51-凸块;6-TIM层;7-加强结构;71-支撑架;72-电磁辐射抑制结构;73-安装孔;74-容纳腔;711-子支撑架;81-金属层;82-金属柱;83-另一金属层;84-吸波层或屏蔽层;9-绝缘层;10-凹腔。

### 具体实施方式

[0064] 本申请实施例提供一种电子设备。该电子设备可以是服务器(server)、数据中心(Data Center),也可以是手机(mobile phone)、平板电脑(pad)、智能穿戴产品(例如,智能手表、智能手环)、虚拟现实(virtual reality,VR)设备、增强现实(augmented reality,AR),还可以是家用电器等设备。本申请实施例对上述电子设备的具体形式不做特殊限制。

[0065] 图1所示的是一种电子设备的部分结构图,该电子设备包括印制电路板(printed circuit board,PCB)1和芯片封装结构2。芯片封装结构2通过电连接结构3与PCB1电连接,从而使得芯片封装结构2能够与PCB1上的其他芯片或者其他电子元器件4(例如晶体管、二极管、电阻、电容、电感等)实现互连。在可选择的实施方式中,该电连接结构3可以是球阵列(ball grid array,BGA)。

[0066] 图1所示的电子设备还包括散热器5,散热器5覆盖在芯片封装结构2的远离PCB1的

一侧,并且通过连接件(图中未示出)与PCB1相对固定。这里的散热器5可以是如图1所示的翅片型结构,也可以是其他结构。

[0067] 图1所示的电子设备的芯片封装结构2包括:芯片21和封装基板22,其中,芯片21被集成在封装基板22的表面上,且该电子设备的散热器5通过导热界面材料(thermal interface material,TIM)层6覆盖在芯片21的上表面上。这样的话,芯片21散发的热量会通过TIM6传导至散热器5上,通过具有较大热传导面积的散热器5将热量扩散出去,实现对芯片21的降温,保证芯片21的正常运行。尤其是对于具有较大功耗的芯片,或者对堆叠的多个芯片,散热效果更好。这样的封装形式可以称为裸片(die)封装。

[0068] 在图1的裸片封装中,为了抑制芯片21和封装基板22因为热变形造成较大的翘曲,封装基板22上还设置有加固环(Ring)23,且加固环23环绕在芯片21的外围。

[0069] 图2所示的是另一种电子设备的部分结构图,和图1所示的电子设备的区别是:该电子设备的芯片封装结构2中包括盖板(Lid)24,盖板24通过TIM层6覆盖在芯片21的上表面上,散热器5再通过TIM层6覆盖在盖板24的表面上,并且盖板24与封装基板22相对固定。这样的封装形式可以称为非裸片(die)封装。

[0070] 图2所述的盖板24不仅具有抑制芯片21和封装基板22翘曲的效果,还可以对芯片21进行散热。

[0071] 上述的图1和图2中,随着芯片21功耗的提高,芯片21辐射的电磁噪声经封装基板22或者盖板24,或者电连接结构3放大后,芯片封装结构2的辐射噪声不断增强,另外,随着堆叠的多芯片的应用,芯片封装结构2的尺寸不断增大,这样的话,在将较大尺寸的芯片封装结构2通过BGA与PCB焊接时,很容易因为芯片封装结构2与PCB1的CTE失配,导致芯片封装结构和PCB发生较大的翘曲(Warpage),有时也会造成BGA发生开裂,或者相邻的两个BGA接触发生短路。

[0072] 为了增强对芯片封装结构2的辐射噪声的抑制,也为了控制芯片封装结构2和PCB1发生较大的热变形,结合图1和图2,该电子设备还包括加强结构7,所述加强结构7设置在PCB1上,并且和芯片封装结构2处于同一表面上。

[0073] 下述对加强结构7的详细结构以及所产生的效果进行说明。

[0074] 图3和图4所示的是一种加强结构7的结构图,该加强结构7包括:电磁辐射抑制结构72和支撑架71。支撑架71上开设有容纳腔74,容纳腔74用于容纳设置在印制电路板1上的芯片封装结构2,也就是说,芯片封装结构2位于容纳腔74内,支撑架71环绕在芯片封装结构2的外围。

[0075] 图5是沿图4中的剖面方向M-M剖切时支撑架71的剖面图,支撑架71具有相对的第一表面A1和第二表面A2,还有围成容纳腔74的内表面A3和与内表面A3相对的外表面A4。

[0076] 电磁辐射抑制结构72在支撑架71上的设置位置可以是:设置在第一表面A1、第二表面A2、内表面A3和外表面A4的至少一个面上。例如,图1和图2所示的是仅在一个表面上设置电磁辐射抑制结构72。

[0077] 由于加强结构7包括了支撑架71,这样的话,当将加强结构7沿芯片封装结构2的外围布设时,会对PCB1产生一定的作用力,进而可以抑制芯片封装结构2和PCB1的翘曲程度,减少他们的热变形,降低BGA发生开裂的风险,进而提升该电子设备的合格率。

[0078] 还有,由于在支撑架71的至少一个表面上设置有电磁辐射抑制结构72,如此一来,

芯片封装结构2辐射的电磁波辐射至电磁辐射抑制结构72后,会被电磁辐射抑制结构72抑制,进而降低了芯片封装结构的电磁波辐射噪声。

[0079] 所以,本申请实施例提供的集成在PCB1上的加强结构7,不仅具有抑制PCB1和芯片封装结构2翘曲的功能,还兼顾了抑制电磁波辐射的功能,即一个结构兼顾两种功能,尤其对于尺寸较小的图1和图2结构,具有较大的使用性能。

[0080] 该加强结构7是与PCB1相对固定,例如,如图4所示,可以在加强结构7上开设安装孔73,将紧固件(比如,螺钉)穿过安装孔73,将加强结构7与PCB1固定连接。由于PCB1和加强结构7的尺寸较大,相比采用粘接胶层,采用紧固件的连接强度更高,连接稳定性更可靠。

[0081] 当加强结构7通过紧固件与PCB1固定连接时,为了防止在固定紧固件时,造成PCB1发生翘曲,可以使紧固件与PCB1的连接位置关于PCB1的中心对称布设。

[0082] 支撑架71具有多种不同结构,比如,如图6a所示,支撑架71可以为矩形环状结构;再比如,如图6b所示,支撑架71可以为圆环结构;再比如,如图6c所示,支撑架71可以为多边形环状结构(如六边形)。

[0083] 除此之外,支撑架71也可以是图6d所示,支撑架71包括多个子支撑架711,这些多个子支撑架711沿芯片封装结构的外围间隔布设,且每相邻两个子支撑架711之间的间距d为所要抑制电磁波频率所对应波长的四分之一,这样的话,就可以抑制相对应频率的电磁辐射。

[0084] 需要说明的是:上述的间距d为所要抑制电磁波频率所对应波长的四分之一,可以是间距d完全等于所要抑制电磁波频率所对应波长的四分之一,也可以是间距d接近所要抑制电磁波频率所对应波长的四分之一。

[0085] 下述给出了电磁辐射抑制结构72的几种不同结构。

[0086] 在一些实施方式中,电磁辐射抑制结构72包括由电磁吸波材料制得的吸波层。这里的电磁吸波材料是指能吸收投射到它表面的电磁波能量的一类材料,比如,橡胶基吸波材料、树脂基吸波材料、泡沫基吸波材料等。

[0087] 在另外一些实施方式中,电磁辐射抑制结构72也可以是包括由电磁屏蔽材料制得的屏蔽层。这里的电磁屏蔽材料是指能对两个空间区域之间进行金属的隔离、以控制电场、磁场和电磁波由一个区域对另一个区域的感应和辐射的一类材料,比如,导电海绵、导电胶条、屏蔽簧片等。

[0088] 当电磁辐射抑制结构72为吸波层时,可以通过粘结层将吸波层粘附在支撑架71上,或者通过在支撑架上涂覆电磁屏蔽材料,并进行固化,以在支撑架上形成吸波层。

[0089] 当电磁辐射抑制结构72为吸波层或者为屏蔽层时,吸波层或者屏蔽层的横断面可以是图7a所示的矩形结构,也可以是图7b所示的扇形结构,也可以是图7c所示的圆形结构。当然,也可以是其他结构。

[0090] 在另外一些实施方式中,图8所示的是另一种电磁辐射抑制结构72的结构图,该电磁辐射抑制结构72包括金属层81和多个金属柱82,金属层81承载在支撑架71上,图9是图8的电磁辐射抑制结构72的俯视图,多个金属柱82设置在金属层81的远离支撑架71的一侧,并且每一个金属柱82的一端与金属层81连接,每相邻两个金属柱82之间具有间隙。

[0091] 图8和图9所示的电磁辐射抑制原理如图10所示,金属柱82可以视为电感L,在相邻两个金属柱82之间具有电容耦合C,进而并联的LC电路在谐振频率处具有较大的阻抗,从而

抑制电流的传播,由于电流无法扩散至金属层81的边缘并向自由空间继续辐射,所以该结构具有电磁辐射抑制作用。

[0092] 通过改变电感值L和电容值C就可以实现不同谐振频率的屏蔽效果,具体实施时,可以通过改变金属柱的尺寸(比如,高度和横断面面积),或者可以通过改变相邻两个金属柱82之间的间距,以改变电感或者电容。

[0093] 在一些实施方式中,为了抑制多个谐振频率的电磁信号,可以将多个金属柱82的高度、横断面面积或者相邻两个金属柱之间的间距设置的不一样,进而可以产生多个谐振点,这样的话,可以形成多频带或者宽频带的电磁辐射抑制。

[0094] 图11给出了另一种电磁辐射抑制结构的结构图,和图9所示结构的不同是:图11的金属柱82横断面为圆形,图9所示的金属柱82横断面为多边形。本申请对金属柱的具体形状不做特殊限定。

[0095] 图12和图13还给出了另两种电磁辐射抑制结构的结构图,和图11和图9的区别是,还包括另一金属层83,另一金属层83设置在金属柱82的远离金属层81的一端。

[0096] 图12和图13相比图9和图11所示的电磁辐射抑制结构,在实现抑制频带相同的情况下,图12和图13的尺寸更小,这样的话,更适用于小尺寸的芯片封装结构。

[0097] 图9和图11所示的电磁辐射抑制结构在制备时,可以基于半导体工艺制得,比如,先在支撑架71上沉积一层金属层,以形成金属层81,再在金属层上覆盖介电层,然后在介电层内设置导电通道,该导电通道形成金属柱82。

[0098] 图12和图13所示的电磁辐射抑制结构在制备时,可以先在支撑架71上沉积一层金属层,以形成金属层81,再在金属层上覆盖介电层,然后在介电层内设置导电通道,该导电通道形成金属柱82,然后在介电层上形成一层金属层,对该金属层进行图案化处理,以形成另一金属层83。图9、图11、图12和图13所示的结构可以称为周期性电磁辐射抑制结构。

[0099] 图14所示的是另一种电磁辐射抑制结构72的结构图,该电磁辐射抑制结构72包括上述图11和图12所示的周期性电磁辐射抑制结构,以及由电磁吸波材料制得的吸波层84或者由电磁屏蔽材料制得的屏蔽层84。

[0100] 其中,结合图14,吸波层84或者屏蔽层84被设置在支撑架71上,周期性电磁辐射抑制结构位于吸波层84或者屏蔽层84上,这样形成的电磁辐射抑制结构72为一种复合电磁波抑制结构,即吸波层84或者屏蔽层84对电磁波具有抑制作用,再通过周期性电磁辐射抑制结构进行吸波,进一步提高了电磁波抑制效果。

[0101] 支撑架71可以选择金属材料制得,比如,铜、铁。也可以选择非金属的树脂材料制得。

[0102] 当采用金属材料的支撑架时,金属的支撑架具有电磁波屏蔽作用,如此一来,金属的支撑架71和电磁辐射抑制结构72相结合,会可以进一步增强电磁波辐射抑制效果。尤其对于芯片封装结构的高度尺寸较大,散热器至PCB之间的距离较远时,利用相结合的金属的支撑架和电磁辐射抑制结构72,电磁抑制效果更好,以及翘曲抑制也很好。

[0103] 图15、图16、图17、图19、图20和图21给出电磁辐射抑制结构72在支撑架71上的多种不同的设置方式。在这些结构图中,加强结构7的第一表面靠近PCB1,加强结构7的第二表面靠近散热器5。

[0104] 在图15中,支撑架71的第二表面和外表面均布设有电磁辐射抑制结构72。

- [0105] 在图16中,支撑架71的第二表面和内表面均布设有电磁辐射抑制结构72。
- [0106] 在图17和图19中,支撑架71的第二表面和第一表面上均布设有电磁辐射抑制结构72。
- [0107] 在图20中,支撑架71的第一表面上布设有电磁辐射抑制结构72。
- [0108] 在图21中,支撑架71的内表面上布设有电磁辐射抑制结构72。
- [0109] 当然,可以是内表面、外表面、第一表面和第二表面以其他组合的方式,布设电磁辐射抑制结构72。
- [0110] 当在支撑架71的不同的面上设置电磁辐射抑制结构时,会从不同方向对电磁波进行抑制,以提高抑制效果。
- [0111] 通常,PCB1的用于承载芯片封装结构2的表面上形成有金属走线,当支撑架71由金属材料制得时,为了防止支撑架71与PCB1表面上的金属走线之间发生电连接,结合图15和图16,以及图17和图19,可以在PCB1的用于承载支撑架71的位置处设置绝缘层9,支撑架71再设置在绝缘层9上,以使金属的支撑架71与PCB1之间绝缘。
- [0112] 但是,一般情况下,绝缘层9是由聚碳酸酯、环氧树脂等材料制得,这些绝缘材料没有电磁辐射抑制功能,这样一来,支撑架71与PCB1之间的填充绝缘层9的空间就成为电磁波往外辐射的路径,为了切断该路径,图15和图16,在支撑架71的内表面、或者外表面、或者内表面和外表面均设置有电磁辐射抑制结构72,并且这些面上的电磁辐射抑制结构72凸出于第一表面。
- [0113] 在图15中,电磁辐射抑制结构72相对绝缘层9远离芯片封装结构2,即处于支撑架71的外表面上,这样的话,芯片封装结构2辐射的电磁波通过绝缘层9后,再被电磁辐射抑制结构72抑制,进而防止电磁波直接通过绝缘层辐射出去。
- [0114] 在图16中,电磁辐射抑制结构72相对绝缘层9靠近芯片封装结构2,即处于支撑架71的内表面上,这样的话,芯片封装结构2辐射的电磁波被电磁辐射抑制结构72抑制,从而不会通过绝缘层9辐射出去。
- [0115] 结合图17和图18,图18是图17的支撑架71的剖面图,支撑架71的靠近PCB1的第一表面的部分区域上形成有凹腔10,凹腔10内设置有电磁辐射抑制结构72,并且凹腔内的电磁辐射抑制结构72凸出于第一表面。相比图15和图16,在保障电磁波抑制效果较好的前提下,图17所述的结构可以减小加强结构7沿图中h方向的尺寸,如此一来,该加强结构7就不会占用PCB1较多的位置,保障PCB1上其他电子元器件的集成度。
- [0116] 另外,和图17相比,如图19所示,也可以在支撑架71的靠近PCB1的第一表面,且远离芯片封装结构2的位置处形成凹腔,并在该凹腔内设置电磁辐射抑制结构72。
- [0117] 为了进一步提高电磁辐射的抑制效果,加强结构的高度尺寸大于或等于芯片封装结构的高度尺寸,其中,高度尺寸为沿第一表面至第二表面方向上的尺寸,这样的话,如图15、图16、图17和图19,加强结构的朝向印制电路板1的表面与印制电路板1相抵接,加强结构的朝向散热器5的表面与散热器5相抵接,以使芯片封装结构2处于加强结构、散热器5和印制电路板1围成的封闭腔体(如图的Q腔)内。
- [0118] 当支撑架71由金属材料制得,以及电磁辐射抑制结构72由电磁屏蔽材料制得时,形成的封闭腔体就为封闭的屏蔽腔,这样,芯片封装结构2辐射的电磁波被完全屏蔽在该屏蔽腔体内,杜绝电磁波辐射至该电子设备的外部。

[0119] 当然,电磁辐射抑制结构72由吸波材料制得时,芯片封装结构2也可以处于加强结构、散热器和印制电路板围成的封闭腔体内,这样也可以减少电磁波的泄漏路径,提高电磁波辐射抑制效果。

[0120] 当电磁辐射抑制结构72选择采用具有弹性的电磁屏蔽层或者电磁吸波层时,如图19所示,可以在支撑架71的朝向散热器5的上表面上布设该电磁辐射抑制结构72,并且该电磁辐射抑制结构72与散热器5相抵接。

[0121] 这样的话,当对该结构进行包装跌落等可靠性风险测试时,由于散热器5与具有弹性的电磁辐射抑制结构72相抵接,电磁辐射抑制结构72可以对散热器5具有缓冲效果,防止散热器5对芯片封装结构2造成较大的冲击,以对芯片封装结构2起到保护作用。

[0122] 在图21中,当仅在支撑架71的内表面布设电磁辐射抑制结构时,且支撑架71的第二表面与散热器之间具有距离时,进而,支撑架71的第二表面与散热器5之间的缝隙就成为电磁波往外辐射的路径,为了防止电磁波从该处辐射出去,如图21所示,可以在散热器5的靠近支撑架的位置处设置凸块51,且所述凸块51与电磁辐射抑制结构72相抵接。这样一来,就把支撑架71的第二表面与散热器5之间的缝隙封堵住,且一般与散热器5连接的凸块51由金属制造,进而抑制了电磁波的辐射。

[0123] 由上述几个示例性的加强结构得知,当在PCB上且在芯片封装结构的外围设置加强结构时,可以根据分析得到的电磁噪声的抑制频段,确认支撑架的高度尺寸,以及在支撑架的哪个表面上设置电磁辐射抑制结构,进而对所要抑制的电磁波频段进行抑制。

[0124] 下述给出了采用图17所示的结构时,对功耗在144W,最高速度为58Gbps的芯片进行电磁波噪声系数测试,并且散热器5至PCB1之间的间距H为5.75mm,支撑架71选用横断面为矩形的结构,且支撑架71的长度尺寸为92mm、宽度尺寸为92mm和高度尺寸为3.4mm,绝缘层的高度尺寸为0.35mm,第二表面的吸波层的高度为1mm、第一表面的凹腔内的吸波层的高度为0.5mm。图22的曲线为屏蔽效能(Shielding Effectiveness, SE)的曲线,从该曲线可以看出,在频率为25GHz至30GHz区间,SE在10dB以上,相比现有的4dB左右,明显的提高了电磁辐射抑制效果。

[0125] 在本说明书的描述中,具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0126] 以上,仅为本申请的具体实施方式,但本申请的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本申请揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本申请的保护范围之内。因此,本申请的保护范围应以权利要求的保护范围为准。

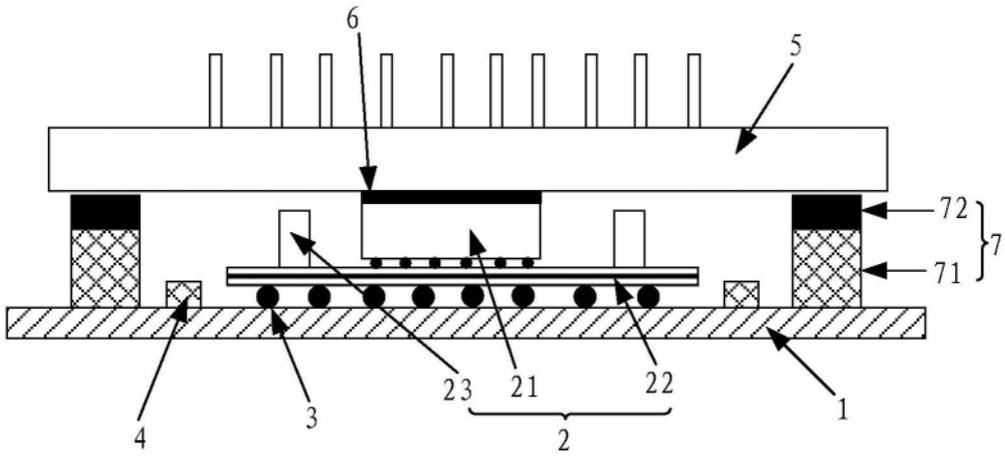


图1

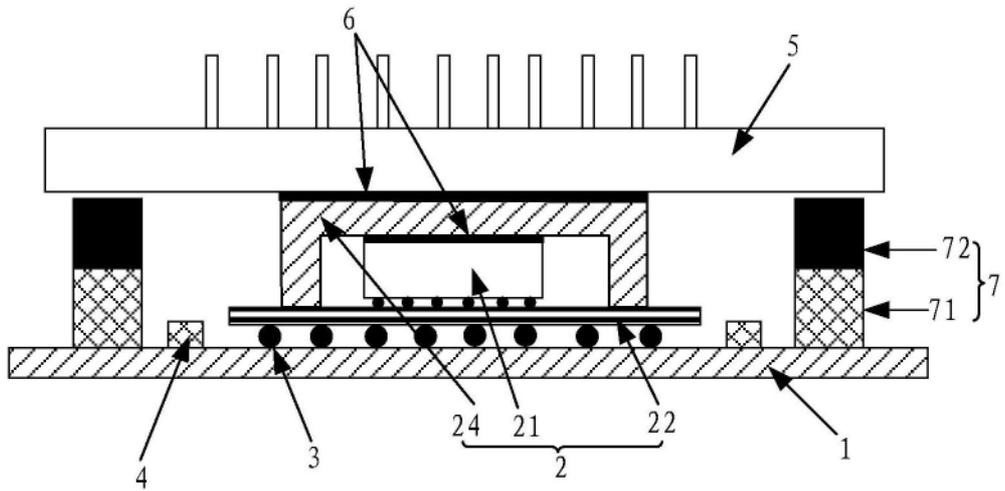


图2

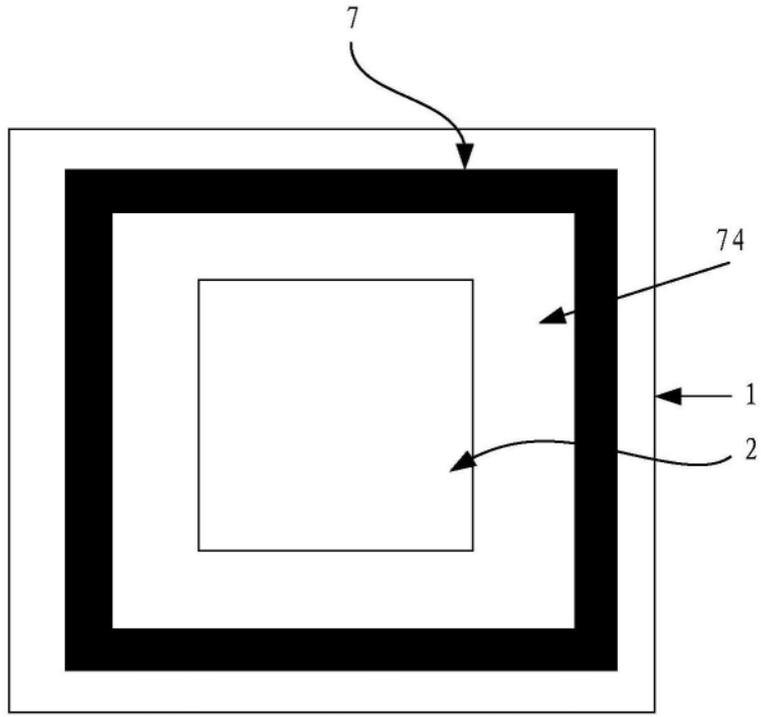


图3

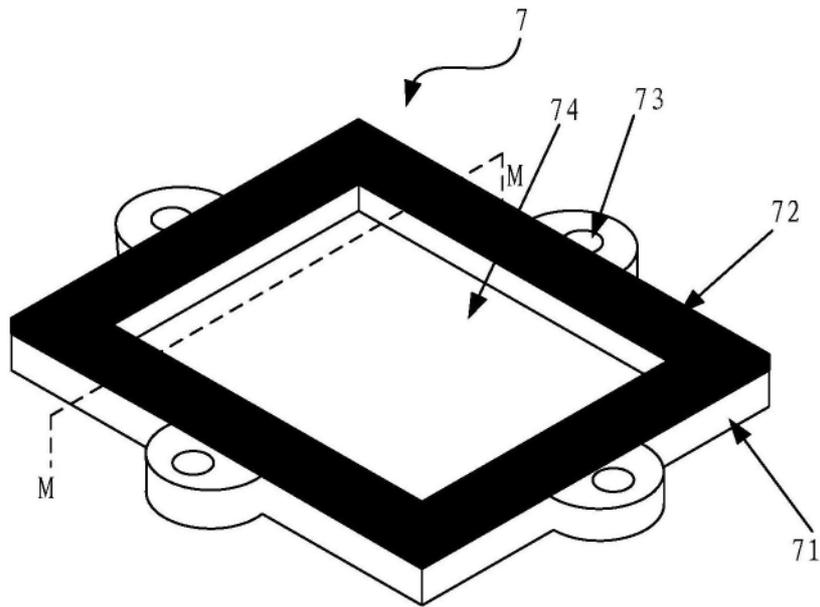


图4

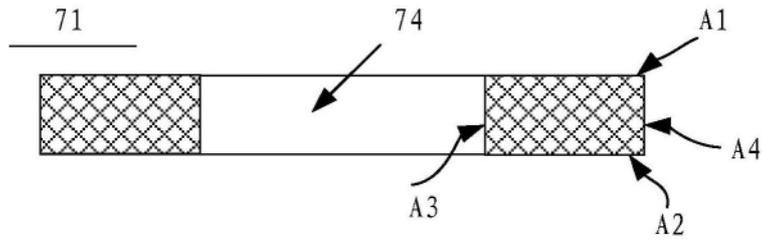


图5

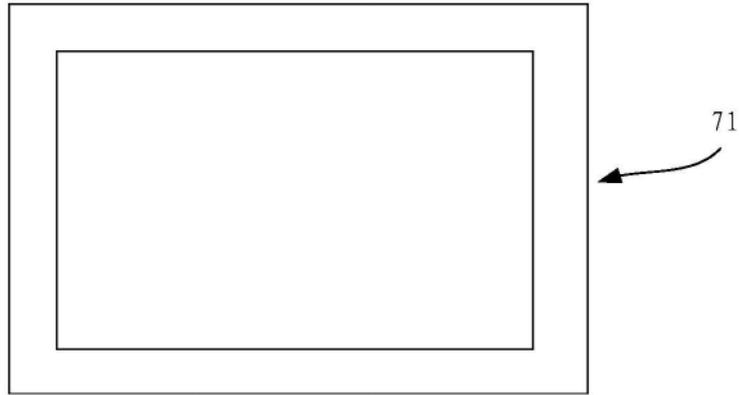


图6a

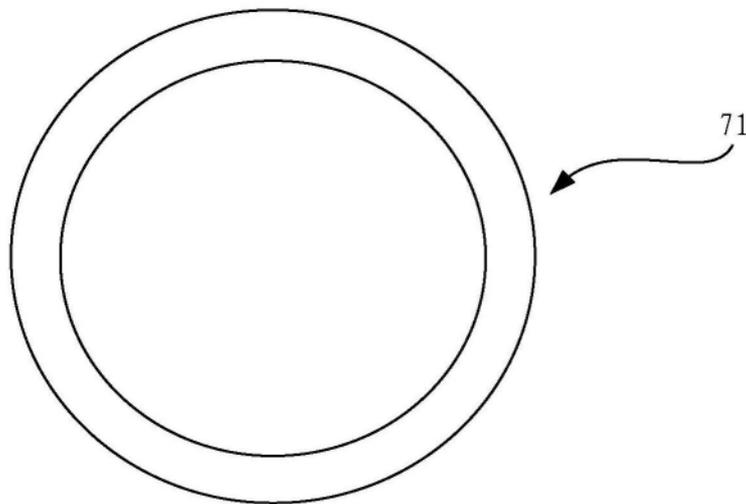


图6b

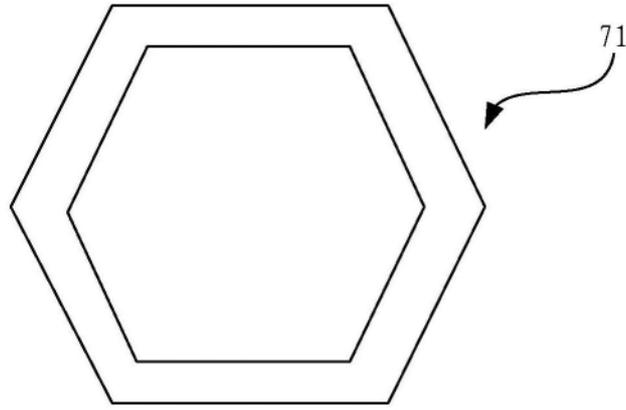


图6c

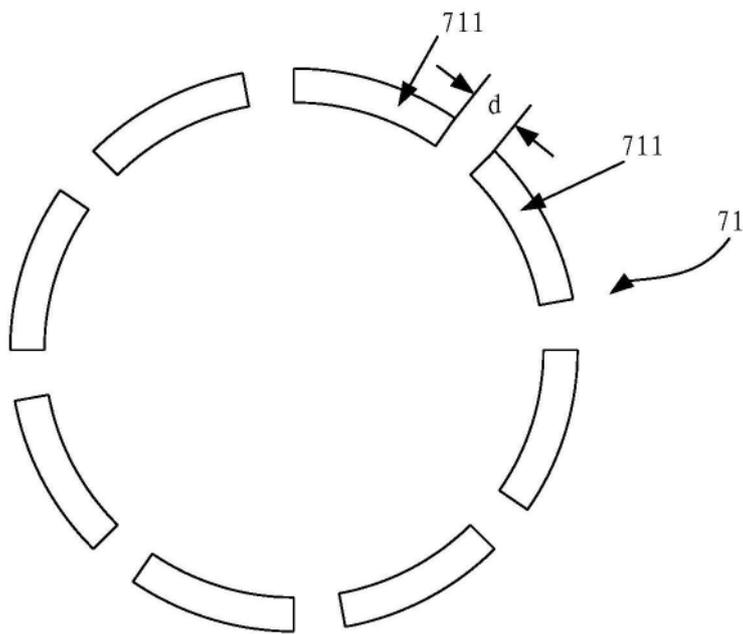


图6d

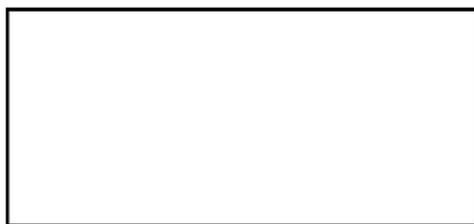


图7a

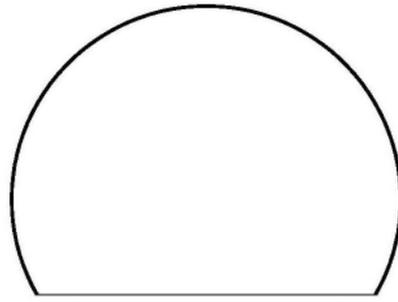


图7b

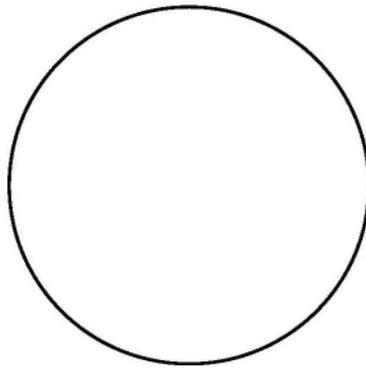


图7c

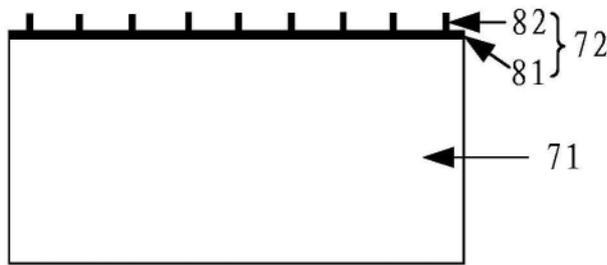


图8

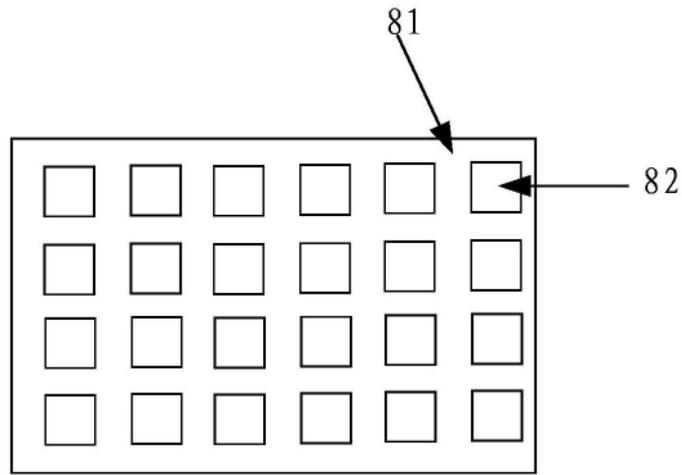


图9

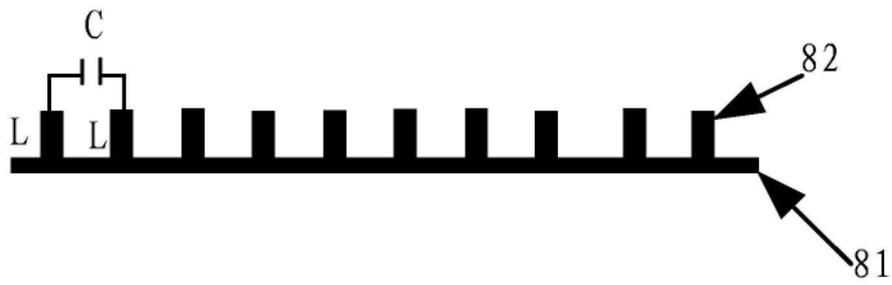


图10

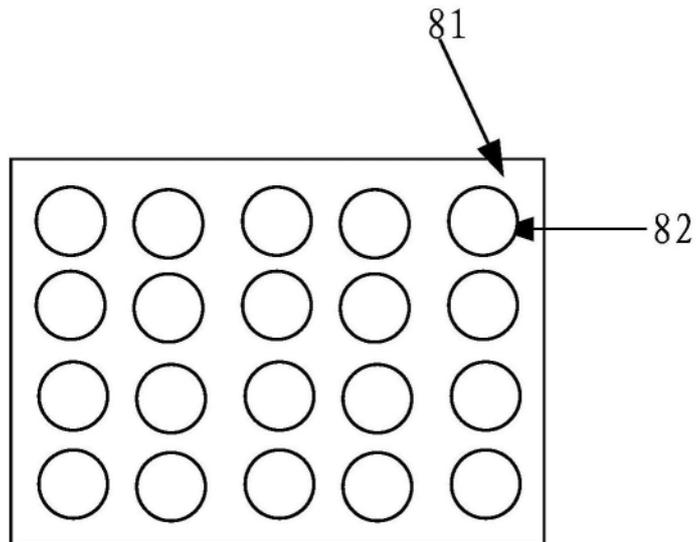


图11

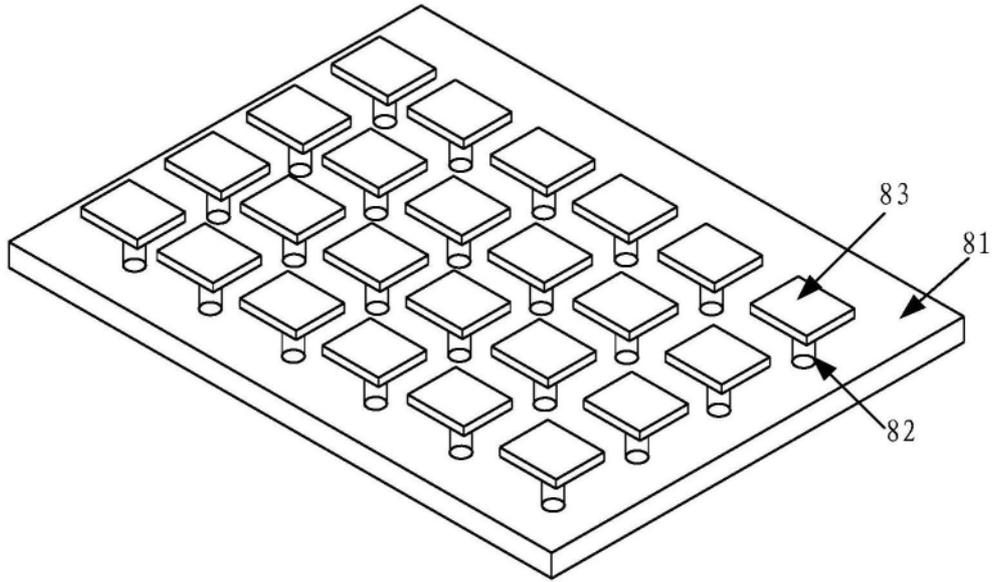


图12

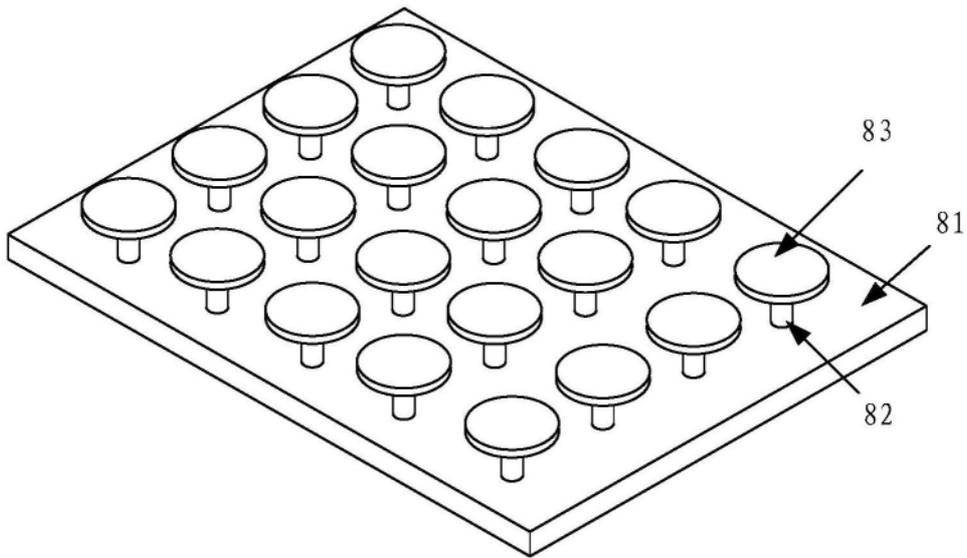


图13

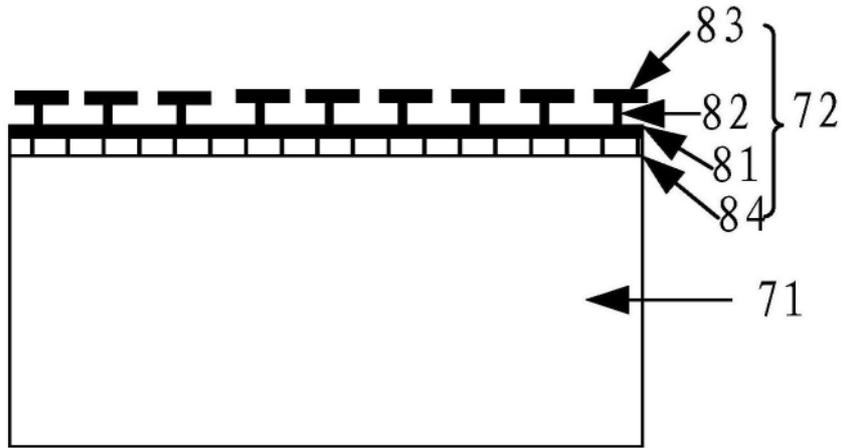


图14

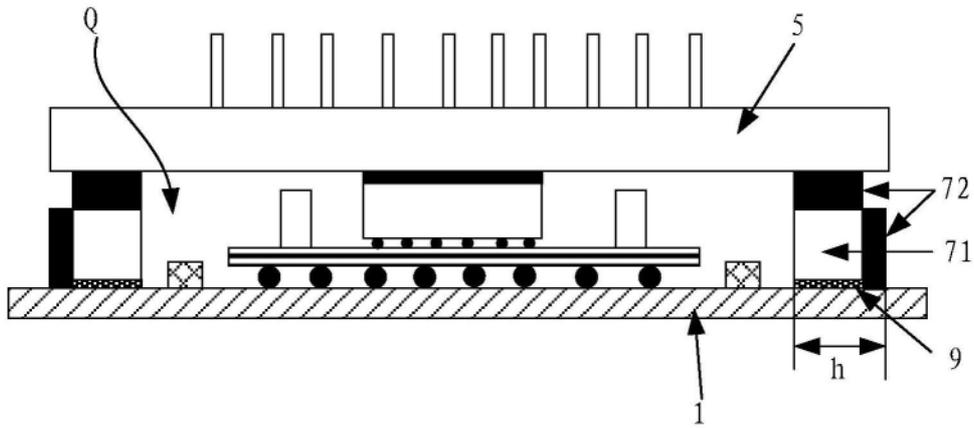


图15

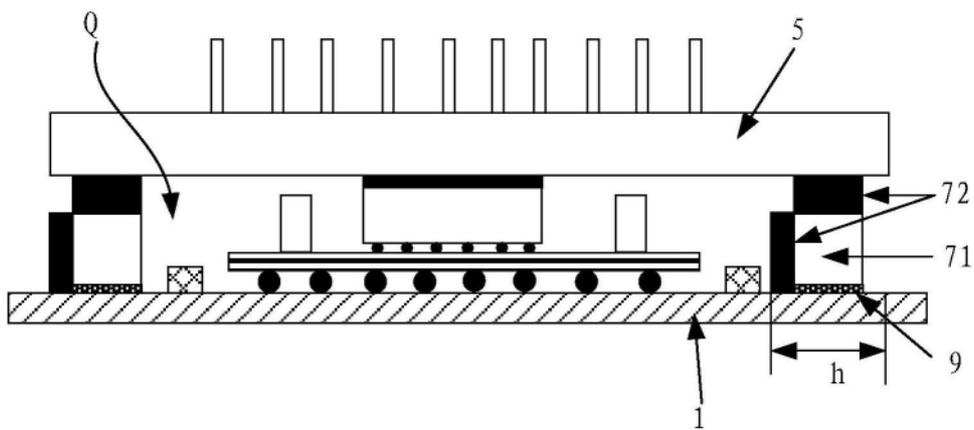


图16

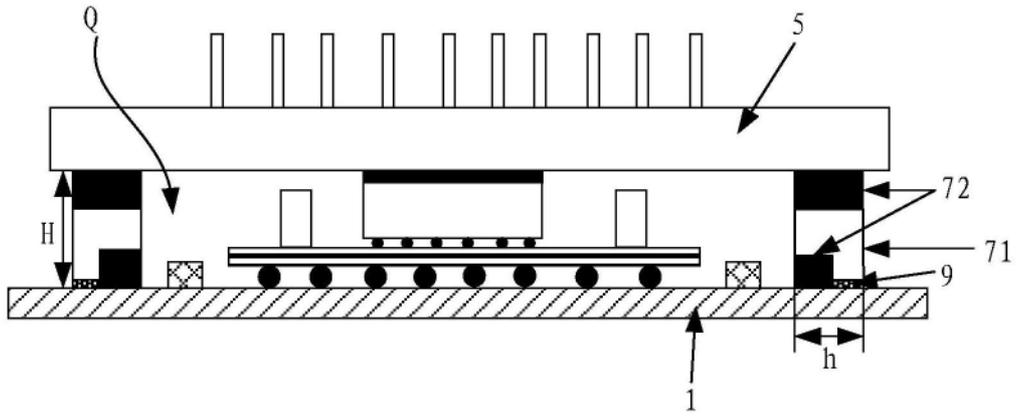


图17

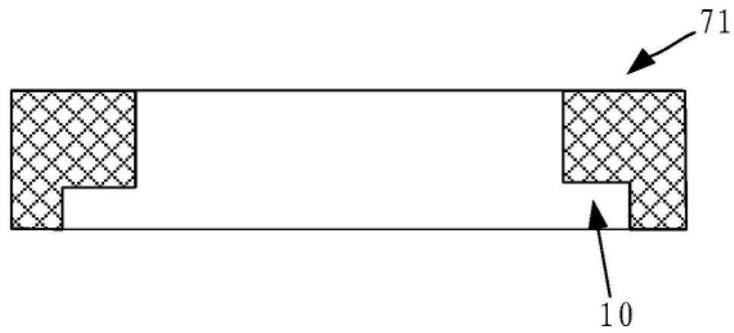


图18

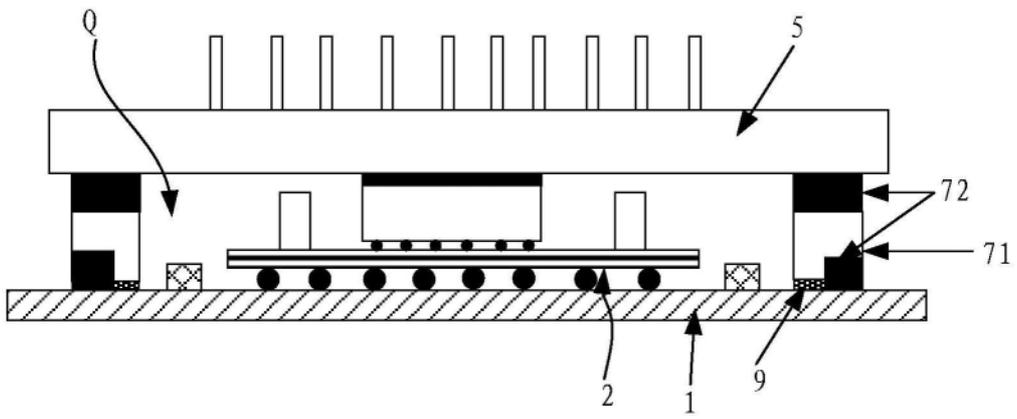


图19

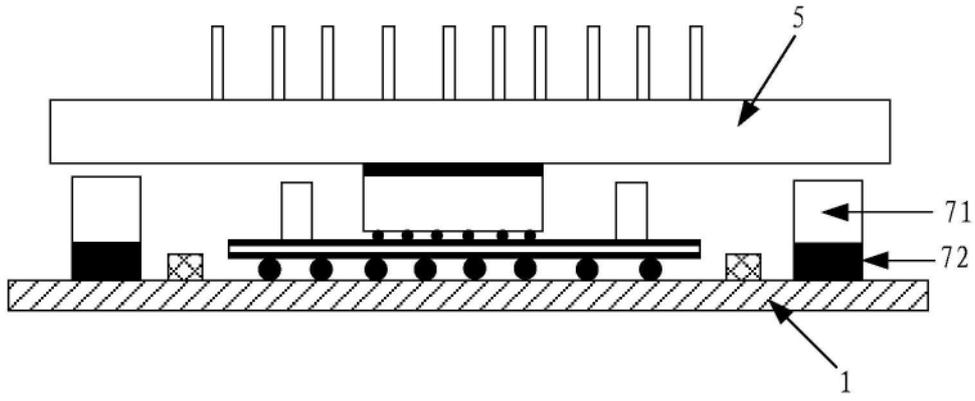


图20

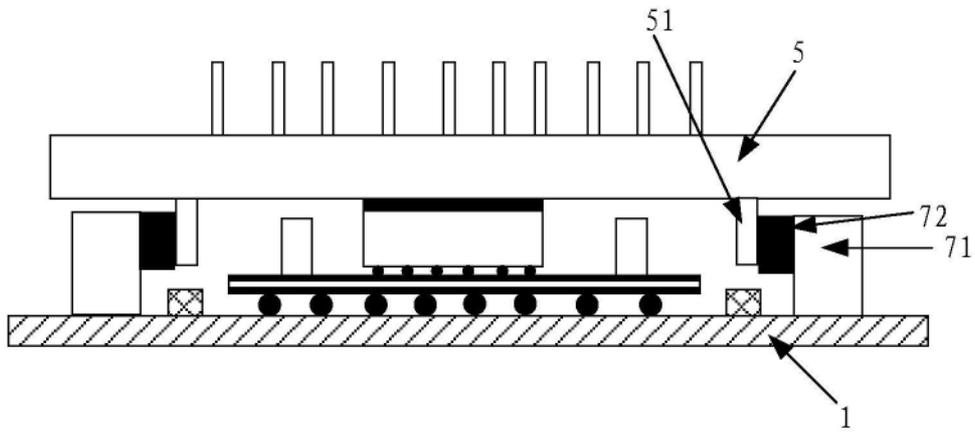


图21

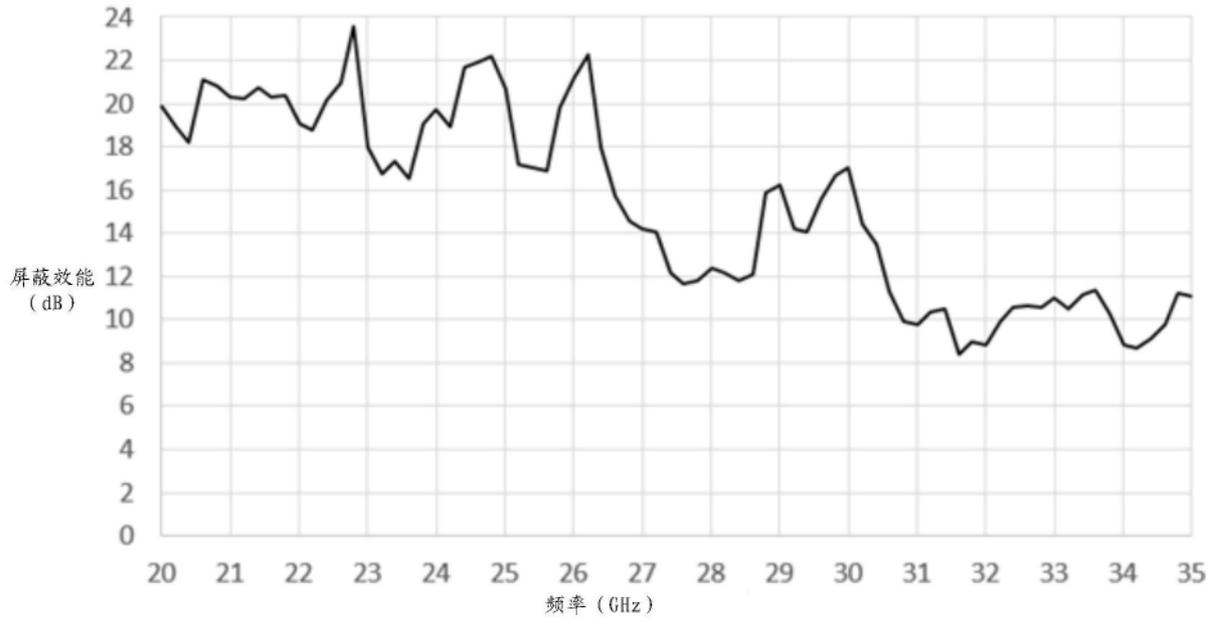


图22