



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2008년08월07일  
(11) 등록번호 10-0850901  
(24) 등록일자 2008년08월01일

(51) Int. Cl.

H01J 17/49 (2006.01)

(21) 출원번호 10-2006-0125127  
(22) 출원일자 2006년12월08일  
심사청구일자 2006년12월08일  
(65) 공개번호 10-2008-0053126  
(43) 공개일자 2008년06월12일

(56) 선행기술조사문헌  
KR1020050114068 A\*  
(뒷면에 계속)

(73) 특허권자

엘지전자 주식회사

서울특별시 영등포구 여의도동 20번지

(72) 발명자

배중운

경북 구미시 비산동 벽산아파트 102동 1401호

박기탁

경북 칠곡군 석적면 중리 141번지 부영아파트 10  
6동 903호

(74) 대리인

특허법인로알

전체 청구항 수 : 총 9 항

심사관 : 오제욱

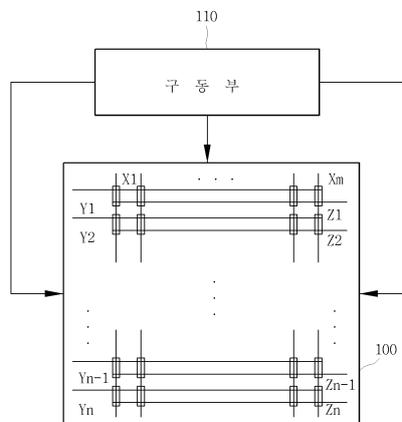
(54) 플라즈마 디스플레이 패널과 그를 포함하는 플라즈마디스플레이 장치

**(57) 요약**

본 발명은 플라즈마 디스플레이 패널과 그를 포함하는 플라즈마 디스플레이 장치에 관한 것으로, 제 1 전극과 제 2 전극간의 간격을 전면 기관과 후면 기관간의 간격 또는 격벽의 높이보다 더 작게 함으로써 얼룩무늬의 발생을 방지함으로써 영상의 화질을 개선하는 효과가 있다.

본 발명의 일실시예에 따른 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관과, 전면 기관과 대향되게 배치되는 후면 기관을 포함하고, 제 1 전극과 제 2 전극 사이의 간격은 전면 기관과 후면 기관 사이 간격의 0.4배 이상 0.95배 이하이다.

**대표도** - 도1



(56) 선행기술조사문헌

KR1020060094311 A

JP11213901 A

KR1020020069021 A

KR1020060113141 A

KR1020010084784 A

KR1020000027573 A

\*는 심사관에 의하여 인용된 문헌

---

**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관;

상기 전면 기관과 대향되게 배치되는 후면 기관; 및

상기 전면 기관과 후면 기관 사이에 방전 셀을 구획하는 격벽;

을 포함하고,

상기 제 1 전극과 제 2 전극은 각각

라인부와,

상기 라인부로부터 돌출되는 돌출부

를 포함하고,

상기 제 1 전극의 돌출부와 상기 제 2 전극의 돌출부 사이의 간격은 상기 격벽의 높이의 0.4배 이상 0.95배 이하인 플라즈마 디스플레이 패널.

**청구항 9**

제 8 항에 있어서,

상기 제 1 전극 또는 제 2 전극 중 적어도 하나는 단일 층(One Layer)인 플라즈마 디스플레이 패널.

**청구항 10**

제 8 항에 있어서,

상기 제 1 전극의 돌출부와 상기 제 2 전극의 돌출부 사이의 간격은 상기 격벽의 높이의 0.52배 이상 0.86배 이하인 플라즈마 디스플레이 패널.

**청구항 11**

제 8 항에 있어서,

상기 전면 기관과 상기 후면 기관 사이에는 형광체 층이 배치되고, 상기 형광체 층의 두께는 15 $\mu$ m 이상 20 $\mu$ m 이하인 플라즈마 디스플레이 패널.

#### 청구항 12

전극을 포함하는 플라즈마 디스플레이 패널과,

상기 전극에 서스테인 신호를 공급하는 구동부를 포함하고,

상기 플라즈마 디스플레이 패널은

서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관과,

상기 전면 기관과 대향되게 배치되는 후면 기관

을 포함하고,

상기 제 1 전극과 제 2 전극 사이의 간격은 상기 전면 기관과 후면 기관 사이 간격의 0.4배 이상 0.95배 이하이고,

상기 구동부는 서브필드(Subfield)의 서스테인 기간에서 상기 제 1 전극과 제 2 전극에 각각 서스테인 신호를 공급하고, 상기 제 1 전극으로 공급되는 서스테인 신호와 상기 제 2 전극으로 공급되는 서스테인 신호는 중첩(Overlap)되는 플라즈마 디스플레이 장치.

#### 청구항 13

제 12 항에 있어서,

상기 제 1 전극과 제 2 전극 사이의 간격은 상기 전면 기관과 후면 기관 사이 간격의 0.52배 이상 0.86배 이하인 플라즈마 디스플레이 장치.

#### 청구항 14

제 12 항에 있어서,

상기 전면 기관에는 상부 유전체 층이 배치되고, 상기 후면 기관에는 하부 유전체 층이 배치되고,

상기 전면 기관과 상기 후면 기관 사이의 간격은 상기 상부 유전체 층과 하부 유전체 층 사이 간격인 플라즈마 디스플레이 장치.

#### 청구항 15

제 12 항에 있어서,

상기 전면 기관과 후면 기관 사이에는 격벽이 배치되고, 상기 전면 기관과 상기 후면 기관 사이의 간격은 상기 격벽의 높이와 실질적으로 동일한 플라즈마 디스플레이 장치.

#### 청구항 16

제 12 항에 있어서,

상기 전면 기관과 상기 후면 기관 사이에는 형광체 층이 배치되고, 상기 형광체 층의 두께는 15 $\mu$ m 이상 20 $\mu$ m 이하인 플라즈마 디스플레이 장치.

### 명세서

#### 발명의 상세한 설명

##### 발명의 목적

##### 발명이 속하는 기술 및 그 분야의 종래기술

- <18> 본 발명은 플라즈마 디스플레이 패널과 그를 포함하는 플라즈마 디스플레이 장치에 관한 것이다.
- <19> 플라즈마 디스플레이 장치는 전극이 형성된 플라즈마 디스플레이 패널과, 이러한 플라즈마 디스플레이 패널의 전극에 구동 신호를 공급하는 구동부를 포함할 수 있다.
- <20> 플라즈마 디스플레이 패널에는 격벽으로 구획된 방전 셀(Cell) 내에 형광체 층이 형성된다. 구동부는 전극을 통해 방전 셀로 구동 신호를 공급한다.
- <21> 그러면, 방전 셀 내에서는 공급되는 구동 신호에 의해 방전이 발생한다. 여기서, 방전 셀 내에서 구동 신호에 의해 방전이 될 때, 방전 셀 내에 충전 되어 있는 방전 가스가 진공자외선(Vacuum Ultraviolet rays)을 발생하고, 이러한 진공 자외선이 방전 셀 내에 형성된 형광체를 발광시켜 가시 광을 발생시킨다. 이러한 가시 광에 의해 플라즈마 디스플레이 패널의 화면상에 영상이 표시된다.

**발명이 이루고자 하는 기술적 과제**

- <22> 본 발명의 일실시예는 영상의 화질이 개선되고 구동 효율이 향상된 플라즈마 디스플레이 패널 및 그를 포함하는 플라즈마 디스플레이 장치를 제공하는데 그 목적이 있다.

**발명의 구성 및 작용**

- <23> 상술한 목적을 이루기 위한 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관과, 전면 기관과 대향되게 배치되는 후면 기관을 포함하고, 제 1 전극과 제 2 전극 사이의 간격은 전면 기관과 후면 기관 사이 간격의 0.4배 이상 0.95배 이하이다.
- <24> 또한, 제 1 전극과 제 2 전극 사이의 간격은 전면 기관과 후면 기관 사이 간격의 0.52배 이상 0.86배 이하이다.
- <25> 또한, 전면 기관에는 상부 유전체 층이 배치되고, 후면 기관에는 하부 유전체 층이 배치되고, 전면 기관과 후면 기관 사이의 간격은 상부 유전체 층과 하부 유전체 층 사이 간격이다.
- <26> 또한, 전면 기관과 후면 기관 사이에는 형광체 층이 배치되고, 형광체 층의 두께는 15 $\mu$ m 이상 20 $\mu$ m 이하이다.
- <27> 상술한 목적을 이루기 위한 본 발명의 일실시예에 따른 다른 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관과, 전면 기관과 대향되게 배치되는 후면 기관 및 전면 기관과 후면 기관 사이에 방전 셀을 구획하는 격벽을 포함하고, 제 1 전극과 제 2 전극 사이의 간격은 격벽의 높이의 0.4배 이상 0.95배 이하이다.
- <28> 또한, 제 1 전극과 제 2 전극 사이의 간격은 격벽의 높이의 0.52배 이상 0.86배 이하이다.
- <29> 또한, 형광체 층의 두께는 15 $\mu$ m 이상 20 $\mu$ m 이하이다.
- <30> 상술한 목적을 이루기 위한 본 발명의 일실시예에 따른 또 다른 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관과, 전면 기관과 대향되게 배치되는 후면 기관 및 전면 기관과 후면 기관 사이에 방전 셀을 구획하는 격벽을 포함하고, 제 1 전극과 제 2 전극은 각각 라인부와, 라인부로부터 돌출되는 돌출부를 포함하고, 제 1 전극의 돌출부와 제 2 전극의 돌출부 사이의 간격은 격벽의 높이의 0.4배 이상 0.95배 이하이다.
- <31> 또한, 제 1 전극 또는 제 2 전극 중 적어도 하나는 단일 층(One Layer)이다.
- <32> 또한, 제 1 전극의 돌출부와 상기 제 2 전극의 돌출부 사이의 간격은 격벽의 높이의 0.52배 이상 0.86배 이하이다.
- <33> 또한, 형광체 층의 두께는 15 $\mu$ m 이상 20 $\mu$ m 이하이다.
- <34> 상술한 목적을 이루기 위한 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치는 전극을 포함하는 플라즈마 디스플레이 패널과, 전극에 서스테인 신호를 공급하는 구동부를 포함하고, 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극과 제 2 전극이 배치되는 전면 기관과, 전면 기관과 대향되게 배치되는 후면 기관을 포함하고, 제 1 전극과 제 2 전극 사이의 간격은 전면 기관과 후면 기관 사이 간격의 0.4배 이상 0.95배 이하이고, 구동부는 서브필드(Subfield)의 서스테인 기간에서 제 1 전극과 제 2 전극에 각각 서스테인 신호를 공급하고, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호는 중첩(Overlap)된다.
- <35> 또한, 제 1 전극과 제 2 전극 사이의 간격은 전면 기관과 후면 기관 사이 간격의 0.52배 이상 0.86배 이하이다.

- <36> 또한, 전면 기관에는 상부 유전체 층이 배치되고, 후면 기관에는 하부 유전체 층이 배치되고, 전면 기관과 후면 기관 사이의 간격은 상부 유전체 층과 하부 유전체 층 사이 간격이다.
- <37> 또한, 전면 기관과 후면 기관 사이에는 격벽이 배치되고, 전면 기관과 후면 기관 사이의 간격은 격벽의 높이와 실질적으로 동일하다.
- <38> 또한, 전면 기관과 후면 기관 사이에는 형광체 층이 배치되고, 형광체 층의 두께는 15 $\mu$ m이상 20 $\mu$ m이하이다.
- <39> 이하, 첨부된 도면을 참조하여 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널 및 그를 포함하는 플라즈마 디스플레이 장치를 상세히 설명하기로 한다.
- <40> 도 1은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 구성에 대해 설명하기 위한 도면이다.
- <41> 도 1을 살펴보면, 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치는 플라즈마 디스플레이 패널(100)과 구동부(110)를 포함한다.
- <42> 플라즈마 디스플레이 패널(100)은 서로 나란한 제 1 전극(Y1~Yn)과 제 2 전극(Z1~Zn)을 포함하고, 아울러 제 1 전극 및 제 2 전극과 교차하는 제 3 전극(X1~Xm)을 포함한다.
- <43> 구동부(110)는 플라즈마 디스플레이 패널(100)의 전극들에 구동 신호를 공급한다. 보다 자세하게는 구동부(110)는 서브필드(Subfield)의 서스테인 기간에서 제 1 전극(Y1~Yn)과 제 2 전극(Z1~Zn)에 서스테인 신호를 공급한다.
- <44> 여기, 도 1에서는 구동부(110)가 하나의 보드(Board) 형태로 이루어지는 경우만 도시하고 있지만, 본 발명에서 구동부(110)는 플라즈마 디스플레이 패널(100)에 형성된 전극에 따라 복수개의 보드 형태로 나누어지는 것도 가능하다.
- <45> 예를 들면, 구동부(110)는 플라즈마 디스플레이 패널(100)의 제 1 전극을 구동시키는 제 1 구동부(미도시)와, 제 2 전극을 구동시키는 제 2 구동부(미도시)와, 제 3 전극을 구동시키는 제 3 구동부(미도시)로 나누어질 수 있는 것이다.
- <46> 이러한 구동부(110)에 대해서는 이후의 설명을 통해 보다 명확히 하도록 한다.
- <47> 다음, 도 2a 내지 도 2b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널의 구조에 대해 설명하기 위한 도면이다.
- <48> 먼저, 도 2a를 살펴보면, 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널은 서로 나란한 제 1 전극(202, Y)과 제 2 전극(203, Z)이 배치되는 전면 기관(201)과, 전면 기관(201)에 대향되게 배치되며 아울러, 제 1 전극(202) 및 제 2 전극(203)과 교차하는 제 3 전극(213, X)이 배치되는 후면 기관(211)이 합착되어 이루어진다.
- <49> 제 1 전극(202, Y)과 제 2 전극(203, Z)이 형성된 전면 기관(201)의 상부에는 제 1 전극(202, Y)과 제 2 전극(203, Z)을 덮는 유전체 층, 예컨대 상부 유전체 층(204)이 배치될 수 있다.
- <50> 이러한, 상부 유전체 층(204)은 제 1 전극(202, Y) 및 제 2 전극(203, Z)의 방전 전류를 제한하며 제 1 전극(202, Y)과 제 2 전극(203, Z) 간을 절연시킬 수 있다.
- <51> 이러한, 상부 유전체 층(204) 상면에는 방전 조건을 용이하게 하기 위한 보호 층(205)이 배치될 수 있다. 이러한 보호 층(205)은 이차전자 방출 계수가 높은 재질, 예컨대 산화마그네슘(MgO) 재질로 이루어질 수 있다.
- <52> 한편, 후면 기관(211)에는 전극, 예컨대 제 3 전극(213, X)이 배치되고, 이러한 제 3 전극(213, X)이 배치된 후면 기관(211)의 상부에는 제 3 전극(213, X)을 덮는 유전체 층, 예컨대 하부 유전체 층(215)이 배치될 수 있다. 이러한, 하부 유전체 층(215)은 제 3 전극(213, X)을 절연시킬 수 있다.
- <53> 이러한 하부 유전체 층(215)의 상부에는 방전 공간 즉, 방전 셀을 구획하기 위한 스트라이프 타입(Stripe Type), 웰 타입(Well Type), 델타 타입(Delta Type), 벌집 타입 등의 격벽(112)이 배치될 수 있다. 이에 따라, 전면 기관(201)과 후면 기관(211)의 사이에서 적색(Red : R), 녹색(Green : G), 청색(Blue : B) 방전 셀 등이 마련될 수 있다.
- <54> 또한, 적색(R), 녹색(G), 청색(B) 방전 셀 이외에 백색(White : W) 또는 황색(Yellow : Y) 방전 셀이 더 마련되는 것도 가능하다.
- <55> 한편, 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널에서의 적색(R), 녹색(G) 및 청색(B) 방전 셀의 폭

은 실질적으로 동일할 수도 있지만, 적색(R), 녹색(G) 및 청색(B) 방전 셀 중 적어도 하나의 폭이 다른 방전 셀의 폭과 다르게 할 수도 있다.

- <56> 예컨대, 적색(R) 방전 셀의 폭이 가장 작고, 녹색(G) 및 청색(B) 방전 셀의 폭을 적색(R) 방전 셀의 폭보다 크게 할 수 있다.
- <57> 여기서, 녹색(G) 방전 셀의 폭은 청색(B) 방전 셀의 폭과 실질적으로 동일하거나 상이할 수 있다.
- <58> 이러한 경우에는 방전 셀 내에 배치되는 후술될 형광체 층(214)의 폭도 방전 셀의 폭에 관련하여 변경된다. 예를 들면, 청색(B) 방전 셀에 배치되는 청색(B) 형광체 층의 폭이 적색(R) 방전 셀 내에 배치되는 적색(R) 형광체 층의 폭보다 넓고, 아울러 녹색(G) 방전 셀에 배치되는 녹색(G) 형광체 층의 폭이 적색(R) 방전 셀 내에 배치되는 적색(R) 형광체 층의 폭보다 넓을 수 있다.
- <59> 그러면, 구현되는 영상의 색온도 특성이 향상될 수 있다.
- <60> 또한, 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널은 도 2a에 도시된 격벽(212)의 구조뿐만 아니라, 다양한 형상의 격벽의 구조도 가능할 것이다. 예컨대, 격벽(212)은 제 1 격벽(212b)과 제 2 격벽(212a)을 포함하고, 여기서, 제 1 격벽(212b)의 높이와 제 2 격벽(212a)의 높이가 서로 다른 차등형 격벽 구조, 제 1 격벽(212b) 또는 제 2 격벽(212a) 중 하나 이상에 배기 통로로 사용 가능한 채널(Channel)이 형성된 채널형 격벽 구조, 제 1 격벽(212b) 또는 제 2 격벽(212a) 중 하나 이상에 홈(Hollow)이 형성된 홈형 격벽 구조 등이 가능할 것이다.
- <61> 여기서, 차등형 격벽 구조인 경우에는 제 1 격벽(212b) 또는 제 2 격벽(212a) 중 제 1 격벽(212b)의 높이가 제 2 격벽(212a)의 높이보다 더 낮을 수 있다. 아울러, 채널형 격벽 구조인 경우에는 제 1 격벽(212b)에 채널이 마련될 수 있다.
- <62> 한편, 여기 도 2a에서는 적색(R), 녹색(G) 및 청색(B) 방전 셀 각각이 동일한 선상에 배열되는 것으로 도시 및 설명되고 있지만, 다른 형상으로 배열되는 것도 가능할 것이다. 예컨대, 적색(R), 녹색(G) 및 청색(B) 방전 셀이 삼각형 형상으로 배열되는 델타(Delta) 타입의 배열도 가능할 것이다. 또한, 방전 셀의 형상도 사각형상뿐만 아니라 오각형, 육각형 등의 다양한 다각 형상도 가능할 것이다.
- <63> 또한, 여기 도 2a에서는 후면 기관(211)에 격벽(212)이 배치된 경우만을 도시하고 있지만, 격벽(212)은 전면 기관(201) 또는 후면 기관(211) 중 적어도 어느 하나에 배치될 수 있다.
- <64> 여기서, 격벽(212)에 의해 구획된 방전 셀 내에는 소정의 방전 가스가 채워질 수 있다.
- <65> 아울러, 격벽(212)에 의해 구획된 방전 셀 내에는 어드레스 방전 시 화상표시를 위한 가시 광을 방출하는 형광체 층(214)이 배치될 수 있다. 예를 들면, 적색(Red : R), 녹색(Green : G), 청색(Blue : B) 형광체 층이 배치될 수 있다.
- <66> 또한, 적색(R), 녹색(G), 청색(B) 형광체 이외에 백색(White : W) 및/또는 황색(Yellow : Y) 형광체 층이 더 배치되는 것도 가능하다.
- <67> 또한, 적색(R), 녹색(G) 및 청색(B) 방전 셀 중 적어도 어느 하나의 방전 셀에서의 형광체 층(214)의 두께가 다른 방전 셀과 상이할 수 있다. 예를 들면, 도 2b와 같이 녹색(G) 방전 셀의 형광체 층, 즉 녹색(G) 형광체 층(214b) 또는 청색(B) 방전 셀에서의 형광체 층, 즉 청색(B) 형광체 층(214a)의 두께(t2, t3)가 적색(R) 방전 셀에서의 형광체 층, 즉 적색(R) 형광체 층(214c)의 두께(t1)보다 더 두꺼울 수 있다. 여기서, 녹색(G) 형광체 층(214b)의 두께(t2)는 청색(B) 형광체 층(214a)의 두께(t3)와 실질적으로 동일하거나 상이할 수 있다.
- <68> 아울러, 이러한 형광체 층(214a, 214b, 214c)의 두께(t3, t2, t1)는 구동 효율의 향상을 위해 15 $\mu$ m 이상 20 $\mu$ m 이하인 것이 바람직하다.
- <69> 한편, 이상에서는 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널의 일례만을 도시하고 설명한 것으로써, 본 발명이 이상에서 설명한 구조의 플라즈마 디스플레이 패널에 한정되는 것은 아님을 밝혀둔다. 예를 들면, 여기 이상의 설명에서는 번호 204의 상부 유전체 층 및 번호 215의 하부 유전체 층이 각각 하나의 층(Layer)인 경우만을 도시하고 있지만, 이러한 상부 유전체 층 및 하부 유전체 층 중 하나 이상은 복수의 층으로 이루어지는 것도 가능한 것이다.
- <70> 또한, 후면 기관(211)에 배치되는 제 3 전극(213)은 폭이나 두께가 실질적으로 일정할 수도 있지만, 방전 셀 내

부에서의 폭이나 두께가 방전 셀 외부에서의 폭이나 두께와 다를 수도 있을 것이다. 예컨대, 방전 셀 내부에서의 폭이나 두께가 방전 셀 외부에서의 그것보다 더 넓거나 두꺼울 수 있을 것이다.

- <71> 다음, 도 3은 제 1 전극과 제 2 전극에 대해 설명하기 위한 도면이다.
- <72> 도 3을 살펴보면, 제 1 전극(202)과 제 2 전극(203)은 g1의 간격을 사이에 두고 이격된다. 아울러, 전면 기관(201)과 후면 기관(211)은 g2의 간격을 두고 이격된다. 여기서, 제 1 전극(202)과 제 2 전극(203) 사이의 간격(g1)은 전면 기관(201)과 후면 기관(211) 사이 간격(g2)보다 더 작다.
- <73> 예를 들어, 여기 도 3에서와 같이 제 1 전극(202)과 제 2 전극(203)은 각각 투명 전극(202a, 203a)과 버스 전극(202b, 203b)을 포함하는 경우에는 제 1 전극(202)의 투명 전극(202a)과 제 2 전극(203)의 투명 전극(203a) 사이의 간격이 제 1 전극(202)과 제 2 전극(203) 간의 간격(g1)인 것이 바람직하다.
- <74> 이러한 경우에, 투명 전극(202a, 203a)은 인듐 틴 옥사이드(Indium Tin Oxide : ITO)와 같은 투명한 재질을 포함할 수 있다. 아울러, 버스 전극(202b, 203b)은 은(Ag)과 같이 전기 전도성이 우수한 금속 재질을 포함할 수 있다.
- <75> 또한, 투명 전극(202a, 203a)과 버스 전극(202b, 203b)의 버스 전극(202b, 203b)의 색보다 더 어두운 색을 갖는 블랙 층(Black Layer)이 더 구비될 수 있다.
- <76> 아울러, 전면 기관(201)과 후면 기관(211) 사이의 간격은 전면 기관(201)에 배치되는 상부 유전체 층(204)과 후면 기관(211)에 배치되는 하부 유전체 층(215) 사이 간격으로 규정되는 것이 바람직하다.
- <77> 한편, 제 1 전극(202)과 제 2 전극(203) 사이의 간격(g1)을 전면 기관(201)과 후면 기관(211) 사이의 간격(g2)보다 더 작게 하는 이유에 대해 첨부된 도 4를 결부하여 살펴보면 다음과 같다.
- <78> 도 4는 제 1 전극과 제 2 전극간의 간격이 전면 기관과 후면 기관간의 간격보다 더 넓은 경우를 설명하기 위한 도면이다.
- <79> 도 4를 살펴보면, 전면 기관(601)에 서로 나란한 제 1 전극(602)과 제 2 전극(603)이 배치되고, 이러한 제 1 전극(602)과 제 2 전극(603)은 g3의 간격을 두고 서로 이격되고, 전면 기관(601)과 후면 기관(611)은 g4의 간격을 두고 서로 이격된다. 여기서, 제 1 전극(602)과 제 2 전극(603) 사이의 간격(g3)은 전면 기관(601)과 후면 기관(611) 사이의 간격, 바람직하게는 상부 유전체 층(604)과 하부 유전체 층(615) 사이의 간격(g4)보다 더 크다.
- <80> 그러면, 제 1 전극(602)과 제 2 전극(603) 사이에서 방전이 발생할 때, 제 1 전극(602)과 제 3 전극(613)의 사이 또는 제 2 전극(603)과 제 3 전극(613)의 사이에서 불필요하게 방전이 발생할 수 있다.
- <81> 예를 들어, 후술될 서브필드의 서스테인 기간에서 제 1 전극(602)과 제 2 전극(603)에 서스테인 신호가 공급되면, 제 1 전극(602)과 제 2 전극(603) 사이에서 서스테인 방전이 발생하여야 한다. 그러나 여기 도 4의 경우와 같이 제 1 전극(602)과 제 2 전극(603) 사이의 간격(g3)이 전면 기관(601)과 후면 기관(611) 사이의 간격(g4)보다 더 큰 경우에는 서스테인 기간에서 제 1 전극(602)과 제 3 전극(613) 또는 제 2 전극(603)과 제 3 전극(613) 사이에서도 방전이 발생할 수 있다.
- <82> 이에 따라, 전체 방전이 불안정해져 구동 효율이 저하될 수 있다.
- <83> 아울러, 여기 도 4의 경우와 같이 제 1 전극(602)과 제 2 전극(603) 사이의 간격(g3)이 전면 기관(601)과 후면 기관(611) 사이의 간격(g4)보다 더 큰 경우에는 소정의 방전 셀 내에서는 서스테인 기간에서 제 1 전극(602)과 제 3 전극(613) 또는 제 2 전극(603)과 제 3 전극(613) 사이에서도 불필요한 방전이 발생하고, 다른 방전 셀 내에서는 제 1 전극(602)과 제 2 전극(603) 사이에서만 안정적으로 서스테인 방전이 발생할 수 있다. 이러한 경우에는 서스테인 기간에서 제 1 전극(602)과 제 3 전극(613) 또는 제 2 전극(603)과 제 3 전극(613) 사이에서 불필요한 방전이 발생하는 방전 셀과 그렇지 않은 방전 셀 간의 휘도 차이가 발생한다. 이에 따라, 플라즈마 디스플레이 패널의 화면에 구현되는 영상의 특정 부분이 다른 부분에 비해 더 밝아 보이게 되는 얼룩무늬가 발생함으로써 영상의 화질이 악화될 수 있다.
- <84> 반면에, 앞선 도 3의 경우와 같이 제 1 전극(202)과 제 2 전극(203) 사이의 간격(g1)을 전면 기관(201)과 후면 기관(211) 사이의 간격(g2)보다 더 작게 하면 제 1 전극(202)과 제 2 전극(203) 사이에서 방전이 발생할 때, 제 1 전극(202)과 제 3 전극(213)의 사이 또는 제 2 전극(203)과 제 3 전극(213)의 사이에서 방전이 발생하는 것을 억제함으로써 구동 효율의 저하를 방지하고, 아울러 얼룩무늬의 발생을 방지하여 구현되는 영상의 화질을 향상시킬 수 있다.

- <85> 다음, 도 5는 제 1 전극과 제 2 전극간의 간격과 전면 기판과 후면 기판간의 간격의 비율에 대해 설명하기 위한 도면이다. 여기 도 5에서 X 표시는 영상의 얼룩무늬가 심화되거나 휘도가 낮아 불량하다는 표시이고, O 표시는 양호하다는 표시이고, ◎ 표시는 매우 양호하다는 표시이다.
- <86> 도 5에서는 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율을 0.3부터 1.0 까지 변화시키면서 영상의 얼룩무늬와 휘도를 관찰한 데이터가 나타나 있다.
- <87> 도 5를 살펴보면, 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율이 0.3에서 0.35사이인 경우, 즉 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 전면 기판과 후면 기판간의 간격( $g_2$ )의 0.3배 이상 0.35배 이하인 경우에는 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 과도하게 작기 때문에 구동 시 양광주 (Positive Column) 영역을 충분히 활용하지 못하여 영상의 휘도가 불량하다는 것을 확인할 수 있다.
- <88> 반면에, 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율이 0.4이상 0.5이하인 경우에는 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 적절하여 구동 시 양광주 영역을 어느 정도 활용하기 때문에 영상의 휘도가 양호하다는 것을 확인할 수 있다.
- <89> 아울러, 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율이 0.52이상인 경우에는 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 구동 시 양광주 영역을 충분히 활용할 수 있을 만큼 확보되고, 이에 따라 영상의 휘도가 매우 양호하다는 것을 확인할 수 있다.
- <90> 한편, 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율이 0.3에서 0.86사이인 경우, 즉 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 전면 기판과 후면 기판간의 간격( $g_2$ )의 0.3배 이상 0.5배 이하인 경우에는 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 충분히 작기 때문에 구동 시 제 1 전극과 제 3 전극의 사이 또는 제 2 전극과 제 3 전극 사이에서 불필요한 방전이 발생하는 것을 충분히 방지할 수 있고, 이에 따라 영상의 얼룩무늬의 발생이 충분히 억제되어 얼룩무늬의 관찰결과가 매우 양호하다는 것을 확인할 수 있다.
- <91> 아울러, 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율이 0.9에서 0.95사이인 경우에는 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 적절하여 구동 시 제 1 전극과 제 3 전극의 사이 또는 제 2 전극과 제 3 전극 사이에서 불필요한 방전이 발생하는 것을 어느 정도 방지할 수 있다. 이에 따라 얼룩무늬의 관찰결과가 양호하다는 것을 확인할 수 있다.
- <92> 반면에, 제 1 전극과 제 2 전극간의 간격( $g_1$ )과 전면 기판과 후면 기판간의 간격( $g_2$ )의 비율이 0.98이상인 경우에는 제 1 전극과 제 2 전극간의 간격( $g_1$ )이 과도하게 넓어져서 앞선 도 4의 경우와 같이 얼룩무늬의 발생이 심화되는 것을 확인할 수 있다.
- <93> 이상에서 설명한 도 5의 데이터를 고려할 때, 제 1 전극(202)과 제 2 전극(203) 사이의 간격( $g_1$ )은 전면 기판(201)과 후면 기판(211) 사이 간격( $g_2$ )의 0.4배 이상 0.95배 이하인 것이 바람직하다. 더욱 바람직하게는 제 1 전극(202)과 제 2 전극(203) 사이의 간격( $g_1$ )은 전면 기판(201)과 후면 기판(211) 사이 간격( $g_2$ )의 0.52배 이상 0.86배 이하이다.
- <94> 다음, 도 6은 격벽을 높이를 고려하여 제 1 전극과 제 2 전극간의 간격을 설정한 경우를 설명하기 위한 도면이다. 여기, 도 6에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.
- <95> 도 6을 살펴보면, 전면 기판(201)과 후면 기판(211)의 사이에 격벽(212)이 배치되고, 격벽(212)은 제 1 높이( $h_1$ )를 갖고, 아울러 제 1 전극(202)과 제 2 전극(203)은  $g_5$ 의 간격을 두고 이격된다. 여기서, 제 1 전극(202)과 제 2 전극(203) 사이의 간격( $g_5$ )은 격벽(212)의 높이( $h_1$ )보다 더 작다.
- <96> 여기 도 6의 경우는 격벽(212)이 전면 기판(201)과 후면 기판(211) 사이의 간격을 규정하는 것으로 간주하고, 도 3에서와 같은 전면 기판(201)과 후면 기판(211) 사이의 간격( $g_2$ )이 격벽(212)의 높이( $h_1$ )와 실질적으로 동일한 것으로 규정한 것이다.
- <97> 이에 따라, 도 5이전에서 상세히 설명한 바와 유사하게 제 1 전극(202)과 제 2 전극(203) 사이의 간격( $g_5$ )은 격벽(212)의 높이( $h_1$ )의 0.4배 이상 0.95배 이하인 것이 바람직하고, 더욱 바람직하게는 0.52배 이상 0.86배 이하인 것이다. 이에 대해서는 도 5에서 상세히 설명한 내용으로 충분히 유추할 수 있으므로 더 이상의 설명은 생략하기로 한다.
- <98> 한편, 이상에서는 제 1 전극과 제 2 전극이 각각 투명 전극과 버스 전극을 포함하는 경우에 대해서만 도시하고 설명하고 있지만, 이와는 다르게 제 1 전극 또는 제 2 전극 중 적어도 하나는 투명 전극과 버스 전극 중 투명

전극이 생략된 구조(ITO-Less)인 것도 가능하다. 이에 대해 살펴보면 다음과 같다.

- <99> 다음, 도 7은 제 1 전극과 제 2 전극이 단일층인 경우를 설명하기 위한 도면이다. 여기 도 7에서는 이상에서 상세히 설명한 내용에 대해서는 그 설명을 생략하기로 한다.
- <100> 도 7을 살펴보면, 제 1 전극(930) 또는 제 2 전극(960) 중 적어도 하나는 라인부(910a, 910b, 940a, 940b)와 라인부(910a, 910b, 940a, 940b)로부터 돌출되는 돌출부(920a, 920b, 920d, 950a, 950b, 950d)를 포함한다.
- <101> 이러한 구조의 제 1 전극(930) 또는 제 2 전극(960) 중 적어도 하나는 단일층(One Layer)인 것이 바람직하다. 앞선 도 3에서는 제 1 전극과 제 2 전극이 각각 투명 전극과 버스 전극을 포함하였지만, 여기 도 7의 경우는 이러한 투명 전극과 버스 전극 중에서 투명 전극이 생략된 구조인 것이 더욱 바람직하다.
- <102> 여기서, 라인부(910a, 910b, 940a, 940b)는 격벽(900)에 의해 구획된 방전 셀 내에서 제 3 전극(970)과 교차하도록 배치될 수 있다.
- <103> 이러한 라인부(910a, 910b, 940a, 940b)는 방전 셀 내에서 각각 소정 거리 이격되어 배치될 수 있다.
- <104> 예를 들어, 제 1 전극(930)의 제 1 라인부(910a)와 제 2 라인부(910b)는 d1의 간격을 두고 이격되고, 제 2 전극(960)의 제 1 라인부(940a)와 제 2 라인부(940b)는 d2의 간격을 두고 이격될 수 있다. 여기서, 간격 d1과 d2는 동일한 경우도 가능하고, 서로 상이한 경우도 가능하다.
- <105> 아울러, 라인부(910a, 910b, 940a, 940b)는 소정의 폭을 갖는다. 예를 들어, 제 1 전극(930)의 제 1 라인부(910a)는 Wa의 폭을 갖고, 제 2 라인부(910b)는 Wb의 폭을 가질 수 있다.
- <106> 아울러, 돌출부(920a, 920b, 950a, 950b)는 라인부(910a, 910b, 940a, 940b)로부터 돌출되어 형성되고, 또한 돌출부(920a, 920b, 950a, 950b)는 제 3 전극(970)과 나란하게 배치될 수 있다.
- <107> 이러한 돌출부(920a, 920b, 950a, 950b)는 격벽(900)에 의해 구획된 방전 셀 내에서 돌출부(920a, 920b, 950a, 950b)가 형성된 부분에서의 제 1 전극(930)과 제 2 전극(960)간의 간격(g6)을 다른 부분에서의 간격보다 더 작게 한다. 이에 따라, 제 1 전극(930)과 제 2 전극(960)간에 발생하는 방전의 개시 전압, 즉 방전 전압을 낮출 수 있다.
- <108> 여기 도 7의 경우는 제 1 전극(930)과 제 2 전극(960) 사이의 간격은 제 1 전극(930)의 제 1 돌출부(920a, 920b)와 제 2 전극(960)의 제 1 돌출부(950a, 950b) 사이 간격(g6)으로 규정하는 것이 바람직하다. 즉, 도 3에서의 제 1 전극과 제 2 전극 사이의 간격(g1)을 여기 도 7에서는 제 1 전극(930)의 제 1 돌출부(920a, 920b)와 제 2 전극(960)의 제 1 돌출부(950a, 950b) 사이 간격(g6)으로 규정하는 것이다.
- <109> 이에 따라, 도 5에서 상세히 설명한 바와 유사하게 제 1 전극(930)의 제 1 돌출부(920a, 920b)와 제 2 전극(960)의 제 1 돌출부(950a, 950b) 사이 간격(g6)은 전면 기관(미도시)과 후면 기관(미도시) 사이의 간격 또는 격벽(미도시)의 높이의 0.4배 이상 0.95배 이하인 것이 바람직하고, 더욱 바람직하게는 0.52배 이상 0.86배 이하인 것이다. 이에 대해서는 도 5이전에서 상세히 설명한 내용으로 충분히 유추할 수 있으므로 더 이상의 설명은 생략하기로 한다.
- <110> 이러한 구조에서는 g6의 거리를 두고 서로 마주보는 제 1 전극(930)의 제 1 돌출부(920a, 920b)와 제 2 전극(960)의 제 1 돌출부(950a, 950b)의 사이에서 방전이 발생할 수 있다. 이렇게 발생한 방전은 제 1 전극(930)의 제 1 라인부(910a)와 제 2 라인부(910b) 및 제 2 전극(960)의 제 1 라인부(940a)와 제 2 라인부(940b)로 확산될 수 있다.
- <111> 한편, 앞선 도 7의 경우에는 제 1 전극(730)과 제 2 전극(760)이 각각 3개씩의 돌출부를 포함하였지만, 각각 2개 또는 4개의 돌출부를 포함하는 것도 가능하다. 이와 같이, 돌출부의 개수는 다양하게 조절될 수 있다.
- <112> 아울러, 복수의 라인부(910a, 910b, 940a, 940b) 중 적어도 하나의 폭은 다른 라인부의 폭과 다를 수 있다.
- <113> 예를 들면, 제 1 전극(930)의 제 1 라인부(910a)의 폭(Wa)이 제 2 라인부(910b)의 폭(Wb)보다 더 작을 수 있다.
- <114> 이와 같이, 라인부의 폭은 다양하게 변경될 수 있다.
- <115> 아울러, 복수의 라인부(910a, 910b, 940a, 940b) 중 두 개 이상을 연결하는 연결부(920c, 950c)가 더 구비될 수 있다.

- <116> 예를 들면, 제 1 전극(930)의 연결부(920c)는 제 1 전극(930)의 제 1 라인부(910a)와 제 2 라인부(910b)를 연결하고, 아울러 제 2 전극(960)의 연결부(950c)는 제 2 전극(960)의 제 1 라인부(940a)와 제 2 라인부(940b)를 연결한다.
- <117> 이와 같이, 연결부(920c, 950c)가 두 개의 라인부(910a, 910b, 940a, 940b)를 연결하게 되면, 격벽(900)에 의해 구획된 방전 셀 내에서 방전이 더욱 용이하게 확산될 수 있다.
- <118> 아울러, 복수의 돌출부(920a, 920b, 920d, 950a, 950b, 950d) 중 적어도 하나는 제 1 방향으로 돌출되고, 나머지 중 적어도 하나는 제 1 방향과 역방향인 제 2 방향으로 돌출되는 것이 바람직하다.
- <119> 예를 들면, 제 1 전극(930)의 제 1 돌출부(920a, 920b)는 제 1 방향, 예컨대 방전 셀 중심방향으로 돌출되고, 제 2 돌출부(920d)는 제 1 방향과 역방향으로 돌출된다.
- <120> 이와 같이, 방전 셀의 중심방향과 반대의 방향으로 돌출되는 번호 620d의 돌출부 및 650d의 돌출부는 방전 셀 내에서 방전이 더욱 넓게 확산되도록 한다.
- <121> 한편, 제 1 방향, 예컨대 방전 셀 중심방향으로 돌출되는 제 1 돌출부(920a, 920b, 950a, 950b)의 형상과 제 2 방향, 예컨대 방전 셀 중심방향과 반대의 방향으로 돌출되는 제 2 돌출부(920d, 950d)의 형상은 다를 수 있다.
- <122> 예를 들면, 제 1 돌출부(920a, 920b, 950a, 950b)의 폭은 제 1 폭(W1)으로 설정되고, 제 2 돌출부(920d, 950d)의 폭은 제 2 폭(W2)일 수 있다. 여기서, 제 1 폭(W1)과 제 2 폭(W2)은 실질적으로 동일하거나 상이할 수 있다.
- <123> 아울러, 제 1 방향, 예컨대 방전 셀 중심방향으로 돌출되는 제 1 돌출부(920a, 920b, 950a, 950b)의 길이와 제 2 방향, 예컨대 방전 셀 중심방향과 반대의 방향으로 돌출되는 제 2 돌출부(920d, 950d)의 길이는 다를 수 있다.
- <124> 예를 들면, 제 1 돌출부(920a, 920b, 950a, 950b)의 길이는 제 1 길이(L1)로 설정되고, 제 2 돌출부(920d, 950d)의 길이는 제 2 길이(L2)일 수 있다. 여기서, 제 1 길이(L1)와 제 2 길이(L2)는 실질적으로 동일하거나 상이할 수 있다.
- <125> 아울러, 복수의 돌출부(920a, 920b, 920d, 950a, 950b, 950d) 중 적어도 하나는 일부분이 곡률을 가질 수 있다. 예를 들면, 복수의 돌출부(920a, 920b, 920d, 950a, 950b, 950d) 중 적어도 하나의 끝단부가 곡률을 갖고, 아울러 돌출부(920a, 920b, 920d, 950a, 950b, 950d)와 라인부(910a, 910b, 940a, 940b)가 인접하는 부분이 곡률을 갖는 것도 가능하다.
- <126> 아울러, 라인부(910a, 910b, 940a, 940b)와 연결부(920c, 950c)가 인접하는 부분이 곡률을 갖는 것도 가능하다.
- <127> 이와 같이, 형성하게 되면 제 1 전극과 제 2 전극의 제조 공정이 보다 용이해질 수 있다. 아울러, 구동 시 벽 전하가 특정 위치에 과도하게 집중되는 것을 방지할 수 있고, 이에 따라 구동을 안정시킬 수 있다.
- <128> 다음, 도 8은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서 영상의 계조를 구현하기 위한 영상 프레임(Frame)에 대해 설명하기 위한 도면이다.
- <129> 도 8을 살펴보면 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서 영상의 계조(Gray Level)를 구현하기 위한 영상 프레임은 발광횟수가 다른 복수의 서브필드로 나누어질 수 있다.
- <130> 아울러, 도시하지는 않았지만 복수의 서브필드 중 하나 이상의 서브필드는 다시 방전 셀을 초기화시키기 위한 리셋 기간(Reset Period), 방전될 방전 셀을 선택하기 위한 어드레스 기간(Address Period) 및 방전횟수에 따라 계조를 구현하는 서스테인 기간(Sustain Period)으로 나누어 질 수 있다.
- <131> 예를 들어, 256 계조로 영상을 표시하고자 하는 경우에 예컨대 하나의 영상 프레임은, 도 8과 같이 8개의 서브 필드들(SF1 내지 SF8)로 나누어지고, 8개의 서브 필드들(SF1 내지 SF8) 각각은 리셋 기간, 어드레스 기간 및 서스테인 기간으로 다시 나누어질 수 있다.
- <132> 한편, 서스테인 기간에 공급되는 서스테인 신호의 개수를 조절하여 해당 서브필드의 계조 가중치를 설정할 수 있다. 즉, 서스테인 기간을 이용하여 각각의 서브필드에 소정의 계조 가중치를 부여할 수 있다. 예를 들면, 제 1 서브필드의 계조 가중치를  $2^0$  으로 설정하고, 제 2 서브필드의 계조 가중치를  $2^1$  으로 설정하는 방법으로 각

서브필드의 계조 가중치가  $2^n$ (단,  $n = 0, 1, 2, 3, 4, 5, 6, 7$ )의 비율로 증가되도록 각 서브필드의 계조 가중치를 결정할 수 있다. 이와 같이 각 서브필드에서 계조 가중치에 따라 각 서브필드의 서스테인 기간에서 공급되는 서스테인 신호의 개수를 조절함으로써, 다양한 영상의 계조를 구현하게 된다.

- <133> 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서는 영상을 구현하기 위해, 예컨대 1초의 영상을 표시하기 위해 복수의 영상 프레임을 사용한다. 예를 들면, 1초의 영상을 표시하기 위해 60개의 영상 프레임을 사용하는 것이다. 이러한 경우에 하나의 영상 프레임의 길이(T)는 1/60 초, 즉 16.67ms일 수 있다.
- <134> 여기, 도 8에서는 하나의 영상 프레임이 8개의 서브필드로 이루어진 경우만으로 도시하고 설명하였지만, 이와는 다르게 하나의 영상 프레임을 이루는 서브필드의 개수는 다양하게 변경될 수 있다. 예를 들면, 제 1 서브필드부터 제 12 서브필드까지의 12개의 서브필드로 하나의 영상 프레임을 구성할 수도 있고, 10개의 서브필드로 하나의 영상 프레임을 구성할 수도 있는 것이다.
- <135> 또한, 여기 도 8에서는 하나의 영상 프레임에서 계조 가중치의 크기가 증가하는 순서에 따라 서브필드들이 배열되었지만, 이와는 다르게 하나의 영상 프레임에서 서브필드들이 계조 가중치가 감소하는 순서에 따라 배열될 수도 있고, 또는 계조 가중치에 관계없이 서브필드들이 배열될 수도 있는 것이다.
- <136> 다음, 도 9는 영상 프레임에 포함되는 서브필드에서의 구동부의 동작의 일례를 설명하기 위한 도면이다. 이하에서 설명될 구동 신호는 앞선 도 1의 번호 110의 구동부가 공급하는 것이다.
- <137> 도 9를 살펴보면, 초기화를 위한 리셋 기간의 셋업(Set-Up) 기간에서는 제 1 전극으로 제 1 전압(V1)부터 제 2 전압(V2)까지 급격히 상승한 이후 제 2 전압(V2)부터 제 3 전압(V3)까지 전압이 점진적으로 상승하는 상승 램프(Ramp-Up) 신호가 공급된다. 여기서, 제 1 전압(V1)은 그라운드 레벨(GND)의 전압일 수 있다.
- <138> 이러한 셋업 기간에서는 상승 램프 신호에 의해 방전 셀 내에는 약한 암방전(Dark Discharge), 즉 셋업 방전이 일어난다. 이 셋업 방전에 의해 방전 셀 내에는 어느 정도의 벽 전하(Wall Charge)가 쌓일 수 있다.
- <139> 셋업 기간 이후의 셋다운(Set-Down) 기간에서는 상승 램프 신호 이후에 이러한 상승 램프 신호와 반대 극성 방향의 하강 램프(Ramp-Down) 신호가 제 1 전극에 공급된다.
- <140> 여기서, 하강 램프 신호는 상승 램프 신호의 피크(Peak) 전압, 즉 제 3 전압(V3)보다 낮은 제 4 전압(V4)부터 제 5 전압(V5)까지 점진적으로 하강할 수 있다.
- <141> 이러한 하강 램프 신호가 공급됨에 따라, 방전 셀 내에서 미약한 소거 방전(Erase Discharge), 즉 셋다운 방전이 발생한다. 이 셋다운 방전에 의해 방전 셀 내에는 어드레스 방전이 안정되게 일어날 수 있을 정도의 벽 전하가 균일하게 잔류된다.
- <142> 리셋 기간 이후의 어드레스 기간에서는 하강 램프 신호의 최저 전압, 즉 제 5 전압(V5)보다는 높은 전압, 예컨대 제 6 전압(V6)을 실질적으로 유지하는 스캔 바이어스 신호가 제 1 전극에 공급된다.
- <143> 아울러, 스캔 바이어스 신호로부터 스캔 전압( $\Delta V_y$ )만큼 하강하는 스캔 신호가 제 1 전극에 공급될 수 있다.
- <144> 한편, 서브필드 단위로 스캔 신호(Scan)의 폭은 가변적일 수 있다. 즉, 적어도 하나의 서브필드에서 스캔 신호의 폭은 다른 서브필드에서의 스캔 신호의 폭과 다를 수 있다. 예컨대, 시간상 뒤에 위치하는 서브필드에서의 스캔 신호의 폭이 앞에 위치하는 서브필드에서의 스캔 신호의 폭보다 작을 수 있다. 또한, 서브필드의 배열 순서에 따른 스캔 신호 폭의 감소는  $2.6\mu\text{s}$ (마이크로초),  $2.3\mu\text{s}$ (마이크로초),  $2.1\mu\text{s}$ (마이크로초),  $1.9\mu\text{s}$ (마이크로초) 등과 같이 점진적으로 이루어질 수 있거나  $2.6\mu\text{s}$ (마이크로초),  $2.3\mu\text{s}$ (마이크로초),  $2.3\mu\text{s}$ (마이크로초),  $2.1\mu\text{s}$ (마이크로초)..... $1.9\mu\text{s}$ (마이크로초),  $1.9\mu\text{s}$ (마이크로초) 등과 같이 이루어질 수도 있을 것이다.
- <145> 이와 같이, 스캔 신호가 제 1 전극으로 공급될 때, 스캔 신호에 대응되게 제 3 전극에 데이터 전압의 크기( $\Delta V_d$ )만큼 상승하는 데이터 신호가 공급될 수 있다.
- <146> 이러한 스캔 신호와 데이터 신호가 공급됨에 따라, 스캔 신호와 데이터 신호 간의 전압 차와 리셋 기간에 생성된 벽 전하들에 의한 벽 전압이 더해지면서 데이터 신호가 공급되는 방전 셀 내에는 어드레스 방전이 발생할 수 있다.
- <147> 여기서, 어드레스 기간에서 제 2 전극의 간섭에 의해 어드레스 방전이 불안정해지는 것을 방지하기 위해 제 2 전극에 서스테인 바이어스 신호가 공급될 수 있다.
- <148> 여기서, 서스테인 바이어스 신호는 서스테인 기간에서 공급되는 서스테인 신호의 전압보다는 작고 그라운드 레

벨(GND)의 전압보다는 큰 서스테인 바이어스 전압( $V_z$ )을 실질적으로 일정하게 유지할 수 있다.

- <149> 이후, 영상 표시를 위한 서스테인 기간에서는 제 1 전극 및 제 2 전극에 중 적어도 하나에 서스테인 신호가 공급될 수 있다. 예를 들면, 제 1 전극과 제 2 전극에 교호적으로 서스테인 신호가 공급될 수 있다.
- <150> 이러한 서스테인 신호가 공급되면, 어드레스 방전에 의해 선택된 방전 셀은 방전 셀 내의 벽 전압과 서스테인 신호의 서스테인 전압( $V_s$ )이 더해지면서 서스테인 신호가 공급될 때 제 1 전극과 제 2 전극 사이에 서스테인 방전 즉, 표시방전이 발생할 수 있다.
- <151> 한편, 서스테인 기간에서 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호는 중첩(Overlap)되는 것이 바람직하다. 이에 대해서 상세히 살펴보면 다음과 같다.
- <152> 다음, 도 10은 서스테인 신호의 제 1 실시예에 대해 설명하기 위한 도면이다.
- <153> 도 10을 살펴보면, 영상 프레임의 서스테인 기간에서 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호는 d 기간 동안 중첩(Overlap)된다.
- <154> 이와 같이, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호를 중첩시키는 이유에 대해 살펴보면 다음과 같다.
- <155> 앞선 도 9 이전에서 설명한 바와 같이 제 1 전극과 제 2 전극 사이의 간격을 전면 기관과 후면 기관 사이의 간격 또는 격벽의 높이에 비해 과도하게 작게 하게 되면 구동 시 양광주 영역을 충분히 활용하지 못하여 구동 효율이 저하될 수 있다.
- <156> 여기서, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호를 중첩시키면 제 1 전극으로 공급되는 서스테인 신호에 의해 생성된 벽 전하가 제 2 전극에 서스테인 신호가 공급될 때 발생하는 서스테인 방전에 충분히 기여할 수 있다.
- <157> 이에 따라, 제 1 전극과 제 2 전극 사이의 간격이 전면 기관과 후면 기관 사이의 간격 또는 격벽의 높이에 비해 과도하게 작아지더라도 구동 효율의 저하되는 것을 방지할 수 있다.
- <158> 여기서, 제 1 전극으로 공급되는 서스테인 신호의 펄스폭(W10) 또는 제 2 전극으로 공급되는 서스테인 신호의 펄스폭(W20) 중 적어도 하나는  $4. \mu s$  이상  $6.0 \mu s$  이하인 것이 바람직하다.
- <159> 다음, 도 11은 서스테인 신호의 제 2 실시예에 대해 설명하기 위한 도면이다.
- <160> 도 11을 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d1기간 동안 중첩될 수 있다.
- <161> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 d1기간보다 더 긴 d2기간 동안 중첩될 수 있다.
- <162> 이와 같이, 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호의 중첩 기간의 길이는 다양하게 변경될 수 있다.
- <163> 아울러, (a)와 같이 중첩 기간의 길이가 d1인 서스테인 신호들과 (b)같이 중첩 기간의 길이가 d2인 서스테인 신호들을 함께 사용하게 되면 방전 셀 내에서 고착화될 수 있는 벽 전하의 분포 특성을 흔들어 줄 수 있고, 이에 따라 잔상의 발생을 저감시킬 수 있다.
- <164> 아울러, 영상 프레임의 복수의 서브필드 중 적어도 하나의 서브필드에서는 (a)와 같이 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)가 d1기간 동안 중첩되도록 하고, 아울러 적어도 하나의 다른 서브필드에서는 (b)와 같이 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)가 d1기간보다 더 긴 d2기간 동안 중첩되도록 하는 것도 가능하다. 즉, 서브필드별로 서스테인 신호의 중첩 기간의 길이를 변경하는 것도 가능한 것이다.
- <165> 다음, 도 12는 서스테인 신호의 제 3 실시예에 대해 설명하기 위한 도면이다.
- <166> 도 12에는 세 개 이상의 타입(Type)의 서스테인 신호가 함께 사용되는 경우의 일례가 나타나 있다.
- <167> 예를 들면, ① 타입, ② 타입, ③ 타입 및 ④타입의 서스테인 신호가 서스테인 기간에서 함께 사용될 수 있다.

- <168> 여기서, ① 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1기간 동안 중첩되는 타입이다.
- <169> 또한, ② 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1기간과는 길이가 다른 d2기간 동안 중첩되는 타입이고, ③ 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1기간 및 d2기간과 길이가 다른 d3기간 동안 중첩되는 타입이고, ④ 타입은 제 1 전극으로 공급되는 서스테인 신호와 제 2 전극으로 공급되는 서스테인 신호가 d1, d2 및 d3기간과는 길이가 다른 d4기간 동안 중첩되는 타입일 수 있다.
- <170> 이와 같이, 세 개 이상의 서로 다른 타입의 서스테인 신호를 함께 사용하게 되면 구동 효율을 향상시킬 수 있을 뿐만 아니라, 잔상의 발생을 더욱 저감시킬 수 있다.
- <171> 다음, 도 13은 서스테인 신호의 제 4 실시예에 대해 설명하기 위한 도면이다.
- <172> 도 13을 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d기간 동안 중첩될 수 있다.
- <173> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 중첩되지 않을 수 있다.
- <174> 이와 같이, (a)와 같이 서스테인 신호들이 중첩되는 타입과 (b)와 같이 서스테인 신호들이 중첩되지 않는 타입을 함께 사용하는 것도 가능한 것이다.
- <175> 다음, 도 14는 서스테인 신호의 제 5 실시예에 대해 설명하기 위한 도면이다.
- <176> 도 14를 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d1기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 펄스폭은 W1일 수 있다. 이러한, (a)의 경우에서의 서스테인 신호의 주기는 T1으로 설정될 수 있다.
- <177> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 d2기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 펄스폭은 W1보다 큰 W2일 수 있다. 이러한, (b)의 경우에서 서스테인 신호의 주기는 앞선 (a)에서의 T1보다 긴 T2로 설정될 수 있다.
- <178> 여기서, (a)의 중첩기간 d1의 길이와 (b)의 중첩기간 d2의 길이는 실질적으로 동일할 수도 있고 상이할 수도 있다.
- <179> 이와 같이, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호를 중첩시키고, 아울러 서스테인 신호의 펄스폭을 조절하게 되면 잔상의 발생을 더욱 저감시킬 수 있다. 또한, 서스테인 신호의 주기를 조절하게 되면 잔상의 발생을 더욱 저감시킬 수 있다.
- <180> 아울러, 영상 프레임의 복수의 서브필드 중 적어도 하나의 서브필드에서는 (a)와 같이 서스테인 신호의 주기를 T1으로 설정하고, 아울러 적어도 하나의 다른 서브필드에서는 (b)와 같이 서스테인 신호의 주기를 T1보다 긴 T2로 설정하는 것도 가능하다. 즉, 서브필드별로 서스테인 신호의 주기를 변경하는 것도 가능한 것이다.
- <181> 다음, 도 15는 서스테인 신호의 제 6 실시예에 대해 설명하기 위한 도면이다.
- <182> 도 15를 살펴보면 (a)와 같이 제 1 전극에 제 1 서스테인 신호(SUS1)가 공급된 이후에 제 2 전극에 제 2 서스테인 신호(SUS2)가 공급되는 경우에 이러한 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 d1기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)는 전압 상승 기간, 전압 유지 기간 및 전압 하강 기간을 포함할 수 있다.
- <183> 아울러, (b)와 같이 제 1 전극에 제 3 서스테인 신호(SUS3)가 공급된 이후에 제 2 전극에 제 4 서스테인 신호(SUS4)가 공급되는 경우에 이러한 제 3 서스테인 신호(SUS3)와 제 4 서스테인 신호(SUS4)는 d2기간 동안 중첩되고, 아울러 제 1 서스테인 신호(SUS1)와 제 2 서스테인 신호(SUS2)의 전압 상승 기간, 전압 유지 기간 및 전압 하강 기간 중 적어도 하나는 앞선 (a)의 경우보다 더 길 수 있다.

- <184> 여기서, (a)의 중첩기간 d1의 길이와 (b)의 중첩기간 d2의 길이는 실질적으로 동일할 수도 있고 상이할 수도 있다.
- <185> 이와 같이, 제 1 전극에 공급되는 서스테인 신호와 제 2 전극에 공급되는 서스테인 신호를 중첩시키고, 아울러 서스테인 신호의 전압 상승 기간, 전압 유지 기간 및 전압 하강 기간 중 적어도 하나를 조절하게 되면 잔상의 발생을 더욱 저감시킬 수 있다.
- <186> 이와 같이, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다.
- <187> 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 하고, 본 발명의 범위는 전술한 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

**발명의 효과**

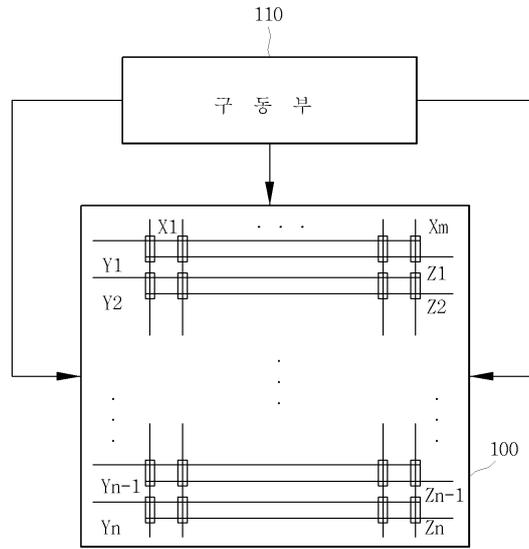
- <188> 이상에서 상세히 설명한 바와 같이 본 발명의 일실시예는 제 1 전극과 제 2 전극간의 간격을 전면 기관과 후면 기관간의 간격 또는 격벽의 높이보다 더 작게 함으로써 얼룩무늬의 발생을 방지함으로써 영상의 화질을 개선하는 효과가 있다.

**도면의 간단한 설명**

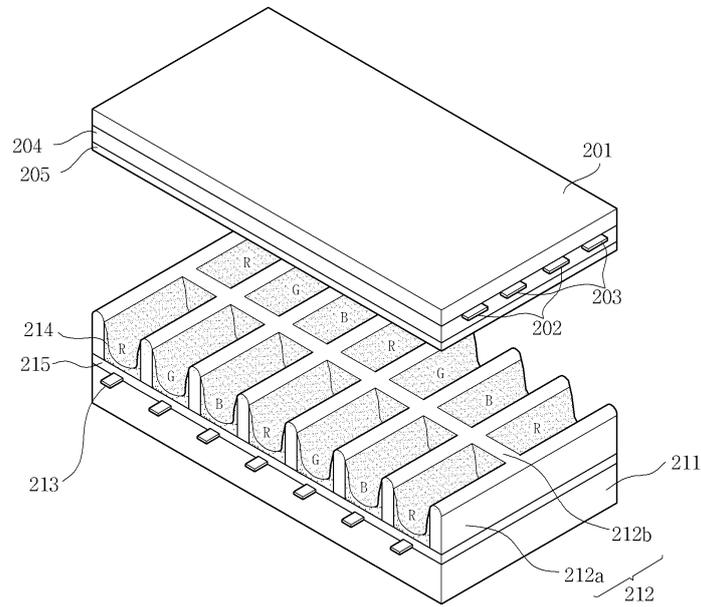
- <1> 도 1은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치의 구성에 대해 설명하기 위한 도면.
- <2> 도 2a 내지 도 2b는 본 발명의 일실시예에 따른 플라즈마 디스플레이 패널의 구조에 대해 설명하기 위한 도면.
- <3> 도 3은 제 1 전극과 제 2 전극에 대해 설명하기 위한 도면.
- <4> 도 4는 제 1 전극과 제 2 전극간의 간격이 전면 기관과 후면 기관간의 간격보다 더 넓은 경우를 설명하기 위한 도면.
- <5> 도 5는 제 1 전극과 제 2 전극간의 간격과 전면 기관과 후면 기관간의 간격의 비율에 대해 설명하기 위한 도면.
- <6> 도 6은 격벽을 높이를 고려하여 제 1 전극과 제 2 전극간의 간격을 설정한 경우를 설명하기 위한 도면.
- <7> 도 7은 제 1 전극과 제 2 전극이 단일층인 경우를 설명하기 위한 도면.
- <8> 도 8은 본 발명의 일실시예에 따른 플라즈마 디스플레이 장치에서 영상의 계조를 구현하기 위한 영상 프레임(Frame)에 대해 설명하기 위한 도면.
- <9> 도 9는 영상 프레임에 포함되는 서브필드에서의 구동부의 동작의 일례를 설명하기 위한 도면.
- <10> 도 10은 서스테인 신호의 제 1 실시예에 대해 설명하기 위한 도면.
- <11> 도 11은 서스테인 신호의 제 2 실시예에 대해 설명하기 위한 도면.
- <12> 도 12는 서스테인 신호의 제 3 실시예에 대해 설명하기 위한 도면.
- <13> 도 13은 서스테인 신호의 제 4 실시예에 대해 설명하기 위한 도면.
- <14> 도 14는 서스테인 신호의 제 5 실시예에 대해 설명하기 위한 도면.
- <15> 도 15는 서스테인 신호의 제 6 실시예에 대해 설명하기 위한 도면.
- <16> <도면의 주요 부분에 대한 부호의 설명>
- <17> 100 : 플라즈마 디스플레이 패널                      110 : 구동부

도면

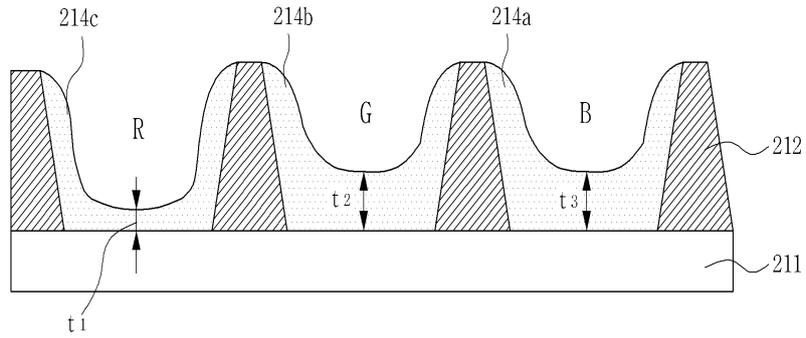
도면1



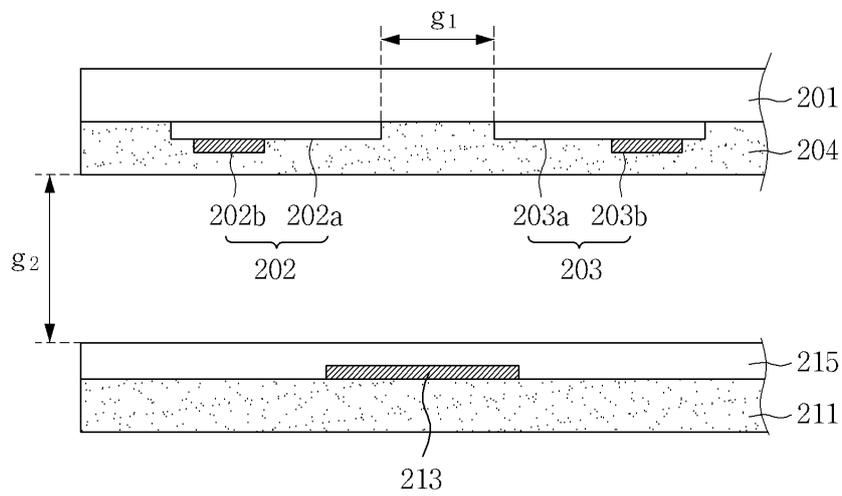
도면2a



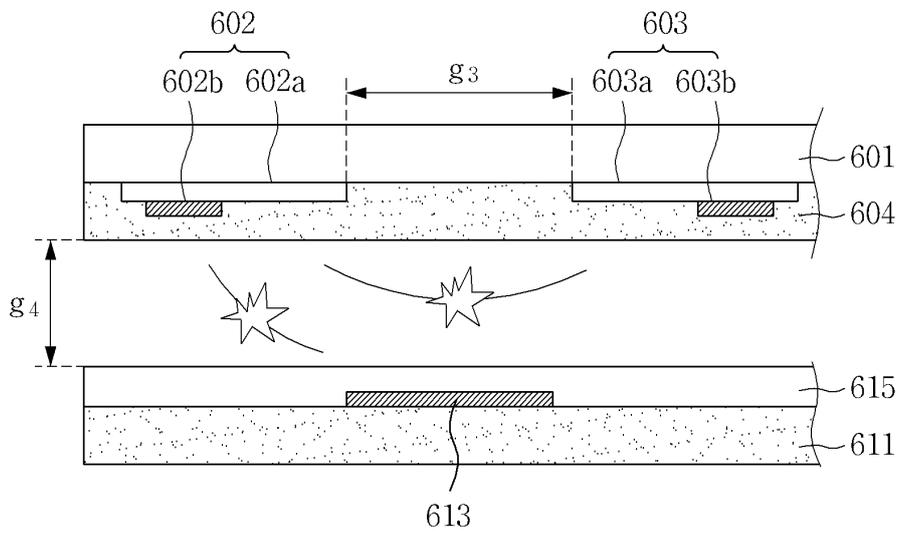
도면2b



도면3



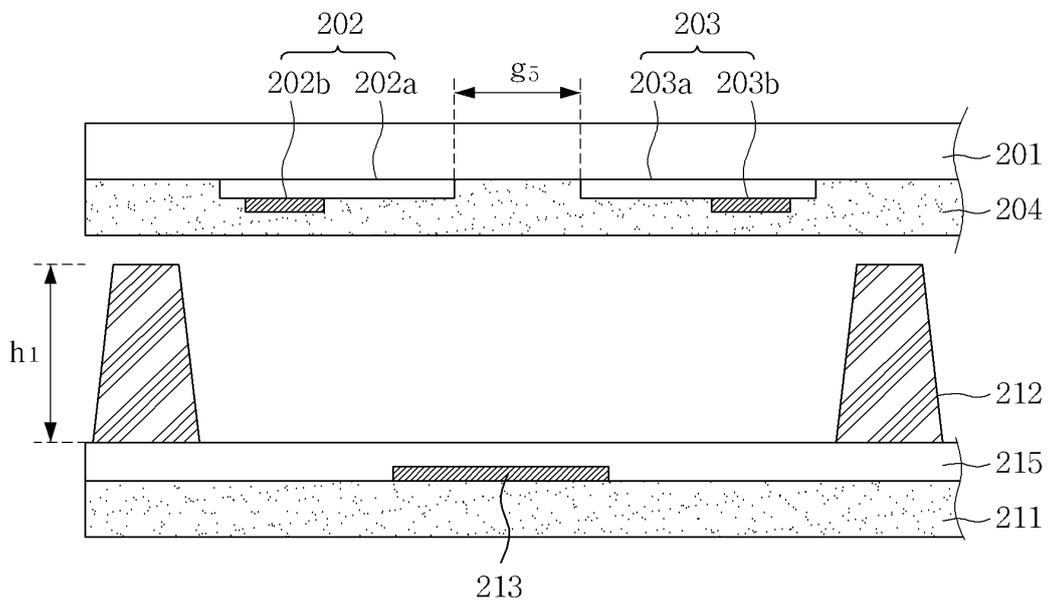
도면4



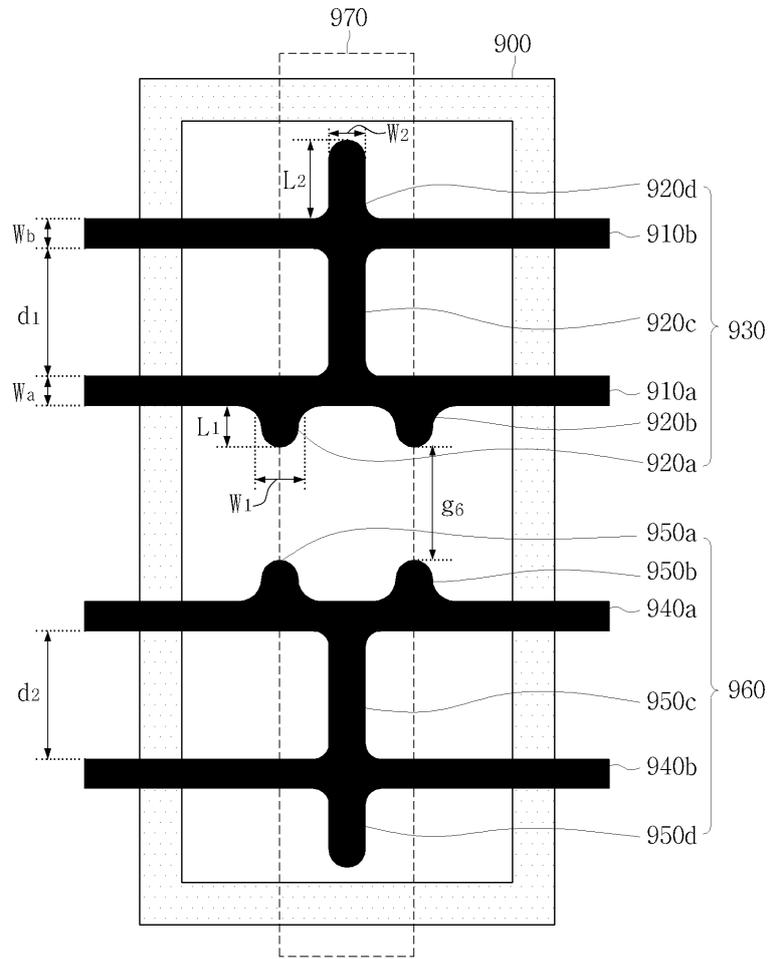
도면5

$g_1 / g_2$	얼룩무늬	휘도
0.3	◎	X
0.5	◎	X
0.4	◎	○
0.45	◎	○
0.5	◎	○
0.52	◎	◎
0.54	◎	◎
0.58	◎	◎
0.65	◎	◎
0.7	◎	◎
0.8	◎	◎
0.84	◎	◎
0.86	◎	◎
0.9	○	◎
0.95	○	◎
0.98	X	◎
1.0	X	◎

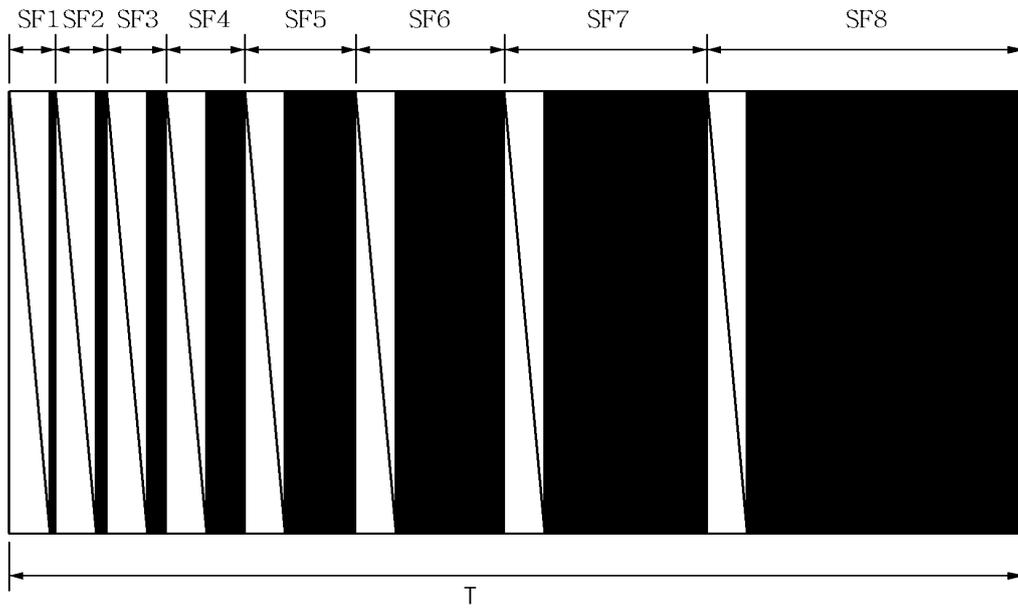
도면6



도면7



도면8

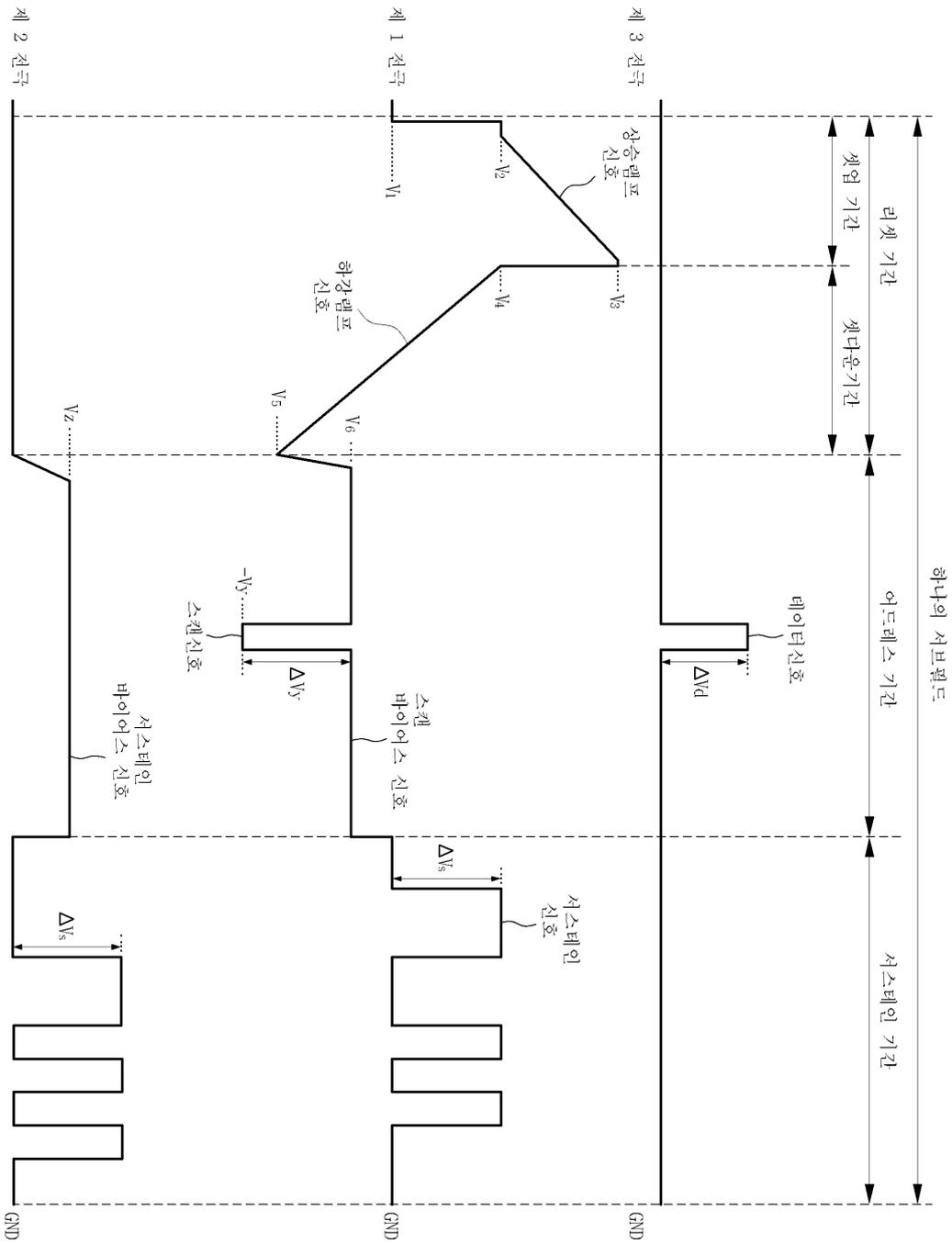


: 리셋 기간 & 어드레스 기간

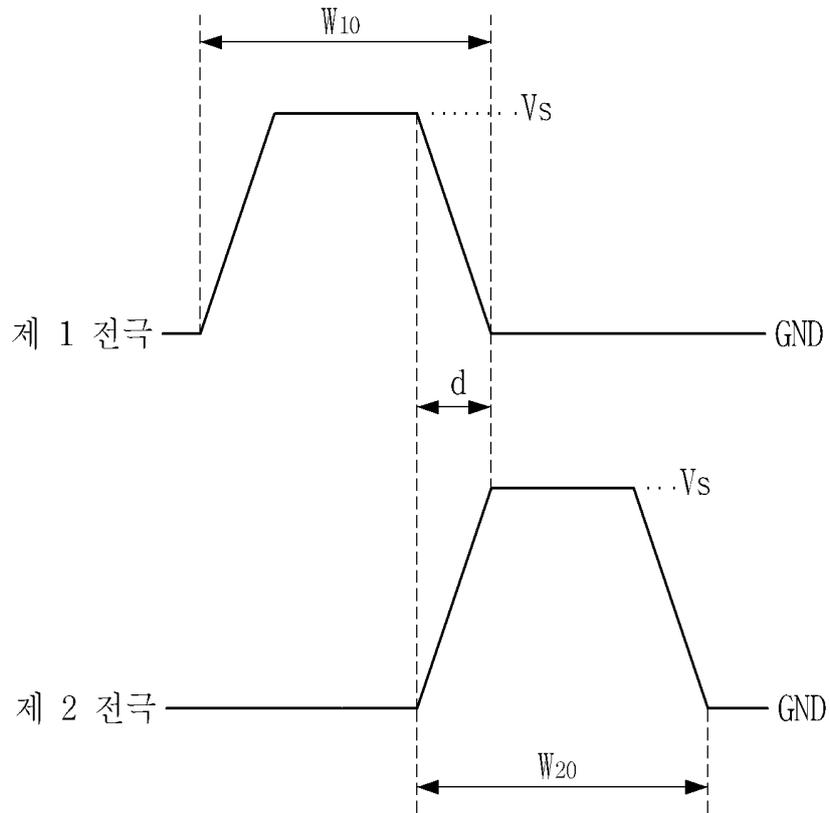


: 서스테인 기간

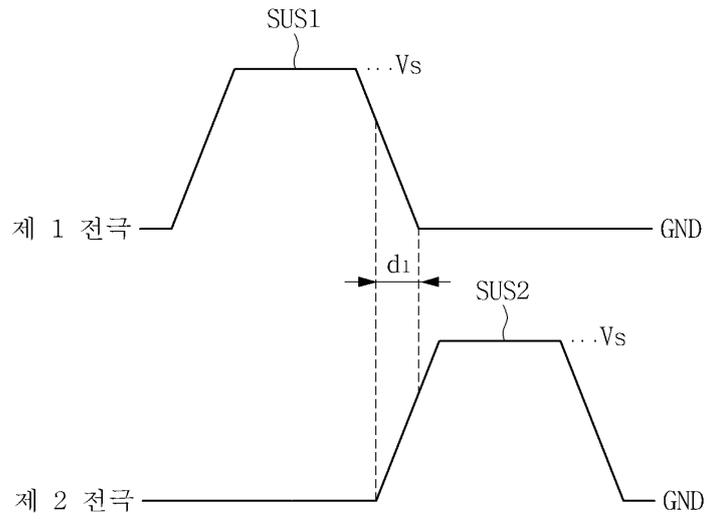
도면9



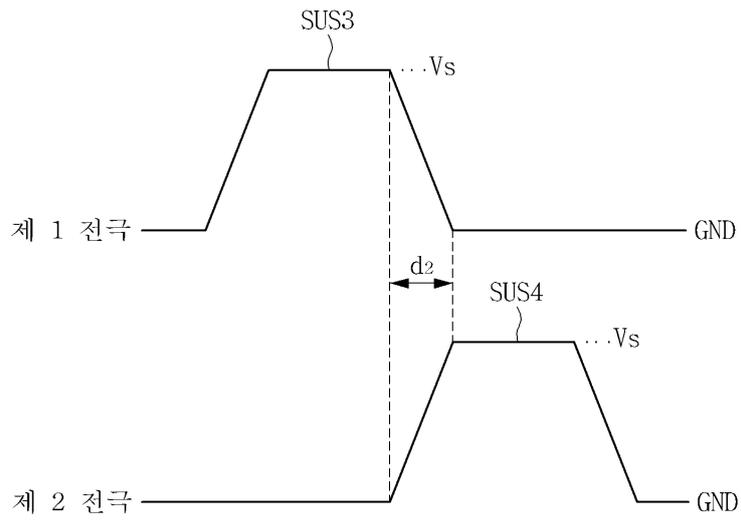
도면10



도면11

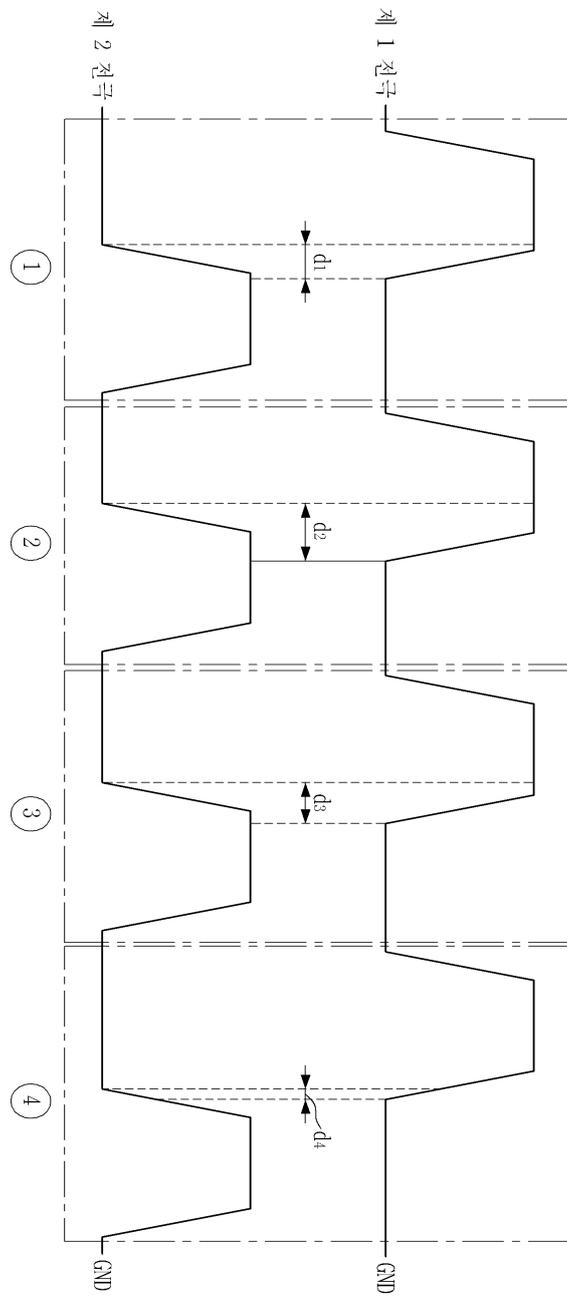


(a)

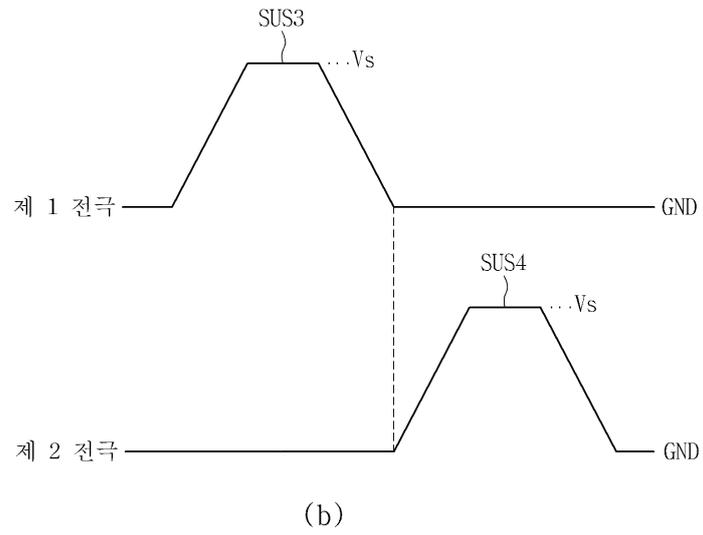
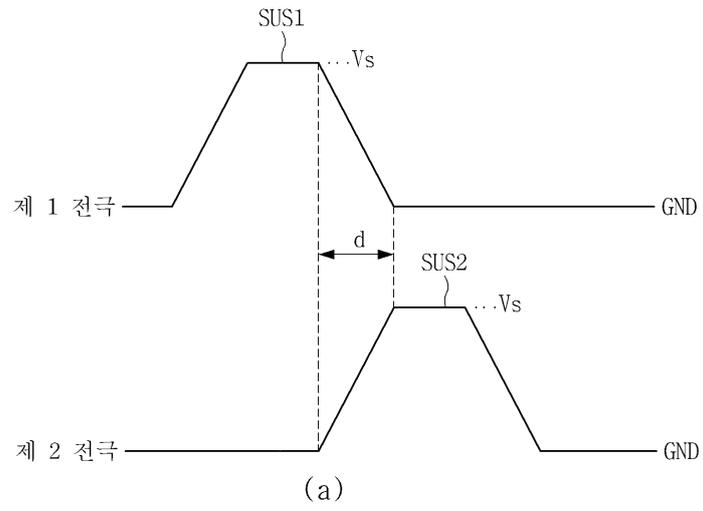


(b)

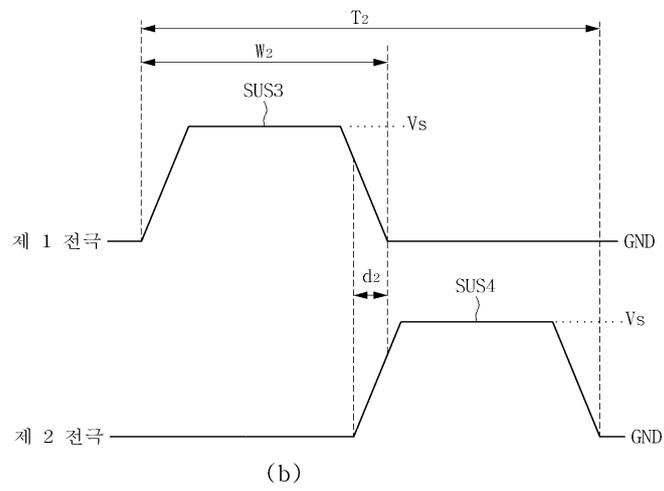
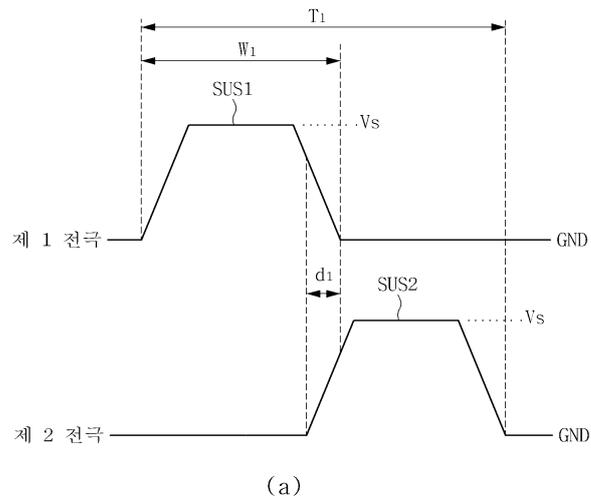
도면12



도면13



도면14



도면15

