

【特許請求の範囲】

【請求項 1】

複数の画素を含む液晶表示板組立体、
複数の F R C パターンを記憶するメモリ、
前記メモリに記憶されている前記複数の F R C パターンのうちの第 1 ビット数の入力映像データに対応する F R C パターンを選択し、前記 F R C パターンに基づいて、前記入力映像データを前記第 1 ビット数よりも小さい第 2 ビット数の出力映像データに変換して出力する信号制御部、そして
前記信号制御部からの出力映像データに該当するデータ電圧を前記画素に印加するデータ駆動部、
を含み、
前記入力映像データに対する前記 F R C パターンは、前記入力映像データの所定ビット数の下位ビット及びフレーム番号によって定められる、
液晶表示装置。

10

【請求項 2】

前記信号制御部は、
前記メモリから前記 F R C パターンを受信し一時記憶するルックアップテーブル、そして
前記ルックアップテーブルに記憶された前記 F R C パターンに基づいて、前記入力映像データを変換するデータ処理部、
を含む、請求項 1 に記載の液晶表示装置。

20

【請求項 3】

前記各 F R C パターンは $n \times n$ ($n \geq 4$) 行列を基本にしてなる、請求項 2 に記載の液晶表示装置。

【請求項 4】

前記第 1 ビット数と前記第 2 ビット数の差は 2 ビットであり、前記 $n=4$ である、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記入力映像データに対応する前記 F R C パターンは、前記入力映像データの下位 2 ビット及びフレーム番号によって定められる、請求項 4 に記載の液晶表示装置。

30

【請求項 6】

前記メモリに記憶された前記 F R C パターンは、前記入力映像データの下位 2 ビットの値が 0 1 である場合と 1 0 である場合に対応する F R C パターンを含む、請求項 5 に記載の液晶表示装置。

【請求項 7】

前記データ処理部は、前記入力映像データの下位 2 ビットの値が 0 0 である時、前記下位 2 ビットを除く上位ビットを出力映像データのデータ値に決める、請求項 6 に記載の液晶表示装置。

【請求項 8】

前記データ処理部は、前記入力映像データの下位 2 ビットの値が 1 1 である時、前記入力映像データの下位 2 ビットの値が 0 1 である場合に対応する F R C パターンのデータを反転した値を出力映像データのデータ値に決める、請求項 7 に記載の液晶表示装置。

40

【請求項 9】

前記第 1 ビット数と前記第 2 ビット数の差は 3 ビットであり、前記 $n=8$ である、請求項 3 に記載の液晶表示装置。

【請求項 10】

前記メモリは E E P R O M である、請求項 1 乃至請求項 9 のうちのいずれか一項に記載の液晶表示装置。

【請求項 11】

外部から複数の F R C パターンを読み取って記憶する段階、

50

第1ビット数の上位ビットと第2ビット数の下位ビットからなる入力映像データで前記下位ビットの値を読み取る段階、

前記下位ビットの値に応じて前記複数のFRCパターンのうちの該当するFRCパターンを選択する段階、

前記選択されたFRCパターンで前記入力映像データに対応するデータ値を読み取る段階、そして

前記読み取られたデータ値に従って、前記上位ビットを出力映像データのデータ値にしたり、前記上位ビットの値に1を足した値を出力映像データのデータ値にして、前記出力映像データを出力する段階、

を含む液晶表示装置の駆動方法。

10

【請求項12】

前記各FRCパターンは、 $n \times n$ ($n \geq 4$) 行列を基本としてなる、請求項11に記載の液晶表示装置の駆動方法。

【請求項13】

前記第2ビット数は2ビットであり、前記 $n=4$ である、請求項12に記載の液晶表示装置の駆動方法。

【請求項14】

前記FRCパターンは、前記入力映像データの下位2ビットの値が01である場合及び10である場合に対応するFRCパターンを含む、請求項13に記載の液晶表示装置の駆動方法。

20

【請求項15】

前記入力映像データの下位2ビットの値が00である時、前記上位ビットを出力映像データのデータ値に決める、請求項14に記載の液晶表示装置の駆動方法。

【請求項16】

前記入力映像データの下位2ビットの値が11である時、前記入力映像データの下位2ビットの値が01である場合に対応するFRCパターンのデータを反転した値を出力映像データのデータ値に決める、請求項15に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその駆動方法に関する。

30

【背景技術】

【0002】

一般的な液晶表示装置(LCD)は、画素電極及び共通電極が具備された二つの表示板とその間に入っている誘電率異方性を有する液晶層を含む。画素電極は行列状に配列され、薄膜トランジスタ(TFT)などのスイッチング素子に連結されて、一行ずつ順次にデータ電圧の印加を受ける。共通電極は表示板の全面に亘って形成され、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は、回路的には液晶蓄電器を構成し、液晶蓄電器は、これに連結されたスイッチング素子と共に画素を構成する基本単位となる。

【0003】

このような液晶表示装置において、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強度を調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。この時、液晶層に一方向の電界が長い間印加されることによって発生する劣化現象を防ぐために、フレーム毎に、行毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転する。

40

【0004】

このような液晶表示装置において、外部のグラフィックソースから赤色(red)、緑色(green)、青色(blue)の n ビットの映像データが入力される。このRGB映像データは、液晶表示装置の信号制御部によってデータフォーマットが変換された後に、データ駆動IC(integrated circuit)などからなるデータ駆動部に印加される。データ駆動部は、

50

印加された映像データに該当するアナログ階調電圧を選択して、液晶表示板組立体に印加する。

【0005】

一般に、信号制御部に印加されるRGB映像データのビット数とデータ駆動部で処理できるビット数が同一であることが理想的であるが、液晶表示装置の製造費用を低減するために、処理能力の低いデータ駆動部を利用することもできる。即ち、通常、信号制御部に印加される映像データは8ビットであるが、8ビットの映像データを処理するデータ駆動部は高価であるので、8ビットよりも低い処理能力、つまり6ビットの映像データを処理するデータ駆動部を利用することによって製品のコストが低くなる。

【0006】

このために提案された技術がフレームレート制御(FRC)である。このフレームレート制御は、入力されたnビットの映像データの中でデータ駆動部で処理可能なビット数である(n-m)ビットのみで表示が可能であるように、入力される映像データをフレーム単位で再構成するものである。ここで、mは整数であり、RGB映像データの下位の所定ビット数を示す。

10

【0007】

このフレームレート制御は、実際に色を表現するものでなく、種々の色を時間的、空間的に混合して表現する方式である。従って、フレームレート制御のために、信号制御部は、m個の下位ビット値に従って映像データを補正するための補正值をルックアップテーブルなどに記憶させる。この補正值は、フレームレート制御を実施する各画素に対応する。また、フレームレート制御を実施する基本画素単位に対応する補正值集合をFRCデータパターンという。よって、信号制御部は、内部に記憶された複数のFRCデータパターンに基づいて、nビットの映像データを(n-m)ビットの映像データに補正する。

20

【0008】

しかしながら、液晶表示装置の動作特性などを考慮し、最も適するFRCデータパターンを選択しようとしても、この動作特性などに完全に合うFRCデータパターンを選択することが不可能であるので、不完全なFRCデータパターンによる画質不良現象が発生する。

【0009】

なお、動作特性などが変化すれば、既存のFRCデータパターンが適しなくなり、新しいFRCデータパターンを選択しなければならない。ところが、この場合、信号制御部の内部に既にFRCデータパターンが記憶されているので、FRCデータパターンが変更するたびに信号制御部を再設計し、取り換えなければならない。このため、コスト及び開発時間が多くかかる。

30

【発明の開示】

【発明が解決しようとする課題】

【0010】

そこで、本発明は、コストの増加を防ぎつつFRCデータパターンを容易に変更可能にすることを目的とする。

【課題を解決するための手段】

40

【0011】

このような技術的課題を構成するために、本願第1発明の一つの特徴による液晶表示装置は、複数の画素を含む液晶表示板組立体、複数のFRCパターンを記憶するメモリ、前記メモリに記憶されている前記複数のFRCパターンのうちの第1ビット数の入力映像データに対応するFRCパターンを選択し、前記FRCパターンに基づいて、前記入力映像データを前記第1ビット数よりも小さい第2ビット数の出力映像データに変換して出力する信号制御部、そして、前記信号制御部からの出力映像データに該当するデータ電圧を前記画素に印加するデータ駆動部を含み、前記入力映像データに対する前記FRCパターンは、前記入力映像データの所定ビット数の下位ビット及びフレーム番号によって定められる。

50

【0012】

このように、メモリから読み取ったデータパターンに基づいてフレームレート制御する。これにより、液晶表示装置の動作特性などに応じて最適のFRCデータパターンに変更する際にも、信号制御部を取り換えずにメモリに記憶されたFRCデータの値のみを修正することですむので、FRCデータパターンの変更にかかる信号制御部の取換え費用を節減できる。

【0013】

本願第2発明は、第1発明において、前記信号制御部は、前記メモリから前記FRCパターンを受信して一時的に記憶するルックアップテーブル、そして、前記ルックアップテーブルに記憶された前記FRCパターンに基づいて、前記入力映像データを変換するデータ処理部を含むのが好ましい。

10

【0014】

本願第3発明は、第2発明において、前記各FRCパターンは、 $n \times n$ ($n \geq 4$) 行列を基本として構成されることができる。

【0015】

本願第4発明は、第3発明において、前記第1ビット数と前記第2ビット数の差は2ビットであり、前記 $n=4$ であることができる。

【0016】

本願第5発明は、第4発明において、前記入力映像データに対応する前記FRCパターンは、前記入力映像データの低位2ビット及びフレーム番号によって決定されることができる。

20

【0017】

本願第6発明は、第5発明において、前記メモリに記憶された前記FRCパターンは、前記入力映像データの低位2ビットの値が01である場合と10である場合に対応するFRCパターンを含む液晶表示装置を提供する。

【0018】

本願第7発明は、第6発明において、前記データ処理部は、前記入力映像データの低位2ビットの値が00である時、前記低位2ビットを除く上位ビットを出力映像データのデータ値に決める、請求項6に記載の液晶表示装置を提供する。

【0019】

本願第8発明は、第7発明において、前記データ処理部は、前記入力映像データの低位2ビットの値が11である時、前記入力映像データの低位2ビットの値が01である場合に対応するFRCパターンのデータを反転した値を出力映像データのデータ値に決める、請求項7に記載の液晶表示装置を提供する。本願第9発明は、第3発明において、本発明で、前記第1ビット数と前記第2ビット数の差は3ビットであり、前記 $n=8$ であることができる。

30

【0020】

本願第10発明は、第1乃至9発明のいずれかにおいて、前記メモリはEEPROMであるのが好ましい。

【0021】

本発明の第11発明の特徴による液晶表示装置の駆動方法は、外部から複数のFRCパターンを読み取って記憶する段階、第1ビット数の上位ビットと第2ビット数の低位ビットからなる入力映像データにおいて前記低位ビット値を読み取る段階、前記低位ビット値に従って前記複数のFRCパターンのうちの該当するFRCパターンを選択する段階、前記選択されたFRCパターンにおいて前記入力映像データに対応するデータ値を読み取る段階、そして、前記読み取ったデータ値に従って、前記上位ビットを出力映像データのデータ値にしたり、前記上位ビットの値に1を足した値を出力映像データのデータ値にして、前記出力映像データを出力する段階を含む。

40

【0022】

本願第12発明は、第11発明において、前記各FRCパターンは、 $n \times n$ ($n \geq 4$) 行

50

列を基本とすることができる。

【0023】

本願第13発明は、第12発明において、前記第2ビット数は2ビットであり、前記n=4である。

【0024】

本願第14発明は、第13発明において、前記FRCパターンは、前記入力映像データの下位2ビットの値が01である場合と、10である場合に対応するFRCパターンを含むことができる。

【0025】

本願第15発明は、第14発明において、前記入力映像データの下位2ビットの値が00である時、前記上位ビットを出力映像データのデータ値に決めることができる。 10

【0026】

本願第16発明は、第13発明において、前記入力映像データの下位2ビットの値が11である時、前記入力映像データの下位2ビットの値が01である時に対応するFRCパターンのデータを反転した値を出力映像データのデータ値に決めることができる。

【発明の効果】

【0027】

本発明によれば、液晶表示装置の動作特性などが変わるたびに変更するFRCデータパターンに従って信号制御部を再設計する必要がないので、液晶表示装置の製造コストを抑えられる。また、メモリ装置を変更することなく、液晶表示装置の動作特性などに応じて、種々のFRCデータパターンを実現することができる。 20

【発明を実施するための最良の形態】

【0028】

以下、添付した図面を参照して、本発明の実施例に対して、本発明が属する技術分野における通常の知識を有する者が容易に実施することができるように詳細に説明する。しかし、本発明は、多様な形態で実現することができ、ここで説明する実施例に限定されない。

【0029】

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な図面符号を付けている。層、膜、領域、板などの部分が、他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。 30

【0030】

本発明の実施例による液晶表示装置及びその駆動方法について図面に基づいて詳細に説明する。

【0031】

図1は本発明の一実施例による液晶表示装置のブロック図であり、図2は本発明の一実施例による液晶表示装置の一つの画素に対する等価回路図である。

【0032】

図1に示すように、本発明の一実施例による液晶表示装置は、液晶表示板組立体300及びこれに連結されたゲート駆動部400、データ駆動部500、データ駆動部500に連結された階調電圧生成部800、これらを制御する信号制御部600、そして、信号制御部600に連結されたメモリ700を含む。 40

【0033】

液晶表示板組立体300は、等価回路から見れば、複数の表示信号線(G1-Gn、D1-Dm)と、これに連結されて大略行列状に配列された複数の画素(pixel)を含む。

【0034】

表示信号線(G1-Gn、D1-Dm)は、ゲート信号(走査信号とも言う)を伝達する複数のゲート線(G1-Gn)と、データ信号を伝達するデータ信号線またはデータ線(D1-Dm)を 50

含む。ゲート線 (G1 -Gn) は、大略行方向にのびて互いにほぼ平行であり、データ線 (D1 -Dm) は、大略列方向にのびて互いにほぼ平行である。

【0035】

各画素は、表示信号線 (G1 -Gn、D1 -Dm) に連結されたスイッチング素子 (Q) と、これに連結された液晶蓄電器 (C_{LC}) 及び維持蓄電器 (C_{ST}) を含む。維持蓄電器 (C_{ST}) は必要に応じて省略できる。

【0036】

スイッチング素子 (Q) は下部表示板 100 に具備されており、三端子素子としてその制御端子及び入力端子は、各々ゲート線 (G1 -Gn) 及びデータ線 (D1 -Dm) に連結され、出力端子は液晶蓄電器 (C_{LC}) 及び維持蓄電器 (C_{ST}) に連結されている。

10

【0037】

液晶蓄電器 (C_{LC}) は、下部表示板 100 の画素電極 190 と上部表示板 200 の共通電極 270 を二つの端子とし、二つの電極 190、270 の間の液晶層 3 は誘電体として機能する。画素電極 190 はスイッチング素子 (Q) に連結され、共通電極 270 は上部表示板 200 の全面に形成され共通電圧 (Vcom) の印加を受ける。図 2 とは異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、この時には、二つの電極 190、270 が全て線状或いは棒状に形成される。

【0038】

液晶蓄電器 (C_{LC}) の補助的な役割をする維持蓄電器 (C_{ST}) は、下部表示板 100 に具備された別個の信号線 (図示せず) と画素電極 190 が絶縁体を介在して重なってなり、この別個の信号線には、共通電圧 (Vcom) などの定められた電圧が印加される。ところが、維持蓄電器 (C_{ST}) は、画素電極 190 が絶縁体を媒介としてすぐ上の前段ゲート線と重なってなることもできる。

20

【0039】

一方、色表示を実現するためには各画素が三原色のうちの一つを固有に表示 (空間分割) したり、各画素が時間によって入れ替わって三原色を表示 (時間分割) して、これらの三原色の空間的、時間的な和によって望む色相が認識されるようにする。図 2 は、空間分割の一例であって、各画素が画素電極 190 に対応する領域に赤色、緑色、または青色のカラーフィルター 230 が備えられているものを示す。図 2 とは異なって、カラーフィルター 230 は、下部表示板 100 の画素電極 190 の上若しくは下に形成しても良い。

30

【0040】

液晶表示板組立体 300 の二つの表示板 100、200 のうちの少なくとも一つの外側面には、光を偏光する偏光子 (図示せず) が配設されている。

【0041】

階調電圧生成部 800 は、画素の透過率に関わる二組の複数階調電圧を生成する。二組のうちの一組は共通電圧 (Vcom) に対してプラスの値を有し、もう一組はマイナスの値を有する。

【0042】

ゲート駆動部 400 は、液晶表示板組立体 300 のゲート線 (G1 -Gn) に連結され、外部からのゲートオン電圧 (Von) とゲートオフ電圧 (Voff) の組み合わせからなるゲート信号をゲート線 (G1 -Gn) に印加し、通常、複数の集積回路からなる。

40

【0043】

データ駆動部 500 は、液晶表示板組立体 300 のデータ線 (D1 -Dm) に連結され、階調電圧生成部 800 からの階調電圧を選択してデータ信号として画素に印加し、通常、複数の集積回路からなる。

【0044】

複数のゲート駆動集積回路若しくはデータ駆動集積回路は、TCP (tape carrier package) (図示せず) に実装して TCP を液晶表示板組立体 300 に配設することもでき、TCP を使用せずにガラス基板上にこれらの集積回路を直接取り付けることができ (chip on glass; COG 実装方式)、これらの集積回路のような機能をする回路を画素の薄膜

50

トランジタと共に液晶表示板組立体300に直接形成することもできる。

【0045】

メモリ700は、EEPROM (Electrically Erasable and Programmable Read Only Memory) などのように、保存されたデータを消去した後に再記録できる記憶装置からなり、フレームレート制御に必要な複数のFRCデータパターンが記憶されている。

【0046】

信号制御部600は、データ処理部601とルックアップテーブル602を含む。信号制御部600は、ゲート駆動部400及びデータ駆動部500などの動作を制御する。そして、信号制御部600はメモリ700に連結され、メモリ700に記憶されたFRCデータパターンを読み取りルックアップテーブル602に記憶させる(S11)。

10

【0047】

以下、このような液晶表示装置の表示動作について詳細に説明する。

【0048】

動作が開始すれば、信号制御部600は、外部メモリ700に記憶されているFRCデータパターンを呼び出してルックアップテーブル602に記憶させる。その後、信号制御部600は、外部のグラフィック制御機(図示せず)からRGB映像信号(R、G、B)及びその表示を制御する入力制御信号、例えば、垂直同期信号(Vsync)と水平同期信号(Hsync)、メインクロック(MCLK)、データイネーブル信号(DE)などの提供を受ける。信号制御部600のデータ処理部601は、所定ビット数の入力映像信号(R、G、B)及び入力制御信号に基づいて、映像信号(R、G、B)を液晶表示板組立体300の動作条件に

20

合わせて適切に処理し、ゲート制御信号(CONT1)及びデータ制御信号(CONT2)などを生成した後、ゲート制御信号(CONT1)をゲート駆動部400に送り出し、データ制御信号(CONT2)及び映像信号(DAT)をデータ駆動部500に送り出す。

【0049】

信号制御部600のデータ処理には、ルックアップテーブル602に保存されたFRCデータパターンを用いたフレームレート制御が含まれるが、フレームレート制御とは、データ駆動部500で処理できるデータのビット数が入力映像信号(R、G、B)のビット数よりも小さい場合に、データ駆動部500で処理できる上位ビットのみを選択し、その他の下位ビットが示すデータは、このような上位ビット等の時間的、空間的な平均として実現することを意味する。例えば、入力映像信号(R、G、B)のビット数が8であり、データ駆動部500が処理できるデータのビット数が6の場合、入力映像信号(R、G、B)の中から上位6ビットのみを出力する。この時、下位2ビットは、この上位6ビットデータの空間的、時間的な配列を決定し、このパターンが、ルックアップテーブル602に保存されているFRCデータパターンである。このようなフレームレート制御に関しては、後に詳細に説明する。

30

【0050】

ゲート制御信号(CONT1)は、ゲートオン電圧(Von)の出力開始を指示する垂直同期開始信号(STV)、ゲートオン電圧(Von)の出力時期を制御するゲートクロック信号(CPV)及びゲートオン電圧(Von)の持続時間を限定する出力イネーブル信号(OE)などを含む。

40

【0051】

データ制御信号(CONT2)は、映像データ(DAT)の入力開始を知らせる水平同期開始信号(STH)と、データ線(D1-Dm)に当該データ電圧の印加を指示するロード信号(LOAD)、共通電圧(Vcom)に対するデータ電圧の極性(以下、共通電圧に対するデータ電圧の極性を略してデータ電圧の極性と言う)を反転する反転信号(RVS)及びデータクロック信号(HCLK)などを含む。

【0052】

データ駆動部500は、信号制御部600からのデータ制御信号(CONT2)に従って一行の画素に対応する映像データ(DAT)を順次に受信しシフトさせ、階調電圧生成部800からの階調電圧のうちの各映像データ(DAT)に対応する階調電圧を選択することによ

50

って、映像データ (DAT) を当該データ電圧に変換し、これを当該データ線 (D1 -Dm) に印加する。

【0053】

ゲート駆動部400は、信号制御部600からのゲート制御信号 (CONT1) によってゲートオン電圧 (V_{on}) をゲート線 (G1 -Gn) に印加し、このゲート線 (G1 -Gn) に連結されたスイッチング素子 (Q) をターンオンさせると、データ線 (D1 -Dm) に印加されたデータ電圧がターンオンしたスイッチング素子 (Q) を通じて当該画素に印加される。

【0054】

画素に印加されたデータ電圧と共通電圧 (V_{com}) の差は、液晶蓄電器 (C_{LC}) の充電電圧、即ち画素電圧として現れる。液晶分子は、画素電圧の大きさによってその配列が異なる。これにより、液晶層3を通過する光の偏光が変化する。このような偏光の変化は、表示板100、200に付着された偏光子 (図示せず) によって光透過率の変化として現れる。

10

【0055】

1水平周期 (または1H) (水平同期信号 (Hsync)、データイネーブル信号 (DE)、ゲートクロック (CPV) の一周期) が経過すると、データ駆動部500及びゲート駆動部400は、次の行の画素に対して同じ動作を繰り返す。このような方法で、1フレーム (frame) 期間の間に全てのゲート線 (G1 -Gn) に対し順次にゲートオン電圧 (V_{on}) を印加し、全ての画素にデータ電圧を印加する。1フレームが終了すれば次のフレームが開始し、各画素に印加されるデータ電圧の極性が直前フレームにおける極性と逆になるように、データ駆動部500に印加される反転信号 (RVS) の状態が制御される (フレーム反転)。この時、1フレーム期間内でも反転信号 (RVS) の特性に従って一つのデータ線を通じて流れるデータ電圧の極性が変わったり (ライン反転)、一つの画素行に印加されるデータ電圧の極性も互いに異なることがある (ドット反転)。

20

【0056】

以下、図3及び図4を参照して、本発明の一実施例によって信号制御部600のデータ処理部601で実施されるフレームレート制御について説明する。

【0057】

図3は本発明の一実施例によるFRCデータパターンであり、図4は本発明の一実施例によるデータ処理部の動作フローチャートである。

30

【0058】

まず、動作が開始すると (S10)、信号制御部600のデータ処理部601は、外部に配設されたメモリ700に記憶されている複数のFRCデータパターンをルックアップテーブル602に記憶させる。

【0059】

図3に、メモリ700に記憶されているFRCデータパターンの例が示されている。図3に示されるFRCデータパターンにおいて、空間的な配列の基本単位は4×4データ行列であり、これは、対応する4×4画素行列を基本単位とし、このFRCデータパターンを繰り返し適用することを意味する。

【0060】

図3に示すパターンにおいて、各データ行列で入力RGB映像データ (R、G、B) の上位6ビットが示す階調値A (図面には0で示す) を有するデータ元素の数と、そのすぐ上の階調であるA+1 (図面には1で示す) を有するデータ元素の数が、RGB映像データ (R、G、B) の下位2ビットによって決定され、これをディザリング (dithering) と言う。例えば、下位2ビットが00である場合には16個のデータの全てが階調値Aを有し、01である場合は全体の3/4、つまり16個のうちの12個が階調値Aを有し、残りの4つが階調値A+1を有する。また、下位2ビットが10である場合は全体の2/4、つまり16個のうちの8個が階調値Aを、残り8個は階調値A+1を有し、11である場合は全体の1/4、つまり16個のうちの4つが階調値Aを、残りの12が階調値A+1を有する。

40

50

【0061】

そして、 4×4 データ行列の与えられた位置の一つのデータ元素に対し、連続する4個のフレーム期間の間に、入力RGB映像データ(R、G、B)の上位6ビットが示す階調値Aを有するフレームの数と、そのすぐ上の階調であるA+1を有するフレームの数も入力映像データ(R、G、B)の下位2ビットによって決定される。例えば、あるデータ元素に対する入力映像データ(R、G、B)の下位2ビットが00である場合には、4個のフレーム全てにおいて階調値Aを有し、01である場合には、3個のフレームで階調値Aを有し、残りの1フレームでは階調値A+1を有するようにする。また、下位2ビットが10である場合には、2個のフレームでは階調値Aを、残り二つのフレーム期間の間は階調値A+1を有し、11である場合には、1個のフレームのみで階調値Aを有し、残りの3個のフレーム期間の間は階調値A+1を有するようにパターンが決定される。 10

【0062】

これにより、8ビット映像データ(R、G、B)を6ビット映像データ(DAT)に変換する時、空間的、時間的なフレームレート制御のために必要なFRCデータパターン数は全部で16個である。即ち、下位2ビット値00、01、10、11に対して4個のパターンが必要であり、連続する4個のフレームに対しても4個のデータパターンが必要である。

【0063】

ところが、図3に示すように、映像データ(R、G、B)の下位2ビット値が00である場合には、連続する4個フレーム期間の間にFRCデータ値が0となる。また、下位2ビットが01である場合のデータ行列と、11である場合のデータ行列は、互いに逆のデータ値を有する。即ち、下位2ビットが01である場合に階調値Aを有するデータ元素は、11である場合に階調値A+1を有し、逆に、下位2ビットが01である場合に階調値A+1を有するデータ元素は、11である場合に階調値Aを有する。 20

【0064】

したがって、メモリ700に記憶させるデータ行列の数は、下位2ビットの値が01及び10である場合の8個のみで充分である。

【0065】

4×4 構造のFRCデータ行列は、再び4個の 2×2 FRCデータ行列を含み、この 2×2 FRCデータ行列内でもディザリング処理が行われる。例えば、それぞれの 2×2 FRCデータ行列内で、下位2ビットのデータ値が01である場合、Aの値を有するデータは1個であり、0の値を有するデータは3個であり、下位2ビットのデータ値が10である場合、1の値を有するデータと0の値を有するデータは、各々2個ずつである。 30

【0066】

なお、 4×4 FRCデータ行列内で、データパターンが同一の 2×2 FRCデータ行列が各々2個ずつ存在する。例えば、下位2ビットの値が01である場合、同じ列にある 2×2 FRCデータ行列のデータのパターンが同一である。また、この場合、 2×2 FRCデータ行列のデータパターンが連続する4個のフレームにおいて全て異なる。これに対し、下位2ビットの値が10である場合には、対角線方向に対向する 2×2 FRCデータ行列のデータの値が同一である。そして、第1フレーム及び第3フレームのデータパターンが同一であり、第2フレーム及び第4フレームのデータパターンが同一である。 40

【0067】

図3に示されるFRCデータパターンは、本発明の実施例による一例にすぎず、入力映像信号のビット数とデータ駆動部500が処理できるデータのビット数の差及び液晶表示装置の特性などに応じて、異なる形態のFRCデータパターンが利用できる。

【0068】

信号制御部600のデータ処理部601によって図3に示すようなデータパターンの構造が読み取られ、ルックアップテーブル602に記憶させた後(S11)、データ処理部601は処理する映像データ(R、G、B)の下位2ビット値を読み取り(S12)、読み取られた下位2ビット値とフレーム番号に応じて該当するFRCデータパターンを探し選択し、選択されたFRCデータパターン内の当該データ値をルックアップテーブル602 50

で探す (S 1 3)。

【0069】

選択された位置の F R C データ値が 0 である時 (S 1 4)、データ処理部 6 0 1 は、上位 6 ビットの映像データ (R、G、B) によって定められた階調値を最終階調に決め (S 1 5)、上位 6 ビットの映像データをそのままデータ駆動部 5 0 0 に出力する (S 1 7)。

【0070】

ところが、当該位置に記憶された F R C データ値が 1 である時 (S 1 4)、データ処理部 6 0 1 は、上位 6 ビットによって定められた階調値に 1 を足した値を最終階調に決め (S 1 6)、この最終階調に該当する 6 ビットの映像データ (DAT) をデータ駆動部 5 0 0 に出力する (S 1 7)。

10

【0071】

このように、信号制御部 6 0 0 のデータ処理部 6 0 1 は、外部メモリ 7 0 0 から読み取ったデータパターンを内部のルックアップテーブル 6 0 2 に記憶させた後、フレームレート制御する。これにより、液晶表示装置の動作特性などに応じて最適の F R C データパターンに変更する際にも、信号制御部 6 0 0 を取り換えずに外部メモリ 7 0 0 に記憶された F R C データの値のみを修正することですむので、F R C データパターンの変更にかかる信号制御部 6 0 0 を取換え費用を節減できる。

【0072】

更に、F R C データパターンが 4 × 4 データ行列形態を有するので、メモリ 7 0 0 を変更することなく 4 × 2 行列や 2 × 4 行列のような新たな F R C データパターンに容易に修正でき、メモリ 7 0 0 を取り換えることなく種々の F R C データパターンが実現できる。また、4 × 4 データ行列状の F R C パターンをそのまま記憶させた状態で、4 × 2 行列や 2 × 4 行列のみでフレームレート制御もできる。

20

【0073】

本発明の実施例で、F R C データパターンが 4 × 4 データ行列構造を有しているが、このデータパターンを 8 × 8 行列、或いはそれ以上に拡張することもできる。例えば、入力映像データ (R、G、B) と出力映像データ (R'、G'、B') のビット数が 3 ビット異なる場合、8 × 8 行列を基本とし映像データ (R、G、B) の下位 3 ビットの値を利用して 8 (= 2³) フレーム期間の間にレート制御できる。

【0074】

本発明の実施例では、下位 2 ビットの値と連続する 4 個のフレームに対するそれぞれの F R C データパターンを全てメモリ 7 0 0 に記憶させた後、それぞれの F R C データパターンに基づいてフレームレート制御を行った。

30

【0075】

しかし、既に説明したように、下位 2 ビットの値が 0 0 である時、全ての F R C データパターンのデータ値は全て 0 であり、下位 2 ビットの値が 1 1 である時の F R C データパターンのデータ値は、0 1 である時のデータ値に反転するデータ値を有する。

【0076】

したがって、外部メモリ 7 0 0 に、下位 2 ビットの値が 0 1 である時と 1 0 である時の F R C データパターンのみを記憶させてから、フレームレート制御を実施しても良い。即ち、信号制御部 6 0 0 のデータ処理部 6 0 1 は、入力される映像データ (R、G、B) の下位 2 ビットの値が 0 0 である時は、上位 6 ビット映像データ (R、G、B) の値を最終階調に決め、上位 6 ビット映像データをそのままデータ駆動部 5 0 0 に伝送する。また、下位 2 ビットの値が 1 1 である時、信号制御部 6 0 0 のデータ処理部 6 0 1 は、ルックアップテーブル 6 0 2 に記憶されている 0 1 に対する F R C データパターンを利用して、該当位置のデータ値を読み取る。その後、読み取ったデータ値に反転する値を利用して既に説明したような動作により、6 ビットの映像データ (DAT) に変換する。

40

【0077】

このように、8 ビットの映像データ (R、G、B) を 6 ビットの映像データ (DAT) に変換する場合、実質的に必要な F R C データパターンの個数は 1 6 個から 8 個に減り、メモリ

50

700の容量を減らすことができ、製造コストを節減ができる。

【0078】

以上、本発明の好ましい実施例について詳細に説明したが、本発明の権利範囲はこれに限定されず、特許請求範囲で定義している本発明の基本概念を利用した当業者の様々な変形及び改良形態もまた本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0079】

【図1】本発明の一実施例による液晶表示装置のブロック図である。

【図2】本発明の一実施例による液晶表示装置の一つの画素に対する等価回路図である。

【図3】本発明の一実施例によるFRCデータパターンである。

【図4】本発明の一実施例によるデータ処理部の動作フローチャートである。

【符号の説明】

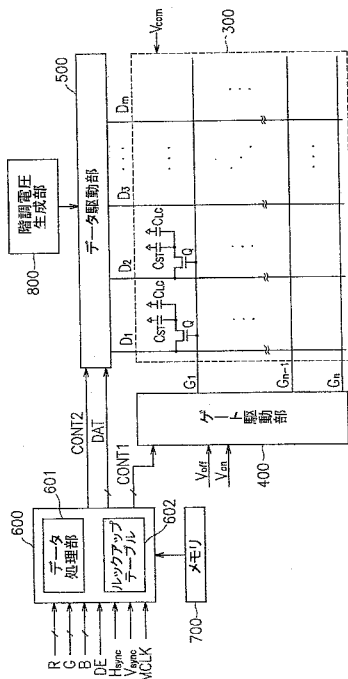
【0080】

- 100、200 表示板
- 300 液晶表示板組立体
- 400 ゲート駆動部
- 500 データ駆動部
- 800 階調電圧生成部
- 600 信号制御部
- 700 メモリ
- 190 画素電極
- 270 共通電極
- 601 データ処理部
- 602 ルックアップテーブル
- 603 データ処理部
- 604 ルックアップテーブル

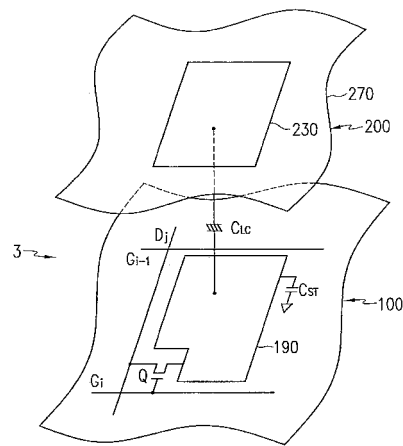
10

20

【図1】



【図2】



【 図 3 】

下位 (LSB) 2 bits	フレーム数			
	1	2	3	4
00				
01				
10				
11				

【 図 4 】

