

(12) 发明专利申请

(10) 申请公布号 CN 102067282 A

(43) 申请公布日 2011. 05. 18

(21) 申请号 200980122694. 3

(74) 专利代理机构 北京律盟知识产权代理有限  
责任公司 11287

(22) 申请日 2009. 05. 28

代理人 宋献涛

(30) 优先权数据

12/140, 928 2008. 06. 17 US

(51) Int. Cl.

H01L 21/027(2006. 01)

(85) PCT申请进入国家阶段日

2010. 12. 16

G03F 7/20(2006. 01)

(86) PCT申请的申请数据

PCT/US2009/045515 2009. 05. 28

(87) PCT申请的公布数据

W02009/155067 EN 2009. 12. 23

(71) 申请人 美光科技公司

地址 美国爱达荷州

(72) 发明人 古尔特杰·桑胡

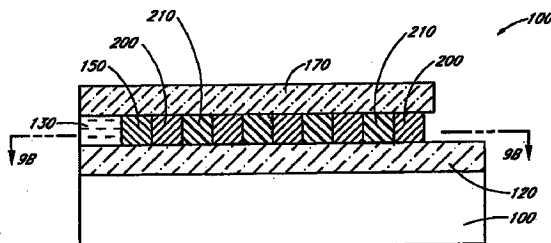
权利要求书 3 页 说明书 8 页 附图 11 页

(54) 发明名称

用于形成精细间距结构的方法

(57) 摘要

使用具有开放内部体积的模具来界定图案。所述模具具有界定所述内部体积并抑制沉积的顶层、底层和侧壁。所述模具的一端为开放的,且相对端具有用作晶种侧壁的侧壁。将第一材料沉积在所述晶种侧壁上。将第二材料沉积在所述所沉积的第一材料上。所述第一和第二材料的沉积是交替的,从而在所述内部体积中形成所述第一和第二材料的交替行。随后选择性地移除所述模具和晶种层。另外,选择性地移除所述第一或第二材料中的一者,从而形成包括剩余材料的独立行的图案。所述独立行可用作例如集成电路等最终产品中的结构,或可用作硬掩模结构以图案化下伏衬底。所述模具和材料行可形成于多个层级上。不同层级上的所述行可彼此交叉。从所述行中的一些行选择性地移除材料可从开口形成例如接触通孔。



1. 一种图案化方法,其包含:  
提供衬底,所述衬底的顶部表面包含沉积抑制材料;  
在所述沉积抑制材料上提供大量的牺牲材料;  
在所述大量的所述牺牲材料的一侧上形成晶种壁;  
在所述大量的所述牺牲材料的相对侧上形成第一和第二沉积抑制壁,所述晶种壁安置于所述第一沉积抑制壁与所述第二沉积抑制壁之间且与所述第一沉积抑制壁和所述第二沉积抑制壁接触;  
在所述大量的所述牺牲材料上形成沉积抑制罩盖层;  
选择性地移除所述大量的所述牺牲材料以形成开放体积,所述开放体积至少部分地由所述晶种壁、所述第一和第二沉积抑制壁、所述沉积抑制材料和所述罩盖层定边界;以及在所述开放体积中交替地沉积第一材料和第二材料。
2. 根据权利要求 1 所述的方法,其中形成所述晶种壁包含:  
在所述牺牲材料中蚀刻第一沟槽,所述第一沟槽使所述沉积抑制材料暴露;以及在所述沟槽中沉积晶种材料。
3. 根据权利要求 1 所述的方法,其中形成所述第一和第二沉积抑制壁包含:  
在所述牺牲材料中蚀刻第二和第三沟槽,所述第二和第三沟槽使所述沉积抑制材料暴露;以及  
在所述第二和第三沟槽中沉积沉积抑制材料。
4. 根据权利要求 1 所述的方法,其中形成所述沉积抑制罩盖层包含:在所述第二和第三沟槽中继续沉积沉积抑制材料,直到所述沉积抑制材料遍布所述大量牺牲材料的顶部表面为止。
5. 根据权利要求 1 所述的方法,其中所述沉积抑制材料为绝缘体。
6. 根据权利要求 5 所述的方法,其中所述晶种壁由导体形成。
7. 根据权利要求 1 所述的方法,其中所述第一和所述第二沉积抑制壁由安置于所述衬底的所述顶部表面上的所述沉积抑制材料形成。
8. 根据权利要求 1 所述的方法,其中所述罩盖层由安置于所述衬底的所述顶部表面上的所述沉积抑制材料形成。
9. 根据权利要求 1 所述的方法,其中所述牺牲材料选自自由钼、硅和钨组成的群组。
10. 一种用于形成图案的方法,其包含:  
提供衬底;  
提供上覆于所述衬底上的中空模具,所述模具具有进入开放内部体积中的开口和部分地定界所述开放体积的晶种侧壁;  
在所述开放体积中的所述晶种侧壁上选择性地沉积第一材料;以及  
在所述开放体积中的所述第一材料的一侧上选择性地沉积第二材料。
11. 根据权利要求 10 所述的方法,其进一步包含在所述第二材料的一侧上选择性地沉积所述第一材料。
12. 根据权利要求 11 所述的方法,其中循序地重复在所述第二材料的所述侧上选择性地沉积所述第一材料和在所述第一材料的所述侧上选择性地沉积所述第二材料,以形成由所述第一和所述第二材料形成的多个交替结构。

13. 根据权利要求 10 所述的方法,其进一步包含:  
选择性地移除所述模具;  
选择性地移除所述第一材料;以及  
将由所述第二材料界定的图案转印到所述衬底。
14. 根据权利要求 10 所述的方法,其进一步包含:  
选择性地移除所述模具;  
选择性地移除所述第一和第二材料中的一者,以形成由所述第一和第二材料中的另一者形成的多个间隔开的行;  
在所述间隔开的行上沉积间隔物材料层;以及  
各向异性地蚀刻所述间隔物材料层以在所述间隔开的行的侧壁上形成间隔物。
15. 根据权利要求 14 所述的方法,其进一步包含:  
选择性地移除所述第一和第二材料中的另一者以留下独立间隔物的图案;以及  
将由所述独立间隔物界定的图案转印到所述衬底。
16. 根据权利要求 10 所述的方法,其中由沉积抑制顶部和底部内模具表面、沉积抑制模具侧壁和所述晶种侧壁来定界所述开放体积,所述方法进一步包含对所述模具的内部表面进行改质,以在选择性地沉积所述第一材料之前形成所述沉积抑制模具侧壁和所述沉积抑制顶部和底部内模具表面。
17. 根据权利要求 10 所述的方法,其中选择性地沉积所述第一材料和选择性地沉积所述第二材料包含执行原子层沉积。
18. 一种用于以所要图案沉积材料的方法,其包含:  
提供衬底;  
使所述衬底交替地暴露于第一和第二材料前驱物,以在第一层级上沉积第一和第二材料,其中沉积所述第一和第二材料循序地横向生长所述第一和所述第二材料的第一多个交替行;以及  
相对于所述第一和第二材料中的一者而选择性地移除所述第一和第二材料中的另一者。
19. 根据权利要求 18 所述的方法,其进一步包含在第二层级上循序地横向生长所述第一和第二材料的第二多个交替行,所述第二多个交替行与所述第一多个交替行交叉。
20. 根据权利要求 19 所述的方法,其中在选择性地移除所述第一和第二材料中的所述一者之前执行生长所述第二多个交替行,其中所述第二多个交替行通过沉积抑制层而与所述第一多个交替行垂直分离。
21. 根据权利要求 20 所述的方法,其进一步包含通过一工艺形成多个横向分离的开放列,所述工艺包含:  
选择性地移除所述第二层级上的所述第一和第二材料中的所述一者;  
随后选择性地移除所述沉积抑制层的暴露材料;以及  
选择性地移除所述第一层级上的所述第一和第二材料中的所述一者的暴露部分以界定所述开放列。
22. 根据权利要求 21 所述的方法,其中进一步包含将填充材料沉积到所述开放列中。
23. 根据权利要求 22 所述的方法,其进一步包含通过一工艺形成所述填充材料的多个

垂直且横向分离的块,所述工艺包含:

移除所述第二层级上的材料;

在所述第二层级上形成其它沉积抑制层;

在第三层级上循序地横向生长所述第一和第二材料的第三多个交替行;

在所述第三多个交替行上形成第二其它沉积抑制层;

在第四层级上顺序地横向生长所述第一和第二材料的第四多个交替行,所述第四多个交替行与所述第三多个交替行交叉;

移除所述第四层级上的所述第一和第二材料中的所述一者;

移除所述其它沉积抑制层的暴露部分;

移除所述第三层级上的所述第一和第二材料中的所述一者的暴露部分以形成横向分离的开口;以及

用所述填充材料填充所述开口。

24. 根据权利要求 18 所述的方法,其进一步包含将图案转印到所述衬底中,所述图案至少部分地由所述第一和第二材料中的另一者界定。

25. 根据权利要求 18 所述的方法,其中循序地横向生长所述多个材料包含随所述第一和第二材料按序生长一个或一个以上额外材料。

26. 根据权利要求 18 所述的方法,其中循序地横向生长所述多个材料包含电镀所述材料。

27. 根据权利要求 26 所述的方法,其中电镀所述材料包含电镀金和镍。

28. 根据权利要求 26 所述的方法,其中选择性地移除所述第一材料包含用  $\text{HNO}_3$  蚀刻所述镍。

29. 根据权利要求 18 所述的方法,其中循序地横向生长所述多个材料包含原子层沉积所述材料。

30. 根据权利要求 18 所述的方法,其进一步包含提供晶种层,其中所述多个材料中的所述第一材料沉积在所述晶种层的一侧上,所述多个材料以大体上平行于所述晶种层的条带延伸。

31. 根据权利要求 18 所述的方法,其中转印所述图案界定部分形成的集成电路中的特征。

## 用于形成精细间距结构的方法

### 技术领域

[0001] 本发明大体上涉及用于制造紧密间隔的结构（例如，集成电路中的特征）的技术。

### 背景技术

[0002] 用于形成紧密间隔的结构的技术具有许多应用。举例来说，集成电路在大小上正在持续减小。形成集成电路的组成特征（例如，电装置和互联线）的大小也正在不断地减少以促进此大小减小。

[0003] 减小特征大小的趋势（例如）在例如动态随机存取存储器（DRAM）、快闪存储器、静态随机存取存储器（SRAM）、铁电（FE）存储器等存储器电路或装置中较明显。作为一个实例，DRAM 通常包括数百万个相同电路元件（称为存储器单元）。存储器单元通常由两个电装置组成：存储电容器和存取场效晶体管。每一存储器单元为可存储一个数据位（二进制数字）的可寻址位置。位可经由晶体管写入到单元且可通过感测电容器中的电荷来读取。一些存储器技术使用可充当存储装置和开关两者的元件（例如，使用掺杂银的硫族化物玻璃的树突状存储器（dendritic memory）），且一些非易失性存储器不需要开关用于每一单元（例如，磁阻 RAM）或将开关并入到存储器元件（例如，用于快闪存储器的 EEPROM）中。

[0004] 在另一实例中，快闪存储器通常包括含有浮栅场效晶体管的数百万个快闪存储器单元，浮栅场效晶体管可保持电荷。浮栅中电荷的存在或不存在决定存储器单元的逻辑状态。可通过将电荷注入到单元或从单元移除电荷来将位写入到单元。快闪存储器单元可以不同架构配置而连接，每一架构配置具有用于读取位的不同方案。在“NOR”架构配置中，每一存储器单元耦合到一位线且可个别地读取。在“NAND”架构配置中，将存储器单元对准成单元“串”，且激活整个位线以存取所述单元串中的一个单元中的数据。

[0005] 一般来说，通过减小构成存储器单元的电装置的大小和存取存储器单元的导线的大小，可使存储器装置变得较小。另外，可通过在存储器装置中的给定面积上装配较多存储器单元来增加存储容量。然而，对特征大小的减小的需要一般更适用于集成电路，包括通用处理器和专用处理器。

[0006] 特征大小的不断减小对用以形成所述特征的技术提出了日益更高的要求。举例来说，光刻通常用以图案化这些特征。通常，光刻涉及使光穿过光罩，且使光聚焦到光化学活性光致抗蚀剂材料上。因此，平版印刷技术的最终分辨率受例如光学器件和光或辐射波长等因素的限制。

[0007] 结合特定波长的辐射，光刻利用与所述辐射相容的光致抗蚀剂。在显影之后，光致抗蚀剂充当掩模以将图案转印到下伏材料。光致抗蚀剂充分稳固以耐受显影步骤而不会变形，且还充分稳固以耐受用于将掩模图案转印到下伏材料的蚀刻。然而，随着特征大小减小，光致抗蚀剂掩模特征的宽度也减小，但通常这些掩模特征的高度不会对应地减小。由于这些掩模特征的高纵横比，可能难以在显影和图案转印步骤期间维持这些薄掩模特征的结构完整性。因此，充分稳固的光致抗蚀剂材料的可用性可能限制光刻印刷特征的能力，因为所述特征的大小持续减小。

[0008] 因此,存在对用以图案化特征的高分辨率方法的持续需要。

## 附图说明

[0009] 本发明将从具体实施方式且从附图得到更好的理解,具体实施方式和附图意在说明而非限制本发明。

[0010] 图 1A 和图 1B 为根据本发明一些实施例的部分形成的结构的示意性横截面侧视图和俯视平面图。

[0011] 图 2A 和图 2B 为根据本发明一些实施例的图 1A 和图 1B 的部分形成的结构在将开口形成于牺牲层中之后的示意性横截面侧视图和俯视平面图。

[0012] 图 3A 和图 3B 为根据本发明一些实施例的图 2A 和图 2B 的部分形成的结构在沉积晶种壁之后的示意性横截面侧视图和俯视平面图。

[0013] 图 4A 和图 4B 为根据本发明一些实施例的图 3A 和图 3B 的部分形成的结构在界定用于沉积抑制侧壁的开口之后的示意性横截面侧视图和俯视平面图。

[0014] 图 5A、图 5B 和图 5C 为根据本发明一些实施例的图 4A 和图 4B 的部分形成的结构在形成沉积抑制侧壁和沉积抑制罩盖层之后的示意性横截面侧视图和俯视平面图。

[0015] 图 6A 和图 6B 为根据本发明一些实施例的图 5A 和图 5B 的部分形成的结构在界定使牺牲层暴露的开口之后的示意性横截面侧视图和俯视平面图。

[0016] 图 7 为根据本发明一些实施例的图 6A 和图 6B 的部分形成的结构在移除牺牲材料以形成具有开放体积的模具之后的示意性横截面侧视图。

[0017] 图 8 为根据本发明一些实施例的图 7 的部分形成的结构的示意性透视图。

[0018] 图 9A 和图 9B 为根据本发明一些实施例的图 7 和图 8 的部分形成的结构在将交替材料行选择性地沉积在模具中之后的示意性横截面侧视图和俯视平面图。

[0019] 图 10A、图 10B 和图 10C 为根据本发明一些实施例的图 9A 和图 9B 的部分形成的结构在选择性地移除沉积抑制侧壁、沉积抑制罩盖层和交替材料行中的一行之后的示意性横截面侧视图和俯视平面图。

[0020] 图 11 为根据本发明一些实施例的图 9A 和图 9B 的部分形成的结构在形成上覆于选择性地沉积的交替行上的另一模具和将第二组交替材料行沉积在所述另一模具中之后的示意性透视图。

[0021] 图 12 为根据本发明一些实施例的图 11 的部分形成的结构在移除另一模具的侧壁和罩盖层之后的示意性横截面侧视图。

[0022] 图 13A 和图 13B 为根据本发明一些实施例的图 12 的部分形成的结构在选择性地移除所述组交替行中的每一组中的所述行中的一者的暴露部分之后的示意性横截面侧视图和俯视平面图。

## 具体实施方式

[0023] 本发明的实施例允许通过选择性地沉积材料来形成特别小的特征。垂直延伸的表面(例如,侧壁)提供用于第一材料的选择性沉积的模板和晶种表面。接着将第二材料选择性地沉积在第一材料上。通过使两种或两种以上材料的沉积交替,可形成第一材料和第二材料(且任选地更多材料)的交替行。选择性地移除所沉积材料中的一者。在沉积两种

以上材料的实施例中,可移除多种材料。有利的是,在一些实施例中,剩余的材料行可形成最终产物中的结构,从而避免与一些集成电路制造过程所共有的多个图案形成和图案转印步骤相关联的成本和较低处理量。在一些其它实施例中,可将独立行作用于图案化下伏衬底的硬掩模。在这些应用中,本发明的实施例可避免通常用以图案化小特征的昂贵且复杂的基于平版印刷的工艺。

[0024] 将了解,沉积工艺通常在所有暴露表面上沉积材料。为了在晶种表面上选择性地沉积,其它暴露表面由沉积抑制材料形成或由沉积抑制材料涂覆。举例来说,在一些实施例中,晶种表面由促进所述表面上的电化学沉积的导电材料形成,而其它表面由抑制所述表面上的电化学沉积的绝缘材料形成。作为另一实例,在一些其它实施例中,晶种表面由允许所述表面上的化学气相沉积的材料形成,而其它暴露表面包括沉积抑制材料。

[0025] 在一些实施例中,晶种表面提供于具有开口的模具中。顶层(ceiling)、底层(floor)和侧壁界定具有暴露的沉积抑制表面的模具的内部体积。晶种表面形成模具的内部侧壁,且开口允许沉积前驱物进入模具且沉积在晶种侧壁上。所沉积材料横向生长,使得交替的材料行也在模具内横向生长。模具开口的高度决定行的高度,且行的长度由所述行的相对端处的相对沉积抑制侧壁之间的距离决定。在材料行的沉积之后,可选择性地移除模具。另外,可移除所要的所沉积材料行以形成由剩余所沉积材料形成的独立的横向间隔的行。

[0026] 有利的是,所述沉积工艺控制行的宽度。在一些实施例中,所述沉积工艺可形成比可直接通过典型平版印刷工艺(例如,193nm或248nm波长系统)而图案化的行薄的行。因此,可形成亚平版印刷(sublithographic)特征。举例来说,可形成具有在约1nm到约100nm、或约2nm到约50nm、或约3nm到约30nm的范围内的临界尺寸的特征。

[0027] 现在将参看图式,其中相同标号始终指代相同部分。将了解,所述图式不一定是按比例绘制的。

[0028] 在根据一些实施例的方法的第一阶段中,形成具有晶种壁的模具。参看图1A和图1B,说明部分形成的结构100的横截面侧视图和俯视平面图。应了解,在一些实施例中,部分形成的结构100为部分形成的集成电路。

[0029] 继续参看图1A和图1B,衬底110由底部沉积抑制层120覆盖,底部沉积抑制层120由牺牲材料层130覆盖。层120、130可通过此项技术中已知的各种沉积工艺来沉积,所述工艺是依据待沉积材料的特性而选择。沉积工艺的实例包括气相沉积工艺(例如,化学气相沉积(CVD))和旋涂沉积工艺。

[0030] 衬底110可为将在其上形成图案的各种对象。衬底110可包括单一材料、不同材料的多个层、其中具有不同材料或不同结构的区的层等。在一些实施例中,这些材料可包括半导体、绝缘体、导体或其组合。举例来说,衬底可包含掺杂多晶硅、单晶体电装置作用区域、硅化物或金属层(例如,钨、铝或铜层)或其组合。在一些实施例中,衬底110包括硅晶片。

[0031] 底部沉积抑制层120可作为单独材料沉积在衬底110上,或可通过衬底110的反应而形成以形成沉积抑制表面。底部沉积抑制层120可基于待沉积在晶种表面上的材料、用以沉积材料的沉积工艺以及与结合部分形成的结构100而利用的其它材料的处理相容性来选择。

[0032] 可相对于部分制造的结构100中的其它暴露材料选择性地移除形成牺牲层130的

牺牲材料。如果蚀刻移除材料而未移除暴露于同一蚀刻的实质量的其它材料,那么所述蚀刻对于所述材料是“选择性”的。牺牲材料的实例为(但不限于)钼。

[0033] 参看图 2A 和图 2B,蚀刻牺牲层 130 以形成晶种沟槽 140。晶种沟槽 140 的大小和形状经设计以容纳稍后形成的晶种材料,如下文所论述。将了解,可通过使牺牲层 130 经受各种图案形成工艺而形成晶种沟槽 140。举例来说,在一些实施例中,在层 130 上提供可选择性地界定的层(未图示)。可选择性地界定的层可为光致抗蚀剂层。光致抗蚀剂层经由光罩而暴露于辐射,且接着经显影以留下包括对应于晶种沟槽 140 的开口的图案。接着可将光致抗蚀剂层中的图案转印到牺牲层 130 以形成晶种沟槽 140。

[0034] 参看图 3A 和图 3B,晶种材料形成于晶种沟槽 140 中。晶种材料可(例如)通过化学气相沉积而沉积到沟槽中以形成晶种壁 150。

[0035] 参看图 4A 和图 4B,通过此项技术中已知的各种图案形成工艺而形成侧壁沟槽 160a、160b。在一些实施例中,在层 130 上提供可选择性地界定的层(未图示)(例如,光致抗蚀剂层)。光致抗蚀剂层接着经由光罩暴露于辐射,且接着经显影以留下具有对应于侧壁沟槽 160a、160b 的开口的图案。将图案转印到牺牲层 130 以形成侧壁沟槽 160a、160b。

[0036] 随后用沉积抑制材料填充侧壁沟槽 160a、160b 以形成沉积抑制侧壁。侧壁沟槽 160a、160b 接触晶种壁 150 的至少一部分,且部分地隔开层 130 中的大量或大块牺牲材料 132。

[0037] 参看图 5A、图 5B 和图 5C,沉积抑制罩盖层 170 形成于牺牲层 130 和晶种壁 150 上。在所说明的实施例中,沉积抑制罩盖层 170 直接沉积在牺牲层 130 和晶种壁 150 上。参看图 5B 和图 5C,所沉积的沉积抑制材料填充沟槽 160a、160b(图 4B)以形成沉积抑制侧壁 170a、170b。将了解,图 5B 以点线展示侧壁 170a、170b 在层 170a 下方的位置。

[0038] 参看图 6A 和图 6B,沉积抑制罩盖层 170 经蚀刻以界定使牺牲材料 132 暴露的开口 180。选择开口 180 的位置以促进牺牲层 130 的稍后移除且还促进材料在层 170 下方的稍后选择性沉积。

[0039] 可通过此项技术中已知的各种图案化形成和蚀刻方法来形成开口 180。举例来说,在一些实施例中,光致抗蚀剂层(未图示)沉积在沉积抑制罩盖层 170 上。光致抗蚀剂层接着经图案化以形成对应于侧壁开口 180 的开口。接着将图案转印到沉积抑制罩盖层 170 以形成开口 180。转印可使用各向异性蚀刻来实现。

[0040] 参看图 7 和图 8,移除牺牲层 130,留下腔 180a。腔 180a 由共同形成模具 172 的沉积抑制层 120、170(分别形成腔 180a 的底层和顶层)和沉积抑制侧壁 170a、170b 定界,其中腔 180a 为模具 172 的内部体积。晶种侧壁 150 安置于腔 180a 的一端处。

[0041] 参看图 9A 和图 9B,形成多种交替掩模材料。在所说明的实施例中,沉积两种材料。第一掩蔽材料沉积在晶种壁 150 上。第一掩蔽材料经选择以相对于沉积抑制层 120、170 且还相对于沉积抑制侧壁 170a、170b 而择优沉积在晶种壁 150 上。所沉积的第一掩蔽材料形成第一行 200。沉积继续进行直到行 200 达到所要宽度 202 为止。宽度 202 大致等于使用行 200 所形成的特征的所要临界尺寸,或在行 200 被移除的实施例中等于具有所要宽度的开放体积。

[0042] 第一行 200 粗略地跟踪晶种壁 150 的轮廓。虽然为易于说明和描述而将晶种壁 150 说明为以直线纵向延伸,但在其它实施例中,晶种壁 150 可弯曲或壁 150 的一些部分可



相对于其它部分以一角度延伸。在一些实施例中,壁 150 的路径对应于集成电路中的互连的所要路径的形状。

[0043] 继续参看图 9A 和图 9B,第二材料沉积在第一行 200 的暴露侧上。第二材料经选择以相对于沉积抑制层 120、170 且还相对于沉积抑制侧壁 170a、170b 而择优地沉积在第二行上。第二材料的沉积继续进行以形成具有所要宽度 212 的第二行 210。宽度 212 等于使用第二行 210 形成的特征的所要临界尺寸,或在将要移除第二行 210 的情况下,宽度 212 等于第一行 200 之间的所要间距。

[0044] 第一材料和第二材料的沉积以交替方式继续进行以形成多个交替的第一材料的第一行 200 和第二材料的第二行 210。交替沉积继续进行,直到形成所要数目的行 200、210 为止。可分别依据形成晶种壁 150 的材料和行 200、210 的第一和第二掩蔽材料通过(例如)电化学沉积、化学气相沉积或原子层沉积来实现沉积。优选的是,开口 180 与晶种壁 150(图 6A 和图 6B)之间的横向距离足够大以遍布所有所要行 200、210。

[0045] 第一行 200 和第二行 210 的第一材料和第二材料可经选择以可相对于彼此选择性地移除。形成沉积抑制罩盖层 170 和侧壁 170a、170b 的材料也可经选择以可相对于行 200、210 中待保留的行而选择性地移除。在所说明的实施例中,行 200 将被保留且其它暴露材料可相对于所述行 200 而选择性地移除。

[0046] 参看图 10A 和图 10B,选择性地移除沉积抑制罩盖层 170 和侧壁 170a、170b。可使用湿式或干式蚀刻来实现移除。随后,移除第二行 210。留下分离的独立层 200 保留在底部沉积抑制层 170 上。

[0047] 将了解,在一些实施例中,行 200 可用作掩模特征以允许图案转印到下伏材料。举例来说,参看图 10C,行 200 可用以在底部沉积抑制层 120 中界定图案。可使用对于底部沉积抑制层 120 为选择性的各向异性蚀刻来实现图案转印。在一些实施例中,可将图案进一步转印到衬底 100。图案转印可在部分形成的结构 100 中界定各种特征,包括(但不限于)用于连接电装置(优选以阵列布置的装置,例如在存储器电路的阵列区域中形成逻辑阵列或存储器单元的电装置)的互连。在一些实施例中,衬底 100 包括金属,且行 200 直接在金属中界定互连。在一些其它实施例中,衬底 100 包括绝缘体,且行 200 界定稍后用金属填充以形成互连的沟槽。

[0048] 在其它实施例中,行 200 可在间距倍增过程中用作心轴。间距倍增揭示于罗威(Lowrey)等人的第 5,328,810 号和全(Tran)等人的第 7,253,118 号美国专利中。举例来说,间隔物材料的毯覆层可沉积在行 200 上。所述毯覆层经各向异性地蚀刻以在行 200 的侧壁上界定间隔物。选择性地移除行 200,从而形成独立间隔物。将独立间隔物用作掩蔽特征以在下伏材料中界定图案。举例来说,可将间隔物用作掩模特征以蚀刻下伏衬底。

[0049] 在一些其它实施例中,行 200 可形成最终结构的一部分。举例来说,在行 200 由导体形成的情况下,可将行 200 用作互连。在行 200 由绝缘体形成的情况下,可将金属沉积在行 200 之间的空间中以形成导电互连。

[0050] 参看图 11,可形成选择性地沉积的行的多个层级。如上文参看图 1A 到图 9A 所论述而形成包括行 200、210 的行的下伏层级。以类似于上文参看图 1A 到图 8 所论述的方式,保留沉积抑制罩盖层 170 且上覆于层 170 上而形成新的模具。

[0051] 图 11 展示横截面透视图,其中未展示每一层级上的沉积抑制侧壁中的一者,以允

许说明每一层级上的行的定向。如所说明,新模具包括晶种侧壁 131、沉积抑制侧壁 173、沉积抑制罩盖层 175 和沉积抑制层 170。在一些实施例中,形成晶种侧壁 131、沉积抑制侧壁 173 和沉积抑制罩盖层 175 的材料可分别与形成晶种侧壁 130、沉积抑制侧壁 170a 和沉积抑制层 170 的材料相同。相对于下伏行 200、210 以所要的定向形成新模具。在一些实施例中,新模具经定向以形成与行 200、210 交叉的不同掩蔽材料的交替行。

[0052] 继续参看图 11,由第一材料形成的行 204 与由第二材料形成的行 214 交替形成。

[0053] 参看图 12,行 204 和 214 暴露。通过移除侧壁(包括图 11 的所说明侧壁 173)和罩盖层 175 而使行 204 和 214 暴露。

[0054] 参看图 13A 和图 13B,移除由第二材料形成的暴露特征。形成行 200 和 204 的交叉图案。行 200、204 在其之间的空间中界定开放列。如本文所提到,交叉图案可用作最终结构的一部分(例如,交叉互连),或用作掩模以在下伏材料中形成图案。交叉图案中的开口可经填充以形成隔离柱形状,包括具有矩形或立方体水平横截面的柱。此布置对于形成(例如)接触插塞可为有用的。另外,柱可有利地应用于一些布置中用于图案化特征阵列(特定来说,密集的特征阵列),例如用于存储器应用(包括 DRAM)的电容器或用于 MRAM 或 STTRAM 的存储器元件。

[0055] 将了解,用于沉积抑制层 120、170、沉积抑制侧壁 170a、170b 和晶种侧壁 150 的各种材料是基于将沉积在腔 180a(图 7)中的材料且基于(例如)与形成部分形成的结构 100 的其它材料的蚀刻和沉积相容性而选择。举例来说,在一些实施例中,底部沉积抑制层 120 由绝缘体形成,且晶种壁 150 由导体形成。通过电化学沉积来沉积第一材料和第二材料。在一些实施例中,将金和银用作第一材料和第二材料。在另一实例中,使用金和镍。可将包括所要金属物质的电镀液引入到开口 180 中。在一些实施例中,电镀液含有两种材料。晶种壁 150 可连接到电源,且当电流流经溶液时发生沉积。在一些实施例中,晶种壁 150 可经由衬底 110 连接到电源。举例来说,可使晶种壁 150 延伸穿过沉积抑制层 120 以接触衬底 110,衬底 110 可由导电或半导体材料形成且连接到电源的电极中的一者。可通过选择在沉积期间通过的电荷且通过选择金属物质的浓度来控制每一行的宽度。举例来说,为增加由金属中的一者形成的行的宽度,可增加所述金属的浓度。合适的选择性沉积方法由秦 Qin) 等人论述于《科学》(Science) 第 309 卷(2005 年 7 月 1 日)第 113 到 115 页中。

[0056] 一旦被沉积且在行 200、210 暴露之后,可通过适当的蚀刻来移除金属中的一者。举例来说,可使用湿式蚀刻(例如,包括浓缩  $\text{HNO}_3$  的湿式蚀刻)相对于金来选择性地移除 Ni。在另一实例中,在将金和银用作第一材料和第二材料的情况下,可使用由甲醇、30% 的氢氧化铵和 30% 的过氧化氢(4 : 1 : 1v/v/v)形成的湿式蚀刻来选择性地移除银的行。合适的蚀刻方法由秦等人论述于《科学》第 309 卷(2005 年 7 月 1 日)第 113 到 115 页中。

[0057] 在另一实例中,通过原子层沉积(ALD)而将材料选择性地沉积在腔 180a 中。在一些实施例中,晶种侧壁 150 由硅形成,且沉积抑制层 120、170 和沉积抑制侧壁 170a、170b 由具有化学改质表面的氧化硅形成。沉积抑制层 120、170 和沉积抑制侧壁 170a、170b 如上所述而形成,且接着暴露于另一化学物质以在暴露的氧化硅表面上形成沉积抑制层。举例来说,可将十八烷基三氯硅烷(ODTS)提供到腔 180a,其中其相对于硅晶种侧壁 150 而选择性地吸附在氧化硅表面上。ODTS 在沉积抑制层 120、170 和沉积抑制侧壁 170a、170b 的表面上形成自组装单层(SAM)。

[0058] 接下来,通过晶种侧壁 150 上的选择性原子层沉积来形成行 200。举例来说,行 200 可由使用四(二甲基胺基)铪(IV) ( $\text{Hf}[\text{N}(\text{CH}_3)_2]_4$ ) 和水而沉积的  $\text{HfO}_2$  形成。用于形成沉积抑制表面和沉积  $\text{HfO}_2$  的合适方法由陈(Chen)论述于《应用物理学快报》(Applied Physics Letters) 86, 191910 (2005) 中。

[0059] 随后通过原子层沉积将行 210 选择性地沉积在所沉积行 200 上。举例来说,将钌(Ru)沉积在  $\text{HfO}_2$  行 200 的侧壁上以形成行 210。用于选择性地沉积 Ru 的合适方法由帕克(Park)论述于《应用物理学快报》86, 051903 (2005) 中。

[0060] 交替地重复  $\text{HfO}_2$  与 Ru 的沉积,以形成所要数目的行 200、210。随后,如本文所论述,使行 200、210 暴露,且(例如)在相对于其它暴露材料而对行 200、210 中的一者的材料为选择性的湿式蚀刻中,通过暴露于蚀刻剂而移除所述行中的一者。

[0061] 在一些实施例中,腔 180a 的内部表面在行 200、210 的沉积期间暴露于 ODTS 一次或一次以上,以在所述内部表面上建立 ODTS 层。

[0062] 有利的是,原子层沉积允许以关于宽度 202、212 的高精确度形成行 200、210,因为宽度可通过所执行的沉积循环的数目来控制,如此项技术中已知。因此,可形成非常均一的行 200、210。在一些其它应用中,ALD 的逐层沉积机制允许根据需要形成具有不同宽度的行 200、210。

[0063] 除形成集成电路之外,将了解,本文所揭示的选择性地沉积的行还可用于其中需要形成具有非常小的特征的图案的各种其它应用中。举例来说,可应用优选实施例以形成用于其它平版印刷技术(包括 X 射线或压印平版印刷)的光栅、磁盘驱动器、存储媒体或模板或掩模。在其它应用中,行的多个层级可用于各种光弯曲应用中,其中将空间上隔离的材料块形成为“浮动”的且与其它材料块分离。

[0064] 可通过将材料沉积到通过使掩蔽材料的行交叉(图 13B)而形成的通孔中来形成浮动材料块,且通孔可上覆有材料,且额外通孔可在较高层级形成和填充。在其它情况下,材料块自身可为第一或第二掩蔽材料,其中模具尺寸经设计以形成短块而不是较长的掩蔽材料行。沉积抑制材料可用以分离相邻的多个块。

[0065] 将了解,仅展示了部分形成的结构 100 的截面。在一些实施例中,可在衬底 110 的整个表面上以所要图案形成多个模具 172。举例来说,模具 172 可以规则阵列形成于衬底 110 上以图案化规则的阵列特征。举例来说,这些特征可经有利地应用以形成利用特征阵列的集成电路中的特征,例如形成逻辑电路或存储器装置(包括快闪存储器或 DRAM)。

[0066] 此外,虽然经由掩模的“处理”优选涉及蚀刻下伏材料,但经由掩模的处理可涉及使下伏于掩模材料下的材料经受任何半导体制造工艺。举例来说,处理可涉及穿过掩模层且到下伏层上的离子植入、扩散掺杂、沉积、氧化(特定来说,通过在聚合物掩模下使用硬掩模)、氮化等。另外,可将掩模用作用于化学机械研磨(CMP)的止档件或势垒,或 CMP 可在各种材料上执行以允许平坦化和蚀刻两者。

[0067] 从本文的描述将了解,本发明包括各种方面。举例来说,根据本发明的一个方面,提供一种图案化方法。所述方法包含提供具有顶部表面的衬底,所述顶部表面包含沉积抑制材料。将大量牺牲材料提供于沉积抑制材料上。将晶种壁形成于大量牺牲材料的一侧上。将第一和第二沉积抑制壁形成于大量牺牲材料的相对侧上。将晶种壁安置于第一沉积抑制壁与第二沉积抑制壁之间且与第一沉积抑制壁和第二沉积抑制壁接触。将沉积抑制罩盖层

形成于大量牺牲材料上。选择性地移除大量牺牲材料以形成至少部分地由晶种壁、第一和第二沉积抑制壁、沉积抑制材料和罩盖层定边界的开放体积。第一和第二材料交替地沉积在所述开放体积中。

[0068] 根据本发明的另一方面,提供一种用于形成图案的方法。所述方法包含提供衬底。提供上覆于所述衬底上的中空模具。所述模具具有进入开放内部体积中的开口和部分地定界所述开放体积的晶种侧壁。将第一材料选择性地沉积在所述开放体积中的晶种侧壁上。将第二材料选择性地沉积在所述开放体积中的第一材料的一侧上。

[0069] 根据本发明的又一方面,提供一种用于以所要图案沉积材料的方法。所述方法包含提供衬底。所述衬底交替地暴露于第一材料前驱物和第二材料前驱物,以在第一层级上沉积第一和第二材料。沉积所述第一和第二材料循序地横向生长第一和第二材料的第一多个交替行。第一和第二材料中的一者相对于所述第一和第二材料中的另一者而选择性地移除。

[0070] 除以上揭示内容之外,所属领域的技术人员还将了解,可在不脱离本发明的范围的情况下对上文所述的方法和结构进行各种省略、添加和修改。所有此类修改和改变均既定属于如由所附权利要求书界定的本发明的范围内。

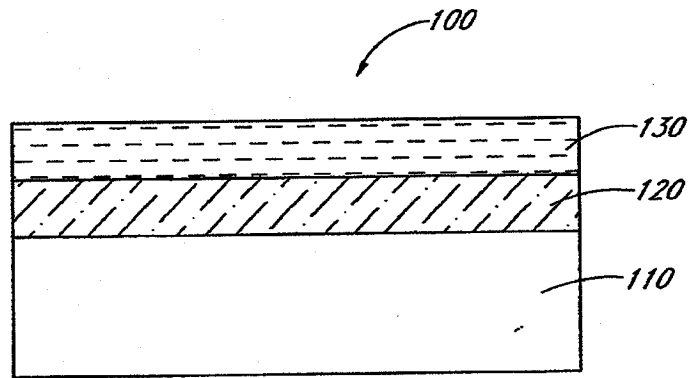


图 1A

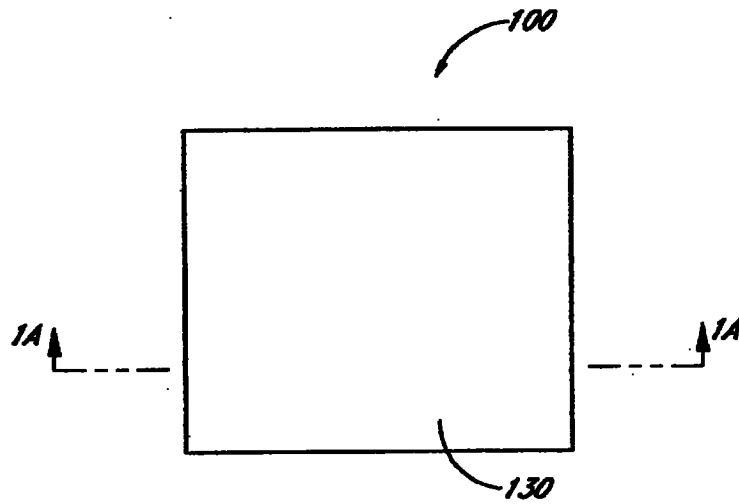


图 1B

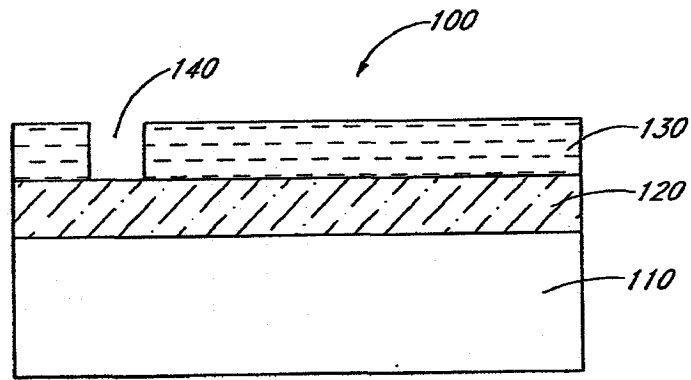


图 2A

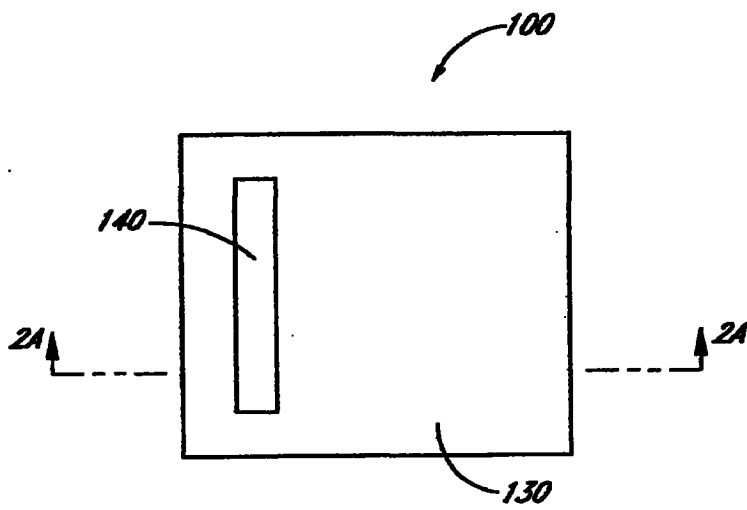


图 2B

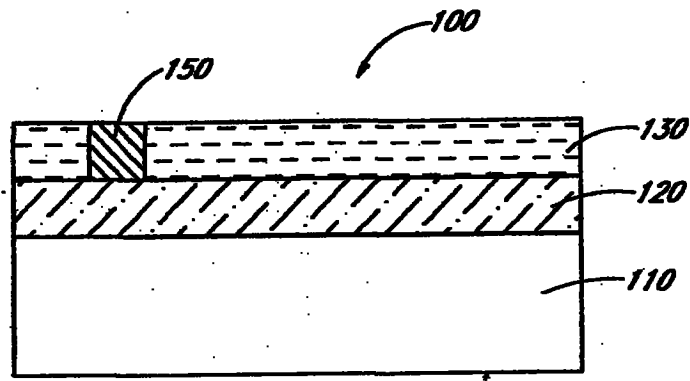


图 3A

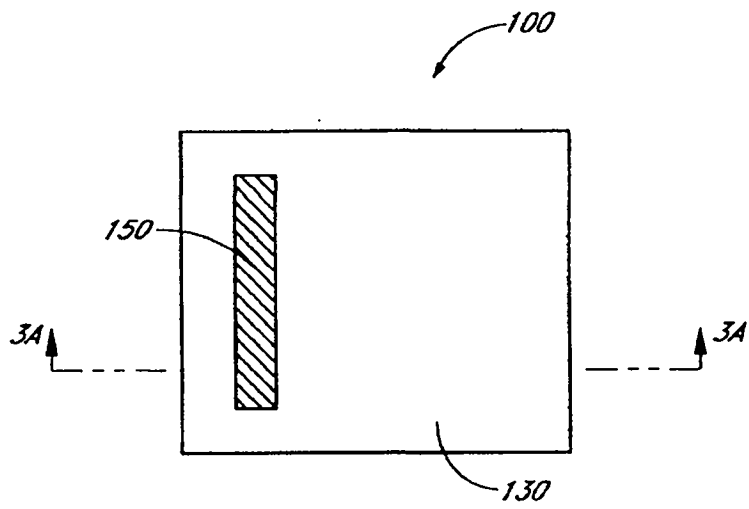


图 3B

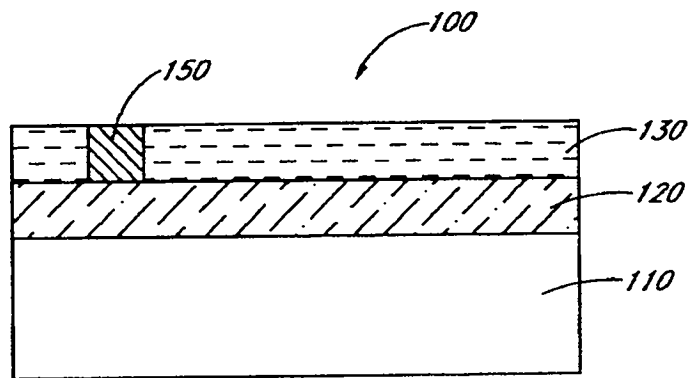


图 4A

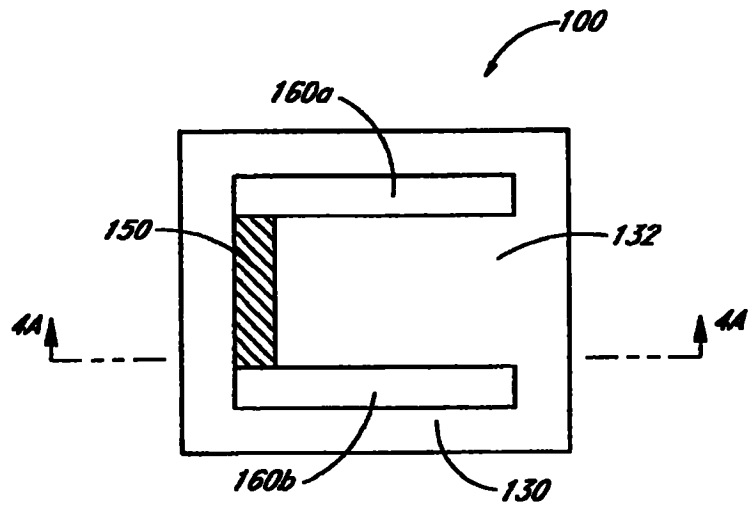


图 4B

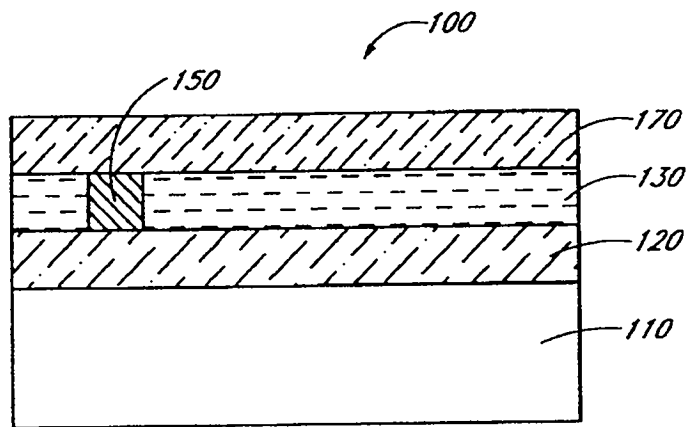


图 5A



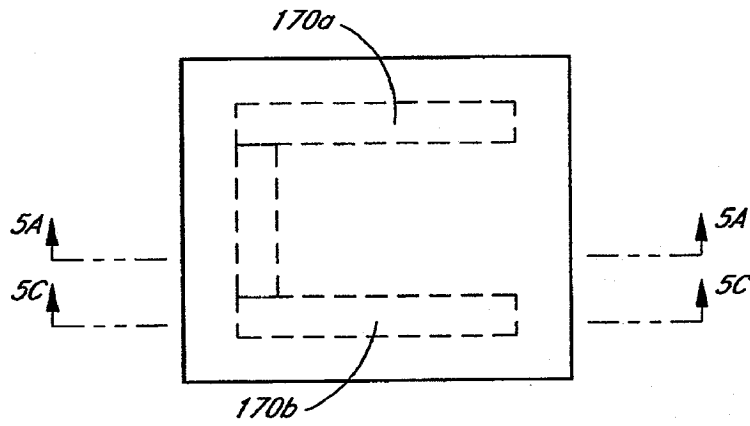


图 5B

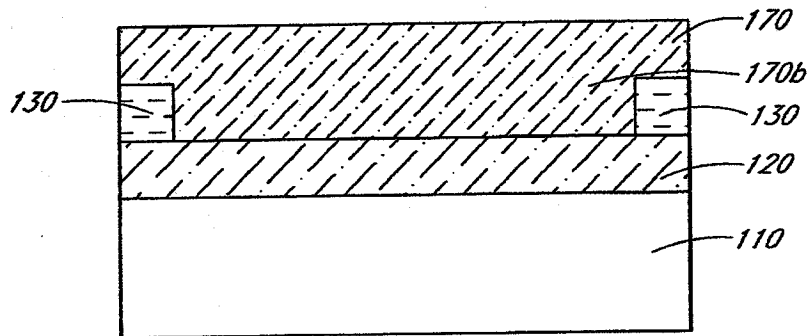


图 5C

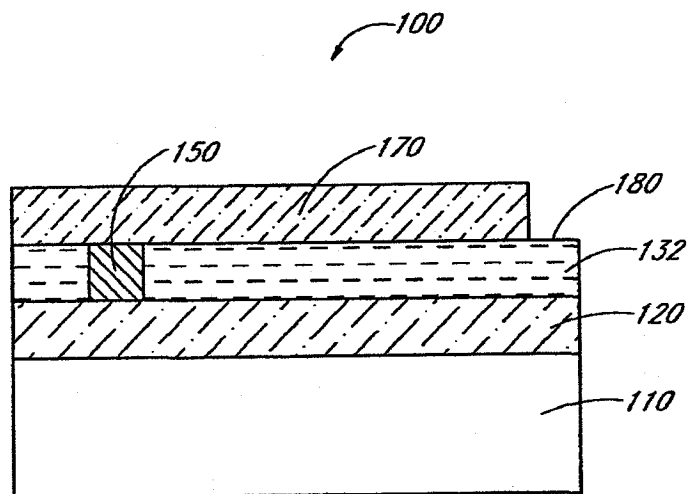


图 6A

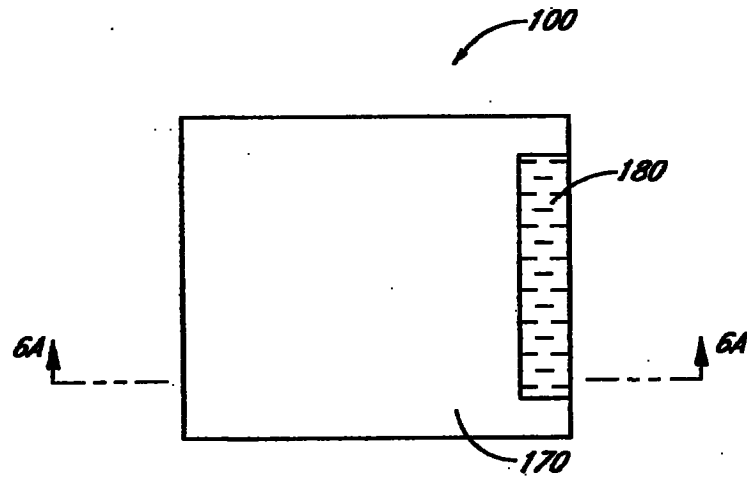


图 6B

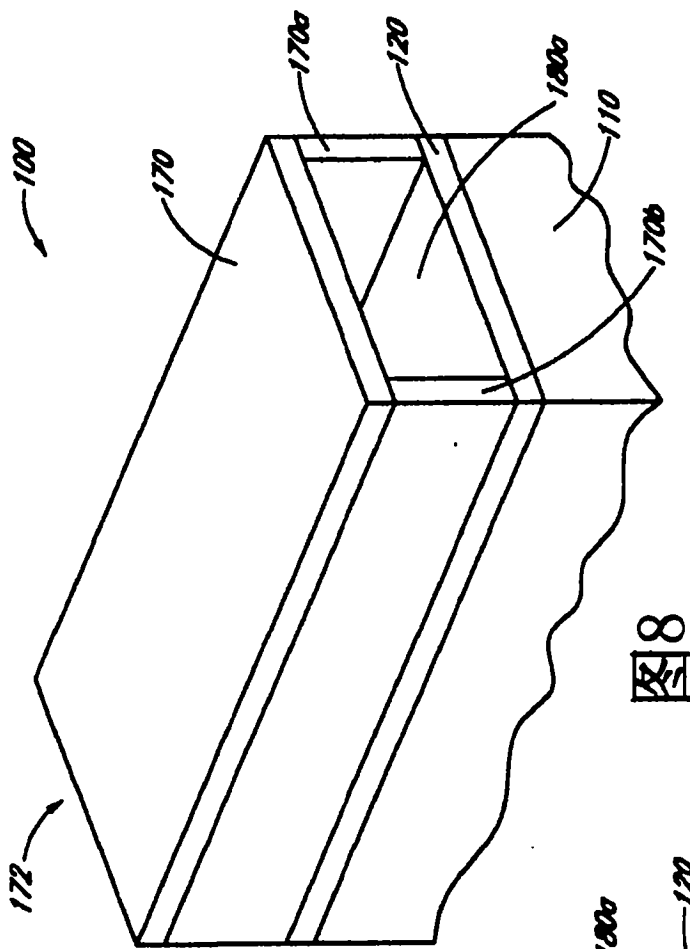


图8

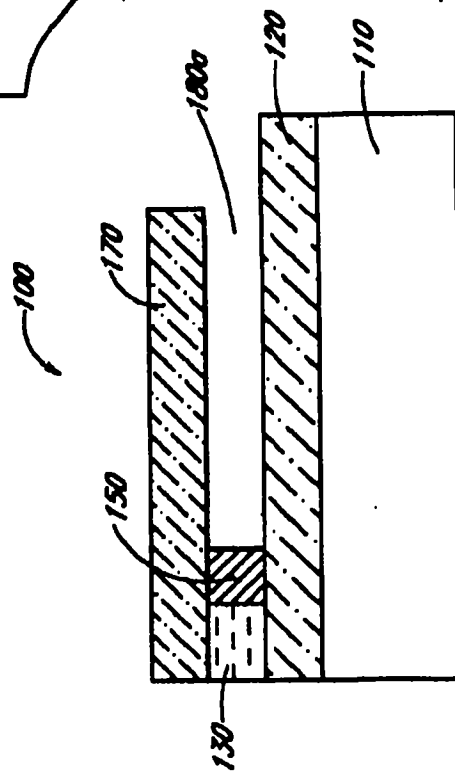


图7

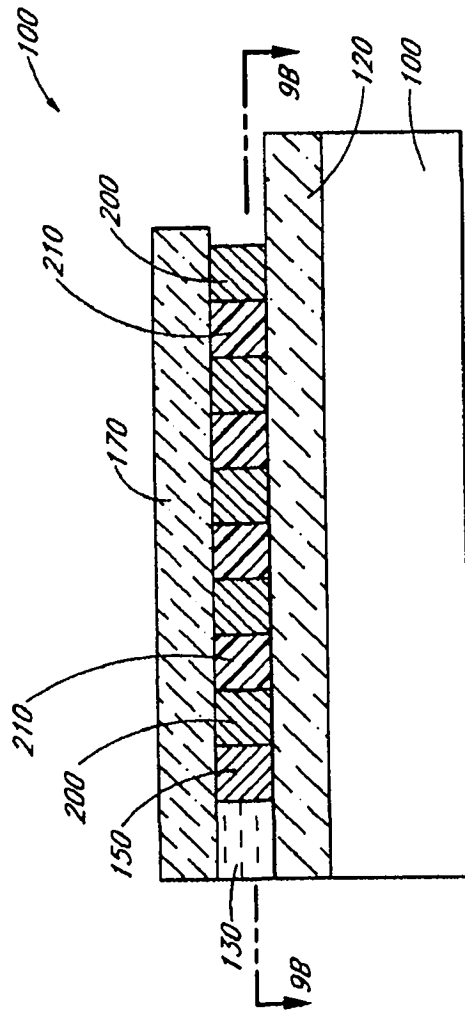


图 9A

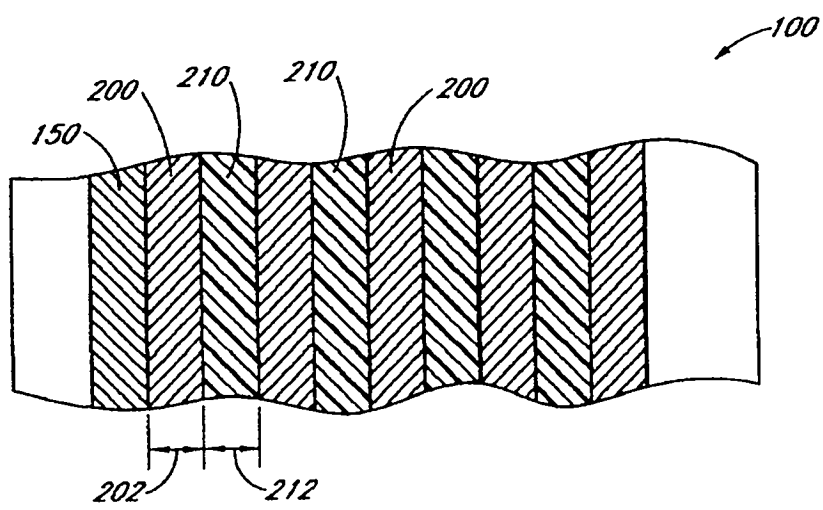


图 9B

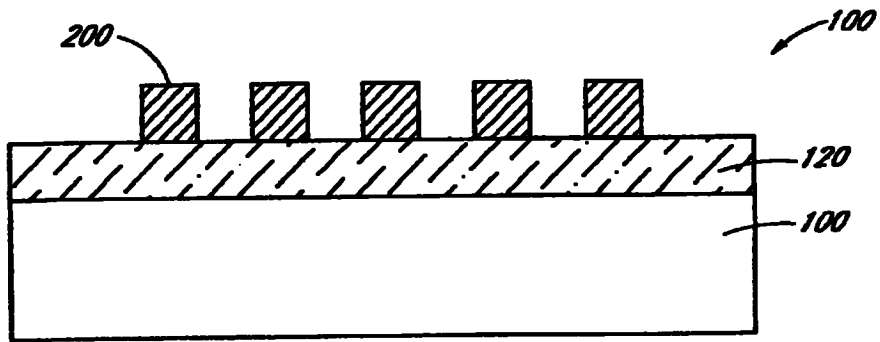


图 10A

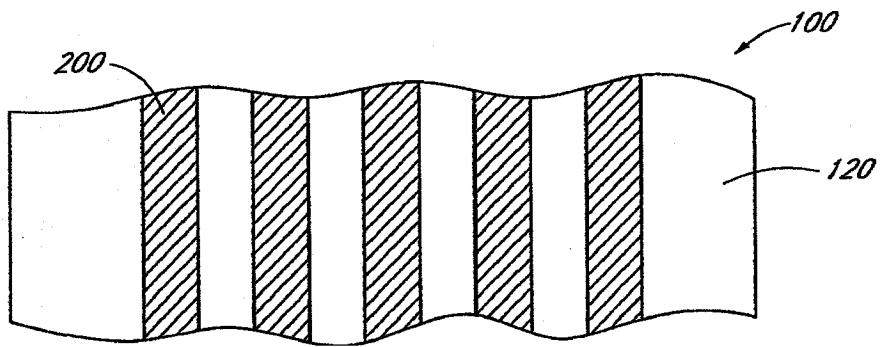


图 10B

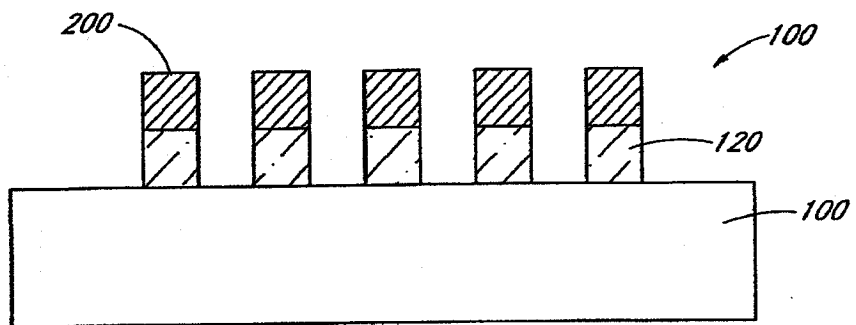


图 10C

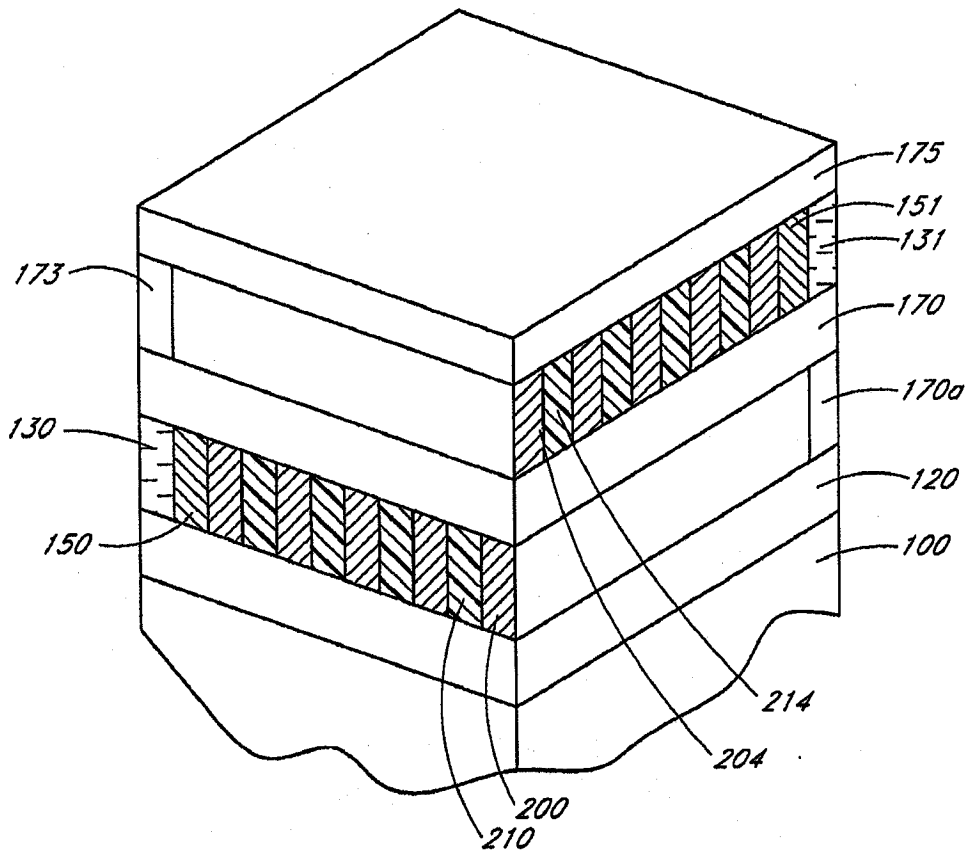


图 11

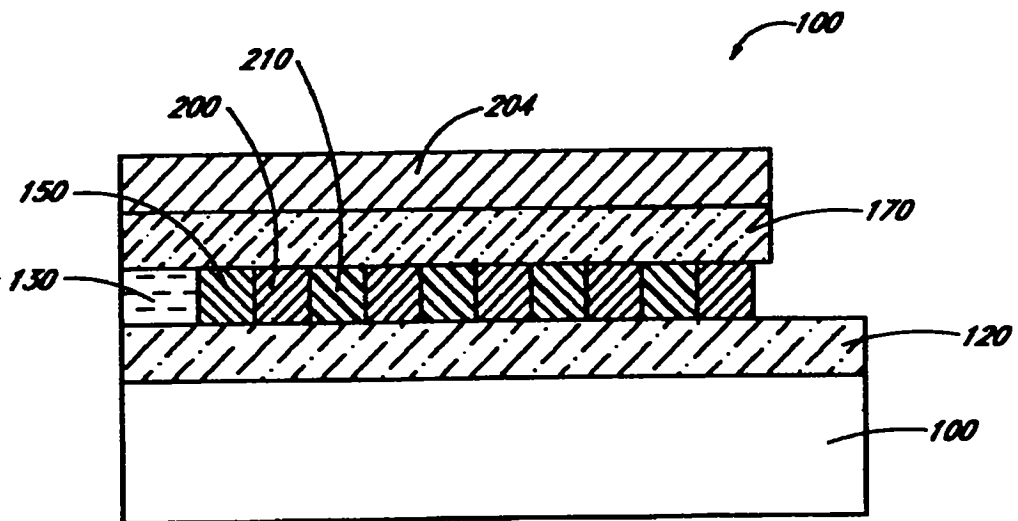


图 12

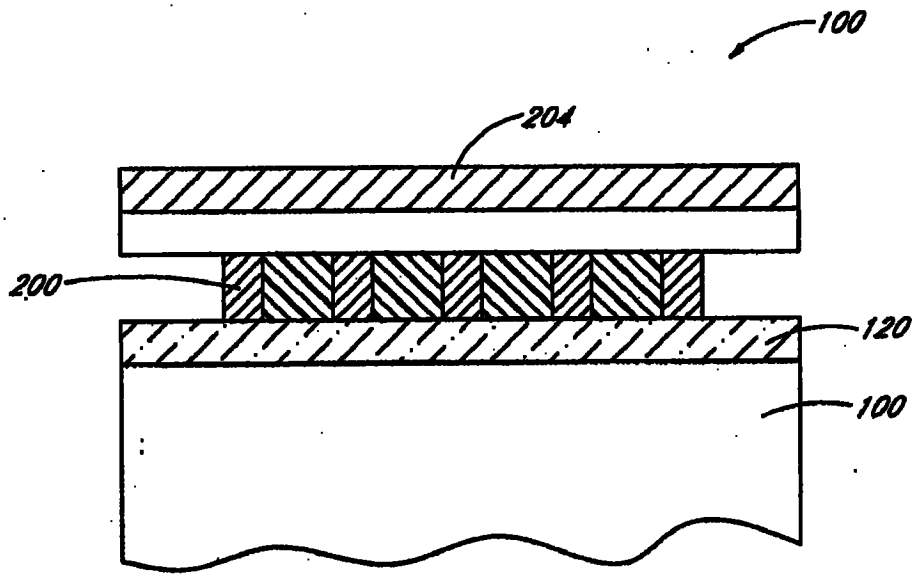


图 13A

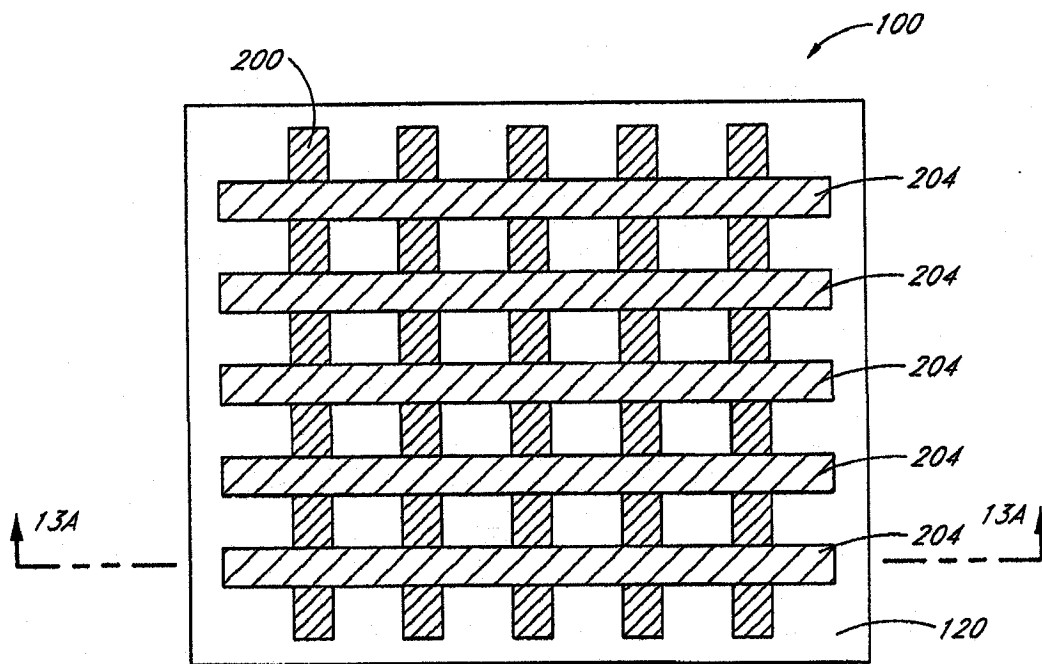


图 13B