



(12) 发明专利申请

(10) 申请公布号 CN 103579361 A

(43) 申请公布日 2014. 02. 12

(21) 申请号 201310503418. X

(22) 申请日 2013. 10. 23

(71) 申请人 昆山龙腾光电有限公司

地址 215301 江苏省苏州市昆山市龙腾路 1 号

(72) 发明人 钟德镇 邵金凤 戴文君

(74) 专利代理机构 上海波拓知识产权代理有限公司 31264

代理人 苗燕

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 21/336(2006. 01)

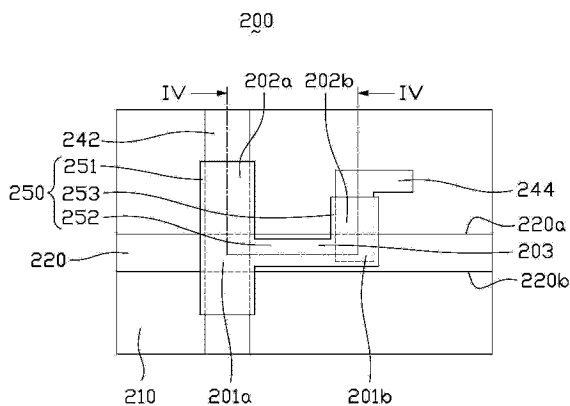
权利要求书2页 说明书7页 附图3页

(54) 发明名称

金属氧化物半导体薄膜晶体管及其制造方法

(57) 摘要

金属氧化物半导体薄膜晶体管包括基底、栅极、栅极绝缘层、源极和漏极及金属氧化物半导体层。栅极绝缘层位于基底上并覆盖位于基底上的栅极。源极和漏极分隔的位于栅极绝缘层上，并分别与栅极具有第一重叠区和第二重叠区。金属氧化物半导体层覆盖源极和漏极并与源极和漏极接触，且金属氧化物半导体层与源极和漏极分别具有第三重叠区和第四重叠区，第三重叠区的面积大于第一重叠区的面积，第四重叠区的面积大于第二重叠区的面积。金属氧化物半导体薄膜晶体管能有效解决金属氧化物半导体层与源漏极的剥离问题，同时也能避免在形成钝化保护层过程中对金属氧化物半导体层的损伤。本发明还涉及金属氧化物半导体薄膜晶体管的制造方法。



1. 一种金属氧化物半导体薄膜晶体管,其特征在于,其包括:  
基底;  
栅极,位于该基底上;  
栅极绝缘层,位于该基底上并覆盖该栅极;  
源极和漏极,分隔的位于该栅极绝缘层上,该源极与该栅极具有第一重叠区,该漏极与该栅极具有第二重叠区;以及

金属氧化物半导体层,覆盖该源极和该漏极并与该源极和该漏极接触,且该金属氧化物半导体层与该源极具有第三重叠区,该金属氧化物半导体层与该漏极具有第四重叠区,该第三重叠区的面积大于该第一重叠区的面积,该第四重叠区的面积大于该第二重叠区的面积。

2. 根据权利要求1所述的金属氧化物半导体薄膜晶体管,其特征在于,该源极和该漏极垂直于该栅极的沿栅极长度方向延伸的长侧边与该栅极交叉重叠,该金属氧化物半导体层包括第一部分、第二部分以及第三部分,该第二部分连接在该第一部分和该第三部分之间,该第一部分完全覆盖该第一重叠区并沿该源极的长度方向延伸超过该栅极的该长侧边,该第三部分完全覆盖该第二重叠区并沿该漏极的长度方向延伸超过该栅极的该长侧边。

3. 根据权利要求1所述的金属氧化物半导体薄膜晶体管,其特征在于,该金属氧化物半导体层包括:

第一金属氧化物半导体层,位于该源极和该漏极上并与该源极和该漏极接触;以及  
第二金属氧化物半导体层,位于该第一金属氧化物半导体层上。

4. 根据权利要求3所述的金属氧化物半导体薄膜晶体管,其特征在于,该第二金属氧化物半导体层的氧含量大于该第一金属氧化物半导体层的氧含量。

5. 根据权利要求4所述的金属氧化物半导体薄膜晶体管,其特征在于,该金属氧化物半导体薄膜晶体管还包括钝化保护层,覆盖该第二金属氧化物半导体层。

6. 一种金属氧化物半导体薄膜晶体管的制造方法,其特征在于,其包括:

在基底上形成栅极;

在基底上形成栅极绝缘层,并覆盖该栅极;

在该栅极绝缘层上形成源极和漏极,该源极和该漏极彼此分隔的,该源极与该栅极具有第一重叠区,该漏极与该栅极具有第二重叠区;以及

在该源极和该漏极上形成金属氧化物半导体层,该金属氧化物半导体层与该源极和该漏极接触,并与该源极具有第三重叠区,与该漏极具有第四重叠区,该第三重叠区的面积大于该第一重叠区的面积,该第四重叠区的面积大于该第二重叠区的面积。

7. 根据权利要求6所述的制造方法,其特征在于,该源极和该漏极垂直于该栅极的沿栅极长度方向延伸的长侧边与该栅极交叉重叠形成该栅极绝缘层上,而形成的该金属氧化物半导体层包括第一部分、第二部分以及连接在该第一部分和该第二部分之间的第三部分,该第一部分完全覆盖该第一重叠区并沿该源极的长度方向延伸超过该栅极的该长侧边,该第三部分完全覆盖该第二重叠区并沿该漏极的长度方向延伸超过该栅极的该长侧边。

8. 根据权利要求6所述的制造方法,其特征在于,该源极和该漏极上形成该金属氧

化物半导体层包括：

在该源极和该漏极上形成该第一金属氧化物半导体层，该第一金属氧化物半导体层与该源极和该漏极电连接；以及

在该第一金属氧化物半导体层上形成第二金属氧化物半导体层。

9. 根据权利要求 8 所述的制造方法，其特征在于，该第二金属氧化物半导体层的氧含量大于该第一金属氧化物半导体层的氧含量。

10. 根据权利要求 9 所述的制造方法，其特征在于，该制造方法还包括采用等离子体增强化学气相沉积法在该第二金属氧化物半导体层上形成钝化保护层。

## 金属氧化物半导体薄膜晶体管及其制造方法

### 技术领域

[0001] 本发明涉及半导体技术领域,且特别是涉及一种金属氧化物半导体薄膜晶体管及其制造方法。

### 背景技术

[0002] 目前用在平板显示的薄膜晶体管(thin film transistor, TFT)的半导体沟道层的材料主要是硅材料,包括非晶硅(a-Si:H)、多晶硅、微晶硅等。然而非晶硅薄膜晶体管具有对光敏感、迁移率低和稳定性差等缺点;多晶硅薄膜晶体管虽然具有较高的迁移率,但是由于晶界的影响导致其电学均匀性差,且多晶硅制备温度高、成本高以及难以大面积晶化,限制了其在平板显示中的应用;微晶硅制备难度大,晶粒控制技术难度高,不容易实现大面积规模量产。

[0003] 目前已知某些金属氧化物具有半导体特性,例如氧化铟、氧化锡、氧化铟、氧化锌、铟镓锌氧化物(indium gallium zinc oxide, IGZO)等,利用这样的金属氧化物形成的透明半导体层做为沟道层材料形成金属氧化物半导体的薄膜晶体管,与含有硅的薄膜晶体管相比,金属氧化物半导体薄膜晶体管具有电子迁移率较高、制备温度低、对可见光透明等优点,因而越来越受到重视,有替代用传统硅工艺制备的薄膜晶体管的发展趋势。特别地,近几年IGZO TFT由于电子迁移率高,稳定性好,制备工艺简单等优点,成为目前金属氧化物半导体薄膜晶体管研究开发的热点。

[0004] IGZO TFT的结构主要有背沟道蚀刻型(back channel etch type)、蚀刻阻挡型(etch stop type)和共面型(coplanar type)三种类型。背沟道蚀刻型IGZO TFT工艺流程简单,但是由于IGZO层缺少保护层,在形成源漏极时很容易对IGZO层造成破坏,从而影响IGZO TFT的性能,因此目前较少使用此结构。蚀刻阻挡型IGZO TFT的IGZO层上的蚀刻阻挡层可以在形成源漏极时保护IGZO层不被破坏,从而提高IGZO TFT的性能。但是,蚀刻阻挡型IGZO TFT的制作需要增加一次光刻工艺以形成蚀刻阻挡层,增加IGZO TFT的制作工艺流程的复杂性,而且由于蚀刻阻挡层的材料一般是SiNx或者SiOx,在采用等离子体增强化学气相沉积法(plasma enhanced chemical vapor deposition, PECVD)形成蚀刻阻挡层的过程中,等离子体容易对IGZO层造成破坏,从而影响IGZO TFT的性能。共面型IGZO TFT是目前的主流结构,共面型IGZO TFT与背沟道蚀刻型IGZO TFT相比,由于IGZO层在源漏极的上面,可避免了在形成源漏极工艺中对IGZO层的破坏,同时与蚀刻阻挡型IGZO TFT相比少了一次光刻工艺,且与目前主流制备非晶硅(a-Si)TFT的设备兼容性好,可减少设备的投入,降低生产成本。

[0005] 但是,共面型IGZO TFT的缺点是在IGZO层与源漏极接触的地方IGZO层容易出现剥离(peeling),而且在后续形成钝化保护层的过程中,在源漏极上的IGZO层被损伤和破坏,从而影响IGZO TFT的性能。图1是现有共面型IGZO TFT的布局结构示意图。图2是图1所示的共面型IGZO TFT沿II-II线的剖视结构示意图。请一并参照图1和图2,共面型IGZO TFT100的栅极110形成在基板101上,栅极绝缘层120形成在基板101上并覆盖栅

极 110, 源极 132、漏极 134 分隔地形成在栅极绝缘层 120 上, IGZO 层 140 形成于源极 132、漏极 134 上, 连接于源极 132、漏极 134 之间并位于栅极 110 的上方。由于 IGZO 层 140 厚度较薄且 IGZO 层 140 与源极 132、漏极 134 的接触区域 105a、150b 的面积较小, 因此, IGZO 层 140 与源极 132、漏极 134 的粘附性较差, 在通过光罩制程形成 IGZO 层 140 的过程中, 容易在去除光刻胶时引起 IGZO 层 140 从源漏电极 132、漏极 134 剥离的情况。另一方面, 由于 IGZO 层 140 形成于源极 132、漏极 134 上, 在 IGZO 层 140 上会采用等离子体增强化学气相沉积法形成钝化保护层 150, 为了便于显示金属氧化物半导体薄膜晶体管 100 的结构, 图 1 中未绘出钝化保护层 150, 仅在图 2 中绘出。在形成钝化保护层 150 的过程中, 等离子体会与 IGZO 层 140 中的氧发生反应, 对 IGZO 层 140 造成损伤和破坏, 从而影响 IGZO 层 140 的半导体性能。无论是 IGZO 层 140 的剥离, 还是 IGZO 层 140 的损伤和破坏都会严重影响共面型 IGZO TFT100 的性能。

### 发明内容

[0006] 本发明的目的在于, 提供一种金属氧化物半导体薄膜晶体管, 以有效解决金属氧化物半导体层与源极和漏极的剥离问题, 同时也能够有效避免在形成钝化保护层过程中对金属氧化物半导体层的损伤。

[0007] 本发明还提供了一种用于制造上述金属氧化物半导体薄膜晶体管的制造方法。

[0008] 本发明解决其技术问题是采用以下的技术方案来实现的。

[0009] 一种金属氧化物半导体薄膜晶体管, 其包括基底、栅极、栅极绝缘层、源极和漏极以及金属氧化物半导体层。栅极位于基底上。栅极绝缘层位于基底上并覆盖栅极。源极和漏极分隔的位于栅极绝缘层上, 源极与栅极具有第一重叠区, 漏极与栅极具有第二重叠区。金属氧化物半导体层覆盖源极和漏极并与源极和漏极接触, 且金属氧化物半导体层与源极具有第三重叠区, 金属氧化物半导体层与漏极具有第四重叠区, 第三重叠区的面积大于第一重叠区的面积, 第四重叠区的面积大于第二重叠区的面积。

[0010] 在本发明的较佳实施例中, 上述源极和漏极的长度方向垂直于栅极的沿栅极长度方向延伸的长侧边与栅极交叉重叠。金属氧化物半导体层包括第一部分、第二部分以及第三部分, 第二部分连接在第一部分和第三部分之间。第一部分完全覆盖第一重叠区并沿源极的长度方向延伸超过栅极的该长侧边, 第三部分完全覆盖第二重叠区并沿漏极的长度方向延伸超过栅极的该长侧边。

[0011] 在本发明的较佳实施例中, 上述金属氧化物半导体层包括第一金属氧化物半导体层和第二金属氧化物半导体层。第一金属氧化物半导体层位于源极和漏极上并与源极和漏极接触。第二金属氧化物半导体层位于第一金属氧化物半导体层上。

[0012] 在本发明的较佳实施例中, 上述第二金属氧化物半导体层的氧含量大于第一金属氧化物半导体层的氧含量。

[0013] 在本发明的较佳实施例中, 上述金属氧化物半导体薄膜晶体管还包括钝化保护层, 钝化保护层覆盖第二金属氧化物半导体层。

[0014] 一种金属氧化物半导体薄膜晶体管的制造方法, 其包括以下步骤。首先, 在基底上形成栅极。然后, 在基底上形成栅极绝缘层, 并覆盖栅极。之后, 在栅极绝缘层上形成源极和漏极, 源极和漏极彼此分隔的, 并分别与栅极具有第一重叠区和第二重叠区。接着, 在源

极和漏极上形成金属氧化物半导体层,金属氧化物半导体层与源极和漏极接触,并分别与源极和漏极具有第三重叠区和第四重叠区,第三重叠区的面积大于第一重叠区的面积,第四重叠区的面积大于第二重叠区的面积。

[0015] 在本发明的较佳实施例中,上述源极和漏极的长度方向垂直于栅极的沿栅极长度方向延伸的长侧边与栅极交叉重叠。金属氧化物半导体层包括第一部分、第二部分以及第三部分,第二部分连接在第一部分和第三部分之间。第一部分完全覆盖第一重叠区并沿源极的长度方向延伸超过栅极的该长侧边,第三部分完全覆盖第二重叠区并沿漏极的长度方向延伸超过栅极的该长侧边。

[0016] 在本发明的较佳实施例中,在上述源极和漏极上形成金属氧化物半导体层,首先在源极和漏极上形成第一金属氧化物半导体层,第一金属氧化物半导体层与源极和漏极电连接。然后,在第一金属氧化物半导体层形成第二金属氧化物半导体层。

[0017] 在本发明的较佳实施例中,上述第二金属氧化物半导体层的氧含量大于第一金属氧化物半导体层的氧含量。

[0018] 在本发明的较佳实施例中,上述制造方法还包括采用等离子体增强化学气相沉积法在第二金属氧化物半导体层上形成钝化保护层。

[0019] 本发明的金属氧化物半导体薄膜晶体管,金属氧化物半导体形成在源极和漏极上,可以避免在形成源极和漏极时造成对金属氧化物半导体层的损伤和破坏。此外,源极和漏极分别与栅极具有第一重叠区和第二重叠区,金属氧化物半导体层分别与源极和漏极具有第三重叠区和第四重叠区,且第三重叠区的面积大于第一重叠区的面积,第四重叠区的面积大于第二重叠区的面积。金属氧化物半导体层与源极和漏极的第三重叠区和第四重叠区具有较大的面积,使得较薄的金属氧化物半导体层与源极和漏极接触面积增大,因此金属氧化物半导体层不易从源极和漏极的剥离,从而有效的解决了金属氧化物半导体层的剥离问题,以获得性能良好的金属氧化物半导体薄膜晶体管。

[0020] 另外,本发明的金属氧化物半导体薄膜晶体管的金属氧化物半导体层可包括第一金属氧化物半导体层和第二金属氧化物半导体层,且第二金属氧化物半导体层的氧含量大于第一金属氧化物半导体层的氧含量,由于第二金属氧化物半导体层氧含量富余,在采用等离子体增强化学气相沉积法在金属氧化物半导体层上形成钝化保护层的过程中,第二金属氧化物半导体层能够阻止等离子体对第一金属氧化物半导体层造成的损伤和破坏,从而获得性能良好的金属氧化物半导体薄膜晶体管。

[0021] 上述说明仅是本发明技术方案的概述,为了让本发明的上述技术方案和其它目的、特征和优点能更明显易懂,下文特举较佳实施例,并配合所附图式,作详细说明如下。

#### 附图说明

[0022] 图 1 是现有共面型 IGZO TFT 的布局结构示意图。

[0023] 图 2 是图 1 所示的共面型 IGZO TFT 沿 II-II 线的剖视结构示意图。

[0024] 图 3 是本发明第一实施例的金属氧化物半导体薄膜晶体管的布局结构示意图。

[0025] 图 4 是图 3 所示的本发明第一实施例的金属氧化物半导体薄膜晶体管的沿 IV-IV 线的剖视结构示意图。

[0026] 图 5 是本发明第二实施例的金属氧化物半导体薄膜晶体管的布局结构示意图。

[0027] 图 6 是图 5 所示的本发明第二实施例的金属氧化物半导体薄膜晶体管的沿 VI-VI 线的剖视结构示意图。

### 具体实施方式

[0028] 为更进一步阐述本发明为达成预定发明目的所采取的技术手段及功效,以下结合附图及较佳实施例,对依据本发明提出的具体实施方式、结构、特征及其功效,详细说明如下:

[0029] 有关本发明的前述及其它技术内容、特点及功效,在以下配合参考图式的较佳实施例的详细说明中将可清楚呈现。通过具体实施方式的说明,当可对本发明为达成预定目的所采取的技术手段及功效得以更加深入且具体的了解,然而所附图式仅是提供参考与说明之用,并非用来对本发明加以限制。

[0030] 图 3 是本发明第一实施例的金属氧化物半导体薄膜晶体管的布局结构示意图。图 4 是图 3 所示的本发明第一实施例的金属氧化物半导体薄膜晶体管的沿 IV-IV 线的剖视结构示意图。请一并参阅图 3 和图 4,本实施例中,金属氧化物半导体薄膜晶体管 200 为共面型结构,其主要包括基底 210、栅极 220、栅极绝缘层 230、源极 242 和漏极 244 以及金属氧化物半导体层 250。

[0031] 在本实施例中,栅极 220 位于基底 210 上,即设于基底 210 的表面,栅极 220 大致为长条形,并具有沿栅极长度方向延伸的相对的长侧边 220a、220b。栅极绝缘层 230 位于基底 210 上,即设于基底 210 的表面并覆盖栅极 220。本实施例中,栅极绝缘层 230 为双层结构,包括氮化硅层 232 以及位于氮化硅层 232 上的氧化硅层 234,但并不以此为限,可以理解的是,在其他实施例中,栅极绝缘层 230 也可以为单层结构或其他多层结构。

[0032] 源极 242 和漏极 244 分隔的设置于栅极绝缘层 230 上,且位于栅极 220 上方。源极 242 和漏极 244 的长度延伸方向与栅极 220 的沿栅极 220 长度方向延伸的长侧边 220a、220b 大致垂直,以使得源极 242 和漏极 244 分别与栅极 220 呈垂直交叉重叠设置。因此,本实施例中,栅极 220 与源极 242 重叠形成的第一重叠区 201a,栅极 220 与漏极 244 重叠形成的第二重叠区 201b。

[0033] 金属氧化物半导体层 250 例如是铟镓锌氧化物(IGZO)层。金属氧化物半导体层 250 覆盖源极 242、漏极 244 和栅极绝缘层 230。金属氧化物半导体层 250 连接于源极 242 和漏极 244 之间,并位于源极 242 和漏极 244 之间的栅极 220 的上方,且与源极 242 和漏极 244 直接重叠接触。而位于源极 242 和漏极 244 之间的金属氧化物半导体层 250 是与从源极 242 和漏极 244 之间暴露出的部分栅极绝缘层 230 接触。

[0034] 本实施例中,金属氧化物半导体层 250 包括第一部分 251、第二部分 252 以及第三部分 253。第二部分 252 连接在第一部分 251 和第三部分 253 之间。金属氧化物半导体层 250 的第一部分 251 位于源极 242 的上方,完全覆盖第一重叠区 201a,并沿源极 242 的长度方向延伸超过栅极 220 的沿栅极 220 长度方向延伸的长侧边 220a、220b 以沿源极 242 的长度方向覆盖大部分的源极 242,从而形成金属氧化物半导体层 250 与源极 242 的第三重叠区 202a。金属氧化物半导体层 250 的第三部分 253 位于漏极 244 的上方,完全覆盖第二重叠区 201b,并沿漏极 244 的长度方向延伸超过栅极 220 的沿栅极 220 长度方向延伸的长侧边 220a、220b,以沿漏极 244 的长度方向覆盖大部分的漏极 244,从而形成金属氧化物半导

体层 250 与漏极 244 的第四重叠区 202b。此外,金属氧化物半导体层 250 的第二部分 252 是位于栅极 220 上方的源极 242 和漏极 244 之间的通道区域 203,并与从源极 242 和漏极 244 之间露出的栅极绝缘层 230 接触。本实施例中,第三重叠区 202a 的面积大于第一重叠区 201a 的面积,且第四重叠区 202b 的面积大于第二重叠区 201b 的面积。由于金属氧化物半导体层 250 与源极 242 和漏极 244 的第三重叠区 202a 和第四重叠区 202b 具有较大的面积,使得较薄的金属氧化物半导体层 250 与源极 242 和漏极 244 接触面积增大,金属氧化物半导体层 250 与源极 242 和漏极 244 粘附性较好,在后续的制程中,不容易引起金属氧化物半导体层 250 从源极 242 和漏极 244 剥离。因此金属氧化物半导体层 250 不易从源极 242 和漏极 244 剥离,以使得金属氧化物半导体薄膜晶体管 200 具有良好的性能。另外,金属氧化物半导体层 250 的第一部分 251 的横向宽度较佳的是大于源极 242 的横向宽度,金属氧化物半导体层 250 的第三部分 253 的横向宽度较佳的是大于漏极 244 的横向宽度。

[0035] 此外,本实施例中,金属氧化物半导体薄膜晶体管 200 还包括钝化保护层 260。为了便于显示金属氧化物半导体薄膜晶体管 200 的结构,图 3 中未绘出钝化保护层 260,仅在图 4 中绘出。钝化保护层 260 例如可以是氮化硅层或氧化硅层。钝化保护层 260 位于金属氧化物半导体层 250 上并覆盖金属氧化物半导体层 250,用以保护金属氧化物半导体层 250。

[0036] 以下将具体说明金属氧化物半导体薄膜晶体管 200 的制造方法。关于栅极 220、源极 242 和漏极 244、金属氧化物半导体层 250 均可通过沉积成膜和蚀刻图案化等熟知工艺来实现。金属氧化物半导体薄膜晶体管 200 的制造方法包括以下步骤。

[0037] 首先,在基底 210 上形成栅极 220。

[0038] 然后,在基底 210 上形成栅极绝缘层 230,并覆盖栅极 220。

[0039] 之后,在栅极绝缘层 230 上形成源极 242 和漏极 244,源极 242 和漏极 244 彼此分隔,源极 242 和漏极 244 的长度方向与栅极 220 的长侧边 220a、220b 大致垂直,以使得源极 242 和漏极 244 分别与栅极 220 呈垂直交叉重叠设置。因此,源极 242 与栅极 220 具有第一重叠区 201a,漏极 244 与栅极 220 具有第二重叠区 201b。

[0040] 接着,在源极 242 和漏极 244 上形成金属氧化物材料层并图案化形成金属氧化物半导体层 250。金属氧化物半导体层 250 是位于栅极 220 上方并连接于源极 242 和漏极 244 之间与源极 242 和漏极 244 接触。金属氧化物半导体层 250 包括第一部分 251、第二部分 252 以及第三部分 253。第二部分 252 连接在第一部分 251 和第三部分 253 之间。金属氧化物半导体层 250 的第一部分 251 位于源极 242 的上方,完全覆盖第一重叠区 201a,并沿源极 242 的长度方向延伸超过栅极 220 的长侧边 220a、220b 以沿源极 242 的长度方向覆盖大部分的源极 242,从而形成金属氧化物半导体层 250 与源极 242 的第三重叠区 202a。金属氧化物半导体层 250 的第三部分 253 位于漏极 244 的上方,完全覆盖第二重叠区 201b,并沿漏极 244 的长度方向延伸超过栅极 220 的沿栅极 220 长度方向延伸的长侧边 220a、220b 以沿漏极 244 的长度方向并覆盖大部分的漏极 244,从而形成金属氧化物半导体层 250 与漏极 244 的第四重叠区 202b。此外,金属氧化物半导体层 250 的第二部分 252 是位于栅极 220 上方的源极 242 和漏极 244 之间的通道区域 203,并与从源极 242 和漏极 244 露出的栅极绝缘层 230 接触。本实施例中,第三重叠区 202a 的面积大于第一重叠区 201a 的面积,且第四重叠区 202b 的面积大于第二重叠区 201b 的面积。由于金属氧化物半导体层 250 与源



极 242 和漏极 244 的第三重叠区 202a 和第四重叠区 202b 具有较大的面积,使得较薄的金属氧化物半导体层 250 与源极 242 和漏极 244 接触面积增大,因此金属氧化物半导体层 250 不易从源极 242 和漏极 244 剥离,以使得金属氧化物半导体薄膜晶体管 200 具有良好的性能。另外,金属氧化物半导体层 250 的第一部分 251 的横向宽度较佳的是大于源极 242 的横向宽度,金属氧化物半导体层 250 的第三部分 253 的横向宽度较佳的是大于漏极 244 的横向宽度。

[0041] 此外,金属氧化物半导体薄膜晶体管 200 的制造方法还进一步包括采用等离子体增强化学气相沉积法在金属氧化物半导体层 250 上形成钝化保护层 260。

[0042] 图 5 是本发明第二实施例的金属氧化物半导体薄膜晶体管的布局结构示意图。图 6 是图 5 所示的本发明第二实施例的金属氧化物半导体薄膜晶体管的沿 VI-VI 线的剖视结构示意图。请一并参阅图 5 和图 6,本实施例中,金属氧化物半导体薄膜晶体管 300 也为共面型结构,其与金属氧化物半导体薄膜晶体管 200 大致相同,二者的区别在于,金属氧化物半导体薄膜晶体管 300 的金属氧化物半导体层 350 为两层结构,即金属氧化物半导体层 350 包括第一金属氧化物半导体层 352 和第二金属氧化物半导体层 354。除金属氧化物半导体层 350 之外,金属氧化物半导体薄膜晶体管 300 的其余各结构均与金属氧化物半导体薄膜晶体管 200 对应各结构相同并采用相同的标号,在此不再赘述。

[0043] 本实施例中,第一金属氧化物半导体层 352 和第二金属氧化物半导体层 354 例如都是铟镓锌氧化物(IGZO)层,但是第二金属氧化物半导体层 354 的氧含量大于第一金属氧化物半导体层 352 的氧含量。所谓氧含量是指金属氧化物半导体层 350 中每摩尔 IGZO 中氧原子的摩尔数。例如,第二金属氧化物半导体层 354 定义为  $IGZO_x$  中每摩尔 IGZO 中氧原子的摩尔数是  $x$ ,第一金属氧化物半导体层 352 定义为  $IGZO_y$  中每摩尔 IGZO 中氧原子的摩尔数是  $y$ ,其中, $0 < y < x$ 。这样,当采用等离子体增强化学气相沉积法形成覆盖在金属氧化物半导体层 350 上的一层钝化保护层 260 时,由于第二金属氧化物半导体层 354 的氧含量大于第一金属氧化物半导体层 352 的氧含量,或者说由于第二金属氧化物半导体层 354 的氧含量富余,第二金属氧化物半导体层 354 中富余的氧可以用来与等离子体反应,同时阻止等离子体对第一金属氧化物半导体层 352 的损伤和破坏。

[0044] 以下将具体说明金属氧化物半导体薄膜晶体管 300 的制造方法。关于栅极 220、源极 242 和漏极 244、金属氧化物半导体层 350 均可通过沉积成膜和蚀刻图案化等熟知工艺来实现。金属氧化物半导体薄膜晶体管 300 的制造方法包括以下步骤。

[0045] 首先,在基底 210 上形成栅极 220。

[0046] 然后,在基底 210 上形成栅极绝缘层 230,并覆盖栅极 220。

[0047] 之后,在栅极绝缘层 230 上形成源极 242 和漏极 244,源极 242 和漏极 244 彼此分隔,源极 242 和漏极 244 的长度方向与栅极 220 的长侧边 220a、220b 大致垂直,以使得源极 242 和漏极 244 分别与栅极 220 呈垂直交叉重叠设置。因此,源极 242 与栅极 220 具有第一重叠区 201a,漏极 244 与栅极 220 具有第二重叠区 201b。

[0048] 接着,在源极 242 和漏极 244 上依次形成第一金属氧化物材料层和第二金属氧化物材料层并图案化形成金属氧化物半导体层 350。金属氧化物半导体层 350 是位于栅极 220 上方并电连接于源极 242 和漏极 244 之间。所形成的金属氧化物半导体层 350 包括第一金属氧化物半导体层 352 以及位于第一金属氧化物半导体层 352 上的第二金属氧化物半导

体层 354。第二金属氧化物半导体层 354 的氧含量大于第一金属氧化物半导体层 352 的氧含量。同样的,图案化的金属氧化物半导体层 350 包括第一部分 350a、第二部分 350b 以及第三部分 350c。第二部分 350b 连接在第一部分 350a 和第三部分 350c 之间。金属氧化物半导体层 350 的第一部分 350a 位于源极 242 的上方,完全覆盖第一重叠区 201a,并沿源极 242 的长度方向延伸超过栅极 220 的沿栅极 220 长度方向延伸的长侧边 220a、220b,以沿源极 242 的长度方向覆盖大部分的源极 242,从而形成第三重叠区 302a。金属氧化物半导体层 350 的第三部分 350c 位于漏极 244 的上方,完全覆盖第二重叠区 201b,并沿漏极 244 的长度方向延伸超过栅极 220 的沿栅极 220 长度方向延伸的长侧边 220a、220b 以沿漏极 244 的长度方向覆盖大部分的漏极 242,从而形成第四重叠区 302b。此外,金属氧化物半导体层 350 的第二部分 350b 是位于栅极 220 上方的源极 242 和漏极 244 之间的通道区域 203,并与从源极 242 和漏极 244 露出的栅极绝缘层 230 接触。本实施例中,第三重叠区 302a 的面积大于第一重叠区 201a 的面积,且第四重叠区 302b 的面积大于第二重叠区 201b 的面积。由于金属氧化物半导体层 350 与源极 242 和漏极 244 的第三重叠区 302a 和第四重叠区 302b 具有较大的面积,使得较薄的金属氧化物半导体层 350 与源极 242 和漏极 244 接触面积增大,因此金属氧化物半导体层 350 不易从源极 242 和漏极 244 剥离,以使得金属氧化物半导体薄膜晶体管 300 具有良好的性能。另外,金属氧化物半导体层 350 的第一部分 350a 的横向宽度较佳的是大于源极 242 的横向宽度,金属氧化物半导体层 350 的第三部分 350c 的横向宽度较佳的是大于漏极 244 横向的宽度。

[0049] 此外,金属氧化物半导体薄膜晶体管 300 的制造方法还进一步包括采用等离子体增强化学气相沉积法在金属氧化物半导体层 250 上形成钝化保护层 260。由于第二金属氧化物半导体层 354 的氧含量大于第一金属氧化物半导体层 352 的氧含量,或者说由于第二金属氧化物半导体层 354 的氧含量富余,在采用等离子体增强化学气相沉积法在金属氧化物半导体层 350 上形成钝化保护层 260 的过程中,第二金属氧化物半导体层 354 中富余的氧可以用来与等离子体反应,同时阻止等离子体对第一金属氧化物半导体层 352 的损伤和破坏。在钝化保护层 260 形成后,第二金属氧化物半导体层 354 中剩余的氧仍然能够维持第二金属氧化物半导体层 354 的半导体性能,进一步地,通过后续的工艺,使得第二金属氧化物半导体层 354 和第一金属氧化物半导体层 352 的氧平衡,从而使得金属氧化物半导体层 350 保持良好的半导体性能。因此,第二金属氧化物半导体层 354 能够阻止等离子体对金属氧化物半导体层 350 造成的损伤和破坏,以使得金属氧化物半导体薄膜晶体管 200 具有良好的性能。

[0050] 以上所述,仅是本发明的实施例而已,并非对本发明作任何形式上的限制,虽然本发明已以实施例揭露如上,然而并非用以限定本发明,任何熟悉本专业的技术人员,在不脱离本发明技术方案范围内,当可利用上述揭示的技术内容作出些许更动或修饰为等同变化的等效实施例,但凡是未脱离本发明技术方案内容,依据本发明的技术实质对以上实施例所作的任何简单修改、等同变化与修饰,均仍属于本发明技术方案的范围。

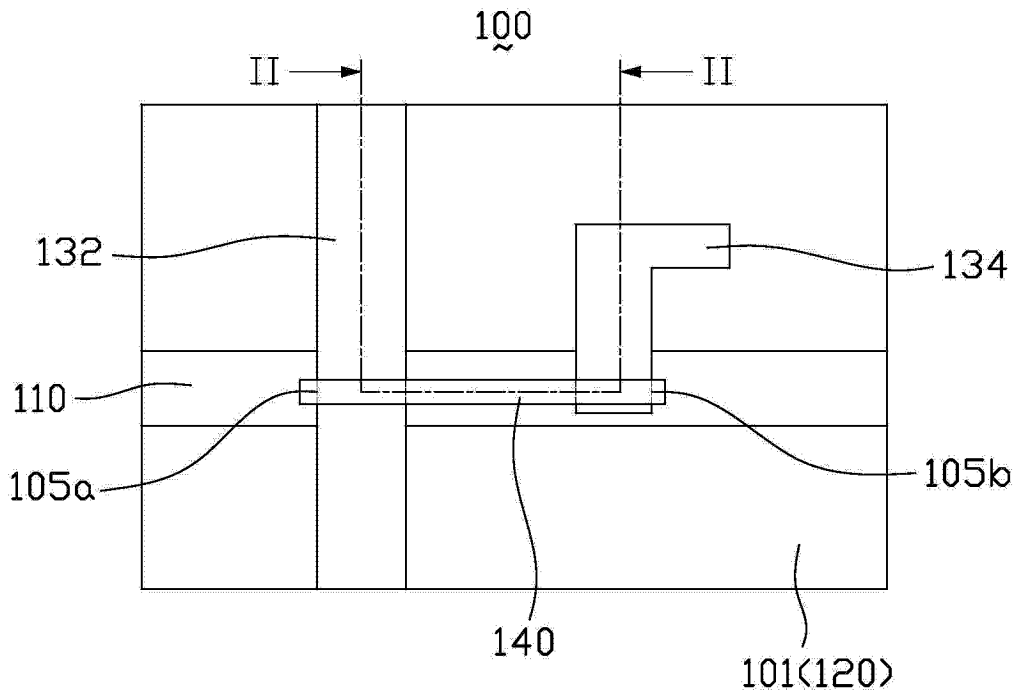


图 1

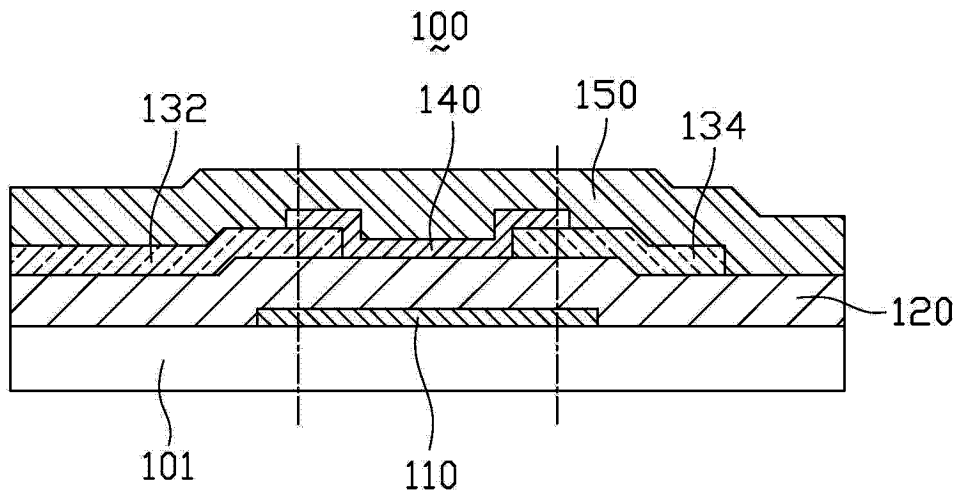


图 2

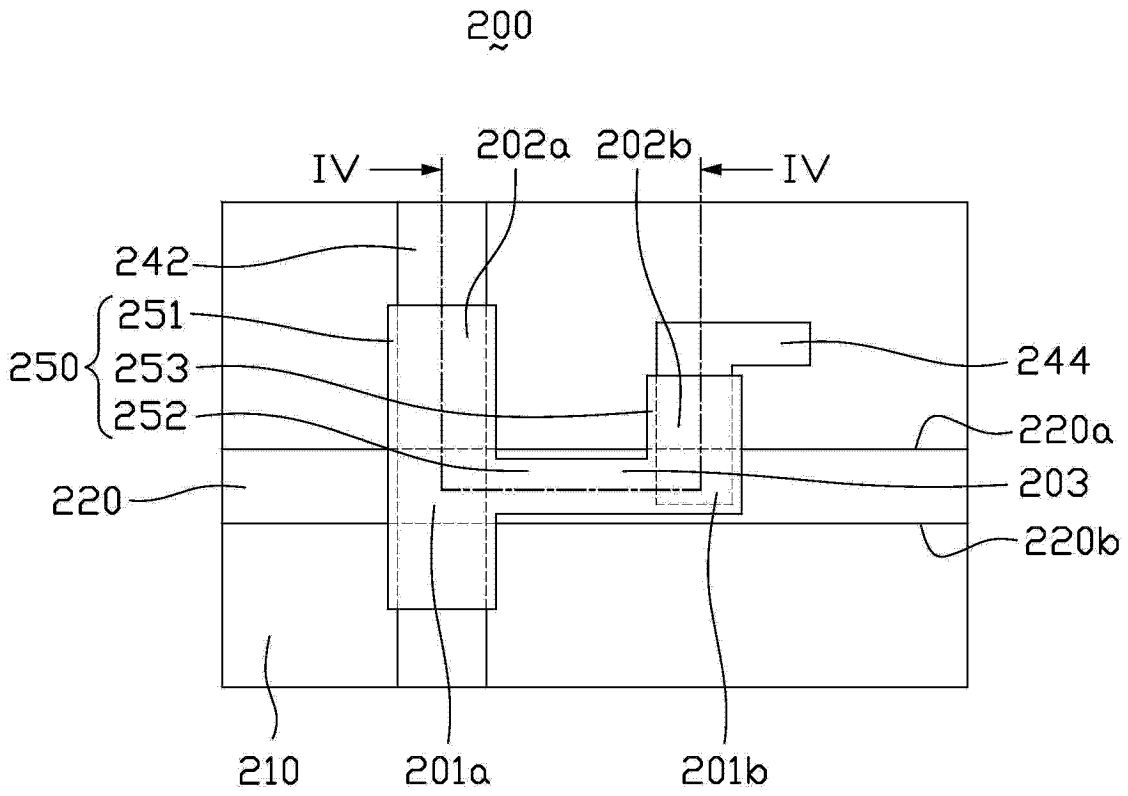


图 3

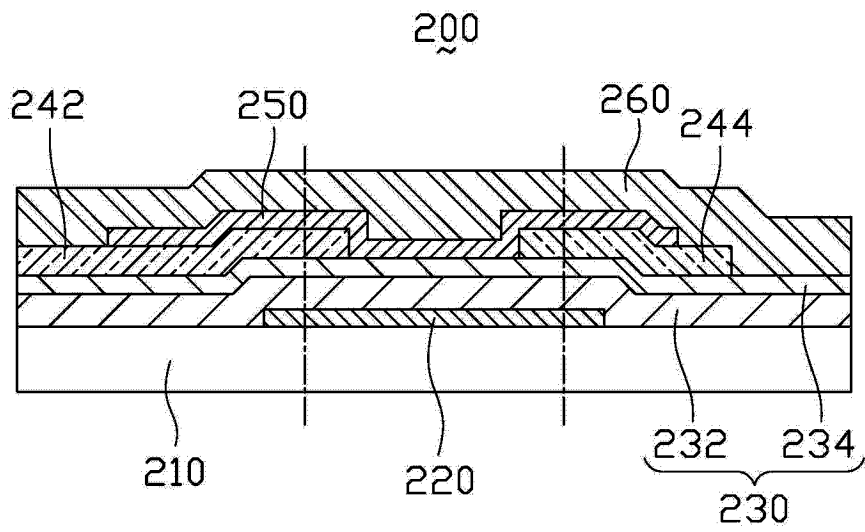


图 4

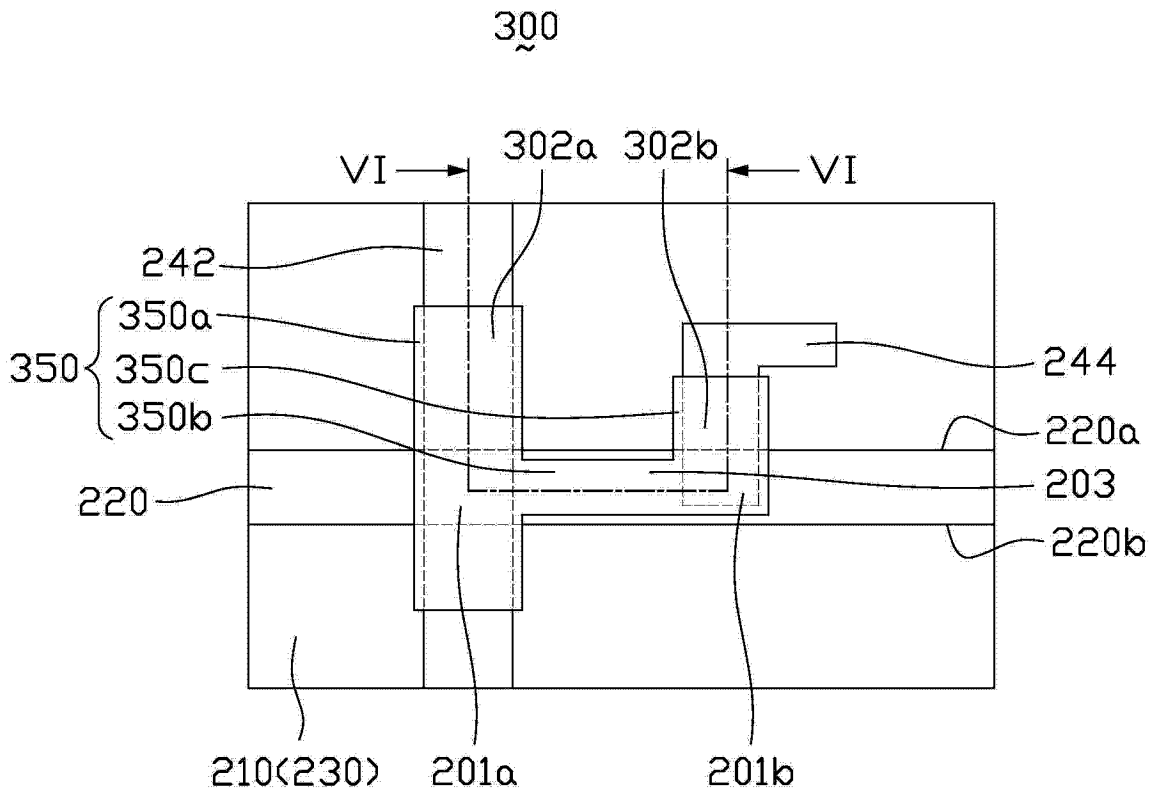


图 5

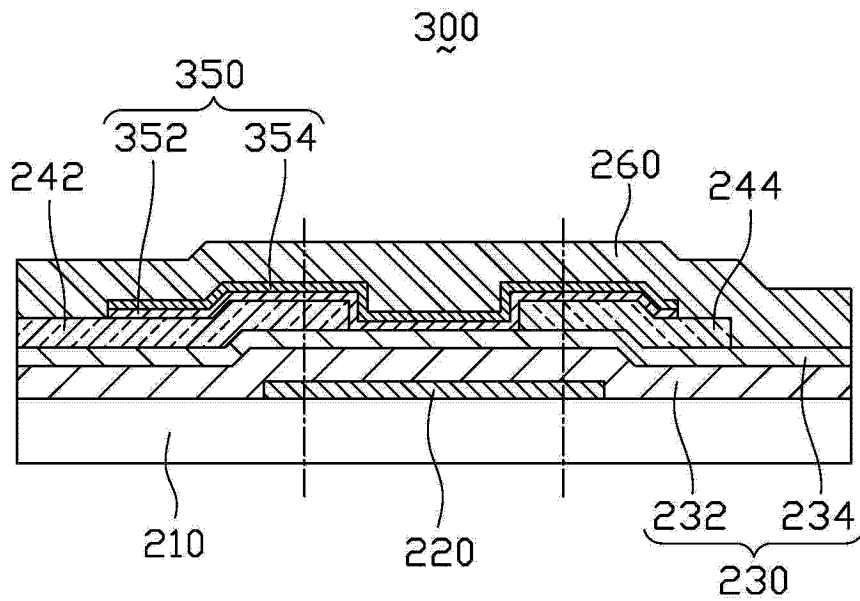


图 6