

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6408707号
(P6408707)

(45) 発行日 平成30年10月17日 (2018. 10. 17)

(24) 登録日 平成30年9月28日 (2018. 9. 28)

(51) Int. Cl.	F I
HO4N 5/3745 (2011.01)	HO4N 5/3745 700
HO1L 27/146 (2006.01)	HO4N 5/3745 200
HO1L 21/8234 (2006.01)	HO1L 27/146 D
HO1L 27/06 (2006.01)	HO1L 27/06 102A
HO1L 21/8238 (2006.01)	HO1L 27/092 G
請求項の数 27 (全 40 頁) 最終頁に続く	

(21) 出願番号	特願2017-528895 (P2017-528895)	(73) 特許権者	507364838
(86) (22) 出願日	平成27年11月9日 (2015. 11. 9)		クアルコム, インコーポレイテッド
(65) 公表番号	特表2018-504013 (P2018-504013A)		アメリカ合衆国 カリフォルニア 921
(43) 公表日	平成30年2月8日 (2018. 2. 8)		21 サン ディエゴ モアハウス ドラ
(86) 国際出願番号	PCT/US2015/059732		イブ 5775
(87) 国際公開番号	W02016/089551	(74) 代理人	100108453
(87) 国際公開日	平成28年6月9日 (2016. 6. 9)		弁理士 村山 靖彦
審査請求日	平成30年3月5日 (2018. 3. 5)	(74) 代理人	100163522
(31) 優先権主張番号	14/561, 845		弁理士 黒田 晋平
(32) 優先日	平成26年12月5日 (2014. 12. 5)	(72) 発明者	ピアイーチェン・シェイ
(33) 優先権主張国	米国 (US)		アメリカ合衆国・カリフォルニア・921
早期審査対象出願			21-1714・サン・ディエゴ・モアハ
			ウス・ドライブ・5775
			最終頁に続く

(54) 【発明の名称】 拡張された電荷容量およびダイナミックレンジを有する固体イメージセンサー

(57) 【特許請求の範囲】

【請求項1】

イメージングシステムであって、

光を電荷に変換するように構成された複数のピクセルであって、各ピクセルがフォトダイオードと、転送ゲートと、前記転送ゲートを介して前記フォトダイオードに電氣的に直列に結合された蓄積キャパシタと、タイミング回路とを備え、前記転送ゲートは前記フォトダイオードと前記蓄積キャパシタの間に配置され、前記蓄積キャパシタが、前記結合されたフォトダイオードからの複数のチャージダンプを表す累積された電荷の蓄積用の静電容量を有し、前記複数のチャージダンプの各々が、前記結合されたフォトダイオードの中に集積された前記光を表す電荷を備え、前記タイミング回路は、前記蓄積キャパシタと電氣的に直列に結合され、前記蓄積キャパシタから浮遊拡散ノードへの電荷の流れを制御するように構成される、複数のピクセルと、

前記複数のピクセルからの電荷を変換するように構成された1つまたは複数の増幅器トランジスタと、

読み出されるべき前記複数のピクセルの行または列を選択するように構成された1つまたは複数の選択トランジスタと、

前記複数のピクセルのうちの少なくとも1つをリセットするように構成された1つまたは複数のリセットトランジスタと、

1つまたは複数の共有ピクセルアーキテクチャの中に配列された前記複数のピクセルを含むピクセルアレイであって、前記ピクセルアレイは、前記各フォトダイオードから前記

各蓄積キャパシタへの前記複数のチャージダンプの各々をダンプするように各ピクセルの前記転送ゲートを独立に制御し、各蓄積ダイオードから前記浮遊拡散ノードへのチャージダンプが一度に1ピクセルで生ずるように各ピクセルの前記タイミング回路を独立に制御するように構成される、ピクセルアレイと、

前記複数のピクセルがその上に配置されている第1のシリコン層と、

前記1つまたは複数の増幅器トランジスタ、選択トランジスタ、およびリセットトランジスタのうちの少なくとも1つがその上に配置されている第2のシリコン層とを備えるイメージングシステム。

【請求項2】

前記浮遊拡散ノードが、前記第1のシリコン層の上に配置され、前記第2のシリコン層の上に配置された前記1つまたは複数の増幅器トランジスタに電氣的に結合された、請求項1に記載のイメージングシステム。

10

【請求項3】

前記第1のシリコン層の上に配置された浮遊拡散ノードが、前記第2のシリコン層の上に配置された前記1つまたは複数の増幅器トランジスタに、微細ピッチハイブリッドボンドを介して電氣的に結合されている、請求項2に記載のイメージングシステム。

【請求項4】

前記第1のシリコン層の上に配置された浮遊拡散ノードが、前記第2のシリコン層の上に配置された前記1つまたは複数の増幅器トランジスタに、融着ボンドを介して電氣的に結合されている、請求項2に記載のイメージングシステム。

20

【請求項5】

前記ピクセルアレイを形成する前記1つまたは複数の共有ピクセルアーキテクチャは、インターレースされた方式で配列されており、前記複数のピクセルの、少なくともピクセルのサブセットによって共有されている前記1つまたは複数の増幅器トランジスタ、1つまたは複数の選択トランジスタ、および1つまたは複数のリセットトランジスタを備える、請求項1に記載のイメージングシステム。

【請求項6】

前記増幅器トランジスタの1つ、前記選択トランジスタの1つ、および前記リセットトランジスタの1つが、前記複数のピクセルのうちの少なくとも2つのピクセルの間で共有されている、請求項1に記載のイメージングシステム。

30

【請求項7】

各ピクセルにおいて、前記タイミング回路が対応する転送ゲートと対応するフォトダイオードに直列に結合されている、請求項1に記載のイメージングシステム。

【請求項8】

前記共有ピクセルアーキテクチャの各々が、前記累積された電荷を各ピクセルの前記蓄積キャパシタから受信するように構成された前記1つまたは複数の増幅器トランジスタと、選択した行の前記複数のピクセルの前記1つまたは複数の増幅器トランジスタを起動するように構成された前記1つまたは複数の選択トランジスタと、を備える、請求項1に記載のイメージングシステム。

【請求項9】

40

各ピクセルの前記フォトダイオードが、光を集積し、前記集積された光を、前記フォトダイオードに結合された各ピクセルの前記転送ゲートを介して運搬するように構成された、請求項1に記載のイメージングシステム。

【請求項10】

イメージングシステムであって、

ターゲットシーンからの光にさらされたときに電荷を生成するように構成された複数のセンサ回路であって、各センサ回路が、フォトダイオードと、前記フォトダイオードに結合された転送ゲートと、前記フォトダイオードに直列に結合された蓄積キャパシタと、タイミング回路とを備え、前記転送ゲートは前記フォトダイオードと前記蓄積キャパシタの間に配置され、前記蓄積キャパシタが、前記結合されたフォトダイオードからの複数のチ

50

ャージダンプを表す累積された電荷の蓄積用の静電容量を有し、前記複数のチャージダンプの各々が、前記結合されたフォトダイオードの中に集積された前記光を表す電荷を備え、前記タイミング回路は、前記蓄積キャパシタおよび浮遊拡散ノードに電氣的に直列に結合され、前記転送ゲートが、前記蓄積キャパシタおよび浮遊拡散ノードの間に配置され、前記蓄積キャパシタから浮遊拡散ノードへの電荷の流れを制御するように構成される、複数のセンサ回路と、

それぞれがリセットトランジスタ、行選択トランジスタ、および増幅器トランジスタのうち少なくとも1つを備えた複数の読出し回路と、

前記複数のセンサ回路のうち2つまたは複数と、
備えた複数の共有センサアーキテクチャと、

前記複数のセンサ回路を含むセンサアレイであって、前記センサアレイは、前記各フォトダイオードから前記各蓄積キャパシタへの前記複数のチャージダンプの各々をダンプするように各センサ回路の前記転送ゲートを独立に制御し、各蓄積ダイオードから前記浮遊拡散ノードへのチャージダンプが一度に1ピクセルで生ずるように各ピクセルの前記タイミング回路を独立に制御するように構成される、センサアレイと、

前記複数の共有センサアーキテクチャを含む第1のシリコン層と、

前記複数の読出し回路を含む第2のシリコン層であって、前記第1のシリコン層が前記イメージングシステムにターゲットシーンから投射された光に露出されるように、前記第2のシリコン層が前記イメージングシステム内の前記第1のシリコン層に対して配置される、第2のシリコン層と、

を備えるイメージングシステム。

【請求項11】

前記増幅器トランジスタが、1つまたは複数のセンサ回路からの電荷を変換するように構成されている、請求項10に記載のイメージングシステム。

【請求項12】

前記センサアレイの中の前記複数のセンサ回路が、ベイカカラーピクセル配列の中に配列されている、請求項10に記載のイメージングシステム。

【請求項13】

前記第1のシリコン層の上に配置された行および列のバス読出し経路のうち少なくとも1つをさらに備え、前記行および列の読出し経路のうちの前記少なくとも1つが、前記第2のシリコン層の上に配置された読出し回路と結合される、請求項10に記載のイメージングシステム。

【請求項14】

前記浮遊拡散ノードが、第1のシリコン層の前記複数の共有センサアーキテクチャの1つと、第2のシリコン層の前記複数の読出し回路のうち1つとに、微細ピッチハイブリッドボンドを介して電氣的に結合されている、請求項10に記載のイメージングシステム。

【請求項15】

前記第2のシリコン層の上に配置された読出し回路に融着ボンドを介して電氣的に結合された、前記第1のシリコン層の上に配置された行および列のバス読出し経路のうち少なくとも1つをさらに備える、請求項10に記載のイメージングシステム。

【請求項16】

イメージングシステムであって、

光にさらされたときに電荷を生成するように構成され、第1のシリコン層の上に配置された複数のピクセルを含むピクセルアレイであって、前記複数のピクセルの各々が、フォトダイオードと、前記フォトダイオードに結合された転送ゲートと、前記フォトダイオードに電氣的に直列に結合された蓄積キャパシタと、タイミング回路とを備え、前記転送ゲートは前記フォトダイオードと前記蓄積キャパシタの間に配置され、前記蓄積キャパシタが、前記結合されたフォトダイオードからの複数のチャージダンプを表す累積された電荷の蓄積用の静電容量を有し、前記複数のチャージダンプの各々が、前記結合されたフォトダイオードの中に集積された前記光を表す電荷を備え、前記タイミング回路は、前記蓄積

10

20

30

40

50

キャパシタに電氣的に直列に結合され、前記蓄積キャパシタから浮遊拡散ノードへの電荷の流れを制御するように構成される、ピクセルアレイと、

複数のピクセル読出し回路に結合されたピクセルの中に集積された光を読み取るための前記複数のピクセル読出し回路であって、前記複数のピクセル読出し回路の各々が、少なくとも前記複数の前記ピクセルのサブセットの間で共有される1つまたは複数のトランジスタを備え、前記1つまたは複数のトランジスタが、前記第1のシリコン層と異なる第2のシリコン層の上に配置される、複数のピクセル読出し回路と、

前記複数のピクセルの各々を前記複数のピクセル読出し回路に結合するように構成された複数の浮遊拡散ノードであって、前記ピクセルアレイは、前記各フォトダイオードから前記各蓄積キャパシタへの前記複数のチャージダンプの各々をダンプするように各ピクセルの前記転送ゲートを独立に制御し、各蓄積ダイオードから前記浮遊拡散ノードへのチャージダンプが一度に1ピクセルで生ずるように各ピクセルの前記タイミング回路を独立に制御するように構成される、複数の浮遊拡散ノードと、

を備えるイメージングシステム。

【請求項17】

前記浮遊拡散ノードが、少なくとも2つのピクセルの各々の前記ピクセル読出し回路と、前記蓄積キャパシタとの間に結合されている、請求項16に記載のイメージングシステム

【請求項18】

各ピクセル読出し回路が、少なくとも1つのピクセルの前記浮遊拡散ノード、前記フォトダイオード、および前記蓄積キャパシタのうちの少なくとも1つを、所定の電荷レベルにリセットするように構成されたりセットトランジスタをさらに備える、請求項17に記載のイメージングシステム。

【請求項19】

前記浮遊拡散ノードが、前記第2のシリコン層の上に配置された前記1つまたは複数のトランジスタに、微細ピッチハイブリッドボンドを介して電氣的に結合されている、請求項17に記載のイメージングシステム。

【請求項20】

前記浮遊拡散ノードが、前記第2のシリコン層の上に配置された前記1つまたは複数のトランジスタに、融着ボンドを介して電氣的に結合されている、請求項17に記載のイメージングシステム。

【請求項21】

前記1つまたは複数のトランジスタが増幅器を含み、前記イメージングシステムが、増幅された信号を受信し、前記増幅された信号をデジタル信号に変換するための、前記増幅器と通信しているアナログデジタル変換器をさらに備え、前記アナログデジタル変換器が、前記第1および第2のシリコン層と異なる第3の層の上に配置されている、請求項16に記載のイメージングシステム。

【請求項22】

3D積層イメージセンサを製造する方法であって、

1つまたは複数の共有ピクセルアーキテクチャの中に配列された複数のピクセルを含むピクセルアレイを第1のシリコン層に形成するステップであって、前記複数のピクセルは、フォトダイオードと、前記フォトダイオードに結合された転送ゲートと、前記フォトダイオードに電氣的に直列に結合された蓄積キャパシタと、タイミング回路とを備え、前記転送ゲートは前記フォトダイオードと前記蓄積キャパシタの間に配置され、前記蓄積キャパシタが、前記結合されたフォトダイオードからの複数のチャージダンプを表す累積された電荷の蓄積用の静電容量を有し、前記複数のチャージダンプの各々が、前記結合されたフォトダイオードの中に集積された光を表す電荷を備え、前記タイミング回路は、前記蓄積キャパシタと電氣的に直列に結合され、前記蓄積キャパシタから浮遊拡散ノードへの電荷の流れを制御するように構成され、前記ピクセルアレイは、前記フォトダイオードから前記蓄積キャパシタへの前記複数のチャージダンプの各々をダンプするように各ピクセル

10

20

30

40

50

の前記転送ゲートを独立に制御し、各蓄積ダイオードから前記浮遊拡散ノードへのチャージダンプが一度に1ピクセルで生ずるように各ピクセルの前記タイミング回路を独立に制御するように構成される、ステップと、

少なくとも1つの増幅器トランジスタ、選択トランジスタ、およびリセットトランジスタを含む読み出し回路を、前記第1のシリコン層と異なる第2のシリコン層に形成するステップと、

前記第1のシリコン層の2つまたは複数のピクセルを前記第2のシリコン層の1つの読み出し回路に電気的に結合する前記浮遊拡散ノードを形成するステップと、

を備える方法。

【請求項 2 3】

前記第2のシリコン層の上に配置された前記少なくとも1つのトランジスタから受信された信号を操作するように構成された1つまたは複数の処理構成要素を、前記第1および第2のシリコン層と異なる第3のシリコン層の上に配置するステップをさらに備える、請求項22に記載の方法。

【請求項 2 4】

前記第1のシリコン層の2つまたは複数のピクセルを前記第2のシリコン層の1つの読み出し回路に微細ピッチハイブリッドボンドを介して電気的に結合するステップを備える、請求項22に記載の方法。

【請求項 2 5】

前記第1のシリコン層の2つまたは複数のピクセルを前記第2のシリコン層の1つの読み出し回路に融着ボンドを介して電気的に結合するステップを備える、請求項22に記載の方法。

【請求項 2 6】

前記ピクセルアレイを形成する前記共有ピクセルアーキテクチャは、インターレースされた方式で配列されており、前記複数のピクセルの、ピクセルのサブセットによって共有されている1つまたは複数の増幅器トランジスタ、1つまたは複数の選択トランジスタ、および1つまたは複数のリセットトランジスタを備える、請求項22に記載の方法。

【請求項 2 7】

前記ピクセルアレイが前記フォトダイオードから前記蓄積キャパシタへの前記複数のチャージダンプの各々をダンプするように各ピクセルの前記転送ゲートを独立に制御するように構成されることは、前記ピクセルアレイが、前記複数のピクセルの各他の転送ゲートと独立に、前記各フォトダイオード内に累積された前記電荷を前記各蓄積キャパシタに転送するように前記複数のピクセルの各転送ゲートを制御するように構成されることを含む、請求項1に記載のイメージングシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示するシステムおよび方法は、フォトセンサーを対象とし、より詳細には、サブミクロンピクセル、および垂直に集積されたピクセルセンサーを対象とする。

【背景技術】

【0002】

デジタルカメラおよびデジタルイメージングにおける動向は、メガピクセルカウントを高く駆り立て、またはより小さいセンサーエリアを可能にするために、より小さいピクセルに向かっている。同時に、速度、感度、およびピクセル数の改善が望まれる。しかしながら、サイズの低減およびピクセル数の増大は、速度および感度の所望の増大をサポートしないことがある。ピクセルのサイズを小さくすることには、多くの課題があり得る。たとえば、ピクセルを小さくすることは、感知速度をより小さくするとともに解像度および色忠実度を劣化させることがあり、より大きいピクセルと比較するとダイナミックレンジを制限することがある。特にモバイルセンサーでは、ピクセルサイズおよびセンサーエリアを縮小する動向は、高度な処理を通じて性能を維持するように試みる。サブミクロンピクセル検出器アレイのフルウェルキャパシティ(full well capacity)の低減、量子効率の

10

20

30

40

50

低減、および感光性の低減は、イメージセンサーの信号対雑音比(SNR)およびダイナミックレンジを大幅に劣化させる。加えて、低減されたピクセルサイズのより大きいクロストークは、画像品質問題をもたらす、たとえば、変調伝達関数(MTF)および色忠実度を劣悪にさせることになる。

【0003】

デジタルイメージングでは、相補型金属酸化物半導体(CMOS)センサーのダイナミックレンジは、時々、屋外シーンを正確に表現するのに不十分であり得る。このことは、モバイルデバイスの中で、たとえば、携帯電話上のカメラの中で使用され得る、よりコンパクトなセンサーにおいて特にそうであり得る。たとえば、モバイルデバイスカメラの中で使用される典型的なセンサーは、約60~70dBのダイナミックレンジを有することがある。しかしながら、典型的な自然屋外シーンは、光エリアと影との間で100dBのコントラスト範囲を容易にカバーし得る。このダイナミックレンジはモバイルデバイスの中で使用される典型的なセンサーのダイナミックレンジよりも大きいので、モバイルデバイスによって取り込まれる画像の中でディテールが失われることがある。

【発明の概要】

【課題を解決するための手段】

【0004】

本発明のシステム、方法、およびデバイスはそれぞれ、いくつかの態様を有し、それらの中の単一の態様だけが、その望ましい属性を担うわけではない。後述の特許請求の範囲によって表現されるような本発明の範囲を限定することなく、いくつかの特徴がここで簡単に説明される。この説明を考察した後、また特に「発明を実施するための形態」と題するセクションを読んだ後、本発明の様々な実施形態の特徴が、ワイヤレスネットワークにおけるアクセスポイントとステーションとの間の改善された通信を含む利点をどのようにもたらすのかが理解されよう。

【0005】

本明細書で開示する実施形態はそれぞれ、いくつかの革新的な態様を有し、それらの中の単一の態様だけが、本発明の望ましい属性を担うわけではない。後述の特許請求の範囲によって表現されるような範囲を限定することなく、より顕著な特徴がここで簡単に開示される。この説明を考察した後、様々な実施形態の特徴が、現在の動的ワイヤレス充電システムにまさるいくつかの利点をどのようにもたらすのかが理解されよう。

【0006】

本開示の一態様は、イメージングシステムを提供する。イメージングシステムは、光を電荷に変換するように構成された複数のピクセルを含む。イメージングシステムは、複数のピクセルからの電荷を変換するように構成された1つまたは複数の増幅器トランジスタ、読み出されるべき複数のピクセルの行または列を選択するように構成された1つまたは複数の選択トランジスタ、および複数のピクセルのうちの少なくとも1つをリセットするように構成された1つまたは複数のリセットトランジスタをさらに含む。イメージングシステムはまた、ピクセルアレイを含む。ピクセルアレイは、1つまたは複数の共有ピクセルアーキテクチャの中に配列された複数のピクセルを含む。ピクセルアレイは、複数の行および列の中に配列されており、複数の転送ゲートトランジスタをさらに含む。複数の転送ゲートトランジスタの各々は、複数のピクセルのうちの1つに対応する。イメージングシステムは、複数のピクセルがその上に配置されている第1のシリコン層と、1つまたは複数の増幅器トランジスタ、選択トランジスタ、およびリセットトランジスタのうちの少なくとも1つがその上に配置されている第2のシリコン層とをさらに含む。

【0007】

開示する別の態様は、別のイメージングシステムである。他のイメージングシステムは、複数のピクセルを含み、ピクセルは、光にさらされたときに電荷を生成するように構成されている。他のイメージングシステムはまた、複数のピクセル回路を含み、各ピクセル回路は、リセットトランジスタ、行選択トランジスタ、または増幅トランジスタのうちの少なくとも1つを備える。他のイメージングシステムは、複数の共有ピクセルアーキテク

10

20

30

40

50

チャをさらに含み、共有ピクセルアーキテクチャは、複数のピクセルのうちの1つまたは複数のピクセル、および複数のピクセル回路のうちのピクセル回路を備える。他のイメージングシステムはまた、複数の共有ピクセルアーキテクチャを含むピクセルアレイを含む。ピクセルアレイは、複数の行および列の中に配列されている。最後に、他のイメージングシステムは、シリコンの第1の層と、シリコンの第1の層の上方に配置されたシリコンの第2の層とを含む。

【0008】

開示する別の態様は、別のイメージングシステムである。イメージングシステムは、複数のピクセルを含むピクセルアレイを含み、ピクセルは、光にさらされたときに電荷を生成するように構成され、第1の層の上に配置される。イメージングシステムは、それに結合されたピクセルの中に集積された光を読み取るための複数のピクセル回路をさらに含み、複数のピクセル回路の各々は、複数のピクセルのサブセットの間で共有される1つまたは複数のトランジスタを備え、1つまたは複数のトランジスタは、第1の層と異なる第2の層の上に配置される。イメージングシステムは、複数のピクセルの各々を複数のピクセル回路に結合するように構成された複数の浮遊拡散ノードをさらに含む。

10

【0009】

開示する別の態様は、3次元(3D)積層イメージセンサーを製造する方法である。方法は、1つまたは複数の共有ピクセルアーキテクチャの中に配列された複数のピクセルを含むピクセルアレイを形成することを含む。形成されるピクセルアレイは、複数の行および列の中に配列されており、複数の転送ゲートトランジスタをさらに含み、複数の転送ゲートトランジスタの各々は、複数のピクセルのうちの1つに対応する。方法はまた、複数のピクセルを第1のシリコン層の上に配置することと、少なくとも1つの増幅器トランジスタ、選択トランジスタ、およびリセットトランジスタを、第1のシリコン層と異なる第2のシリコン層の上に配置することとを含む。方法は、第1のシリコン層を第2のシリコン層に電気的に結合することをさらに含む。

20

【0010】

開示する態様は、開示する態様を限定するのではなく例示するために提供するための添付の図面および付録とともに以下で説明され、同様の符号は同様の要素を表す。

【図面の簡単な説明】

【0011】

30

【図1A】例示的な一実施形態による、ピクセル読み出しシステムのピクセルとして使用するための共有ピクセルアーキテクチャの一実施形態を示す図である。

【図1B】例示的な一実施形態によるインターレース4トランジスタ4共有ピクセルアーキテクチャの一実施形態を示す図である。

【図1C】例示的な一実施形態による、インターレースピクセルアーキテクチャアレイにおける図1Bの2つの4トランジスタ4共有ピクセルアーキテクチャの一実施形態を示す図である。

【図2】例示的な一実施形態による、インターレースピクセルアーキテクチャアレイにおける図1Bおよび図1Cの4トランジスタ4共有ピクセルアーキテクチャを示す図である。

【図3A】例示的な一実施形態による、1×4インターレース4共有ピクセルアーキテクチャのチャンネル毎4カラー読み出しシーケンスを示す図である。

40

【図3B】例示的な一実施形態による、2×2インターレース4共有ピクセルアーキテクチャのチャンネル毎4カラー読み出しシーケンスを示す図である。

【図4A】例示的な一実施形態による、ピクセル読み出しシステムを有するインターレース4トランジスタ8共有イメージセンサーピクセルアーキテクチャ400の一実施形態を示す図である。

【図4B】図4Cにおける要素の接続を示すための接続点A~Bを有し、例示的な一実施形態による、ピクセル読み出しシステムを有する4トランジスタ16共有イメージセンサーピクセルアーキテクチャ450の一実施形態の第1のセクションを示す図である。

【図4C】図4Bにおける要素の接続を示すための接続点A~Bを有し、例示的な一実施形態

50

による、ピクセル読出しシステムを有する4トランジスタ16共有イメージセンサーピクセルアーキテクチャ450の一実施形態の第2のセクションを示す図である。

【図5A】ピクセルレベルの微細ピッチハイブリッドボンディングを伴う図4Aおよび図4Bのインターレース共有ピクセルアーキテクチャを備える3D積層CMOSイメージセンサーの一実施形態を示す図である。

【図5B】列/行レベルの融着ボンディングを伴う図4Aおよび図4Bのインターレース共有ピクセルアーキテクチャを備える3D積層CMOSイメージセンサーの別の実施形態を示す図である。

【図6A】図6Bにおける要素の接続を示すための接続点A~Xを有し、例示的な一実施形態による、図1Bのインターレース4トランジスタ4共有イメージセンサーピクセルアーキテクチャのタイミング図の第1のセクションを示す図である。

10

【図6B】図6Aにおける要素の接続を示すための接続点A~Xを有し、例示的な一実施形態による、図1Bのインターレース4トランジスタ4共有イメージセンサーピクセルアーキテクチャのタイミング図の第2のセクションを示す図である。

【図7】図6Aおよび図6Bのタイミング図による、図1Bのインターレース4トランジスタ4共有イメージセンサーピクセルアーキテクチャの読出しブロック図の一例を示す図である。

【図8】フルウェルキャパシティ拡張機能を有する画像取込みデバイスの一実施形態の高レベル概略図である。

【発明を実施するための形態】

【0012】

20

導入

本開示の実施形態は、3次元(3D)積層の、垂直に集積されたピクセルアーキテクチャを使用して、低雑音および高利得の読出し、高解像度および高い色忠実度の出力、ならびに増大されたダイナミックレンジが可能な、サブミクロンピクセルを生成および実装するためのシステムおよび技法に関する。ピクセルのサイズが縮小し続けるにつれて、画像取込みの所望の品質および特性(たとえば、低雑音、高利得、高解像度、および色忠実度など)を維持するためにピクセル内で必要とされる構成要素は、ピクセルの光感知構造、たとえば、光検出器、フォトダイオード、または類似の構造もしくはデバイスにとって利用可能な光の量を低減する。たとえば、構成要素を省くことができず、構成要素のサイズが製造および一般的技術の制約に基づいていくらかの程度でしか低減され得ないので、ピクセルサイズが低減するとき、ピクセルの中により小さい物理的領域しかない。したがって、光検出器、フォトダイオード、または類似の構造もしくはデバイスが、光を吸収し吸収された光に応じた電荷を生成することができるエリアを増大させながら、各ピクセルの中の構成要素の数およびサイズを維持する追加のアーキテクチャが開発され得る。追加の蓄積キャパシタを含む読出しアーキテクチャは、フルウェルキャパシティの拡張、信号対雑音比(SNR)およびダイナミックレンジを引き上げることを可能にする、信号読出し方式を実施することができる。関連する読出しアーキテクチャは、様々な実施形態では、4トランジスタ4共有CISピクセル、8共有、16共有、または他の適切なピクセル構成を用いて実施され得る。リセットトランジスタ、増幅トランジスタ、ならびにタイミング方式および蓄積キャパシタを含むピクセル読出し構成要素は、複数のピクセル読出しを実行するために、光検出器またはフォトダイオードから累積された電荷を蓄積するように協働し得る。「ピクセル」および「フォトダイオード」、「光検出器」、「フォトゲート」などという用語は、本明細書で互換的に使用され得る。

30

40

【0013】

一例では、転送ゲート、タイミング回路、およびリセットトランジスタがすべて活性化されている場合、フォトダイオードおよび浮遊拡散ノードはリセットされ得る。さらに、蓄積キャパシタの中での電荷集積は、転送ゲート、タイミング回路、およびリセットトランジスタがすべてオフであるときに行われ得、フォトダイオードの中に光子電荷が集められることを可能にする。後で、電荷がフォトダイオードの中に累積する。

【0014】

50

いくつかの実施形態では、電荷集積のために蓄積キャパシタが使用され得る。蓄積キャパシタは、フォトダイオードからのより少ないダンプが蓄積キャパシタの中に蓄積されることを可能にし得る。したがって、フォトダイオードからのより多くのダンプが合成されるので、蓄積キャパシタの中の電荷はより多くなる。タイミング回路が転送ゲートとともに1回または複数回ターンオンされると、フォトダイオードの中の電荷が蓄積キャパシタにダンプされ得る。したがって、蓄積キャパシタは、ピクセルまたはピクセルのグループの複数の読取りからの電荷を保持し得る。

【0015】

いくつかの例では、CMOSピクセル内の主な雑音源は、蓄積キャパシタおよび/または静電容量性の浮遊拡散ノードをリセットトランジスタの抵抗性チャネルを通じてリセットすることに由来するkTC(または、リセット)雑音(数十個の電子)である。本明細書で説明するアーキテクチャの実施形態を使用して実施され得る読出しモードの一実施形態は、リセットの直後または蓄積キャパシタおよび/もしくは静電容量性の浮遊拡散ノードに別の電圧が印加される前に実行される、第1の読取りを含み得る。この第1の読出しは、ベースラインとしてkTC雑音をメモリの中に記憶し得る。そのようなkTC雑音は、キャパシタのリセット雑音から生じることがあり、画像品質を拡張するために、kTC雑音を低減、除去、または別のやり方で補償することが望ましくあり得る。したがって、蓄積キャパシタの中での電荷集積(たとえば、光子が生成した電荷が集積する1つまたは複数のピクセルからの複数のチャージダンプを含む)の後、セレクト回路において再びターンオンすることによって、第2の読出しが実行され得る。蓄積キャパシタの追加の電荷蓄積容量、およびタイミ
10
20
30
40

【0016】

本明細書で説明するフルウェルキャパシティ拡張アーキテクチャの実施形態を使用して実施され得る読出しモードの別の実施形態は、複数の読出しを実行し得、フォトダイオードからの2つのチャージダンプ間の電荷差分を取得し得る。その結果得られる差分フレームは、kTC雑音なしであり得る。いくつかの実施形態では、たとえば、ビューファインダーのプレビュー画像のために、または自動露出調整のために、高い精度が必要とされない場合、電力を温存するために複数の読出しが低いビット深度モードで実行され得る。いくつかの実施形態では、より正確な画像情報のために複数の読出しが通常のビット深度モードで実行され得る。いくつかの実施形態では、広いダイナミックレンジ(HDR)イメージングのために、差分フレームを生成するために使用される2つの読出しにおけるチャージダ
30
40

【0017】

ピクセル読出しシステムは、任意のCMOS、CCD、または他のイメージセンサーのために使用され得る。いくつかの実施形態では、センサーは、たとえば、約1000-eのフルウェルキャパシティを伴い約0.5 μ mのピクセルを有する32MP/30fpsのイメージセンサーであってよい。イメージセンサーは、10b/240fpsの読出し速度を有するように設計され得る。イメージセンサーのいくつかの実施形態は、たとえば、完全なフレームを蓄積する必要がないインターリーブローリングシャッターを実装する、8フレーム累積シャッター速度でデジタル集積される設計であってよい。一例では、データは、約12b/30fpsの速度で外部メモリ、たとえば、DRAMから出力されてよい。そのようなイメージセンサーは、8倍に乘算された等価ピクセルフルウェルキャパシティという結果になり得、たとえば、ピクセルごと
50

に約8000-eのフルウェルキャパシティに到達する。これらのイメージセンサー仕様は、ピクセル読み出しシステムを使用するイメージセンサーの一実施形態を表すにすぎず、他の実施形態では異なる仕様を伴う他のイメージセンサーが使用されてよい。

【0018】

ピクセルアレイは、所定数の行および列(たとえば、M行およびN列)に配列された複数のピクセルを含み得る。各ピクセルは、ピクセルアレイの単一の電荷検出要素を表し得る。複数のピクセルの各々は、それぞれ、基板の下にある部分において光生成された電荷を累積するための、その基板の上にある感光性要素、たとえば、フォトゲート、光導電体、フォトダイオード、または他の光検出器を含み得る。ピクセルアレイは、いくつかの実施形態では、入射光をフィルタ処理するように位置決めされた1つまたは複数のフィルタ、たとえば、カットフィルタまたはカラーフィルタを含み得る。たとえば、CMOSピクセルの感光性要素は、空乏型p-n接合フォトダイオード、またはフォトゲートの下の電界誘起空乏領域のうちの1つであってよい。

10

【0019】

タイミング生成器は、ピクセルアレイのピクセルの各々の中に累積された光を表す値を読み出すための、タイミング信号を供給し得る。たとえば、タイミング生成器は、列および行のドライバであってよい。タイミング生成器は、ピクセルアレイのためのリセット動作、露光時間、ライン時間、およびピクセル時間を制御するための制御論理を含んでよく、アナログ/デジタル変換器(ADC)にタイミング信号を供給してもよい。読み出し回路機構は、ピクセルアレイの中のピクセルの各々を読み出すための回路機構を設け得る。たとえば、読み出し回路機構は、アレイ全体に対して設けられた複数の行ラインおよび列ラインを含み得る。読み出し回路機構の列ラインおよび行ラインは、タイミング生成器によって供給されるタイミングに従って動作する、列サンプルアンドホールド(S/H)回路機構、ピクセル回路機構、および行制御回路機構に電子的に接続され得る。動作時、ピクセルアレイの中の各行のピクセルは、行選択ラインによって同時にターンオンされてよく、各列のピクセルは、列選択ラインによって選択的に出力され得る。

20

【0020】

各ピクセルは、複数のピクセルの各々の中に集められた電荷を読み取るための回路機構を含み得る。たとえば、ピクセル回路機構の一実施形態は各ピクセルに接続されており、基板に形成された出力電界効果トランジスタ、および出力トランジスタのゲートに接続された感知ノード、通常、浮遊拡散ノードを有する、ピクセルに隣接する基板上に形成された電荷転送セクションを含む。ピクセル回路機構の電荷転送セクションは、基板の下にある部分から浮遊拡散ノードへ電荷を転送するための少なくとも1つの電子構成要素、たとえば、トランジスタと、別の電子構成要素、たとえば、電荷移転の前にノードを所定の電荷レベルにリセットするためのリセットトランジスタとを含み得る。光電荷は、初期電荷累積領域から浮遊拡散ノードへ移動するときに増幅され得、浮遊拡散ノードにおける電荷は、ソースフォロウ出力トランジスタによってピクセル出力電圧に変換され得る。以下でより詳細に説明するように、ピクセル回路機構は、1つまたは複数のピクセルからの複数のチャージダンプをアナログ領域において蓄積するための、蓄積キャパシタまたは他の電子的な電荷蓄積デバイスをさらに含み得る。蓄積キャパシタは、いくつかの実施形態では、ピクセル回路機構の中で(ピクセルの位置に対して)浮遊拡散ノードを越えて位置決めされ得、浮遊拡散ノードの静電容量よりも大きい静電容量を有し得る。蓄積キャパシタは、同じセンサーチップ上にあってもよく、または様々な実施形態では、ピクセル対ピクセル接続を有する積層ダイの下部チップにあってもよい。

30

40

【0021】

ピクセル回路機構を通過した後、ピクセル信号は、ピクセル信号(たとえば、電圧または電流)の強度を増大させるための増幅器を通過し得る。タイミング生成器、ピクセルアレイ、ピクセル回路機構、および増幅器は、(1)光子から電荷への変換、(2)画像電荷の累積、(3)電荷増幅が付随する、浮遊拡散ノードへの電荷の転送、(4)浮遊拡散ノードへ電荷を転送する前の、知られている状態への浮遊拡散ノードのリセット、(5)読み出し用のピク

50

セルの選択、(6)ピクセル電荷を表す信号の出力および増幅、としての機能を一緒に実行し得る。本明細書で説明する3次元(3D)積層または共有ピクセルアーキテクチャは、ピクセルアレイの速度、感度、解像度、ダイナミックレンジ、および色忠実度を高めながら、ピクセルサイズを低減するとともに同じエリアの中のピクセルの数を増加させながら、これらの機能を実行し得る。

【0022】

図1Aは、例示的な一実施形態による、ピクセル読み出しシステムのピクセルとして使用するための共有ピクセルアーキテクチャ100の一実施形態を示す。イメージセンサーのいくつかの実施形態は、ピクセル回路機構を共有する4つの4トランジスタ(4T)ピクセルおよびコンパクトなレイアウトを有する固体イメージセンサー、たとえば、CMOSイメージセンサーであってよい。4T4共有ピクセルアーキテクチャ100は、いくつかの実施形態では、ピクセルアレイの中のピクセル用のピクセルアーキテクチャとして使用され得る。4T4共有ピクセルアーキテクチャ100は、4つのピクセルを含み、多くのそのような類似の共有ピクセルアーキテクチャがアレイの中に存在し同様の方法で配列され得るが、簡単のために、1つの4T4共有ピクセルアーキテクチャ100だけがより詳細に図示される。

【0023】

4T4共有ピクセルアーキテクチャ100は、4つのフォトダイオード回路を並列に含む。フォトダイオード回路は、フォトダイオードPD1~PD4およびそれらの対応する転送ゲートTG1~TG4を備える。フォトダイオード回路の各々はまた、タイミング回路TS1~TS4および蓄積キャパシタCS1~CS4を、それぞれのフォトダイオードPD1~PD4と直列に、フォトダイオードPD1~PD4と浮遊拡散ノードとの間に備える。フォトダイオードPD1~PD4の各々のための個々の蓄積キャパシタCS1~CS4は、フォトダイオードPD1~PD4の各々によって吸収された電荷を、電荷が浮遊拡散ノードへ転送される前に一時的に蓄積するために使用され得る。ピクセル読み出しシステムは、浮遊拡散ノードFD、リセットトランジスタRST、電圧源VDD、ソースフォロワ増幅器SF_AMP、セレクトトランジスタSEL、出力電圧ノードVcol、および電流源Ibiasを備え得る。これらの要素は、上記で説明したような類似の機能を実行し得る。隣接するフォトダイオードPD1~PD4および転送ゲートTG1~TG4の間で浮遊拡散ノードFD、ソースフォロワ増幅器SF_AMP、行選択トランジスタSEL、およびリセットトランジスタRSTを共有することは、ピクセルアーキテクチャの充填率、すなわち、光に感受性のあるピクセルエリアのパーセンテージを表す充填率を増大させる助けとなる。複数のピクセルアーキテクチャの間での構成要素の共有が、共有ピクセルアーキテクチャ100においてより多くの共有ピクセルに結合されるトランジスタ、キャパシタ、および他の構成要素の総数を低減するので、充填率が増大する。したがって、複数のピクセル間での構成要素の共有は、トランジスタおよび他の構成要素が充填されるピクセルのエリアを低減し、光に感受性のあるピクセルのエリアをそのように増大させる。図示したアーキテクチャ100は、ピクセルごとにほぼ2.0個のトランジスタという結果になる。構成要素は、4つの別個のフォトダイオードおよび関連する転送ゲートによって共有され得る。いくつかの実施形態では、共有される構成要素は、8個の別個のフォトダイオードもしくは16個の別個のフォトダイオード、またはより多くの別個のフォトダイオードによって共有されてよい。

【0024】

いくつかの実施形態では、フォトダイオードPD1~PD4は、入射光の赤色の成分を検出するために使用される1つのフォトダイオード、入射光の緑色の成分を検出するために使用される2つのフォトダイオード、および入射光の青色の成分を検出するために使用される1つのフォトダイオードを含み得る。この図に示さないが、説明されるカラー表現は、ベイヤーカラーパターンに従ってよく、共有されるアーキテクチャは、4ピクセルアーキテクチャにおける、対角にある2つの緑色ピクセル、1つの青色のピクセル、およびそれと対角にある1つの赤色ピクセルを備える。いくつかの実施形態では、図1Aの浮遊拡散ノードFDは、1つまたは複数の浮遊拡散ノードを表し得る。たとえば、各フォトダイオード回路は、個別の浮遊拡散ノード(この図に示さず)を有してよい。いくつかの実施形態では、2つ以上のフォトダイオード回路が1つまたは複数の浮遊拡散ノード(この図に示さず)を共有し

10

20

30

40

50

てよい。しかしながら、本明細書に示すように、1つまたは複数の浮遊拡散ノードは、概略図の簡単のために、図における単一の浮遊拡散ノードFDに組み合わせられ得る。

【0025】

対応する転送ゲートTG1~TG4がオフである限り、フォトダイオードPD1~PD4の各々によって電荷が集められ得る。フォトダイオードPD1~PD4の中に電荷が累積すると、フォトダイオードPD1~PD4の各々の中に累積された電荷は、それぞれの蓄積キャパシタCS1~CS4へ一時的に転送され得る。たとえば、転送ゲートTG1が閉じられており規定されたカラーの光にフォトダイオードがさらされているときにフォトダイオードPD1の中に累積する電荷は、転送ゲートTG1が開かれると蓄積キャパシタCS1へ転送され得る。蓄積キャパシタCS1~CS4の中に電荷が配置されると、転送ゲートTG1~TG4は閉じられてよい。いくつかの実施形態では、蓄積キャパシタCS1~CS4は、フォトダイオードPD1~PD4よりも大きい電荷容量を有することがあり、蓄積キャパシタCS1~CS4は、蓄積キャパシタCS1~CS4の中の電荷が浮遊拡散ノードFDへ転送される前に、それらのそれぞれのフォトダイオードPD1~PD4から複数のチャージダンプを受けることがある。転送ゲートTG1~TG4が閉じられている間にそれぞれのタイミング回路TS1~TS4が活動化されると、電荷は浮遊拡散ノードFDへさらに転送され得る。いくつかの実施形態では、転送ゲートTG1~TG4とタイミング回路TS1~TS4の両方が同時に開かれてよく、したがって、フォトダイオードPD1~PD4の中に累積されている電荷と蓄積キャパシタCS1~CS4の中の電荷の両方が、浮遊拡散ノードFDの中に累積することを可能にする。個々の蓄積キャパシタCS1~CS4およびタイミング回路TS1~TS4は、対応するフォトダイオードPD1~PD4からの電荷が浮遊拡散ノードFDへ個別に転送されることを可能にする。

10

20

【0026】

フォトダイオードPD1~PD4と浮遊拡散ノードFDとの間の蓄積キャパシタCS1~CS4の中での電荷の中間的な蓄積は、個々のフォトダイオードPD1~PD4からの電荷寄与を見分ける際に有用であり得る。個々の蓄積キャパシタCS1~CS4がないと、いくつかの実施形態では、単一の、共有される蓄積キャパシタまたは浮遊拡散ノードFDは、信号を失いアーティファクトを生み出すことなく複数のフォトダイオードPD1~PD4からの複数の電荷転送をサポートする難しさがあり得る。充電/集積時間の後にフォトダイオードPD1~PD4から浮遊拡散ノードFDへ電荷が直接転送されるとき、浮遊拡散ノードFDは、フォトダイオードPD1~PD4のシリコンウエハの内側に寄生キャパシタを備えることがあり、小さいピクセルを有するセンサーのダイナミックレンジを拡張するための十分な電荷を保持しないことがある。したがって、フォトダイオードPD1~PD4からの電荷は、蓄積キャパシタCS1~CS4の各々からの電荷が浮遊拡散ノードFDを通じて上記で説明した読出し回路機構に個別に読み出される前に、それらのそれぞれの蓄積キャパシタCS1~CS4へ複数回ダンピングされ得る。蓄積キャパシタCS1~CS4は、上記で説明したように、それらのそれぞれのフォトダイオードPD1~PD4からの複数のチャージダンプ、たとえば、8回以上のチャージダンプを蓄積するのに十分に大きい実効静電容量を伴って構成され得る。いくつかの実施形態では、ピクセルのフルウェルキャパシティは、アナログ領域において蓄積キャパシタCS1~CS4の中に蓄積されるチャージダンプの数で実効的に乗算され得る。いくつかの実施形態では、蓄積キャパシタCS1~CS4およびタイミング回路TS1~TS4は、共有ピクセルアーキテクチャ100の中でフォトダイオードPD1~PD4と同じ層の上に形成される。いくつかの実施形態では、蓄積キャパシタCS1~CS4およびタイミング回路TS1~TS4は、読出し回路機構の残りの構成要素とともに第2の層の上に形成され得る。

30

40

【0027】

一例では、転送ゲートTG1~TG4、タイミング回路TS1~TS4、およびリセットトランジスタRSTのうちの1つまたは複数がすべてオンである場合、どのTG1~TG4およびTS1~TS4が活動化されているのかに依存して、対応する1つまたは複数のフォトダイオードPD1~PD4、1つまたは複数の蓄積キャパシタCS1~CS4、および浮遊拡散ノードFDがリセットされ得る。いくつかの実施形態では、フォトダイオードPD1~PD4および蓄積キャパシタCS1~CS4はそれぞれ、光源にさらされる前にリセットされ得る。フォトダイオードPD1~PD4の中での電

50

荷集積は、それぞれの転送ゲートTG1～TG4がオフであるときに行われ得、対応するフォトダイオードPD1～PD4の中に光子電荷が集められることを可能にする。蓄積キャパシタCS1～CS4の中での電荷集積は、フォトダイオードPD1～PD4からの電荷が蓄積キャパシタCS1～CS4の中に累積することを可能にするように、それぞれのタイミング回路TS1～TS4がオフであるとともにそれぞれの転送ゲートTG1～TG4が開かれているときに行われ得る。

【0028】

いくつかの実施形態では、フォトダイオードPD1～PD4の中での電荷集積は、それぞれの転送ゲートTG1～TG4、タイミング回路TS1～TS4、およびリセットトランジスタRSTがすべてオフであるときに行われ得、対応するフォトダイオードPD1～PD4の中に光子電荷が集められることを可能にする。転送ゲートTG1～TG4を選択的にターンオンすることによって、対応するフォトダイオードPD1～PD4(たとえば、ターンオンされた関連する転送ゲートを有する1つまたは複数のフォトダイオードPD1～PD4)の中の電荷は、蓄積キャパシタCS1～CS4およびタイミング回路TS1～TS4を経由して浮遊拡散ノードFDへ転送される。いくつかの実施形態では、1つまたは複数の転送ゲートTG1～TG4およびタイミング回路TS1～TS4は、関連するフォトダイオードPD1～PD4から直接浮遊拡散ノードFDへ、電荷を蓄積キャパシタCS1～CS4の中に蓄積せずに直接転送するために同時にターンオンされ得る。フォトダイオードPD1～PD4の行または列が、SELトランジスタの活動化によって読み出されるように選択されると、浮遊拡散ノードFDの中に蓄積される電荷は増幅器SF_AMPを通じて電圧に変換される。この読出し電圧は、Vcol出力上に転送され得る。いくつかの実施形態では、蓄積キャパシタCS1～CS4のうちの1つの中に蓄積される電荷は、それぞれのタイミング回路TS1～TS4がターンオンされると、増幅器SF_AMPを通じて電圧に変換され得、この読出し電圧はVcol出力上に転送され得る。いくつかの実施形態では、所望される場合、フォトダイオードPD1～PD4のうちの1つの中に蓄積される電荷は、それぞれの転送ゲートTG1～TG4およびタイミング回路TS1～TS4がターンオンされると、増幅器SF_AMPを通じて電圧に変換され得る。

【0029】

いくつかの実施形態では、タイミング回路TS1～TS4は、フォトダイオードPD1～PD4から蓄積キャパシタCS1～CS4へ送られるチャージダンプの数を調整するための、またそれぞれの蓄積キャパシタCS1～CS4の中の電荷が浮遊拡散ノードを経由して読み出されることが可能になるようにいつ開くべきかを決定するための、高速論理を含み得る。いくつかの実施形態では、蓄積キャパシタCS1～CS4のうちの1つの蓄積キャパシタだけが、読出し回路機構によって一度に読み出され得る。したがって、タイミング回路TS1～TS4は、2つが一緒に開かないように協調し得る。フォトダイオードPD1～PD4からの複数のチャージダンプをアナログ領域において累積することによって、フォトダイオードPD1～PD4からの複数のチャージダンプをデジタル領域において累積することと比較して、デバイス電力が節約され得る。タイミング回路TS1～TS4および読出し回路機構を使用するフォトダイオードPD1～PD4の順次式の読出しは、平行走査と比較して解像度を高めるようにフォトダイオードPD1～PD4の読出しを制御し得る。タイミング回路TS1～TS4の高速論理に起因して、ピクセルアレイの中の各フォトダイオードPD1～PD4をアナログ領域において複数回のサンプリング、たとえば、フレームごとにピクセル当たり8回の読出しを行いながら、高いビデオフレームレート(たとえば、8MPフル解像度において30fps)が依然として達成され得る。いくつかの実施形態では、タイミング方式は、線幅が約20nmのトランジスタであってよい。

【0030】

図1Bは、例示的な一実施形態による、概して、第1のアーキテクチャ105と称されるインターレース4トランジスタ4共有ピクセルアーキテクチャの一実施形態を示す。図1Bに示すように、4つのフォトダイオードPDR1、PDR2、PDG1、およびPDG3(または、類似の構造もしくはデバイス)があり、フォトダイオードの1つのペアは第1のカラー、たとえば、赤色用であり(PDR1およびPDR2)、フォトダイオードの第2のペアは第2のカラー、たとえば、緑色用である(PDG1およびPDG3)。これらのフォトダイオードPDR1、PDR2、PDG1、およびPDG3は、図1Aで参照されたようなフォトダイオードPD1～PD4に相当し得る。上記で説明したよう

10

20

30

40

50

に、フォトダイオードPDR1、PDR2、PDG1、およびPDG3の各々は、それぞれのフォトダイオードPDR1、PDR2、PDG1、およびPDG3の各々における電荷の集積時間を制御するための専用の転送ゲートTG1～TG4を有する。したがって、転送ゲートTG1は、フォトダイオードPDR1の中の電荷の集積および転送を制御し、転送ゲートTG2は、フォトダイオードPDR2の中の電荷の集積および転送を制御する。同様に、図1Bの転送ゲートTG3およびTG4は、それぞれ、フォトダイオードPDG1およびPDG3の中の電荷の集積および転送を制御する。上記で説明したように、フォトダイオードPDR1～PDR2のペアとPDG1～PDG3のペアとの間に示す3つのトランジスタは、4つのフォトダイオードPDR1、PDR2、PDG1、およびPDG3の間で共有される。トランジスタのこの列の上部におけるトランジスタは増幅トランジスタSF_AMPであり、中間のトランジスタは選択トランジスタSELであり、下部のトランジスタはリセットトランジスタRSTである。2つの浮遊拡散ノードFD1およびFD2が示され、FD1はフォトダイオードPDR1とPDG1および増幅トランジスタSF_AMPとの間に位置し、FD2はフォトダイオードPDR2とPDG3および増幅トランジスタSF_AMPとの間に位置する。いくつかの実施形態では、2つの浮遊拡散ノードFD1およびFD2は、単一の浮遊拡散ノードに組み合わせられてよく、または追加の浮遊拡散ノードに分割されてよい。タイミング回路機構TSおよび蓄積キャパシタCSは共有ピクセル回路機構の中に図示されないが、いくつかの実施形態では、これらの2つの構成要素は、共有ピクセル回路機構の中に含まれ得る。

【0031】

フォトダイオードPDR1およびPDR2は、図1Bの概略図の一番左の列の中の2つのフォトダイオードである。フォトダイオードPDR1およびPDR2は、赤色の光を感知するように構成される。したがって、赤色の光が感知されるとき、フォトダイオードPDR1およびPDR2はそれぞれ、時間期間にわたって感知される赤色の光の量に応じて電荷を生成する。同様に、フォトダイオードPDG1およびPDG3は、一番右の列の中の2つのフォトダイオードであり、それぞれが緑色の光を感知するように構成され、それぞれは緑色の光が感知されているときに電荷を生成する。中央の列は、共有されるトランジスタSF_AMP、SEL、およびRST、ならびに共有される浮遊拡散点FD1およびFD2を備える。SF_AMPは、上記で説明したように、フォトダイオードPDR1、PDR2、PDG1、およびPDG3のうちの1つからの電荷入力を、読み出しシークス中に出力されるべき対応する電圧信号に変換するように構成され得る。選択トランジスタSELは、読み出される(すなわち、出力される)べきピクセルアレイの単一の行を選択するように構成され得、上記で説明したように、所与の行または列が選択されると、増幅トランジスタSF_AMPが電荷を電圧に変換することを可能にし得る。最後に、リセットトランジスタRSTは、各フォトダイオードPDR1、PDR2、PDG1、およびPDG3、ならびに浮遊拡散ノードFD1およびFD2の電荷をクリアする(すなわち、基準点に設定する)ように構成され得る。フォトダイオードPDR1、PDR2、PDG1、およびPDG3をリセットするために、リセットトランジスタRSTは、それぞれ、転送ゲートTG1、TG2、TG3、およびTG3とともにターンオンされる必要があり得る。

【0032】

図1Cは、例示的な一実施形態による、インターレースピクセルアーキテクチャアレイにおける図1Bの2つの4トランジスタ4共有ピクセルアーキテクチャの一実施形態を示す。第1の4トランジスタ4共有ピクセルアーキテクチャは、図1Bからの第1のアーキテクチャ105に相当し得る。第2の4トランジスタ4共有ピクセルアーキテクチャは、第2のアーキテクチャ110として示され得る。図1Bに関して上記で説明したように、左側の第1の4トランジスタ4共有ピクセルアーキテクチャ105は、トランジスタSF_AMP、SEL、およびRST、ならびに浮遊拡散ノードFD1およびFD2とともに、フォトダイオードPDR1、PDR2、PDG1、およびPDG3を備える。同様に、右側の第2の4トランジスタ4共有ピクセルアーキテクチャ110は、トランジスタSF_AMP1、SEL1、およびRST1、ならびに浮遊拡散ノードFD3およびFD4とともに、フォトダイオードPDB1、PDB2、PDG2、およびPDG4を備える。第2の4トランジスタ4共有ピクセルアーキテクチャ110の構成要素は、図1Aおよび図1Bに関して上記で説明した構成要素と同じように機能し、フォトダイオードPDB1およびPDB2は、感知された青色の光に応じた電流を生成するように構成されている。第2の4トランジスタ4共有ピクセルアーキテクチャ

10

20

30

40

50

ヤのPDG2およびPDG4は、PDG1およびPDG3によって生成されるものに加えて、緑色の光への露出に応じた電流信号を生成する。浮遊拡散ノードFD3は、フォトダイオードPDB1とPDG2および増幅トランジスタSF_AMP1との間に位置し得、FD4は、フォトダイオードPDB2とPDG4および増幅トランジスタSF_AMP1との間に位置し得る。

【 0 0 3 3 】

2つの4トランジスタ4共有ピクセルアーキテクチャ105および110の組合せは、ベイヤカラーパターンに従うカラー表現を提供し得、ここで、すべての完全なユニットは、対角にある青色ピクセルおよび赤色ピクセル、およびそれとペアにされ対角にある2つの緑色ピクセル(たとえば、1つの緑色奇数ピクセルおよび1つの緑色偶数ピクセル)を備える。したがって、いくつかの実施形態では、PDG1およびPDG3は、緑色奇数フォトダイオードと呼ばれることがあり、PDG2およびPDG4は、緑色偶数フォトダイオードと呼ばれることがある。いくつかの実施形態では、インターレースアレイの中で他のカラーパターンが使用されてよく、様々なカラーパターンの間の選択は、少なくともピクセルアレイの適用に依存し得る。

【 0 0 3 4 】

第2のアーキテクチャ110の中央の列で共有される構成要素は、トランジスタSF_AMP1、SEL1、およびRST1、ならびに浮遊拡散点FD3およびFD4を備える。SF_AMP1は、上記で説明したように、フォトダイオードPDB1、PDB2、PDG2、およびPDG4のうちの1つからの電荷入力を、読み出されるべき対応する電圧信号に変換するように構成され得る。選択トランジスタSEL1は、上記で説明したように、読み出される(すなわち、出力される)べき第2のアーキテクチャ110のピクセルアレイの単一の行を選択するように構成され得る。最後に、リセットトランジスタRST1は、各フォトダイオードPDB1、PDB2、PDG2、およびPDG4、ならびに浮遊拡散ノードFD3およびFD4の電荷をクリアするように構成され得る。フォトダイオードPDB1、PDB2、PDG2、およびPDG4の各々の電荷をクリアするために、それぞれの転送ゲートTG1_1、TG2_1、TG3_1、およびTG4_1は、リセットトランジスタRST1とともに活動化され得る。

【 0 0 3 5 】

図2は、例示的な一実施形態による、インターレースアレイ200と称されるインターレースピクセルアーキテクチャアレイにおける図1Bおよび図1Cの4トランジスタ4共有ピクセルアーキテクチャ105および110を示す。図2は、図1Bおよび図1Cのインターレースアーキテクチャ105および110が、物理的にどのように整列し得るのかを示し得る。たとえば、図1Cの4トランジスタ4共有ピクセルアーキテクチャ105および110が、6つの4トランジスタ4共有ピクセルアーキテクチャ(105と110の両方の各々が3つ)のインターレースアレイ200を形成するように示される。たとえば、4共有ピクセルアーキテクチャの第1の行は、ピクセルアーキテクチャ105であってよく、4共有ピクセルアーキテクチャの第2の行は、ピクセルアーキテクチャ110であってよい。この図におけるように個別にラベル付けされないが、6つの4トランジスタ4共有ピクセルアーキテクチャの各々は、図1Bおよび図1Cに関して上記で説明した構成要素を備える(たとえば、それぞれが、4つのフォトダイオード(この図では個別にラベル付けされない)、4つの転送ゲートトランジスタ(この図では個別にラベル付けされない)、ならびに共有されるリセットトランジスタ、選択トランジスタ、および増幅トランジスタ(この図では個別にラベル付けされない)を備える)。各4トランジスタ4共有ピクセルアーキテクチャの転送ゲートトランジスタならびにリセットトランジスタおよび選択トランジスタは、図2の左側に示されるバスにさらに結合されている。図2に図示した実施形態は、6つの信号に関連する12本のバスを示し、6つの信号の各々は、2つの別個のバス上で通信される。

【 0 0 3 6 】

各信号用の2つの別個のバスは、アレイの中でインターレースされたレイアウトに起因して、別個の共有ピクセルアーキテクチャと通信するために使用され得、インターレースアレイ200を形成する、隣接するピクセルアーキテクチャのフォトダイオードおよびトランジスタは、すべてが単一の水平方向で位置合わせされているとは限らない。たとえば、

10

20

30

40

50

、特定の瞬間においてチャンネル上で単一のカラーが読み出されるような、結合された共有ピクセルアーキテクチャ105または110の2つのフォトダイオードカラーの間で互い違いになるタイミング方式に従って読み出すように構成され得る。そのようなタイミング方式が、図3A、図3B、図6A、および図6Bを参照して以下でさらに詳細に説明される。

【0039】

インターレースアレイ200として機能する際、各共有ピクセルアーキテクチャ105および110の各フォトダイオードは、それらのそれぞれの光のカラーにさらされたときに電荷を生成し得る。しかしながら、電荷を生成するフォトダイオードに関連するそれぞれの転送ゲートが閉じられている間、電荷はフォトダイオードから離れて転送されない。たとえば、図1AのフォトダイオードPD1が赤色の光にさらされているとき、フォトダイオードPD1は電荷を生成し得る。転送ゲートTG1が閉じられている間、電荷はフォトダイオードPD1から離れて転送されず、代わりに、フォトダイオードPD1の中に集積される(たとえば、累積する)。転送ゲートTG1がTG_1バス上で信号を受信すると、転送ゲートTG1は開いてよく、フォトダイオードPD1からの電荷が浮遊拡散ノードFD1に転送することを可能にする。浮遊拡散ノードFD1は、PD1から受けた電荷を経時的に蓄積し得る。リセットトランジスタRSTがリセット信号をRSTバスから受信する場合、浮遊拡散ノードFD1はリセットされてよく、または、代替として、選択トランジスタSELがSELバスから選択信号を受信することに対応して、集積された電荷を増幅トランジスタSF_AMPを経由して出力してよい。いくつかの実施形態では、図示しないが、浮遊拡散ノードFD1は、そこに蓄積された電荷を蓄積キャパシタCS1へ転送し得る。選択トランジスタSELが選択信号を受信すると、増幅トランジスタSF_AMPは、集積された電荷を読み出しチャンネルpvh_y1/pbus_y1上で出力されるように変換し得る。このプロセスは、読み出しチャンネルが任意の所与の瞬間において単一のカラーに専用であり得るように、共有ピクセルアーキテクチャ105および110の各フォトダイオードPDに同様に適用され得る。

【0040】

図1B~図2に示す共有ピクセルアーキテクチャ105および110は、示されるレイアウトおよびアーキテクチャに関して様々な利点を提供し得る。たとえば、垂直読み出しチャンネルは、読み出しがタイミング方式に従って実行されるとき、チャンネル毎1カラー読み出しを行い得る。チャンネル毎1カラー読み出しでは、各カラーは、所与の時点において専用のチャンネルを有する。図2に示すように、第1の4共有ピクセルアーキテクチャは、緑色奇数フォトダイオードPDG1およびPDG3とともに赤色フォトダイオードPDR1およびPDR2を備え得る。したがって、垂直読み出しチャンネル205は、赤色フォトダイオードPDR1およびPDR2を読み出すことと緑色奇数フォトダイオードPDG1およびPDG3を読み出すこととの間で互い違いになるタイミング方式を用いてペアにされるとき、単一のカラーに専用であり得る。したがって、緑色奇数カラーおよび赤色カラーは、読み出されるときに専用のチャンネルを有する。緑色偶数および青色フォトダイオードPDG2、PDG4、PDB1、およびPDB2について、同じことが適用される。

【0041】

集積された4共有ピクセルアーキテクチャ105および110によって利用可能にされるチャンネル毎1カラー読み出しは、2つ以上のカラーによって共有されるチャンネルによって送達される信号よりも、低い雑音および高い利得を伴って信号を送達する能力を含む、それ自体の利点を有し得る。このことは、各チャンネルが他のチャンネルから完全に別個であることに起因し得、1つの信号についての変化が他の信号とは無関係に保たれることを可能にする。さらに、フォトダイオードが単一のチャンネルの中に組み合わせられず、オフセットおよび利得誤差修正がカラーとは無関係に適用され得るので、チャンネル毎1カラーは、複数のカラーがチャンネルを共有する実施形態よりも小さい固定パターン雑音をもたらし得る。さらに、チャンネル毎1カラー読み出しは、共有ピクセルアーキテクチャ105および110、したがって、インターレースアレイ200にとって、行制御を共有しエリアをより小さくすることになる。カラーごとに別個のチャンネルはまた、高解像度デバイス(たとえば、HDカメラおよびデジタルSLRカメラ)が高解像度を高データレートで処理することができるような、並列

10

20

30

40

50

処理機能を提供し得る。さらに、より小さいキャパシタ(たとえば、蓄積キャパシタ)が使用され得るので、一時的な雑音は別個のチャネルによって低減され得、そのことは、一時的な雑音に寄与する。

【0042】

下のTable 1(表1)は、本明細書で開示するインターレース共有ピクセルアーキテクチャを非インターレース共有ピクセルアーキテクチャと比較する。

【0043】

【表1】

TABLE 1:

	平均水平 ライン/ ピクセル	平均垂直 ライン/ ピクセル	垂直 ビニング	出力/列	読出し 回路/列	カラー毎1 チャネル
2×2共有	3	1	No	0.5	1	No
2×2転送ゲート共有	2	1	No	0.5	1	No
4×1共有	1.5	2	Yes	1	1	No
集積4共有	3	2	Yes	1	2	Yes
集積4転送ゲート共有	2	2	Yes	1	2	Yes

10

【0044】

Table 1(表1)によって示されるように、以前の共有アーキテクチャは、本明細書で開示する集積された共有アーキテクチャよりも限定されていた。Table 1(表1)に示すように、2×2共有ピクセルアーキテクチャは、ピクセル当たり平均水平ラインが3本、ピクセル当たり平均垂直ラインが1本、垂直ビニングがないこと、列当たり出力カラーが0.5色、列当たり読出し回路が1個、およびカラー毎単一チャネルの機能がないことをもたらし得る。2×2転送ゲート共有ピクセルアーキテクチャは、ピクセル当たり平均水平ラインが2本、ピクセル当たり平均垂直ラインが1本、垂直ビニングがないこと、列当たり出力カラー0.5色、列当たり読出し回路が1個、およびカラー毎単一チャネルの機能がないことをもたらし得る。4×1共有ピクセルアーキテクチャは、ピクセル当たり平均水平ラインが1.5本、ピクセル当たり平均垂直ラインが2本、垂直ビニングがあること、列当たり出力カラーが1色、列当たり読出し回路が1個、およびカラー毎単一チャネルの機能がないことをもたらし得る。集積共有ピクセルアーキテクチャは、ピクセル当たり平均水平ラインが3本、ピクセル当たり平均垂直ラインが2本、垂直ビニングがあること、列当たり出力カラーが1色、列当たり読出し回路が2個、およびカラー毎単一チャネルの機能があることをもたらし得る。集積転送ゲート共有ピクセルアーキテクチャは、ピクセル当たり平均水平ラインが2本、ピクセル当たり平均垂直ラインが2本、垂直ビニングがあること、列当たり出力カラーが1色、列当たり読出し回路が2個、およびカラー毎単一チャネルの機能があることをもたらし得る。

20

30

【0045】

図3Aは、例示的な一実施形態による1×4インターレース4共有ピクセルアーキテクチャのチャネル毎4カラー読出しシーケンスを示す。図3Aは、ベイヤ構成における赤色、青色、および緑色のピクセルのレイの一例を示す。レイの中のピクセルの各々は、それらのそれぞれの行番号および列番号[r,c]に従って参照され得、ただし、「r」は行番号を表し、「c」は列番号を表す。たとえば、ピクセル[0,0]は、レイの左上コーナーにおけるGrピクセルに対応し得、ここで、最上行が行0であり、一番左の列が列0である。レイのピクセルの各列および各行は、ピクセルの2つのカラーを交互に備える。たとえば、行[0]は緑色ピクセルGrおよび赤色ピクセルRを備え、行[1]は青色ピクセルBおよび緑色のピクセルGbを備える。同様に、列[0]は緑色ピクセルGrおよび青色ピクセルBを備え、列[1]は赤色ピクセルRおよび緑色ピクセルGbを備える。さらに、各ピクセルは、複数の垂直読出

40

50

しチャンネル305(上方)および310(下方)のうちの垂直読出しチャンネルに結合されている。図2で参照されたように、垂直読出しチャンネル305a~305cは、垂直読出しチャンネル205に対応し得、垂直読出しチャンネル310a~310cは、垂直読出しチャンネル210に対応し得る。図示のような1×4インターレース4共有ピクセルアーキテクチャにおいて、緑色Grピクセルおよび緑色Gbピクセルは、同じ下方読出しチャンネル310a~310cに結合されており、赤色Rピクセルおよび青色Bピクセルは、同じ上方読出しチャンネル305a~305cに結合されている。それぞれが行0、1、2、および3のうちの1つにそれぞれ対応する代表信号TG_1、TG_2、TG_3、およびTG_4が、ピクセルアレイの左側に示される。信号TG_1、TG_2、TG_3、およびTG_4は、図2で参照したものと同一符号のパス上で受信される信号に対応し得る。したがって、TG_1パスがTG1転送ゲートへの信号を示すとき、TG1転送ゲートが接続される先の行(ここでは、行0)のピクセルが垂直に読み出される。

10

【0046】

図は、色のついたピクセルからの電荷が、どのように共有ピクセルアーキテクチャから読み出され、サンプルアンドホールドキャパシタの中に並行して「ダンプ」され、選択信号SEL(この図に示さず)および転送ゲート信号TG_1~TG_4に基づいて、後で連続的にシフトアウトされるのかを示す。本実施形態によって図3Aに示されるように、各カラーは、タイミング方式に従って読み出されるとき、別個のカラーチャンネルとして読み出され、したがって、各カラーチャンネルが、所望の色忠実度および/またはホワイトバランスに到達するためにそれに適用される異なる利得を有することを可能にする(たとえば、上記で説明したように、チャンネルごとに異なるカラー処理が利用可能である)。TG_1信号がそれぞれの転送ゲートTG1によって受信されると、行0の中のピクセルが、それらの対応する読出しチャンネル305および310の上で読み出され得る。したがって、行0の中のピクセルの読出しは、Grピクセル[0,0]が下方読出しチャンネル310aによって読み出され、Rピクセル[0,1]が上方読出しチャンネル305bによって読み出され、Grピクセル[0,2]が下方読出しチャンネル310bによって読み出され、Rピクセル[0,3]が上方読出しチャンネル305cによって読み出され、Grピクセル[0,4]が下方読出しチャンネル310cによって読み出されるという結果になり得る。同様に、残りの行1~3が、サンプルアンドホールドキャパシタの中に読み出され得る。いくつかの実施形態では、各読出しチャンネル305a~305cおよび310a~310cは、別個のサンプルアンドホールドキャパシタの中に入り込み得る。いくつかの他の実施形態では、サンプルアンドホールドキャパシタは、2つ以上の読出しチャンネル305a~305cと310a~310cとの間で共有され得る。

20

30

【0047】

図は、バンク306および311と呼ばれる、対応する行番号によって分離されたチャンネル読出しのシーケンスをさらに示す。たとえば、バンク306では、読出し電荷の第1の列{廃棄、B[1,0]、廃棄、B[3,0]}によって示されるように、第1の上方読出しチャンネル305aが列0の青色ピクセルから電荷を集める。「廃棄」電荷とは、読み出されるべきピクセルがないので無視される電荷である。たとえば、上方読出しチャンネル305aにとっての行0読出しは、上方読出しチャンネル305aの左へのピクセルの列がないので廃棄されてよく、そのため、上方読出しチャンネル305aは、既存のピクセルの電荷に対応しない値を読み出す。したがって、既存のピクセルからの電荷に対応しない読み出される値は、単に廃棄されてよく、または無視されてよい。電荷B[1,0]およびB[3,0]は、列0の中の、それぞれ、行1および3の中の2つの青色ピクセルからの電荷を表す。

40

【0048】

同様に、上方読出しチャンネル305bは、列1と2の両方から赤色および青色の電荷を集める電荷{R[0,1]、B[1,2]、R[2,1]、B[3,2]}を読み出し、上方読出しチャンネル305cは、列3と4の両方から赤色および青色の電荷を集め、その結果、{R[0,3]、B[1,4]、R[2,3]、B[3,4]}が得られる。したがって、対応する行番号によって分離されたチャンネル読出しのシーケンスは、どのピクセルが特定のチャンネルによって読み出されたのかを示す。たとえば、図3Aに示されるように、行[0]の場合、読出しチャンネル305aは、廃棄された電荷値を有しており、読出しチャンネル305bは、[0,1]における赤色ピクセルからの電荷を有しており、読出

50

しチャンネル305cは、[0,3]における赤色ピクセルからの電荷を有しており、読出しチャンネル305d(この図に示さず)は、[0,5]における赤色ピクセルからの電荷を有していた。上方読出しチャンネル305a~305dに対する残りの行1~3および下方読出しチャンネル310a~310cに対する行0~3にとってのチャンネル読出しのシーケンスは、同様の方式で電荷ソースを示す。下方読出しチャンネル310a~310cにとってのチャンネル読出しのシーケンスが、バンク311の中に示され得る。

【0049】

図3Aに示すように、所与の行に対する各列がそれぞれのサンプルアンドホールドキャパシタの中に蓄積されるべき単一のカラーピクセルだけから電荷を受けるとき、ピクセルの中の電荷は、各列にわたって並行して読み出され得る。その後、サンプルアンドホールドキャパシタの中の電荷は、連続的にシフトアウトされる。読出し電荷においてベイヤパターングループを保つために、データは、正しく位置合わせされなければならない。または所与のパターンもしくは時間シーケンスに従って読み出されなければならない。たとえば、バンク306の奇数行は、1つの「水平」クロック(たとえば、1ピクセル時間)だけ遅延され得、バンク311の偶数行および奇数行も、1つの「水平」クロックだけ遅延され得る。電荷がサンプルアンドホールドキャパシタから連続的にシフトアウトされると、残りの読出しプロセスは、線形1×4構造の読出しプロセスと類似である。

【0050】

図3Aに示すような垂直共有は、従来の垂直共有インターレースピクセルアーキテクチャと類似である。さらに、共有アーキテクチャは、水平方向と垂直方向の両方で電荷ビニングを行うことができる。電荷ビニングは、2個以上のピクセル/フォトダイオードの中の電荷が、アナログ領域において、水平方向もしくは垂直方向のいずれか、または水平方向と垂直方向の両方で組み合わせられることを可能にするので重要であり得る。この電荷ビニングは、フォトダイオードから保存され得る電荷容量(たとえば、利用可能な全電荷)をそのように引き上げ得る。インターレース共有ピクセルアーキテクチャによって利用可能にされるピクセルレベルビニングは、画像の完全な解像度を取り込み表示することが困難であり得る低光量性能を、より良好にし得る。電荷ビニングは、水平ピクセルおよび垂直ピクセルの出力を組み合わせることによって、出力レベルを引き上げ得る。たとえば、図1B~図2に示すインターレース共有ピクセルアーキテクチャ105および110に関して、各4トランジスタ4共有ピクセルアーキテクチャ105および110に示される、隣接する赤色、青色、緑色奇数、および緑色偶数フォトダイオードは、適切なタイミング方式を用いて組み合わせられ(たとえば、水平ビニング)、次いで、他の4トランジスタ4共有ピクセルアーキテクチャからの出力とともに垂直に組み合わせられたとき(たとえば、垂直ビニング)、単一のピクセル出力に組み合わせられ得る。そのようなビニングは、様々なイメージングデバイスにおいて提供されるとき、「プレビューモード」において有用であり得、その場合、以前のモードは低減された解像度で画像を表示する傾向があるので、インターレース共有ピクセルアーキテクチャのレイによって生成されるプレビューモードは、非インターレース共有ピクセルアーキテクチャによって生成されるものよりも高い解像度であり得る。

【0051】

図3Bは、例示的な一実施形態による、2×2インターレース4共有ピクセルアーキテクチャのチャンネル毎4カラー読出しシーケンスを示す。図3Bは、ベイヤ構成における赤色、青色、および緑色のピクセルのレイの一例を示す。レイの中のピクセルの各々は、それらのそれぞれの行番号および列番号[r,c]に従って参照され得、ただし、「r」は行番号を表し、「c」は列番号を表す。たとえば、ピクセル[0,0]は、レイの左上コーナーにおけるGrピクセルに対応し得、ここで、最上行が行0であり、一番左の列が列0である。各ピクセルは、複数の垂直読出しチャンネル355(上方)および360(下方)のうちの垂直読出しチャンネルに結合され得る。垂直読出しチャンネルは、図2で参照したような垂直読出しチャンネル205および210に対応し得る。図示のような2×2インターレース4共有ピクセルアーキテクチャにおいて、緑色Grピクセルおよび赤色Rピクセルは、同じ上方読出しチャンネル355a~355dに結合されており、緑色Gbピクセルおよび青色Bピクセルは、同じ下方読出しチャンネル360

10

20

30

40

50

a ~ 360cに結合されている。それぞれが行0、1、2、および3のうちの1つにそれぞれ対応する代表信号TG_1、TG_2、TG_3、およびTG_4が、ピクセルアレイの左側に示される。信号TG_1、TG_2、TG_3、およびTG_4は、図2で参照したものと同一符号のバス上で受信される信号に対応し得る。したがって、TG_1バスがTG1転送ゲートへの信号を示すとき、TG1転送ゲートが接続される先の行(ここでは、行0)のピクセルが垂直に読み出される。

【0052】

図は、色のついたピクセルからの電荷が、タイミング方式(この図に示さず)に従って、どのように共有ピクセルアーキテクチャから読み出され、サンプルアンドホールドキャパシタの中に並行して「ダンピング」され、選択信号SEL(この図に示さず)および転送ゲート信号TG_1 ~ TG_4に基づいて、後で連続的にシフトアウトされるのかを示す。TG_1信号がそれぞれの転送ゲートTG1によって受信されると、行0の中のピクセルが、それらの対応する読み出しチャンネル355および360の上で読み出され得る。したがって、行0の中のピクセルの読み出しは、Grピクセル[0,0]が上方読み出しチャンネル355aによって読み出され、Rピクセル[0,1]が上方読み出しチャンネル355bによって読み出され、Grピクセル[0,2]が上方読み出しチャンネル355bによって読み出され、Rピクセル[0,3]が上方読み出しチャンネル355cによって読み出され、Grピクセル[0,4]が上方読み出しチャンネル355cによって読み出されるという結果になり得る。同様に、残りの行1~3が、上方および下方のサンプルアンドホールドキャパシタの中に読み出され得る。いくつかの実施形態では、各読み出しチャンネル355a ~ 355dおよび360a ~ 360cは、別個のサンプルアンドホールドキャパシタの中に入り込み得る。いくつかの他の実施形態では、サンプルアンドホールドキャパシタは、2つ以上の読み出しチャンネル355a ~ 355dと360a ~ 360cとの間で共有され得る。したがって、2x2インターレース共有ピクセル構造では、ピクセルの各行は、互い違いの読み出しチャンネル上で読み出される。カラー毎単一チャンネルは、緑色Grピクセルが同じチャンネル上で異なる時間において垂直に読み出されながら赤色ピクセルだけが所与の時間において垂直に読み出され得るように、特定の色のついたピクセルを読み出すこと、および特定の時間によって保守され得る。

【0053】

図は、バンク356および361と呼ばれる、対応する行番号によって分離されたチャンネル読み出しのシーケンスをさらに示す。たとえば、バンク356では、読み出し電荷の第1の列{廃棄、Gr[0,0]、廃棄、Gr[2,0]}によって示されるように、第1の上方読み出しチャンネル355aが列0の緑色Grピクセルから電荷を集める。「廃棄」電荷とは、読み出されるべきピクセルがないので無視される電荷である。たとえば、上方読み出しチャンネル305aにとっての行0読み出しは、上方読み出しチャンネル305aの左へのピクセルの列がないので廃棄されてよく、そのため、上方読み出しチャンネル305aは、既存のピクセルの電荷に対応しない値を読み出す。したがって、既存のピクセルからの電荷に対応しない読み出される値は、単に廃棄されてよく、または無視されてよい。電荷Gr[0,0]およびGr[2,0]は、列0の中の、それぞれ、行0および2の中の2つの緑色Grピクセルからの電荷を表す。

【0054】

同様に、上方読み出しチャンネル305bは、列1と2の両方から赤色および緑色Gr電荷を集める電荷{R[0,1]、Gr[0,2]、R[2,1]、Gr[2,2]}を読み出し、上方読み出しチャンネル305cは、列3と4の両方から赤色および緑色Gr電荷を集め、その結果、{R[0,3]、Gr[0,4]、R[2,3]、Gr[2,4]}が得られる。したがって、対応する行番号によって分離されたチャンネル読み出しのシーケンスは、どのピクセルが特定のチャンネルによって読み出されたのかを示す。たとえば、図3Bに示すように、行[0]の場合、読み出しチャンネル305aは、廃棄された電荷値を有しており、読み出しチャンネル305bは、[0,1]における赤色ピクセルからの電荷を有しており、読み出しチャンネル305cは、[0,3]における赤色ピクセルからの電荷を有しており、読み出しチャンネル305d(この図に示さず)は、[0,5]における赤色ピクセルからの電荷を有していた。上方読み出しチャンネル305a ~ 305dに対する残りの行1~3および下方読み出しチャンネル310a ~ 310cに対する行0~3にとってのチャンネル読み出しのシーケンスは、同様の方式で電荷ソースを示す。下方読み出しチャンネル310a ~ 310cにとってのチャンネル読み出しのシーケンスは、バンク361の中に示され得る。

10

20

30

40

50

【 0 0 5 5 】

図3Bに示すように、所与の行に対する各列がそれぞれのサンプルアンドホールドキャパシタの中に蓄積されるべき2つのカラーピクセルから電荷を受けるとき、ピクセルの中の電荷は、各列にわたって並行して読み出され得る。その後、サンプルアンドホールドキャパシタの中の電荷は、連続的にシフトアウトされる。読出し電荷においてベイヤパターングループを保つために、データは、正しく位置合わせされなければならない、または所与のパターンもしくは時間シーケンスに従って読み出されなければならない。たとえば、バンク356の奇数行は、1つの「水平」クロックだけ遅延され得、バンク361の偶数行および奇数行も、1つの「水平」クロックだけ遅延され得る。電荷がサンプルアンドホールドキャパシタから連続的にシフトアウトされると、残りの読出しプロセスは、正方形(非インターレース)2×2構造のプロセスと類似である。

10

【 0 0 5 6 】

図3Aおよび図3Bに表示される2つのアーキテクチャにとってのリセットおよび読出しの方式およびシーケンスは、ピクセル制御バスおよび構成要素(たとえば、転送ゲート、リセットトランジスタ、選択トランジスタ、および増幅トランジスタ)のロケーションおよびルーティングの異なる物理的設計に適用されるが類似である。

【 0 0 5 7 】

図4Aは、例示的な一実施形態による、ピクセル読出しシステムを有するインターレース4トランジスタ8共有イメージセンサーピクセルアーキテクチャ400の一実施形態を示す。イメージセンサーのいくつかの実施形態は、ピクセル回路機構を共有する8つの4トランジスタ(4T)ピクセルおよびコンパクトなレイアウトを有する固体イメージセンサー、たとえば、CMOSイメージセンサーであってよい。4T8共有ピクセルアーキテクチャ400は、いくつかの実施形態では、ピクセルアレイの中のピクセル用のピクセルアーキテクチャとして使用され得る。4T8共有ピクセルアーキテクチャ400は、8つのピクセルを含み、多くのそのようなピクセルがアレイの中に配列され得るが、簡単のために、1つの4T8共有ピクセルアーキテクチャ400だけがより詳細に図示される。

20

【 0 0 5 8 】

4T8共有ピクセルアーキテクチャ400は、8つのフォトダイオード回路、浮遊拡散ノードFD、リセットトランジスタRST、電圧源VDD、ソースフォロワ増幅器SF_AMP、セレクトトランジスタSEL、出力電圧ノードVcol、および電流源Ibiasを含む。いくつかの実施形態では、フォトダイオード回路はそれぞれ、フォトダイオードPD1~PD8、転送ゲートTG1~TG8、蓄積キャパシタCS1~CS8、およびタイミング回路TS1~TS8を備え得る。上述のように、いくつかの実施形態では、浮遊拡散ノードFDは、1つのフォトダイオード回路に専用の、または複数のフォトダイオード回路の間で共有される、1つまたは複数の浮遊拡散点を表し得る。図4Aに示す読出し回路機構構成要素は、図1A~図2に関して上記で説明したような類似の機能を実行し得る。これらの構成要素は、それらの関連するフォトダイオードPD1~PD8、転送ゲートTG1~TG8、蓄積キャパシタCS1~CS8、およびタイミング回路TS1~TS8を有する8つの別個のフォトダイオード回路によって共有され得る。隣接するフォトダイオード回路の間で(たとえば、直列に)浮遊拡散ノードFD、ソースフォロワ増幅器SF_AMP、行選択トランジスタSEL、およびリセットトランジスタRSTを共有することは、ピクセルアーキテクチャの充填率、すなわち、光に感受性のあるピクセルエリアのパーセンテージを表す充填率を増大させる助けとなる。図示したアーキテクチャ400は、ピクセルごとにほぼ1.5個のトランジスタという結果になる。フォトダイオードPD1~PD8のいくつかの実施形態では、ベイヤカラーパターンに従って、入射光の赤色の成分を検出するために2つのフォトダイオードが使用され得、入射光の緑色の成分を検出するために4つのフォトダイオードが使用され得、入射光の青色の成分を検出するために2つのフォトダイオードが使用され得る。

30

40

【 0 0 5 9 】

上記で説明したように、いくつかの実施形態では、フォトダイオード回路のタイミング回路TS1~TS8は、フォトダイオードPD1~PD8から蓄積キャパシタCS1~CS8へ送られるチャ

50

ージダンプの数を調整するための、またそれぞれの蓄積キャパシタCS1～CS8の中の電荷が浮遊拡散ノードを経由して読み出されることが可能になるようにいつ開くべきかを決定するための、高速論理を含み得る。いくつかの実施形態では、蓄積キャパシタCS1～CS8のうちの1つの蓄積キャパシタだけが、読出し回路機構によって一度に読み出され得る。したがって、タイミング回路TS1～TS8は、2つが一緒に開かないように協調し得る。フォトダイオードPD1～PD8からの複数のチャージダンプをアナログ領域において累積することによって、フォトダイオードPD1～PD8からの複数のチャージダンプをデジタル領域において累積することと比較して、デバイス電力が節約され得る。累積された電荷は、蓄積キャパシタCS1～CS8から浮遊拡散ノードFDを通り、ソースフォロワSF_AMPを通り、選択トランジスタSELを通過して出力電圧ノードVcolに読み出され得る。

10

【0060】

図4Aはまた、別個の積層構造(たとえば、シリコンウエハ)へのピクセルアレイおよびピクセル回路機構の区分の一実施形態を示す。共有ピクセルアーキテクチャの構成要素の数および全般的なレイアウトが光吸収のために利用可能なエリアを限定する場合、積層構造が望まれ得る。たとえば、図1Bおよび図2を参照すると、示される構成要素のすべては、同じ層(たとえば、シリコンの同じ部分)の上に配置され得る。わかるように、限定されたエリアは、共有される構成要素、ならびに個々のフォトダイオードPD、転送ゲートTG、蓄積キャパシタCS、およびタイミング回路TSによって容易に占められ得る。上記で説明したように、多数の構成要素は、光のうちのいくつかは、これらの構成要素、およびフォトダイオードPDのエリアの中で構成要素を結合する構造によって反射または遮断されることがある。さらに、より多くの構成要素(たとえば、トランジスタ、接点、またはバス)がフォトダイオードPDと同じ平面にある共有ピクセルインターレースアレイアーキテクチャの中に取り入れられるので、積層が利用されない場合、より小さいスペースしか利用可能であり得ず、より多くの光がフォトダイオードPDに到達するのを阻止され得る。

20

【0061】

代替として、共有ピクセルアーキテクチャの構成要素は、積層ピクセル構造の中で異なる層に分離されてもよい。たとえば、フォトダイオードPD1～PD8、対応する転送ゲートTG1～TG8、対応する蓄積キャパシタCS1～CS8、対応するタイミング回路TS1～TS8、および浮遊拡散ノードFDを含む第1の部分は、入射光からの電荷を集積するように構成されたフォトダイオードウエハ410に配置され得る。リセットトランジスタRST、電圧源VDD、ソースフォロワ増幅器SF_AMP、セレクトトランジスタSEL、出力電圧ノードVcol、および電流源Ibiasを含む第2の部分は、ピクセル回路機構ウエハ420に配置され得る。いくつかの実施形態では、ピクセル回路機構ウエハ420は、入射光にさらされる側部と反対の位置にある、フォトダイオードウエハ410の上部に構築され得る。したがって、入射光を検出するための表面スペースは、共有ピクセルアーキテクチャのスペース節約の設計と、異なるウエハへのフォトダイオードおよびピクセル回路機構の分離の両方を通じて増大され得る。ピクセル回路機構の構成要素および構造が個々の層(たとえば、ピクセル回路機構ウエハ420)の上に位置するとき、フォトダイオードウエハ410上で入射光を吸収するために、より大きい実装面積が利用可能にされる。

30

40

【0062】

使用される共有ピクセルアーキテクチャに応じて、構成要素の分割が変わってよく、かつ/または様々な層の間の接続点が変わってよい。たとえば、インターレース共有ピクセルアーキテクチャでは、最下層と最上層との間の接続点が浮遊拡散ノードであってよい。たとえば、いくつかの実施形態では、ピクセル回路機構ウエハ420のタイミング回路機構TSおよびソースフォロワ増幅器SF_AMPが、フォトダイオードウエハの浮遊拡散ノードFDに接続されてよい。いくつかの他の実施形態、たとえば、2×2共有ピクセルアーキテクチャでは、接続点が行/列の相互接続部であってよい。

【0063】

3次元スタック構成への共有アーキテクチャの分離または区分は、単純な事柄でない。

50

様々な層の間での構成要素の再配置は、現在の技術によって限定されることがあり(たとえば、以下で説明するような、融着ボンドまたは微細ピッチハイブリッドボンドの間での決定)、様々な構成要素の区分および位置決めは、共有ピクセルアーキテクチャの性能に影響を及ぼすことがある。たとえば、信号対雑音比、電荷容量、またはいかに良好に背景雑音が抑圧され得るのかはそれぞれ、様々な3D層の間での構成要素の区分によって影響され得る。

【0064】

一実施形態では、フォトダイオードウエハ410は、裏側照射(BSI)イメージセンサーとして構成されてよく、上記で説明したフォトダイオードPD1~PD8、転送ゲートTG1~TG8、蓄積キャパシタCS1~CS8、およびタイミング回路TS1~TS8は、BSIイメージセンサーの中に集積される。BSIイメージセンサーは、BSIイメージセンサー用の支持体を提供するようにそこに取り付けられた構造を有し得、そのことは、製造および設計の制約に起因して構造的完全性をより低くすることがある(たとえば、光がシリコン基板に透過することを可能にするためにBSIイメージセンサーが極めて薄くなければならないことに起因して、BSIイメージセンサーウエハが、壊れやすく損傷に影響されやすいことがある)。いくつかの実施形態では、BSIイメージセンサーウエハを支持する構造は、「ダミー」または「ブランク」シリコンウエハであってよく、したがって、ピクセル回路機構ウエハ420に配置された構成要素は、BSIイメージセンサーに構造的サポートをもたらすために使用される支持ウエハの中に集積され得る。したがって、BSIイメージセンサーは、より光に感受性があるように設計され得、感知された光に応じて信号を生成し読み出すために使用される電気構成要素は、構造上、より効率的に位置し得る。いくつかの実施形態では、フォトダイオードウエハ410またはピクセル回路機構ウエハ420の上にあるものとして示されるような構成要素は、異なる構成要素が図4Aに示すものと異なるウエハの上にあるように操作または変更され得る。たとえば、いくつかの実施形態では、設計されているイメージングセンサーまたはイメージングセンサーの中に集積される構成要素の設計、製造、または動作に影響を及ぼし得る類似の電気的特性、製造技法、動作上の制約、または任意の他の特性を有することに基づいて、共有ピクセルアーキテクチャの構成要素がフォトダイオードウエハ410とピクセル回路機構ウエハ420との間で分離されてよい。

【0065】

いくつかの実施形態では、様々な他の3D積層の設計または技術が実施されてよく、様々な積層の技術および特性(たとえば、パッドのピッチまたは密度)により、回路構成要素、要素、およびブロックを区分してよい。そのような設計および実装は、2Dセンサー構成が果たし得ないすぐれた検出器性能を与え得る。

【0066】

いくつかの実施形態では、上位層(たとえば、ピクセル回路機構ウエハ420)の中に集積される構成要素は、1つまたは複数の接続点における接続を介して、下位層(たとえば、フォトダイオードウエハ410)の中に集積される構成要素と接続され得る。いくつかの実施形態では、浮遊拡散ノードFDは、微細ピッチハイブリッドボンドを介して、上位層(ピクセル回路機構層420)と下位層(フォトダイオードウエハ410)との間の接続点として機能するように構成され得る。いくつかの実施形態では、浮遊拡散ノードは、融着ボンドを介して、上位層と下位層との間の接続点として機能するように構成され得る。ピクセル回路機構ウエハ420のリセットトランジスタRSTおよびソースフォロワ増幅器SF_AMPは、フォトダイオードウエハ410の浮遊拡散ノードFDに接続され得る。微細ピッチハイブリッドボンドに関するさらなる詳細が図5Aに関して以下で提供され、融着ボンドに関する追加の詳細が図5Bに関して提供される。ウエハの上位層と下位層とを結合するために、様々な他のタイプのボンドが利用されてよい。

【0067】

図4Bおよび図4Cは、例示的な一実施形態による、ピクセル読み出しシステムを有する4トランジスタ16共有イメージセンサーピクセルアーキテクチャ450の一実施形態の2つのセクションを示し、接続点A~Bは、図4Bと図4Cとの間の要素の接続を示す。イメージセンサー

10

20

30

40

50

のいくつかの実施形態は、ピクセル回路機構を共有する16個の4Tピクセルおよびコンパクトなレイアウトを有する固体イメージセンサー、たとえば、CMOSイメージセンサーであってよい。4T16共有ピクセルアーキテクチャ450は、ピクセルアレイの中のピクセル用のピクセルアーキテクチャとして使用され得る。4T16共有ピクセルアーキテクチャ450は、16個のピクセルを含み、多くのそのような類似の共有ピクセルアーキテクチャがアレイの中に配列されるが、簡単のために、1つの4T16共有ピクセルアーキテクチャ450だけがより詳細に図示される。

【0068】

4T16共有ピクセルアーキテクチャ450は、16個のフォトダイオード回路、浮遊拡散ノードFD、リセットトランジスタRST、電圧源VDD、ソースフォロワ増幅器SF_AMP、セレクトトランジスタSEL、出力電圧ノードVcol、および電流源Ibiasを含む。上述のように、いくつかの実施形態では、浮遊拡散ノードFDは、1つのフォトダイオード回路に専用の、または複数のフォトダイオード回路の間で共有される、1つまたは複数の浮遊拡散点を表し得る。図4Bおよび図4Cの構成要素は、図1Aおよび図4Aに関して上記で説明したような類似の機能を実行し得る。読出し回路機構の構成要素は、16個の別個のフォトダイオード回路によって共有され得る。フォトダイオード回路は、図1Aおよび図4Aに関して上記で説明したように、フォトダイオードPD1~PD16、転送ゲートTG1~TG16、蓄積キャパシタCS1~CS16、およびタイミング回路TS1~TS16を備え得る。隣接するフォトダイオード回路の間で浮遊拡散ノードFD、ソースフォロワ増幅器SF_AMP、行選択トランジスタSEL、およびリセットトランジスタRSTを共有することは、ピクセルアーキテクチャの充填率、すなわち、光に感受性のあるピクセルエリアのパーセンテージを表す充填率を増大させる助けとなり得る。図示したアーキテクチャ450は、ピクセルごとにほぼ1.25個のトランジスタという結果になる。フォトダイオードPD1~PD16のいくつかの実施形態では、入射光の赤色の成分を検出するために4つのフォトダイオードが使用され得、入射光の緑色の成分を検出するために8個のフォトダイオードが使用され得、入射光の青色の成分を検出するために4つのフォトダイオードが使用され得る。4共有、8共有、および16共有ピクセルアーキテクチャを比較することからわかるように、共有ピクセルの数が増えると、ピクセル当たりの実効的なトランジスタを小さくすることになる。

【0069】

上記で説明したように、いくつかの実施形態では、フォトダイオード回路のタイミング回路TS1~TS16は、フォトダイオードPD1~PD16から蓄積キャパシタCS1~CS16へ送られるチャージダンプの数を調整するための、またそれぞれの蓄積キャパシタCS1~CS16の中の電荷が浮遊拡散ノードを経由して読み出されることが可能になるようにいつ開くべきかを決定するための、高速論理を含み得る。いくつかの実施形態では、蓄積キャパシタCS1~CS16のうちの1つの蓄積キャパシタだけが、読出し回路機構によって一度に読み出され得る。したがって、タイミング回路TS1~TS16は、2つが一緒に開かないように協調し得る。フォトダイオードPD1~PD16からの複数のチャージダンプをアナログ領域において累積することによって、フォトダイオードPD1~PD16からの複数のチャージダンプをデジタル領域において累積することと比較して、デバイス電力が節約され得る。累積された電荷は、蓄積キャパシタCS1~CS16から浮遊拡散ノードFDを通り、ソースフォロワSF_AMPを通り、選択トランジスタSELを通過して出力電圧ノードVcolに読み出され得る。

【0070】

図4Bおよび図4Cはまた、図4Aに関して上記で説明したものと同様に、別個の積層構造(たとえば、シリコンウエハ)へのピクセルアレイおよびピクセル回路機構の区分の一実施形態を示す。たとえば、フォトダイオードPD1~PD16、対応する転送ゲートTG1~TG16、対応する蓄積キャパシタCS1~CS16、対応するタイミング回路TS1~TS16、および浮遊拡散ノードFDを含む第1の部分は、入射光からの電荷を集積するように構成されたフォトダイオードウエハ460に配置され得る。リセットトランジスタRST、電圧源VDD、ソースフォロワ増幅器SF_AMP、セレクトトランジスタSEL、出力電圧ノードVcol、および電流源Ibiasを含む第2の部分は、ピクセル回路機構ウエハ470に配置され得る。いくつかの実施形態では、

これらの構成要素のうちの1つまたは複数が第3のピクセル回路機構ウエハに配置されてよく、この図に示さない。したがって、光を検出するための表面スペースは、共有ピクセルアーキテクチャのスペース節約の設計と、異なるウエハへのフォトダイオード回路およびピクセル回路機構の分離の両方を通じて増大され得る。同じものを形成するピクセル回路機構の構造および構成要素が、フォトダイオード回路と同じ層、たとえば、フォトダイオードウエハ460の上に位置するとき、光を吸収するために利用可能な実装面積が低減される(たとえば、光は、構成要素またはそれらの間の接続部によって反射または遮断され、したがって、フォトダイオードPD1~PD16によって吸収されない)ので、光を検出するための表面スペースは増大され得る。

【0071】

ピクセル回路機構の構成要素および構造が個々の層(たとえば、ピクセル回路機構ウエハ470)の上に位置するとき、フォトダイオードウエハ460上でフォトダイオードPD1~PD16によって光を吸収するために、より大きい実装面積が利用可能にされる。たとえば、フォトダイオードウエハ460は、裏側照射(BSI)イメージセンサーとして構成されてよく、フォトダイオードウエハ460に配置されるものとして上記で説明した構成要素は、BSIイメージセンサーの中に集積される。BSIイメージセンサーは、BSIイメージセンサー用の支持体を提供するようにそこに取り付けられた構造を有し得、そのことは、製造および設計の制約に起因して構造的完全性をより低くすることがある(たとえば、光がシリコン基板に透過することを可能にするためにBSIイメージセンサーが極めて薄くなければならないことに起因して、BSIイメージセンサーウエハが、壊れやすく損傷に影響されやすいことがある)。いくつかの実施形態では、BSIイメージセンサーウエハを支持するこの構造は、「ダミー」または「ブランク」シリコンウエハであってよく、したがって、ピクセル回路機構ウエハ470に配置された構成要素は、BSIイメージセンサーに構造的支持をもたらすために使用される支持ウエハの中に集積され得る。したがって、BSIイメージセンサーは、より光に感受性があるように設計され得、感知された光に応じて信号を生成し読み出すために使用される電気構成要素は、フォトダイオードPDが光を吸収し得るエリアを増大させる方法で、構造上、より効率的に位置し得る。いくつかの実施形態では、フォトダイオードウエハ460またはピクセル回路機構ウエハ470の上にあるものとして示されるような構成要素は、異なる構成要素が図4Bおよび図4Cに示すものと異なるウエハの上にあるように操作または変更され得る。たとえば、いくつかの実施形態では、設計されているイメージングセンサーまたはイメージングセンサーの中に集積される構成要素の設計、製造、または動作に影響を及ぼし得る類似の電気的特性、製造技法、動作上の制約、または任意の他の特性を有することに基づいて、共有ピクセルアーキテクチャの構成要素がフォトダイオードウエハ460とピクセル回路機構ウエハ470との間で分離されてよい。

【0072】

いくつかの実施形態では、上位層(たとえば、ピクセル回路機構ウエハ470)の中に集積される構成要素は、1つまたは複数の接続点における接続を介して、下位層(たとえば、フォトダイオードウエハ460)の中に集積される構成要素と接続され得る。いくつかの実施形態では、浮遊拡散ノードFDは、微細ピッチハイブリッドボンドを介して、上位層(ピクセル回路機構層470)と下位層(フォトダイオードウエハ460)との間の接続点として機能するように構成され得る。いくつかの実施形態では、上位層および下位層は、浮遊拡散ノードFDと同じまたは異なる接続点において、融着ボンドを介して接続され得る。行または列の相互接続のために融着ボンドが使用されてよく、完全な行または列の読み出しが、上位層へ転送される。いくつかの実施形態では、上位層と下位層との間のボンドのタイプが、部分的に、上位層と下位層との間での構成要素の分割を決定し得る。たとえば、上位層と下位層とを結合するために融着ボンドが使用されるとき、構成要素のうちのより多くが下位層の中に集積され得る。ピクセル回路機構ウエハ470の選択トランジスタSELおよびソースフォロワ増幅器SF_AMPは、フォトダイオードウエハ460の浮遊拡散ノードFDに接続され得る。微細ピッチハイブリッドボンドに関するさらなる詳細が図5Aに関して以下で提供され、融着ボンドに関する追加の詳細が図5Bに関して提供される。いくつかの実施形態では、図

10

20

30

40

50

4Bおよび図4Cに示すように、フォトダイオードウエハ460が検出器アレイウエハを備えてよく、ピクセル回路機構ウエハがピクセルFET/AFE/ADC混合モードASICウエハを備えてよい。

【0073】

図5Aは、ピクセルレベルの微細ピッチハイブリッドボンディングを伴う図4A、図4B、および図4Cのインターレース共有ピクセルアーキテクチャを備える3D積層CMOSイメージセンサーの一実施形態を示す。3D積層CMOSイメージセンサーは、3D積層CMOSイメージセンサーの3つの異なる層を示す。第1の(最下)層505は、フォトダイオードウエハ410、460であるものとして上記で説明した下位層を備え得る。図5Aに示すように、第1の層505は、BSIセンサー層を備え得る。図示のようなBSIセンサー層505は、図1A~図1Cの共有ピクセルアーキテクチャからの3つのフォトダイオードPD1~PD3のサンプルを示す。フォトダイオードPD1~PD3は、それぞれ、フォトダイオードPD1~PD3を個々の浮遊拡散ノードFD1~FD3に接続する転送ゲートTG1~TG3を有するように示される。浮遊拡散ノードFD1~FD3は、それぞれが個々の微細ピッチハイブリッドボンドを介して中間層506に接続するように示される。

10

【0074】

第2の(中間)層506は、ピクセル回路機構ウエハ470であるものとして上記で説明した上位層を備え得る。第2の層506は、アナログフロントエンド(AFE: analog front end)、A/D変換回路機構、および上記で説明したピクセル回路機構を備え得る。たとえば、第2の層506は、蓄積キャパシタCSとともに、リセットトランジスタRST、選択トランジスタSEL、増幅トランジスタSF_AMP、およびタイミング回路TSを備え得る。第1の層505に示すようなBSIセンサーの場合、第2の層506は、以前に、BSIセンサー層に構造的サポートをもたらした支持ウエハを備えることがあったが、いかなる機能的な能力も提供しなかった。図5Aに示すように、また図4Aおよび図4Bに関して上記で説明したように、第2の層506は、第2の層506の中に集積されたピクセル回路機構構成要素を介して、構造的サポートおよび機能的サポートをもたらすように構成され得る。

20

【0075】

第3の(最上)層507は、画像信号プロセッサもしくはデジタル信号処理層、または読出し回路機構層として構成され得る。たとえば、第3の層507は、BSIセンサーによって生成され読出し回路機構によってデジタル形式に変換された信号の、最終的な処理および/または読出しを実行するように構成された論理チップまたは他の回路機構を備え得る。いくつかの実施形態では、第3の層507は、CMOS 3D積層構造から除外されてよく、ピクセル回路機構からの信号をさらに処理するように構成された構成要素が第2の層506の中に集積されてよい。

30

【0076】

図5Aに示すように、フォトダイオードPD1~PD3がさらされる入射光510は、図の下部から上方へ放射し得、それによって、生成された光のうちの大部分が、ピクセル回路機構ウエハ470を通過する必要なくフォトダイオードPD1~PD3の上に投射されることを可能にする。上記で説明したように、ピクセル回路機構用の構成要素の第2の層506への再配置は、光へのフォトダイオードPD1~PD3のさほど多くの露出をもたらし得ない第1の層505上のエリアを空ける。したがって、フォトダイオードPD1~PD3は、それらがさらされる光に基づいて、より効率的、より高速であり得、フォトダイオードPD1~PD3は、転送ゲートパス(この図に示さず)からの信号を介してそれぞれの転送ゲートTG1~TG3が活動化されているときに浮遊拡散ノードへ転送され得る電流信号を生成し得る。次いで、浮遊拡散ノードFD1~FD3の中の電流信号は、微細ピッチハイブリッドボンドを介して第2の層506のピクセル回路機構へ転送され得る。ピクセル回路機構は、次いで、微細ピッチハイブリッドボンドを介して受けた電流信号を、図2および図3に関して上記で説明したようにチャンネル毎1カラーで読み出されるように構成し得る。

40

【0077】

図5Bは、列/行レベルの融着ボンディングを有する、図4Aおよび図4Bのインターレース

50

共有ピクセルアーキテクチャを備える3D積層CMOSイメージセンサーの別の実施形態を示す。図5Bに示す実施形態では、4つの構造的レベルがある。第1の(最下)レベル555は、BSIセンサー層であるものとして識別され、第2のレベル556は、アナログフロントエンド(AFE)およびアナログデジタル変換(ADC)層として識別され、第3のレベル557は、ISP/DSPであるものとして識別され、第4の(最上)層は、PC板基板(PCB)、たとえば、F/R4である。様々な層の構造および集積された構成要素は、図5Aの層505~507のものと類似であってよい。いくつかの実施形態では、様々な層の構造および集積された構成要素は、図5Aの層505~507のものと異なってよい。図5Aの第1の層505と第2の層506との間での構成要素の分割は、図4Aおよび図4Bに示すような構成要素に対応したが、図5Bの第1の層555と第2の層556との間での構成要素の分割は、フォトダイオード回路およびピクセル回路の構成要素のうち的大部分が同じ層の上にある分割に対応し得る。たとえば、図4Aおよび図4Bは、共有ピクセル回路機構がピクセル回路機構ウエハ420、470の上で分離されているが、検出器アレイウエハ410、460の上にあるものとしてフォトダイオードPD1~PD3および転送ゲートTG1~TG3を示すが、図5Bに示す3D断面図は、図4Aおよび図4Bの構成要素のすべてが電流源I_{bias}を除いてシリコンの同じ層の上に集積されるレイアウトを表し、1つまたは複数の融着ボンドを介して最下層が中間層に結合される。

【0078】

たとえば、第1の層555では、フォトダイオードPD1~PD3は、ページの下部から上方へ流れる光560を介して受けた光エネルギーを、電流信号に変換するように構成され得る。変換された電流信号は、図4Aおよび図4Bで参照したようなそれぞれのバスTG₁~TG₃の上で信号を受信することに対応して、フォトダイオードPD1~PD3から、フォトダイオードPD1~PD3の各々に関連する浮遊拡散ノードFD1~FD3へ、転送ゲートトランジスタTG1~TG3を経由して転送され得る。

【0079】

第2の層556は、アナログ層を備え得る。第2の層556は、上記で説明したアナログフロントエンド(AFE)およびA/D変換回路機構を備え得る。たとえば、第2の層556は、BSIセンサー層(第1の層555)から受けた信号のアナログ操作を実行するように構成された構成要素を備え得る。第1の層555に示すようなBSIセンサーの場合、第2の層556は、以前に、BSIセンサー層に構造的支持をもたらした支持ウエハを備えることがあったが、いかなる機能的能力も提供しなかった。図5Bに示すように、第2の層556は、第2の層556の中に集積されたアナログ構成要素を介して、構造的支持および機能的サポートをもたらすように構成され得る。いくつかの実施形態では、読出し回路機構構成要素は、第2の層556の中に集積され得る。この回路機構は、上記で説明したサンプル/ホールドキャパシタ、およびピクセルから電荷値を読み出すために使用される他の構成要素を含み得る。

【0080】

第3の層557は、画像信号プロセッサもしくはデジタル信号処理層、または読出し回路機構層として構成され得る。たとえば、第3の層557は、BSIセンサーによって生成され読出し回路機構によってデジタル形式に変換された信号の、最終的な処理および/または読出しを実行するように構成された論理チップまたは他の回路機構を備え得る。いくつかの実施形態では、第3の層557は、CMOS 3D積層構造から除外されてよく、読出し回路機構からの信号をさらに処理するように構成された構成要素が第3の層557の中に集積されてよい。

【0081】

図6Aおよび図6Bは、図6Aと図6Bとの間の要素の接続を示すための接続点A~Xを有し、例示的な一実施形態による、図1Bのインターレース4トランジスタ4共有イメージセンサーピクセルアーキテクチャのタイミング図の2つのセクションを示す。図6Aおよび図6Bは、増大する時間をx軸に沿って有し、様々な信号のオンオフ活動化をy軸に沿って有するタイミング図を示す。y軸に沿った様々な信号は、上記で説明したピクセル回路または上記で説明した読出し回路のトランジスタもしくは他の構成要素に対応し得る。タイミング図の上半分は、リセットトランジスタ(図1A~図2でRESと呼ばれ、図6Aおよび図6Bで「Reset」とラベル付けされる)、転送ゲート(図1A~図2でTG1~TG4と呼ばれ、図6Aおよび図6BでTG_P1

10

20

30

40

50

、TG_P2、TG_P3、TG_P4とラベル付けされる)に対する活動化タイミング、および行選択トランジスタ(図1A～図2でSELと呼ばれ、図6Aおよび図6BでRow_Selとラベル付けされる)の活動化に対するタイミングを示す。タイミング図の下半分は、様々なサンプル/ホールドキャパシタ(図6Aおよび図6BでSM11、SM21、SM12、およびSM22とラベル付けされる)および列増幅スイッチ(図6Aおよび図6BでPhi21およびPhi22とラベル付けされる)に供給する構成要素に対する活動化タイミングを示す。

【0082】

したがって、トランジスタおよび他の構成要素の活動化タイミングは、サンプルアンドホールド構成要素SM11、SM21、SM12、およびSM22、ならびに列増幅構成要素Phi21およびPhi22の活動化タイミングとともに示される。タイミング図は、リセットトランジスタが周期的に活動化されることを示す。転送ゲートTG_P1～TG_P4のいずれかがリセットトランジスタと同時に活動化されると、フォトダイオード(図1A～図2でPD1～PD4と呼ばれ、図6Aおよび図6BでP1～P4とラベル付けされる)は、デフォルト電圧にリセットされ、リセットトランジスタがそれに結合される。たとえば、時間t0において、リセットトランジスタおよび転送ゲートTG_P1は、両方が同時に活動化されるものとして示される。したがって、時間t0において、TG_P1転送ゲートに結合されたフォトダイオード(たとえば、フォトダイオードPD1)は、結合されている電圧にリセットされる。転送ゲートTG_P1～TG_P4の各々は、単一の転送ゲートTG_P1～TG_P4だけがリセットトランジスタと同時に活動化されるように、異なる時間においてリセットトランジスタと同時に活動化される。さらに、リセットトランジスタResetがアクティブであるが転送ゲートTG_P1～TG_P4のうちのいずれもアクティブでないとき、蓄積キャパシタまたは浮遊拡散ノードが、結合されている電圧にリセットされる。

【0083】

フォトダイオードPDに関連する転送ゲートTG_P1～TG_P4に対する活動化の間の時間期間は、特定のTG_P1～TG_P4に結合されたフォトダイオードの集積期間を表し得る。たとえば、時間t0と時間t6との間で、転送ゲートTG_P1に結合されたフォトダイオード(たとえば、PD1)は光を集積し得、集積された光に対応する電荷を生成し得る。時間t0において、転送ゲートトランジスタTG_P1とリセットトランジスタResetの両方が同時に活動化されると、フォトダイオードPD1がリセットされ得る。時間t6において、PD1において累積された電荷が、蓄積キャパシタ/浮遊拡散ノードへ転送され得る。図示のように、転送ゲートTG_P1～TG_P4の各々は、それぞれの転送ゲートTG_P1～TG_P4の後続の活動化の間に、それらに関連する集積時間を有する。行選択トランジスタRow_Selは、特定の転送ゲートTG_P1～TG_P4とフォトダイオードとの組合せの読出しのために、行選択トランジスタがいつ活動化されるのかを示す。フォトダイオードに関連する転送ゲートTG_P1～TG_P4が、集積された電荷を蓄積キャパシタへ転送するように活動化されるまで、フォトダイオードは光を集積し得る。

【0084】

図6Aおよび図6Bに示すように、「1行時間」は、ピクセルの単一の行がその間に読み出される時間の量を示し得る。図6Aおよび図6Bに示すように、行の読出しは、2つ以上のピクセルの読出しを備え得る。たとえば、図2において、図示される4つの行の各々は、2つの異なるピクセルを備え得る。同様に、第1のP1読出しの始まりと第2の後続のP1読出しとの間に経過する時間の量は、「1フレーム時間」として規定され得、所与のフレームピクセルがそれぞれ読み出される。タイミング図に示される「t_{pix}」時間は、リセット、および読出し期間中での1つの単一ピクセルの信号レベルのサンプリングを終えた、ピクセル時間を示し得る。行の中のすべてのピクセルを読み出すとき、時間期間は1行時間と呼ばれる。

【0085】

図6Aおよび図6Bに示すように、行選択トランジスタRow_Selは、各フォトダイオードPD1～PD4に対して2つの読出しを実行する。各フォトダイオードPD1～PD4の2つの別個の読出しは、雑音の補償および/または低減をもたらし得る。たとえば、時間t5において、行選

10

20

30

40

50

択トランジスタRow_Selが、蓄積キャパシタおよび/または浮遊拡散ノードの第1の読出しに対して活動化される。この初期読出しは、蓄積キャパシタおよび/または浮遊拡散ノードが、時間t4において活動化させるリセットトランジスタResetによってリセットされたすぐ後に行われ、この初期読出しは、読出しに関連する雑音にとってのベースラインを提供し得る。その後、転送ゲートトランジスタTG_P1に結合されたフォトダイオードPD1から蓄積キャパシタおよび/または浮遊拡散ノードへ電荷を転送するために、時間t6において転送ゲートTG_P1が活動化され得る。次いで、時間t6においてTG_P1が活動化された後、蓄積キャパシタおよび/または浮遊拡散ノードの第2の読出しのために、時間t7において行選択トランジスタRow_Selが活動化される。この第2の読出しは、ベースライン読出し値に基づいて修正され得る読出し値を提供し得る。図示される2つの読出しは、上記で説明した雑音低減尺度に対応し得る。2つの読出しを実行することによって、たとえば、転送ゲートTG_P1~TG_P4がターンオンされる前および後に蓄積キャパシタをサンプリングすることによって、短いサンプリング時間を有する相関関係のある二重サンプリングが実行され得、したがって、少なくともkTC雑音を除去し得る。さらに、他のタイプの雑音が、類似の複数読出し技法を実施することによって除去または補償され得る。

【0086】

いくつかの実施形態では、読出し列回路機構は、列ごとにサンプル/ホールドキャパシタを備え得る。いくつかの実施形態では、イメージングシステム用の読出し列回路機構は、列ごとに1対のサンプル/ホールドキャパシタを備え得る。いずれの場合も、サンプル/ホールドキャパシタは、上記で説明したように、イメージングシステムの雑音読出しを低減するために使用され得る。信号SM11、SM21、SM12、およびSM22は、ベースライン(基準)および読出し(サンプル)を取得するために使用される信号を表し得る。たとえば、SM11サンプル/ホールド、すなわち、リセット信号は、時間t5において示すように、フォトダイオードPD1~PD4のうちの1つから蓄積キャパシタまたは浮遊拡散ノードの中への電荷の「ダンプ」の前に、蓄積キャパシタまたは浮遊拡散ノードのベースラインを取得するために使用され得る。次いで、時間t6においてフォトダイオードP1からの電荷が蓄積キャパシタまたは浮遊拡散ノードの中へ転送された後、フォトダイオードP1から転送された電荷を取得するためにSM21サンプル/ホールド信号が使用され得る。次いで、時間t5において読み取られた電荷が時間t7において読み取られた電荷から減算されて、ベースラインとサンプリングされた値との間で共通の雑音を有しない読出し値を取得し得る。column-ampSW-1/SW-2は、図7に示すように、最上列および最下列の読出しチャンネルからの読出し値を増幅している増幅構成要素を表し得る。

【0087】

図7は、図6Aおよび図6Bのタイミング図による、図1Bのインターレース4トランジスタ4共有イメージセンサーピクセルアーキテクチャの読出しブロック図の一例を示す。図示のように、2つの読出し回路、すなわち、上方読出しチャンネルによる電荷読出し用の1つと、下方読出しチャンネルによる電荷読出し用の1つとがある。ピクセルアレイの上方および下方の様々な構成要素は、サンプリングスイッチ、サンプリングキャパシタ、列アドレス指定マルチプレクサと信号バスおよびリセットバス、ならびに可変利得増幅器を備える。これらの構成要素は、組み合わせて、ピクセルアレイから信号を受信し得、信号を増幅し得、信号を1つまたは複数の映像信号に多重化し得る。

【0088】

例示的なイメージングデバイスの概要

図8は、画像取込みデバイス700の一実施形態の高レベル概略図を示し、デバイス700は、カメラ701(イメージセンサー)にリンクされた画像プロセッサ720を含む構成要素のセットを有する。画像プロセッサ720はまた、作業メモリ765、メモリ730、およびデバイスプロセッサ755と通信しており、デバイスプロセッサ755は、ストレージ770および随意的電子ディスプレイ760と通信している。

【0089】

デバイス700は、ポータブルパーソナルコンピューティングデバイス、たとえば、モバ

10

20

30

40

50

イルフォン、デジタルカメラ、タブレットコンピュータ、携帯情報端末などであり得る。デバイス700はまた、固定のコンピューティングデバイスまたは任意のデバイスであってもよい。複数のアプリケーションが、デバイス700上のユーザにとって利用可能であり得る。これらのアプリケーションは、従来の写真アプリケーションおよびビデオアプリケーション、たとえば、チャージダンプの数、差分フレームの数のユーザ管理に係るアプリケーション、HDRイメージングアプリケーションなどを含み得る。

【0090】

画像取込みデバイス700は、外部画像を取り込むためのカメラ701を含む。カメラ701は、ピクセルアレイ710、および上記で説明したような追加の蓄積キャパシタを有する読出し回路機構715を含み得る。上記で説明したアーキテクチャによれば、蓄積キャパシタは、関連するピクセルからのいくつかのチャージダンプを蓄積するための静電容量を有し得る。カメラ701は、プレビューフレームの継続的または間欠的な取込み、ならびに完全な解像度の最終画像の取込みのために構成され得る。

10

【0091】

画像プロセッサ720は、受信されたプレビューフレーム上で様々な処理演算を実行するように構成され得る。プロセッサ720は、汎用処理ユニットであってもよく、イメージングアプリケーション用に特別に設計されたプロセッサであってもよい。画像処理演算の例は、AWBおよびAECデータ生成、LED電流計算、クロッピング、スケーリング(たとえば、異なる解像度への)、画像スティッチング、画像フォーマット変換、カラー補間、カラー処理、画像フィルタリング(たとえば、空間画像フィルタリング)、レンズアーチファクトまたはレンズ欠陥の補正などを含む。プロセッサ720は、いくつかの実施形態では、複数のプロセッサを備え得る。プロセッサ720は、1つもしくは複数の専用画像信号プロセッサ(1SP)、またはプロセッサのソフトウェア実装であり得る。

20

【0092】

図示のように、画像プロセッサ720は、メモリ730および作業メモリ765に接続されている。図示の実施形態では、メモリ730は、取込み制御モジュール735、フルウェルキャパシティ拡張モジュール740、雑音補償モジュール780、およびオペレーティングシステム750を記憶する。メモリ730のモジュールは、様々な画像処理およびデバイス管理のタスクを実行するようにデバイスプロセッサ755の画像プロセッサ720を構成する命令を含む。作業メモリ765は、メモリ730のモジュールに含まれるプロセッサ命令の作業セットを記憶するために画像プロセッサ720によって使用され得る。代替的に、作業メモリ765はまた、デバイス700の動作中に作成された動的データを記憶するために画像プロセッサ720によって使用され得る。

30

【0093】

フルウェルキャパシティ拡張モジュール740は、サブモジュール、すなわち、タイミング方式モジュール742およびチャージダンプ数ハンドラモジュール744を記憶し得る。一緒に、これらのモジュールは、読出しアーキテクチャにおける、各ピクセルの集積時間およびピクセルから蓄積キャパシタへの複数のチャージダンプを決定することに関するタスクを実行するように協働し得る。

【0094】

雑音補償モジュール780は、サブモジュール、すなわち、フレーム取込みモジュール782およびデジタル集約モジュール784を記憶し得る。いくつかの実施形態では、フレーム取込みモジュール782は、イメージセンサーの読出し回路機構に命令を与えることによって、上記で説明したプロセス500を実行するようにプロセッサ720を構成する命令が与えられ得る。いくつかの実施形態では、デジタル集約モジュール784は、複数の電荷をデジタル領域において集約するために、上記で説明したプロセス600を実行するようにプロセッサ720を構成する命令が与えられ得る。

40

【0095】

上述のように、画像プロセッサ720は、メモリに記憶されたいくつかのモジュールによって構成される。取込み制御モジュール735は、カメラ701の焦点位置を調整するように画

50

像プロセッサ720を構成する命令を含み得る。取込み制御モジュール735は、デバイス700の全体的な画像取込み機能を制御する命令をさらに含み得る。たとえば、取込み制御モジュール735は、カメラ701を使用してターゲット画像シーンの1つまたは複数のフレームを含むプレビュー画像データまたは完全な解像度の画像データを取り込むように、画像プロセッサ720を構成するためのサブルーチン呼び出す命令を含み得る。

【0096】

オペレーティングシステムモジュール750は、デバイス700の作業メモリ765および処理リソースを管理するように画像プロセッサ720を構成する。たとえば、オペレーティングシステムモジュール750は、ハードウェアリソース、たとえば、カメラ701を管理するための、デバイスドライバを含み得る。したがって、いくつかの実施形態では、上記で説明した画像処理モジュールに含まれる命令は、これらのハードウェアリソースと直接相互作用し得ず、代わりに、オペレーティングシステム構成要素750の中に配置された標準サブルーチンまたはAPIを通じて相互作用し得る。オペレーティングシステム750内の命令は、次いで、これらのハードウェア構成要素と直接相互作用し得る。オペレーティングシステムモジュール750は、デバイスプロセッサ755と情報を共有するように画像プロセッサ720をさらに構成してもよい。

10

【0097】

デバイスプロセッサ755は、取り込まれた画像、または取り込まれた画像のプレビューをユーザに表示するようにディスプレイ760を制御するように構成され得る。ディスプレイ760は、イメージングデバイス200の外部にあってよく、またはイメージングデバイス200の一部であってもよい。ディスプレイ760はまた、画像を取り込む前に使用するためのプレビュー画像を表示するビューファインダーを提供するように、たとえば、画像シーンのダイナミックレンジの視覚表現、またはアナログチャージダンプおよび/もしくはデジタル累積される差分フレームの数を手作業で調整するためのユーザインターフェースとともに、ユーザに提示するように構成され得る。ディスプレイ760は、LCDまたはLEDスクリーンを備えてよく、タッチセンシティブ技術を実装してよい。

20

【0098】

デバイスプロセッサ755は、データ、たとえば、デジタル累積された差分フレームを表すデータを、ストレージモジュール770に書き込み得る。ストレージモジュール770が従来のディスクデバイスとして図式で表されるが、ストレージモジュール770が任意の記憶媒体デバイスとして構成され得ることを当業者なら理解されよう。たとえば、ストレージモジュール770は、ディスクドライブ、たとえば、フロッピーディスクドライブ、ハードディスクドライブ、光ディスクドライブ、もしくは光磁気ディスクドライブ、または固体メモリ、たとえば、フラッシュメモリ、RAM、ROM、および/もしくはEEPROMを含み得る。ストレージモジュール770はまた、複数のメモリユニット、画像取込みデバイス700内にあるように構成され得るメモリユニットのいずれか1つを含んでよく、または画像取込みデバイス700の外部にあってよい。たとえば、ストレージモジュール770は、画像取込みデバイス700内に記憶されたシステムプログラム命令を含むROMメモリを含んでよい。ストレージモジュール770はまた、カメラから着脱可能であり得る、取り込まれた画像を記憶するように構成されたメモリカードまたは高速メモリを含み得る。ストレージモジュール770はまた、デバイス700の外部にあってよく、一例では、デバイス700は、データをストレージモジュール770に、たとえば、ネットワーク接続を介してワイヤレス送信してよい。

30

40

【0099】

図8は、プロセッサ、イメージングセンサー、およびメモリを含むために別個の構成要素を有するデバイスを示すが、これらの別個の構成要素が、特定の設計目的を達成するように様々な方法で組み合わせられてよいことを当業者なら認識されよう。たとえば、代替実施形態では、メモリ構成要素は、たとえば、コストを節約し、かつ/または性能を改善するために、プロセッサ構成要素と組み合わせられてよい。

【0100】

さらに、図8は、いくつかのモジュールを備えるメモリ構成要素720、および作業メモリ

50

を備える別個のメモリ765を含む2つのメモリ構成要素を示すが、いくつかの実施形態が、異なるメモリアーキテクチャを利用することを当業者なら認識されよう。たとえば、設計は、メモリ730に含まれるモジュールを実装するプロセッサ命令の記憶のためにROMまたはスタティックRAMメモリを利用し得る。プロセッサ命令は、画像プロセッサ720による実行を容易にするためにRAMの中にロードされ得る。たとえば、作業メモリ765はRAMメモリを備えてよく、命令はプロセッサ720による実行の前に作業メモリ765の中にロードされる。

【0101】

システムの実装および用語

本明細書で開示する実装形態は、3次元(3D)積層の、垂直に集積されたピクセルアーキテクチャを使用して、フォトダイオードピクセルによる光吸収を増大させ、低雑音および高利得の読出し、高解像度および高い色忠実度の出力、ならびに増大されたダイナミックレンジを可能にするためのシステム、方法、および装置を提供する。これらの実施形態がハードウェア、ソフトウェア、ファームウェア、またはそれらの任意の組合せで実施され得ることを、当業者は認識されよう。

【0102】

いくつかの実施形態では、上記で説明した回路、プロセス、およびシステムは、ワイヤレス通信デバイスにおいて利用され得る。ワイヤレス通信デバイスは、他の電子デバイスとワイヤレス通信するために使用される電子デバイス的一种であり得る。ワイヤレス通信デバイスの例は、セルラー電話、スマートフォン、携帯情報端末(PDA)、電子リーダー、ゲーミングシステム、音楽プレーヤ、ネットブック、ワイヤレスモデム、ラップトップコンピュータ、タブレットデバイスなどを含む。

【0103】

ワイヤレス通信デバイスは、1つまたは複数のイメージセンサー、2つ以上の画像信号プロセッサ、上記で説明したCNRプロセスを実行するための命令またはモジュールを含むメモリを含み得る。デバイスはまた、データ、命令および/またはデータをメモリからロードするプロセッサ、1つまたは複数の通信インターフェース、1つまたは複数の入力デバイス、1つまたは複数の出力デバイス、たとえば、ディスプレイデバイス、ならびに電源/インターフェースを有し得る。ワイヤレス通信デバイスは、送信機および受信機をさらに含み得る。送信機および受信機は、一緒にトランシーバと呼ばれることがある。トランシーバは、ワイヤレス信号を送信および/または受信するための1つまたは複数のアンテナに結合され得る。

【0104】

ワイヤレス通信デバイスは、別の電子デバイス(たとえば、基地局)にワイヤレスに接続し得る。ワイヤレス通信デバイスは、代替として、モバイルデバイス、移動局、加入者局、ユーザ機器(UE)、リモート局、アクセス端末、モバイル端末、端末、ユーザ端末、加入者ユニットなどと呼ばれることがある。ワイヤレス通信デバイスの例は、ラップトップコンピュータまたはデスクトップコンピュータ、セルラーフォン、スマートフォン、ワイヤレスモデム、電子リーダー、タブレットデバイス、ゲーミングシステムなどを含む。ワイヤレス通信デバイスは、1つまたは複数の業界規格、たとえば、第3世代パートナーシッププロジェクト(3GPP)に従って動作し得る。したがって、「ワイヤレス通信デバイス」という一般的な用語は、業界規格に従って様々な名称(たとえば、アクセス端末、ユーザ機器(UE)、リモート端末など)を用いて説明されるワイヤレス通信デバイスを含み得る。

【0105】

本明細書で説明した機能は、プロセッサ可読媒体上またはコンピュータ可読媒体上に1つまたは複数の命令として記憶され得る。「コンピュータ可読媒体」という用語は、コンピュータまたはプロセッサによってアクセスされ得る任意の利用可能な媒体を指す。限定ではなく、例として、そのような媒体は、RAM、ROM、EEPROM、フラッシュメモリ、CD-ROMもしくは他の光ディスクストレージ、磁気ディスクストレージデバイスもしくは他の磁気ストレージデバイス、または所望のプログラムコードを命令もしくはデータ構造の形態で記憶するために使用され得、かつコンピュータによってアクセスされ得る任意の他の媒体

10

20

30

40

50

を備え得る。本明細書で使用するディスク(disk)およびディスク(disc)は、コンパクトディスク(disc)(CD)、レーザーディスク(登録商標)(disc)、光ディスク(disc)、デジタル多用途ディスク(disc)(DVD)、フロッピーディスク(disk)およびブルーレイディスク(登録商標)(disc)を含み、ディスク(disk)は、通常、データを磁氣的に再生し、ディスク(disc)は、レーザーを用いてデータを光学的に再生する。コンピュータ可読媒体は、有形かつ非一時的であり得ることに留意されたい。「コンピュータプログラム製品」という用語は、コンピューティングデバイスまたはプロセッサによって実行、処理、または計算され得るコードまたは命令(たとえば、「プログラム」と組み合わされたコンピューティングデバイスまたはプロセッサを指す。本明細書で使用する「コード」という用語は、コンピューティングデバイスまたはプロセッサによって実行可能である、ソフトウェア、命令、コード、またはデータを指し得る。

10

【0106】

ソフトウェアまたは命令はまた、伝送媒体を介して送信されてよい。たとえば、ウェブサイト、サーバ、または他の遠隔ソースから、同軸ケーブル、光ファイバーケーブル、ツイストペア、デジタル加入者回線(DSL)、またはワイヤレス技術、たとえば、赤外線、無線、およびマイクロ波を使用してソフトウェアが送信される場合、同軸ケーブル、光ファイバーケーブル、ツイストペア、DSL、またはワイヤレス技術、たとえば、赤外線、無線、およびマイクロ波は、伝送媒体の定義に含まれる。

【0107】

本明細書で開示した方法は、説明した方法を達成するための1つまたは複数のステップまたはアクションを備える。方法ステップおよび/または方法アクションは、特許請求の範囲から逸脱することなく互いに交換され得る。言い換えると、ステップまたはアクションの特定の順序が、説明されている方法の正しい動作のために必要とされない限り、特定のステップおよび/またはアクションの順序および/または使用は、特許請求の範囲から逸脱することなく変更されてよい。

20

【0108】

「結合する」、「結合すること」、「結合される」という用語、または本明細書で使用する結合という語の他の変形形態は、間接的な接続または直接的な接続のいずれかを示し得ることに留意されたい。たとえば、第1の構成要素が第2の構成要素に「結合される」場合、第1の構成要素は、第2の構成要素に間接的に接続されるか、または第2の構成要素に直接的に接続されるかの、いずれかであってよい。本明細書で使用する「複数の」という用語は2つ以上を示す。たとえば、複数の構成要素は2つ以上の構成要素を示す。

30

【0109】

「決定すること」という用語は、多種多様なアクションを包含し、したがって、「決定すること」は、計算すること、演算すること、処理すること、導出すること、調査すること、探索すること(たとえば、表、データベース、または他のデータ構造の中を探索すること)、確認することなどを含み得る。また、「決定すること」は、受信すること(たとえば、情報を受信すること)、アクセスすること(たとえば、メモリの中のデータにアクセスすること)などを含み得る。また、「決定すること」は、解決すること、選択すること、選ぶこと、確立することなどを含み得る。

40

【0110】

「に基づいて」という句は、別段に明記されていない限り、「のみに基づいて」を意味しない。言い換えれば、「に基づいて」という句は、「のみに基づいて」と「に少なくとも基づいて」の両方を表す。

【0111】

上記の説明では、例の完全な理解をもたらすように具体的な詳細が与えられている。しかしながら、例がこれらの具体的な詳細なしに実践され得ることを、当業者は理解されよう。たとえば、不必要な詳細で例を不明瞭にしないために、電気構成要素/電気デバイスがブロック図で示されることがある。他の事例では、例をさらに説明するために、そのような構成要素、他の構造および技法が詳細に示されることがある。

50

【 0 1 1 2 】

参照のために、かつ様々なセクションを位置特定する助けとなるために、本明細書に見出しが含まれる。これらの見出しは、それに関して説明した概念の範囲を限定することを意図しない。そのような概念は、本明細書全体にわたって適用性を有し得る。

【 0 1 1 3 】

例は、フローチャート、流れ図、有限状態図、構造図、またはブロック図として示されるプロセスとして説明され得ることにも留意されたい。フローチャートは動作を順次プロセスとして記述し得るが、動作の多くは並列または同時に実行されてよく、プロセスが繰り返されてよい。さらに、動作の順序が並べ替えられてよい。プロセスは、その動作が完了したときに終了する。プロセスは、方法、関数、プロシージャ、サブルーチン、サブプログラムなどに対応し得る。プロセスがソフトウェア関数に対応するとき、その終了は呼出し関数またはメイン関数への関数のリターンに対応する。

10

【 0 1 1 4 】

開示した実装形態の前の説明は、任意の当業者が本発明を作成または使用することを可能にするために提供される。これらの実装形態への様々な修正が当業者には容易に明らかになり、本明細書に定義する一般原理は、本発明の趣旨または範囲を逸脱することなく他の実装形態に適用され得る。したがって、本発明は、本明細書に示される実装形態に限定されることを意図するものではなく、本明細書で開示する原理および新規の特徴と一致する最も広い範囲を与えられるべきである。

20

【 符号の説明 】

【 0 1 1 5 】

100 4T4共有ピクセルアーキテクチャ

105 第1のアーキテクチャ

110 第2のアーキテクチャ

200 インターレースアレイ

205 垂直読出しチャンネル

210 垂直読出しチャンネル

305 垂直読出しチャンネル

306 バンク

310 垂直読出しチャンネル

311 バンク

355 上方読出しチャンネル

356 バンク

360 下方読出しチャンネル

361 バンク

400 4T8共有イメージセンサーピクセルアーキテクチャ

410 フォトダイオードウエハ

420 ピクセル回路機構ウエハ

450 4T16共有イメージセンサーピクセルアーキテクチャ

460 フォトダイオードウエハ

470 ピクセル回路機構ウエハ

700 画像取込みデバイス

701 カメラ

710 ピクセルアレイ

715 読出し回路機構

720 画像プロセッサ

730 メモリ

735 取込み制御モジュール

740 フルウェルキャパシティ拡張モジュール

742 タイミング方式モジュール

30

40

50

- 744 チャージダンプ数ハンドラモジュール
- 750 オペレーティングシステム
- 755 デバイスプロセッサ
- 760 電子ディスプレイ
- 765 作業メモリ
- 770 ストレージ
- 780 雑音補償モジュール
- 782 フレーム取込みモジュール
- 784 デジタル集約モジュール

【図 1 A】

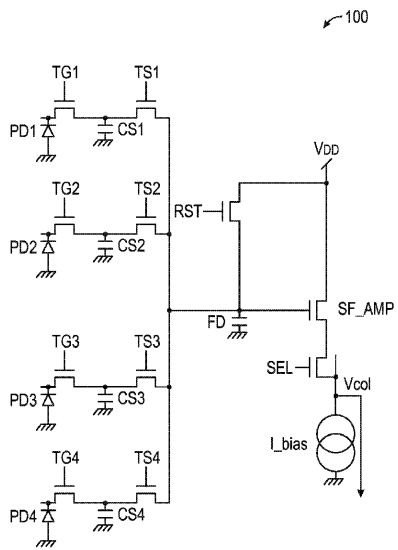


FIG. 1A

【図 1 B】

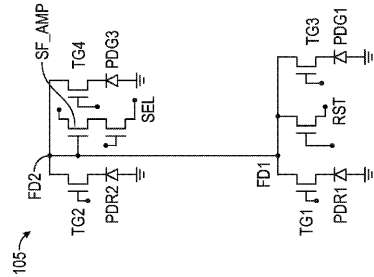


FIG. 1B

【図 1 C】

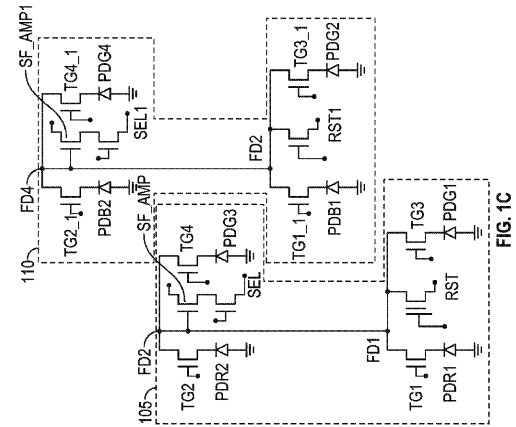
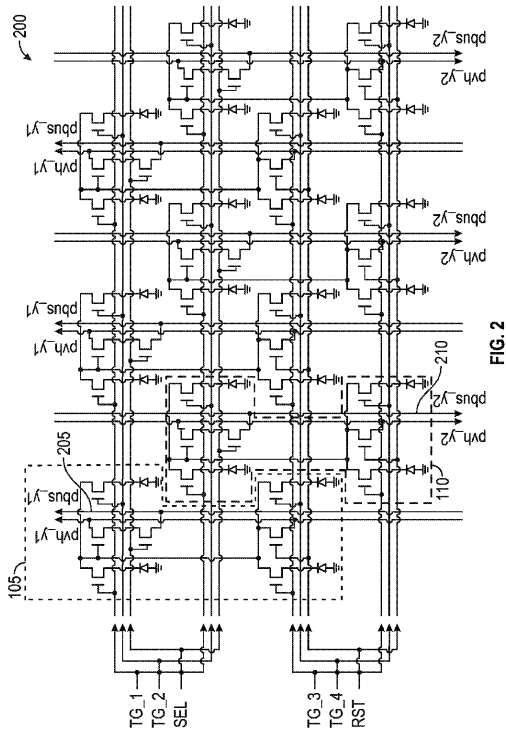
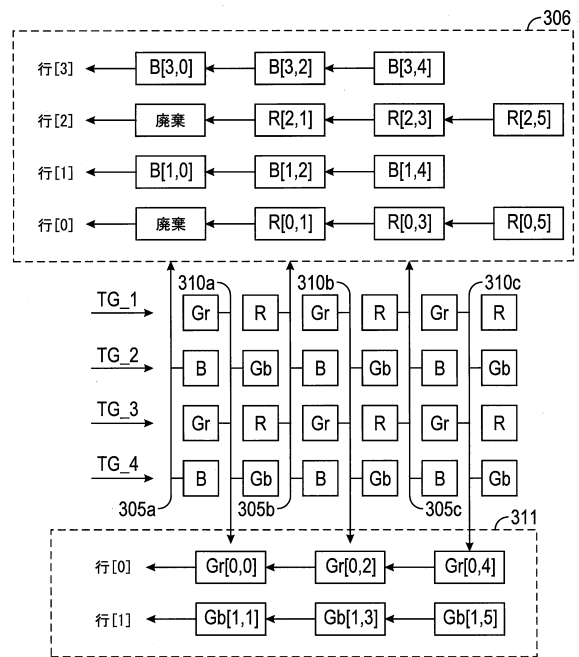


FIG. 1C

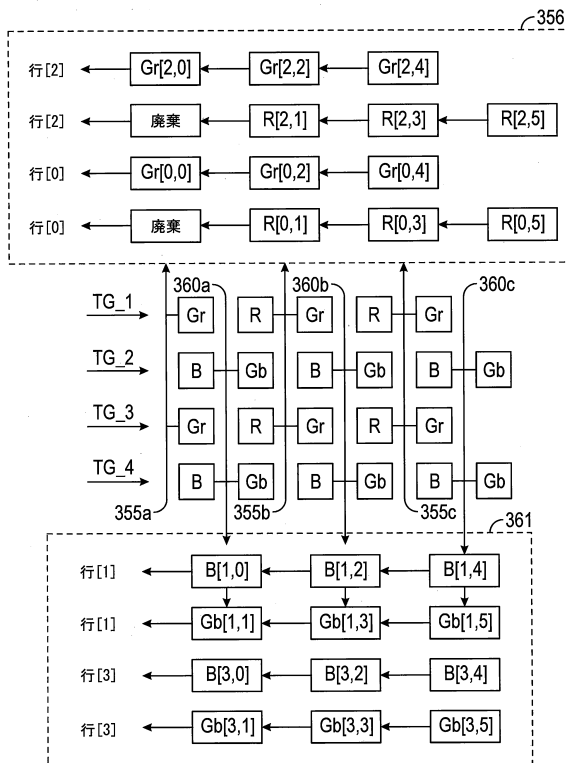
【図2】



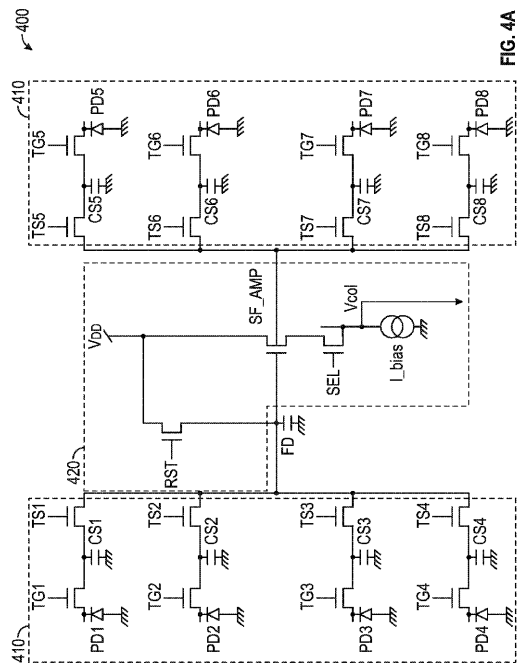
【図3A】



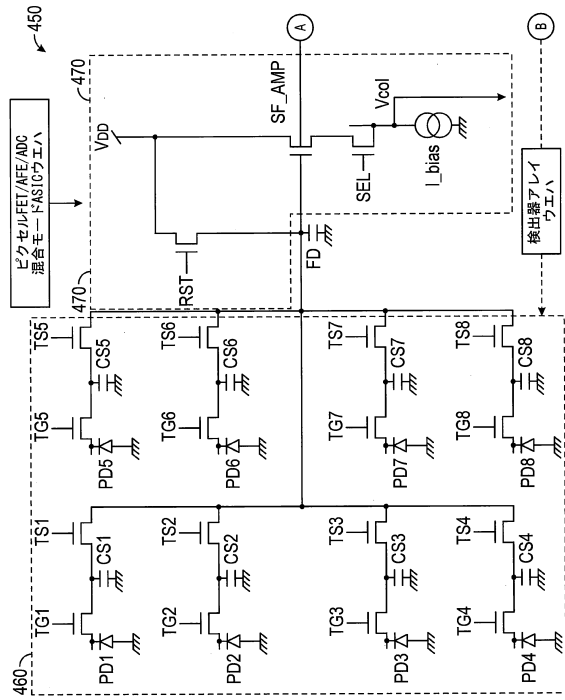
【図3B】



【図4A】



【図 4 B - 1】



【図 4 B - 2】

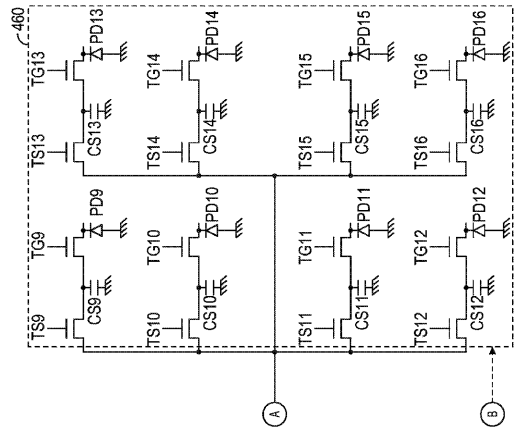
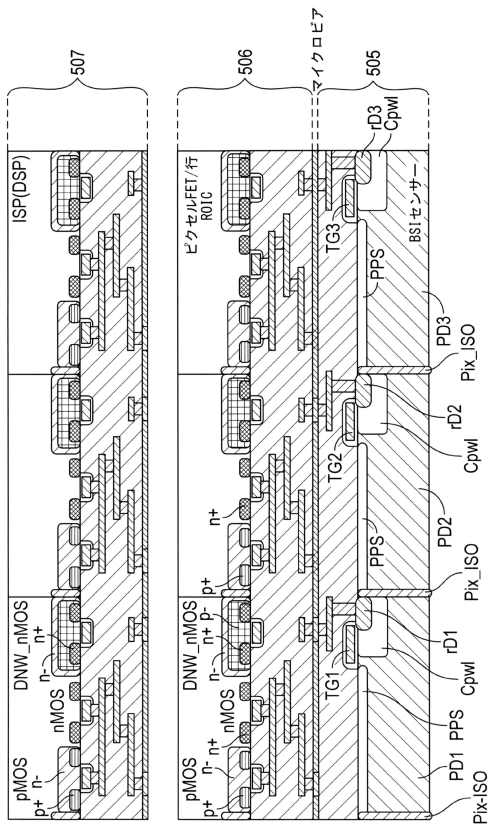
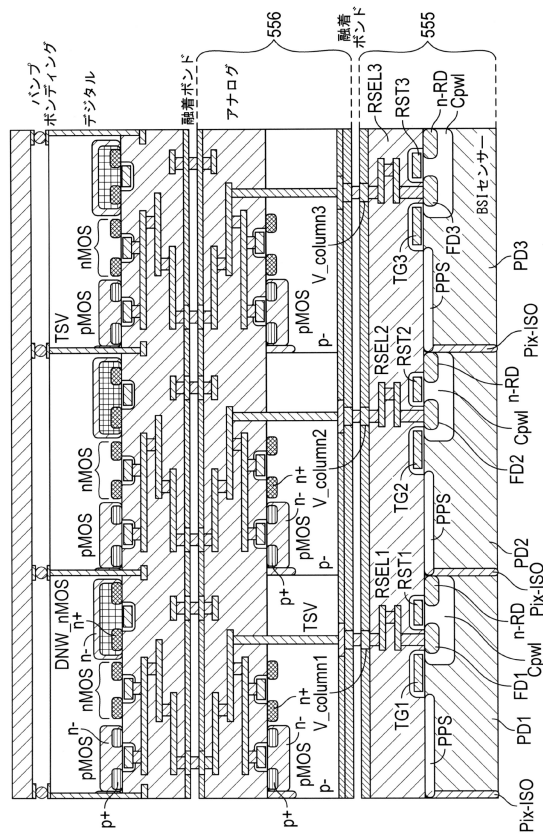


FIG. 4B-2

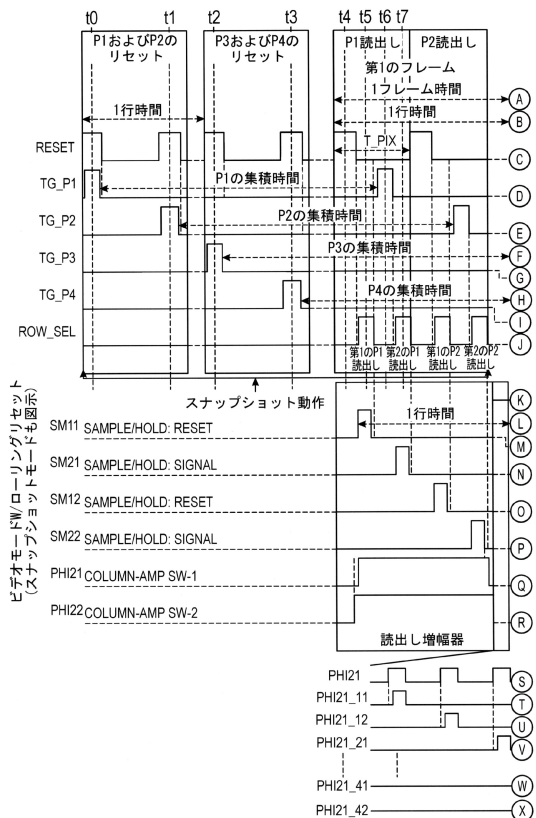
【図 5 A】



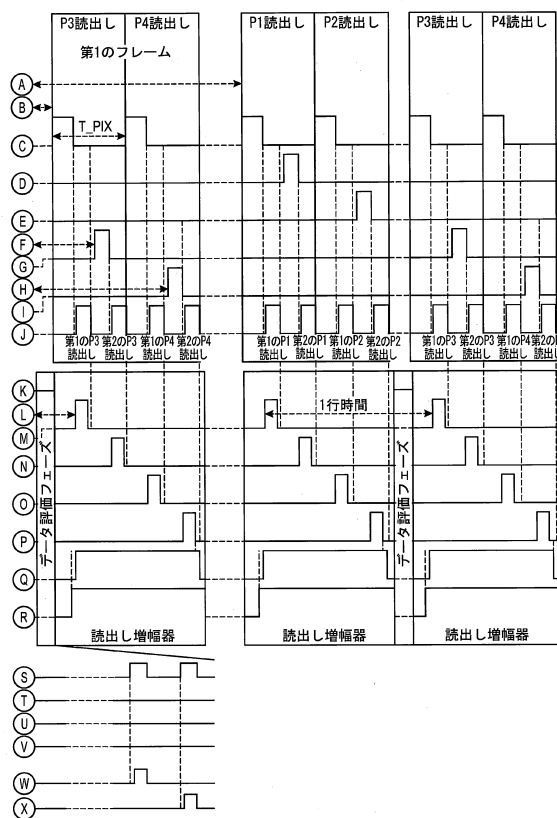
【図 5 B】



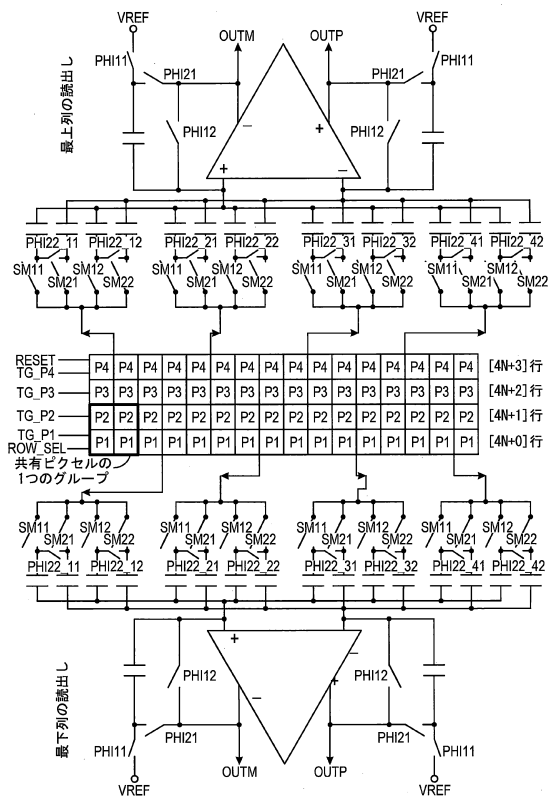
【図6A-1】



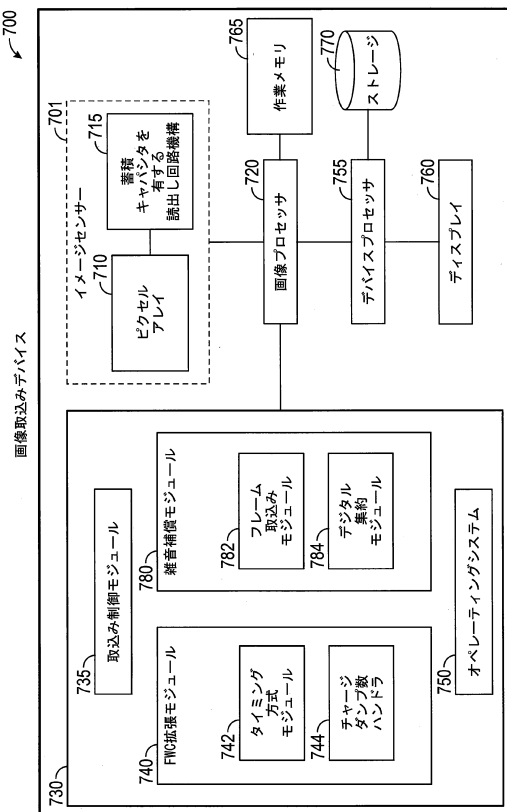
【図6A-2】



【図6B】



【図7】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 27/092 (2006.01) H 0 1 L 27/00 3 0 1 B
H 0 1 L 27/00 (2006.01)

(72)発明者 セルジュ・ラドゥ・ゴマ
アメリカ合衆国・カリフォルニア・9 2 1 2 1 - 1 7 1 4 ・サン・ディエゴ・モアハウス・ドライ
ヴ・5 7 7 5

審査官 鈴木 明

(56)参考文献 国際公開第2 0 1 4 / 0 6 4 8 3 7 (WO, A 1)
特表2 0 1 2 - 5 0 2 4 6 9 (JP, A)
特開2 0 1 0 - 1 6 5 8 5 4 (JP, A)
特開2 0 0 7 - 0 1 3 0 8 9 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 4 N 5 / 3 0 - 5 / 3 7 8
H 0 1 L 2 7 / 1 4 - 2 7 / 1 4 8
H 0 1 L 2 7 / 0 0
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 0 9 2