



(12) 发明专利

(10) 授权公告号 CN 109543316 B

(45) 授权公告日 2023. 07. 14

(21) 申请号 201811428183.1

(22) 申请日 2018.11.27

(65) 同一申请的已公布的文献号
申请公布号 CN 109543316 A

(43) 申请公布日 2019.03.29

(66) 本国优先权数据
201810160008.2 2018.02.26 CN

(73) 专利权人 上海安路信息科技股份有限公司
地址 200434 上海市虹口区纪念路500号5
幢202室

(72) 发明人 姚聪

(74) 专利代理机构 上海一平知识产权代理有限公司 31266
专利代理师 王昕 须一平

(51) Int.Cl.

G06F 30/392 (2020.01)

G06F 30/398 (2020.01)

(56) 对比文件

CN 103678742 A, 2014.03.26

US 7464350 B1, 2008.12.09

王丽丽;陈洁.基于calibre的MIC总线控制器专用集成电路版图检查.集成电路通讯.2007,(第04期),全文.

审查员 黄静

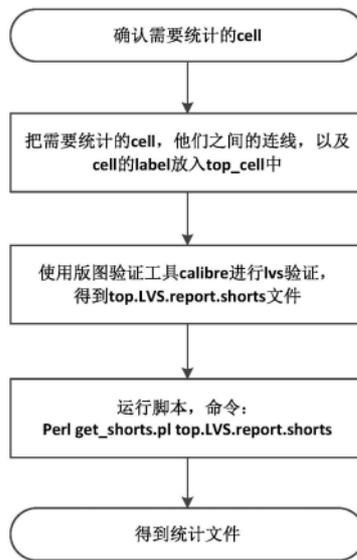
权利要求书1页 说明书5页 附图4页

(54) 发明名称

提取版图不同模块连接关系的方法

(57) 摘要

本发明涉及一种提取版图不同模块连接关系的方法,是通过验证工具Calibre LVS提取模块间连接关系信息后实现,主要有:使用集成电路版图编辑工具,把需要提取连接关系的两个或者两个以上的模块调入并打开,其中所述模块内部label采用可区别标签、并保证其内部通过LVS;操作界面中加入上述模块各cell相互之间的连接线;复制所述模块内部label到模块之间连接线对应的位置;打开calibre验证工具,进行LVS检查;根据该检查结果产生的“top.LVS.report.shorts”文件来编写脚本文件,可统计并提取出上述模块间连接关系。本发明所用方法效率及准确高。



1. 一种提取版图不同模块连接关系的方法,是通过验证工具Calibre LVS提取模块间连接关系信息后实现,其特征是包括以下步骤:

步骤1,使用集成电路版图编辑工具,新建并打开当前操作界面模块top,把需要提取连接关系的两个或者两个以上的模块调入并打开,其中所述的两个或者两个以上的模块内部label采用可区别标签、所述的两个或者两个以上的模块分别保证其内部通过LVS;

步骤2,在上述当前操作界面模块top中加入两个或者两个以上模块各cell相互之间的连接线;

步骤3,复制所述的两个或者两个以上的模块内部label到模块A与模块B之间连接线对应的位置;

步骤4,打开上述的验证工具calibre,进行LVS检查;

步骤5,依据上述LVS检查结果产生的“top.LVS.report.shortcuts”文件来编写脚本文件,从其中统计并提取出上述模块间连接线关系的文本文件;

其中,所述的统计并提取出上述模块间连接线关系的文本文件包括以下分步骤:

步骤5.1,找到上述验证工具calibre输出目录,调用top.LVS.report.shortcuts文本文件,所述的top.LVS.report.shortcuts文本文件是包含了模块间所有连接线关系的格式文件;

步骤5.2,编写脚本文件,提取以SHORT为首的行,并整理,其中使用脚本get_shorts.pl提取出以SHORT为首的行,然后以空格为分隔符,使这行数据保存在数组中,取出数组中label值输出。

提取版图不同模块连接关系的方法

技术领域

[0001] 本发明涉及集成电路版图设计领域,特别涉及提取版图不同模块连接关系的方法。

背景技术

[0002] 集成电路版图是电路系统与集成电路工艺之间的中间环节,是一个必不可少的重要环节。通过集成电路版图设计,可以将立体的电路系统变为一个二维的平面图形,再经过工艺加工还原为基于硅材料的立体结构。

[0003] Calibre验证工具,在进行版图与设计图对比时,通常认为一条连线(net)有唯一的label(标签),如果在同一条连线上出现不同label,calibre验证工具会认为,你把两根不应该连在一起的连线,错误的连在了一起,这在正常进行版图验证时,是代表版图里出现了错误的连接关系。在此种情况下,当版图进行LVS(Layout Versus Schematics版图原理图对比检查)时,calibre验证工具,选择打开检查shorts,软件会报告版图中同一条连线上面出现的两个不同label的错误。

[0004] Calibre LVS(Layout Versus Schematics版图原理图对比),对于大多数版图验证工程师来讲,LVS是个比较头痛的检查,必须在复杂的报告中过滤出有用的信息,才能正确找到错误的节点或器件。而Calibre在进行LVS检查时具有良好的性能和查错能力,它可以通过层次化的查错方式更准确的定位错误,并通过版图、原理图、网表之间的美好交互能力帮助工程师最快、最准确的解决问题。

[0005] 集成电路版图设计,有时需要统计两个模块之间的连接关系,例如,模块A的端口a(1),连接到模块B的端口b(1)上。

[0006] 目前的统计方法是,人工找到版图上实际连在一起的点,然后把端口a(1)和端口b(1)写在一个文件的同一行,用空格分开,代表这两点在版图中连在一起。

[0007] 版图格式在导出数据时,只能导出两个模块之间的对应label位置,而不能显示版图中两个模块之间各cell(单元)相互之间的连接关系。

[0008] 已有技术中如果想要知道版图中两个模块之间各cell相互之间的连接关系,则需要每跟线都进行人工操作,如果一根线一根线地统计,效率低下;如果一组线一组线地统计,有可能会出现顺序错误等不确定结果。并且在统计完毕后,需要再进行人工检查,效率低下,错误率高。

发明内容

[0009] 本发明的目的在于解决现有技术中存在的提取版图不同模块连接关系时效率低下、准确度差的问题,并利用已有的Calibre LVS验证工具给出一种提取版图不同模块连接关系的方法,用以快速准确地提取集成电路版图模块间连接关系。

[0010] 为解决上述技术问题,本发明的实施方式公开了一种提取版图不同模块连接关系的方法,该方法包括以下步骤:

[0011] 一种提取版图不同模块连接关系的方法,是通过验证工具Calibre LVS提取模块间连接关系信息后实现,它包括以下步骤:

[0012] 步骤1,使用集成电路版图编辑工具,新建并打开当前操作界面模块top,把需要提取连接关系的两个或者两个以上的模块调入并打开,其中所述的两个或者两个以上的模块内部label采用可区别标签、所述的两个或者两个以上的模块分别保证其内部通过LVS;

[0013] 步骤2,在上述当前操作界面模块top中加入两个或者两个以上模块各cell相互之间的连接线;

[0014] 步骤3,复制所述的两个或者两个以上的模块内部label到模块A与模块B之间连接线对应的位置;

[0015] 步骤4,打开上述的calibre验证工具,进行LVS检查;

[0016] 步骤5,依据上述LVS检查结果产生的“top.LVS.report.shortcuts”文件来编写脚本文件,从其中统计并提取出上述模块间连接线关系的文本文件。

[0017] 所述的统计并提取出上述模块间连接线关系的文本文件包括以下分步骤:

[0018] 步骤5.1,找到上述calibre验证工具输出目录,调用top.LVS.report.shortcuts文本文件;

[0019] 步骤5.2,编写脚本文件,提取以SHORT为首的行,并整理。

[0020] 本发明利用后端物理验证工具calibre LVS产生的short文件统计并提取出不同模块对应连接的文本文件,尤其当需要统计的连接关系比较多,集成电路版图中走线复杂的情况下,具有快速准确地统计和提取集成电路版图模块间连接关系的明显优势。

附图说明

[0021] 图1为本发明需要提取连接关系的两个或者两个以上的模块调入并打开的界面示意图;

[0022] 图2为加入所述的两个或者两个以上模块间连接线界面示意图;

[0023] 图3为本发明借用的calibre验证工具报告的警告信息示意图;

[0024] 图4为本发明提取的top.lvs.report.shortcuts的文本文件示意图,其中包含了模块间连接线关系的文本文件格式样本;

[0025] 图5为本发明通过脚本文件整理后的模块间连接线关系的文本文件格式样本示意图。

[0026] 图6为本发明方法具体实施方式的流程图

[0027] 图7本发明编写脚本文件方法的一个实施例流程图

具体实施方式

[0028] 在以下的叙述中,为了更好地理解本申请而提出了许多技术细节。但是,本领域的普通技术人员可以理解,即使没有这些技术细节和基于以下各实施方式的种种变化和修改,也可以实现本申请各权利要求所要求保护的技术方案。

[0029] 为使本发明的目的、技术方案和优点更加清楚,下面将结合附图对本发明的实施方式作进一步地详细描述。

[0030] 一种提取版图不同模块连接关系的方法,是通过验证工具Calibre LVS提取模块

间连接关系信息后实现,它包括以下步骤:

[0031] 如图1所示,使用集成电路版图编辑工具(如:virtuoso,laker等)新建并打开当前操作界面模块top,把需要提取连接关系的两个或者两个以上的模块调入并打开,例如把需要提取连接关系的模块A和模块B调入并打开,所述的模块A和模块B内部label应当采用可区别标签,所述的模块A和模块B应分别保证其内部通过LVS,即保证模块A和模块B内部label是正确的;

[0032] 如图2所示,在上述当前操作界面模块top中加入模块A与模块B各cell相互之间的连接线;

[0033] 然后,复制所述的模块A与模块B内部label到模块A与模块B之间连接线对应的位置,即把模块A以及模块B内部各cell之间需要统计连接关系的label复制到上述当前操作界面模块top中;

[0034] 接着,打开calibre验证工具,进行LVS检查,LVS option(目录)需要打开run short,结果会产生一个top.LVS.report.shortcuts的文件,所述的top.LVS.report.shortcuts是一个版图里不相同的label连接在同一条线上的报告文件。通常情况下,执行LVS时,出现“top.LVS.report.shortcuts”文件代表版图里出现了错误的连接关系,此时,calibre验证工具会报告出一些警告,但是当我们想要知道两个模块间的连接关系时,可以借用这个文件。由于模块A和模块B内部label是采用可区别标签,因此模块A和模块B的所有连线均将被统计出现,这正可以作为本发明统计并提取出模块A与模块B间连接线关系的来源,如图3所示。

[0035] 接着,打开所述的验证工具Calibre LVS以产生short文件,所述的short文件包含了模块A与模块B间所有连接线关系格式文件。

[0036] 以下以图4所示格式文件为例,

[0037] top.LVS.report.shortcuts文件第一行SHORT为首的行指明a_x和b_x为两个连在一起的点,第二行为提取日期,第三行为label在版图中出现的坐标,例如:

[0038] "a<3>"at(0.7,50.415)on layer"MITXT"SN 1

[0039] "b<3>"at(1.75,50.415)on layer"MITXT"SN 6

[0040] 我们使用脚本get_shorts.pl(使用perl语言,运行方式在linux系统下perl get_shorts.pl脚本贴在下面),提取出以SHORT为首的行,然后以空格为分隔符,使这行数据保存在数组中,取出数组中label值输出。

[0041] 编写脚本文件,用以提取以SHORT为首的行相关label值,得到模块A与模块B间连接线关系的文本文件。如图5所示,就是我们想要得到的版图中模块A与模块B间连接线关系。

[0042] 图6所示为本发明方法具体实施方式的流程图:确定需要统计连接关系的cell,使用集成电路版图编辑工具virtuoso新建并打开top_cell,将需要统计及提取连接关系的两个或者两个以上的模块调入top_cell,并将需要统计的各模块连线以及各模块label调入top_cell;使用验证工具Calibre进行LVS验证,得到top.LVS.report.shortcuts文件;运行脚本文件,执行命令:perl get_shorts.pl top.LVS.report.shortcuts,最后得到上述需要统计的cell间连线文本文件。

[0043] 所述的编写脚本文件包括以下步骤:

[0044] 以top.LVS.report.shortcuts文本文件为输入,提取以SHORT为首的行相关要素值,并整理。

[0045] 如图7所示为本发明编写脚本文件方法的一个实施例流程图,首先打开文件,如图4所示的top.LVS.report.shortcuts文件,读取以SHORT为首的行,为方便以下步骤中数据使用,先去除该行开头或结尾多余空格,接着按空格分割该行后存放到数组@line中,例如依照上述步骤整理图4某一行行为:"SHORT 1.a<3>-b<3>in top",然后判断所述数组@line中\$line[0]的值是否为shrot,如是则将\$line[2]、\$line[4]输出。(数组中0是"short",1是"1.",2是"a<3>",3是"-",4是"b<3>".....);如否,则返回读取下一行。本实施例编写的脚本文件如下:

脚本 get_shorts.pl:

```
#!/usr/bin/perl -w

my $infile = $ARGV[0];
$outfile = $infile;
[0046] $outfile =~ s/\.LVS\.report\.shorts\.mic/;

open (file123,$infile) || die("can't open $!");
open (file234,">$outfile") || die("can't open $!");

while (<file123>) {
    chomp;
    tr/A-Z/a-z/;

    s/^\s+//;
    s/^\s+$//;
    s/\s+ /g;

[0047] @line = split;
    if ( $line[0] eq "short" )
    {
        printf ( file234 "%-25s%-25s\n", $line[2], $line[4]);
    }
}
close(file123);
close(file234)
```

[0048] 本实施例只列举了两个模块中三根连线的例子,同理可列举出两个以上模块间多根连线的实例。当需要统计的连接关系比较多,集成电路版图中走线复杂的情况下,统计及

提取版图不同模块连接关系将比人工寻找效率高得多,统计的正确率也将大大提高。

[0049] 虽然通过参照本发明的某些优选实施方式,已经对本发明进行了图示和描述,但本领域的普通技术人员应该明白,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。

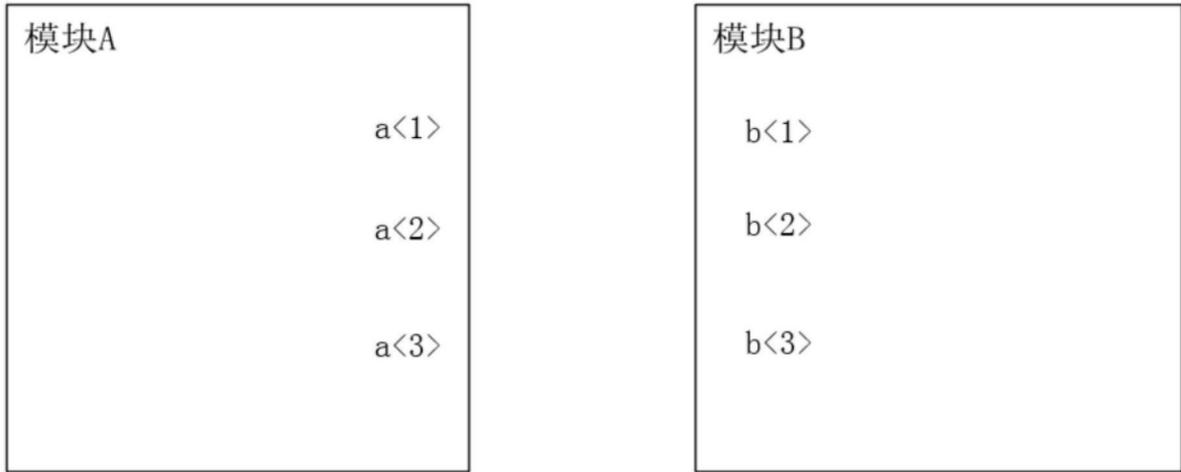


图1

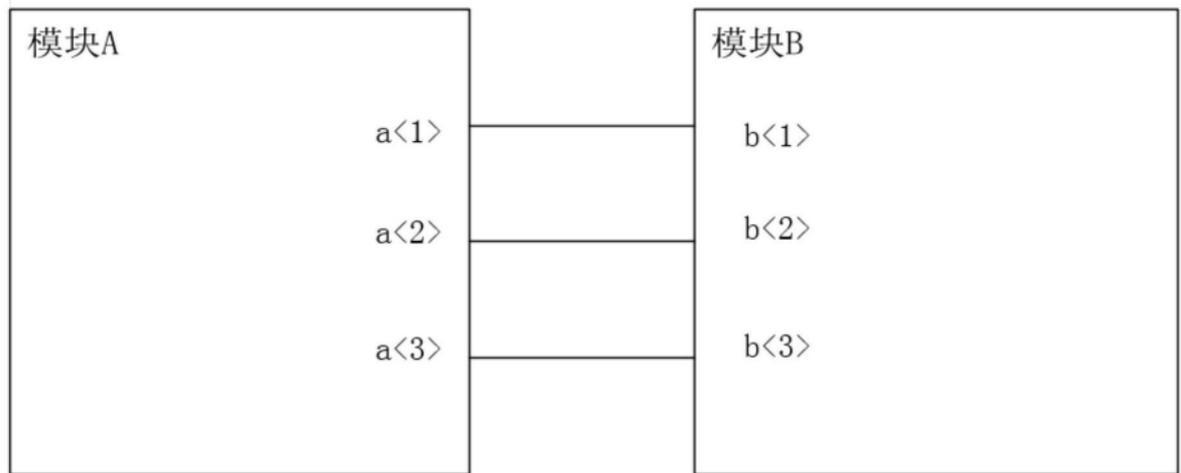


图2

Short ▾	Shorted Nets
60.1	a<3> - b<3> in top 母
61.1	a<2> - b<2> in top 母
62.1	a<1> - b<1> in top 母

图3

```
top 1000
SHORT 1. a<3> - b<3> in top
1 1 6 Nov 12 17:42:38 2018
2 Shorted texts:
"a<3>" at (0.7, 50.415) on layer "M1TXT" SN 1
"b<3>" at (1.75, 50.415) on layer "M1TXT" SN 6
Serial_No. 59
Tag 60.1
Options -cell_primary

SHORT 2. a<2> - b<2> in top
1 1 6 Nov 12 17:42:39 2018
2 Shorted texts:
"a<2>" at (0.7, 50.845) on layer "M1TXT" SN 1
"b<2>" at (1.75, 50.845) on layer "M1TXT" SN 6
Serial_No. 60
Tag 61.1
Options -cell_primary

SHORT 3. a<1> - b<1> in top
1 1 6 Nov 12 17:42:41 2018
2 Shorted texts:
"a<1>" at (0.7, 51.365) on layer "M1TXT" SN 1
"b<1>" at (1.75, 51.365) on layer "M1TXT" SN 6
Serial_No. 61
Tag 62.1
Options -cell_primary
```

图4

a_1	b_1
a_2	b_2
a_3	b_3

图5

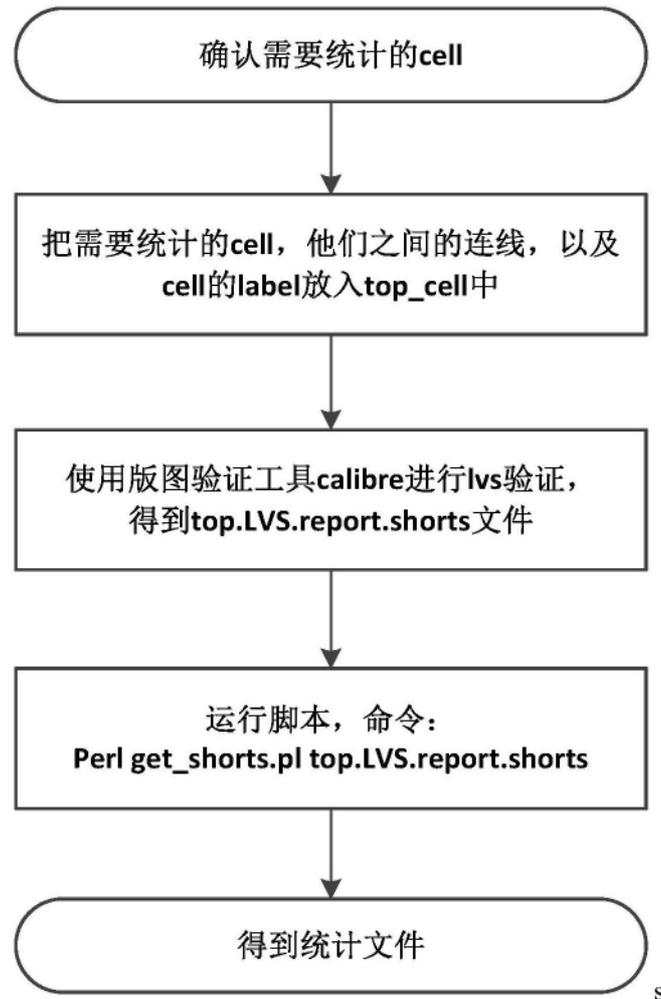


图6

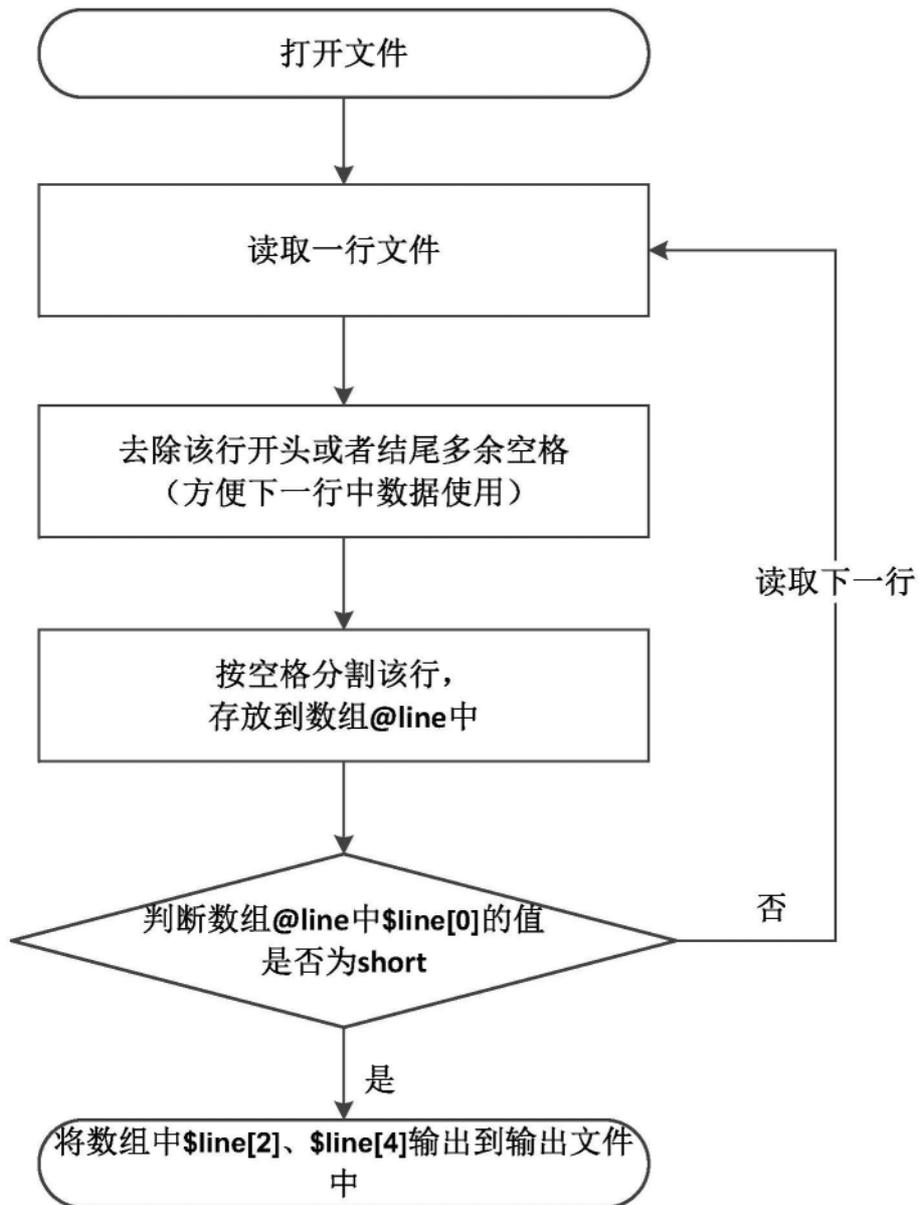


图7