

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4974880号
(P4974880)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int. Cl.	F I
HO 1 L 29/792 (2006.01)	HO 1 L 29/78 3 7 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4
HO 1 L 21/336 (2006.01)	G 1 1 C 17/00 6 2 3 Z
HO 1 L 27/115 (2006.01)	
HO 1 L 21/8247 (2006.01)	

請求項の数 7 (全 10 頁) 最終頁に続く

(21) 出願番号 特願2007-500377 (P2007-500377)
 (86) (22) 出願日 平成17年1月27日(2005.1.27)
 (86) 国際出願番号 PCT/JP2005/001084
 (87) 国際公開番号 W02006/080064
 (87) 国際公開日 平成18年8月3日(2006.8.3)
 審査請求日 平成20年1月18日(2008.1.18)

(73) 特許権者 504378124
 スパンション エルエルシー
 アメリカ合衆国 カリフォルニア州 94
 088-3453 サニーバイル デグウ
 イン ドライブ 915
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100109162
 弁理士 酒井 将行

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

ソース領域及びドレイン領域を有する半導体基板と、
 前記半導体基板上に設けられたゲートと、
 前記ゲートの側部に形成された第1の側壁と、
 カソード領域が前記ドレイン領域に接続され前記ドレイン領域及び前記カソード領域が
 共通のN型半導体領域であるドレイン・カソード共通領域からなり、アノード領域が前記
 ドレイン・カソード共通領域に下部および側部を囲まれたP型半導体領域であるダイオードと、
 前記第1の側壁の側部に形成され、かつ前記アノード領域よりも内側に位置する開口部
 を形成する第2の側壁と、
 前記ゲートの表面に接する第1の珪化金属層と、前記アノード領域に下部および側部を
 囲まれた第2の珪化金属層と、
 前記アノード領域に前記第2の珪化金属層を介し接続されたビットラインと、を具備し
 、
 前記アノード領域の前記ゲート電極側の端部は前記第1の側壁の真下領域に延び、
 前記第2の珪化金属層は、前記第2の側壁により形成された前記開口部に位置する前記
 半導体基板の表面に形成されている半導体装置。

【請求項 2】

前記ゲートは、制御ゲートおよび浮遊ゲートを含む請求項 1 記載の半導体装置。

【請求項 3】

データ消去を、前記半導体基板に正の電圧を印加し、前記制御ゲートに負の電圧を印加し、前記ビットラインを開放状態として行う請求項 2 記載の半導体装置。

【請求項 4】

半導体基板に、該半導体基板上の積層体に形成された第 1 の開口部を介したイオン注入により、N 型半導体からなるドレイン・カソード共通領域を形成する第 1 の工程と、

前記第 1 の開口部の側部に第 1 の側壁を形成することにより第 2 の開口部を形成する第 2 の工程と、

前記ドレイン・カソード共通領域に、前記第 2 の開口部を介したイオン注入により、前記ドレイン・カソード共通領域によって囲まれた下部と側部を有する P 型半導体からなるダイオードのアノード領域を形成する工程と、

前記第 2 の開口部の側部に第 2 の側壁を形成することにより、前記アノード領域よりも内側に位置する第 3 の開口部を形成する工程と、

前記ゲート表面を珪化させ第 1 の珪化金属層を形成すると同時に、前記第 3 の開口部に位置する前記アノード領域表面を珪化させ第 2 の珪化金属層を形成する工程と、

前記アノード領域をビットラインに接続する工程と、を具備する半導体装置の製造方法。

【請求項 5】

前記第 1 の工程において、前記積層体に形成された第 4 の開口部を介したイオン注入により、N 型半導体からなるソース領域が形成され、

前記第 2 の工程において、前記第 1 の側壁により前記第 4 の開口部が覆われる、請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記第 4 の開口部は前記第 1 の開口部より狭い請求項 5 記載の半導体装置の製造方法。

【請求項 7】

前記積層体はトランジスタのゲートとなるべき層である請求項 4 から 6 のいずれか一項記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法、特に不揮発性メモリとその製造方法に関する。

【背景技術】

【0002】

近年、データの書換えが可能な半導体装置である不揮発性メモリが広く利用されている。このような不揮発性メモリの技術分野においては、高記憶容量化のため、メモリセルの微細化を目的とした技術開発が進められている。不揮発性メモリとしては、酸化珪素膜に囲まれた浮遊ゲートに電荷を蓄積する浮遊ゲート型フラッシュメモリが一般に利用されている。また、近年は酸化珪素膜に囲まれたトラップ層と呼ばれる窒化珪素層に電荷を蓄積する MONOS (Metal Oxide Nitride Oxide Silicon) 型、SONOS (Silicon Oxide Nitride Oxide Silicon) 型といったフラッシュメモリも知られている。さらに、その他様々なタイプの不揮発性メモリが提案されている。

【0003】

不揮発性メモリは、酸化珪素膜に囲まれた浮遊ゲートやトラップ層等の電荷を蓄積する層(以下電荷蓄積層)に電荷を注入することにより、データの書き込みを行う。電荷蓄積層は高絶縁性の酸化珪素膜で囲まれているため電荷が長時間保持され、不揮発性となる。また、電荷蓄積層に蓄積された電荷を消失させることによってデータの消去を行う。電荷の電荷蓄積層への注入や消失は、トンネル酸化膜と呼ばれる酸化珪素膜を通し行われる。チャネル領域からホットキャリアを電荷蓄積層に注入する方法や、F-N (ファウラ・ノリドハイム) トンネル電流を用い電荷蓄積層と電荷を出し入れする方法がある。いずれの方法も、トンネル酸化膜に電荷を通過させるため、高電界を印加することが必要になる。

【 0 0 0 4 】

以下、NOR型の浮遊ゲート型フラッシュメモリを例（従来例1）に詳述する。図1はNOR型の浮遊ゲート型フラッシュメモリのメモリセルの回路図を示している。トランジスタ（Tr）のソース（S）がソースライン（SL）に、制御ゲート（CG）がワードライン（WL）に、ドレイン（D）がビットライン（BL）に、それぞれ接続されている。

【 0 0 0 5 】

図2はこのメモリセルの断面図である。P型シリコン半導体基板100にN型半導体層であるソース領域110、およびドレイン領域120が形成されており、ソース領域110とドレイン領域120の間にチャンネル領域115が形成される。チャンネル領域115の上部に浮遊ゲート130、浮遊ゲート130の上部に制御ゲート140が形成され、浮遊ゲート130は酸化珪素膜135で囲われている。チャンネル領域115と浮遊ゲート130間の酸化珪素膜135がトンネル酸化膜である。トランジスタは層間絶縁膜150で覆われ、ビットライン160が接続孔165によりドレイン領域120と接続されている。ソース領域110はソースラインに、制御ゲート140はワードラインにそれぞれ接続されている（図示していない）。

10

【 0 0 0 6 】

次に、メモリセルへのデータ書き込み、消去の動作原理について、説明する。データの書き込みは、浮遊ゲート130への電荷の注入により行われる。ソースラインを通しソース領域110に0V、ビットラインを通じドレイン領域120に正の電圧、例えば6V、ワードラインを通じ制御ゲート140に正の電圧、例えば9Vを印加する。これにより、チャンネル領域115でホット・エレクトロンとなった電子がトンネル酸化膜を通過し浮遊ゲート130に注入され、データの書き込みが行われる。

20

【 0 0 0 7 】

一方、データの消去は、浮遊ゲート130からの電子の消失により行われる。ビットラインに接続されたドレイン領域120を開放し、P型シリコン半導体基板100に正の電圧、例えば9.3V、ワードラインを通じ制御ゲート140を接地する。P型シリコン半導体基板100と浮遊ゲート間130にF-Nトンネル電流が流れ、浮遊ゲート130に蓄積された電子が消失し、データの消去が行われる。さらに、データ消去を効率的に行い、メモリセルを微細化するため、ビットラインに接続したドレイン領域120を開放し、P型シリコン半導体基板100に正の電圧、例えば9.3V、ワードラインを通じ制御ゲート140に負の電圧、例えば、-9.3Vを印加し、データ消去を行う場合もある。

30

【 0 0 0 8 】

一方、特許文献1においては、強誘電体薄膜をゲートに用いたトランジスタを有する不揮発性メモリにおいて、トランジスタのドレイン端子にダイオードのカソード端子を接続し、ダイオードのアノード端子をビットラインに接続した不揮発性メモリが開示されている。特許文献1の発明の目的とするところは、ビットラインとドレイン間に配置されたダイオードにより、読み出しに選択されたメモリセルに接続されたビットラインから非選択のメモリセルを介してソースラインへ電荷が流出することを阻止することにある。特許文献1にはトランジスタとダイオードの構造が開示されていないが、前記発明の目的からすると、トランジスタとダイオードは別個の構成で形成されるのが一般的である。

40

【特許文献1】特開2001-229685号公報 図3

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

しかしながら、従来例1において、ビットラインに接続したドレイン領域120を開放し、P型シリコン半導体基板100に正の電圧、例えば9.3V、ワードラインを通じ制御ゲート140に負の電圧、例えば、-9.3Vを印加し、データ消去を行う場合、ビットラインとワードラインが短絡し、RAC (Row and Column)不良が発生するという問題がある。この原因について説明する。まず、P型シリコン半導体基板100は正電位になっており、ドレイン領域120を通じ、開放されたビットライン160および接続孔16

50

5 が P 型シリコン半導体基板と同程度の正電位となっている。この結果、制御ゲート 140 とビットライン 160 の間は約 18 V の電位差が生じる。ここで、メモリセルの微細化のため、制御ゲート 140 と接続孔 165 の間距離が短縮されると、この領域 145 で高電界による短絡が発生してしまう。以上、従来例 1 を例に説明したが、不揮発性メモリにおいては、一般に高電圧を印加することによりデータの書き込み、消去を行うため、メモリセルの微細化にともない、ビットラインと他のライン短絡という問題が生じる。

【0010】

一方、特許文献 1 においては、前述のごとく、トランジスタとダイオードは別個の構成で形成されると考えられる。このような構成では、メモリセルの微細化と相容れず、以下に説明する本発明の目的を達しないのは明らかである。

【0011】

本発明は、不揮発性メモリにおいて、データの書き込み、消去の際、高電圧を印加するがゆえに発生するビットラインと他のラインの短絡を防止し、メモリセルの微細化を可能とする半導体装置および製造方法を提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明は、ソース領域及びドレイン領域を有する半導体基板と、前記半導体基板に設けられたゲートと、カソード領域が前記ドレイン領域に接続されたダイオードと、前記ダイオードのアノード領域に接続されたビットラインとを具備し、前記ドレイン領域及び前記カソード領域が、共通の N 型半導体領域であるドレイン・カソード共通領域からなる半導体装置である。本発明によれば、ビットラインとドレイン領域間に、ドレイン領域からビットライン方向が逆方向となるダイオードを配置することにより、ビットラインが基板と同電位となることを防止する。これにより、メモリセルを微細化した場合であっても、ビットラインと他のライン間が高電界となることを防ぎ、高電界による短絡を防止することができる。さらに、ドレイン領域とカソード領域が共通のため、メモリセルの微細化に適している。これらの結果、微細化可能な半導体装置を提供することができる。

【0013】

本発明は、前記アノード領域が、前記ドレイン・カソード共通領域に下部および側部を囲まれた P 型半導体領域である半導体装置である。本発明によれば、アノード領域をカソード領域内に形成することにより、メモリセルの更なる微細化が可能な半導体装置を提供することができる。

【0014】

本発明は、前記ゲートの表面に接する第 1 の珪化金属層と、前記アノード領域に下部および側部を囲まれた第 2 の珪化金属層を具備し、前記第 2 の珪化金属層がビットラインに接続された半導体装置である。本発明によれば、第 1 の珪化金属層を形成する際、アノード領域とカソード領域が短絡することを防止することができる。

【0015】

本発明は、前記ゲートは、制御ゲートおよび浮遊ゲートを含む半導体装置である。また、データ消去を、前記半導体基板に正の電圧を印加し、前記制御ゲートに負の電圧を印加し、前記ビットラインを開放状態として行う半導体装置である。本発明によれば、データの消去時に制御ゲートと前記ビットラインの間に大きな電位差が生じる不揮発メモリにおいてもメモリセルの微細化が可能となる。

【0016】

本発明は、半導体基板に、該半導体基板上の積層体に形成された第 1 の開口部を介したイオン注入により、N 型半導体からなるドレイン・カソード共通領域を形成する第 1 の工程と、前記ドレイン・カソード共通領域に、前記積層体に形成された第 2 の開口部を介したイオン注入により、前記ドレイン・カソード共通領域によって囲まれた下部と側部を有する P 型半導体からなるダイオードのアノード領域を形成する第 2 の工程と、前記アノード領域をビットラインに接続する工程とを具備する半導体装置の製造方法である。本発明によれば、ビットラインと他のライン間の短絡を防ぎ、微細化可能な半導体装置の製造技

10

20

30

40

50

術を提供することができる。

【0017】

本発明は、前記第1の注入工程の後に、前記第1の開口部の側部に第1の側壁を形成することにより第2の開口部を形成する工程を具備する半導体装置の製造方法である。本発明によれば、前記第2の開口部を前記第1の開口部から自己整合的に形成するため、工程の簡略化を図り、よりメモリセルの微細化が可能な半導体装置の製造方法を提供することができる。

【0018】

本発明は、前記第1の開口部が隣接するトランジスタのゲート間に形成された開口部である半導体装置の製造方法である。本発明によれば、第1の開口部を隣接するトランジスタのゲート間とすることにより、工程の簡略化を図り、よりメモリセルの微細化が可能な半導体装置の製造方法を提供することができる。

10

【0019】

本発明は、前記第2の注入工程の後、前記第2の開口部の側部に第2の側壁を形成することにより第3の開口部を形成する工程と、前記ゲート表面を珪化させ第1の珪化金属層を形成すると同時に、前記第3の開口部を用い、前記アノード領域表面を珪化させ第2の珪化金属層を形成する工程とを具備する半導体装置の製造方法である。本発明によれば、ゲート表面を珪化させる際、アノード領域表面が珪化し、アノード領域がカソード領域と短絡してしまうことを防ぐ半導体装置の製造方法を提供することができる。

【発明の効果】

20

【0020】

本発明によれば、ビットラインと他のラインの短絡を防止し、微細化可能な半導体装置を提供することができる。

【図面の簡単な説明】

【0021】

【図1】図1は従来のNOR型浮遊ゲートフラッシュメモリのメモリセルの回路図である。

【図2】図2は従来のNOR型浮遊ゲートフラッシュメモリのメモリセルの断面図である。

【図3】図3は本発明の実施形態におけるNOR型浮遊ゲートフラッシュメモリのメモリセルの回路図である。

30

【図4】図4は本発明の実施形態におけるNOR型浮遊ゲートフラッシュメモリのメモリセルの断面図である。

【図5】図5は実施形態における製造工程を示す断面図(その1)である。

【図6】図6は実施形態における製造工程を示す断面図(その2)である。

【図7】図7は実施形態における製造工程を示す断面図(その3)である。

【図8】図8は実施形態における製造工程を示す断面図(その4)である。

【図9】図9は実施形態のドレイン・カソード共通領域およびアノード領域における、不純物濃度の注入深さ依存を示した図である。

【図10】図10は実施形態の変形例における製造工程を示す断面図(その1)である。

40

【図11】図11は実施形態の変形例における製造工程を示す断面図(その2)である。

【図12】図12は実施形態の変形例における製造工程を示す断面図(その3)である。

【図13】図13は実施形態の変形例における製造工程を示す断面図(その4)である。

【発明を実施するための最良の形態】

【0022】

以下、図面を参照し本発明の実施形態を説明する。図3は本発明の実施形態に係るフラッシュメモリセルの回路図を示している。トランジスタ(Tr)のソース(S)がソースライン(SL)に、制御ゲート(CG)がワードライン(WL)に、トランジスタ(Tr)のドレイン(D)はダイオード(Di)のカソード(K)に、ダイオード(Di)のアノード(A)がビットライン(BL)に、それぞれ接続されている。

50

【 0 0 2 3 】

図4はこのメモリセルの断面図を示したものである。P型シリコン半導体基板200にN型半導体層であるソース領域210およびドレイン・カソード共通領域220が形成されており、ソース領域210とドレイン・カソード共通領域220の間にチャンネル領域215が形成されている。チャンネル領域215の上部に浮遊ゲート230、浮遊ゲート230の上部に制御ゲート240が形成され、浮遊ゲート230は酸化珪素膜235で囲まれている。ドレイン・カソード共通領域220はトランジスタのドレイン領域とダイオードのカソード領域を兼ねる領域である。ダイオードのP型半導体であるアノード領域222の側部および下部は、ドレイン・カソード共通領域220により囲まれている。トランジスタとダイオードは層間絶縁膜250で覆われ、ビットライン260が接続孔265を介し、アノード領域222に接続されている。また、ソース領域210はソースラインに、制御ゲート240はワードラインにそれぞれ接続されている(図示していない)。

10

【 0 0 2 4 】

本実施形態においては、データ消去の際、ビットライン260を開放した状態で、P型シリコン半導体基板200に正の電圧、例えば9.3V、制御ゲート240に負の電圧、例えば-9.3Vが印加された場合であっても、ビットライン260および接続孔265は正電位とはならない。これは、ドレイン・カソード共通領域220とビットライン260間に配置されたダイオードが、ドレインからビットラインの方向が逆方向であるためである。この結果、接続孔265と制御ゲート240の間の距離を短縮した場合であっても、接続孔265と制御ゲート240の間の電位差を小さくすることができる。これにより、接続孔265と制御ゲート240の間の領域245における短絡を防止し、接続孔265と制御ゲート240の距離の微細化を図ることができる。

20

【 0 0 2 5 】

次に、本発明にかかる実施形態の製造方法について説明する。図5ないし図8は本発明にかかる実施形態の製造方法を断面図により示した図である。図5において、P型シリコン半導体基板200に通常の方法で浮遊ゲート230および制御ゲート240を形成する。このとき浮遊ゲート230は酸化珪素膜235で囲われている。積層体である浮遊ゲート230および制御ゲート240のソース形成予定領域の上部に第4の開口部285、ドレイン・カソード共通領域形成予定領域の上部に第1の開口部280が形成されている。ここで、第4の開口部285の開口寸法は第1の開口部280に比べ狭く設計される。第4の開口部285および第1の開口部280に砒素(As)イオンを注入し、熱処理することにより、ソース領域210およびドレイン・カソード共通領域220を形成する。このときの注入条件は、例えば、イオン注入エネルギーが20keV、イオンドーズ量が $4 \times 10^{14} \text{ cm}^{-2}$ である。

30

【 0 0 2 6 】

次に、図6において、通常よく知られたサイドウォール法を用い、第1の開口部280および第4の開口部285の両側部に絶縁膜からなる第1の側壁252を形成する。ここで、サイドウォール法とは、開口部を有する積層体に、例えば窒化珪素膜をCVD法で形成したのち、前面をドライエッチングにより異方性エッチングすることにより、開口部の側部に窒化珪素膜の側壁を残存させる方法である。第1の側壁252は、例えば窒化珪素膜であり、例えば90nmの幅を有する。ドレイン・カソード共通領域220上には第1の側壁252の間に第2の開口部282が形成される。一方、ソース領域210上には開口部が存在しない。これは、第4の開口部285の両側部に形成された第1の側壁252が互いに接し、開口部が形成されないように設計されているためである。

40

【 0 0 2 7 】

次に、図7において、第2の開口部282にフッ化ホウ素(BF₂)をイオン注入し熱処理することにより、P型半導体のアノード領域222を形成する。このときのイオン注入条件は、例えば、イオン注入エネルギーが20keV、イオンドーズ量が $4 \times 10^{14} \text{ cm}^{-2}$ である。

【 0 0 2 8 】

50

最後に、図 8 において、通常の方法により、トランジスタおよびダイオード上に層間絶縁膜 250 を形成し、接続孔 265 を形成した後、ビットライン 260 を形成する。ここで、層間絶縁膜 250 は、例えば酸化珪素膜であり、接続孔 265 およびビットラインは、例えばアルミニウム (Al) または銅 (Cu) である。これにより、ビットライン 260 が接続孔 265 を介し、ダイオードのアノード領域 222 と接続される。以降は通常の製造工程で本実施形態にかかるフラッシュメモリが完成する。

【0029】

本実施形態で例示した注入条件における、ドレイン・カソード共通領域 220 およびアノード領域 222 での砒素およびボロン濃度の注入深さ依存を図 9 に示す。約 16 nm より浅い領域では P 型半導体領域となり、約 16 nm より深い領域では N 型半導体領域とな

10

【0030】

図 10 ないし図 13 は本実施形態の変形例の製造方法を示している。この変形例は、制御ゲートの低抵抗化を目的に、制御ゲート表面に第 1 の珪化金属層を形成した例である。本変形例は、第 1 の珪化金属層を形成する際、アノード領域の表面全体が珪化され、アノード領域とカソード領域が短絡することの防止を目的としている。

【0031】

図 10 は、図 5 ないし図 7 の製造方法と同様に製造される。次に、図 11 において、通常良く知られたサイドウォール法を用い、第 1 の側壁 252 の側部に、更に、第 2 の側壁 254 を形成する。これにより、第 3 の開口部 284 が形成される。第 2 の側壁 254 は、例えば窒化珪素膜を用いる。

20

【0032】

次に、図 12 において、制御ゲート 240 の表面が珪化され、第 1 の珪化金属層 242 が形成される。このとき、アノード領域 222 の表面であって第 3 の開口部 284 に面した部分も珪化され、第 2 の珪化金属層 224 が形成される。珪化工程は、例えば、コバルト (Co) またはチタン (Ti) をスパッタ法で形成し、熱処理する方法で行われる。

【0033】

最後に、図 13 において、通常の方法でトランジスタおよびダイオード上に層間絶縁膜 250 を形成し、接続孔 265 を形成した後、ビットライン 260 を形成する。これにより、ビットライン 260 が接続孔 265 を介し、第 2 の珪化金属層 224 と接続される。以降は通常の製造方法により、本変形例にかかるフラッシュメモリが完成する。

30

【0034】

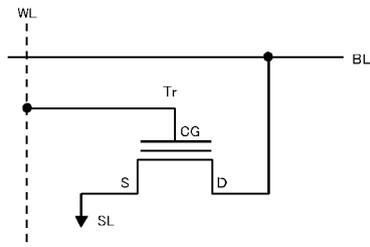
本変形例においては、第 3 の開口部 284 がアノード領域 222 より内側にあるため、第 2 の珪化金属層 224 はドレイン・カソード共通領域 220 と接することがなく、ダイオードが短絡することはない。

【0035】

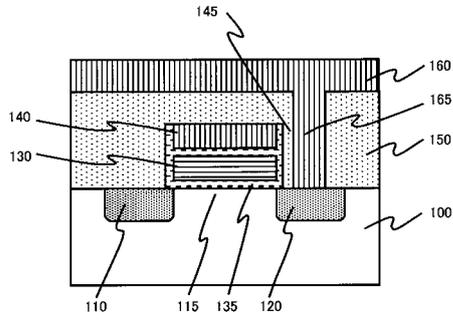
以上、本発明の好ましい実施形態について詳述したが、本発明は係る特定の実施形態に限定されるものではなく、特許請求の範囲に記載された本発明の要旨の範囲内において、種々の変形・変更が可能である。例えば、NOR 型の浮遊ゲート型フラッシュメモリ以外の浮遊ゲート型フラッシュメモリ、MONOS (Metal Oxide Nitride Oxide Silicon) 型、または SONOS (Silicon Oxide Nitride Oxide Silicon) 型のフラッシュメモリにも応用することが可能である。

40

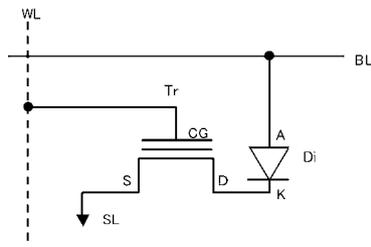
【図1】



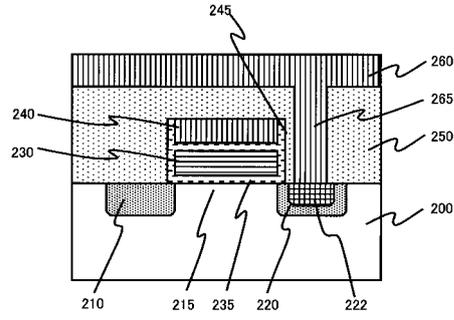
【図2】



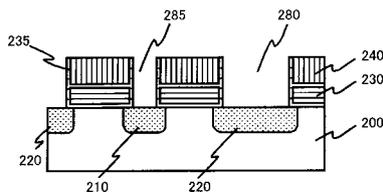
【図3】



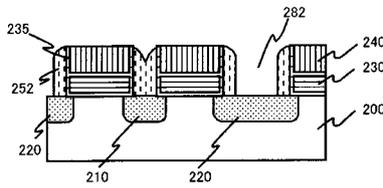
【図4】



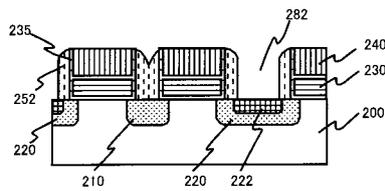
【図5】



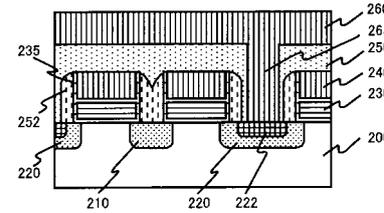
【図6】



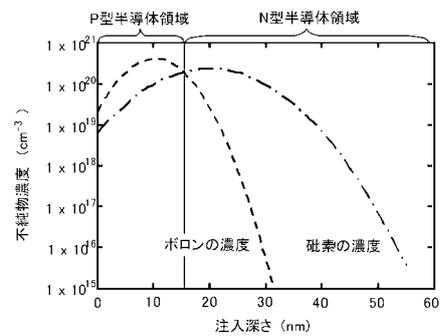
【図7】



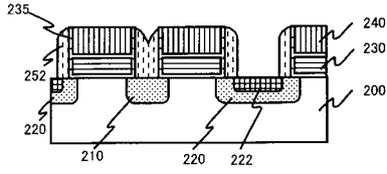
【図8】



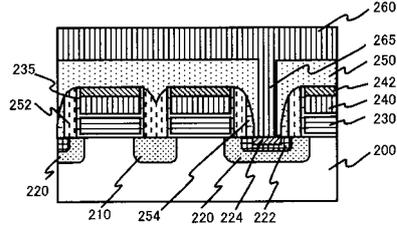
【図9】



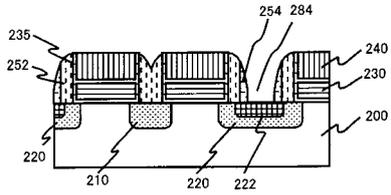
【 10 】



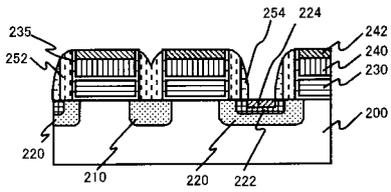
【 13 】



【 11 】



【 12 】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 16/04 (2006.01)

(74)代理人 100111246

弁理士 荒川 伸夫

(72)発明者 杉崎 真央

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

(72)発明者 椛島 勝彦

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

(72)発明者 田中 利幸

福島県会津若松市高久工業団地2番 Spansion Japan株式会社内

審査官 正山 旭

(56)参考文献 特開平08-036889(JP,A)
特開2001-144194(JP,A)
特開平11-068072(JP,A)
特開2004-128505(JP,A)
特表2000-513879(JP,A)
特開2001-043691(JP,A)
特開平08-106791(JP,A)
特開2002-324394(JP,A)
特開平05-267687(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8247

G11C 16/04

H01L 27/115

H01L 29/788

H01L 29/792