



(12) 发明专利申请

(10) 申请公布号 CN 114420694 A

(43) 申请公布日 2022. 04. 29

(21) 申请号 202210062077.6

(22) 申请日 2020.06.19

(62) 分案原申请数据

202010568089.7 2020.06.19

(71) 申请人 福建省晋华集成电路有限公司

地址 362200 福建省泉州市晋江市集成电路  
路科学园联华大道88号

(72) 发明人 张钦福 林昭雄 朱家仪 童宇诚  
赖惠先

(74) 专利代理机构 上海思捷知识产权代理有限  
公司 31295

代理人 郑星

(51) Int. Cl.

H01L 27/108 (2006.01)

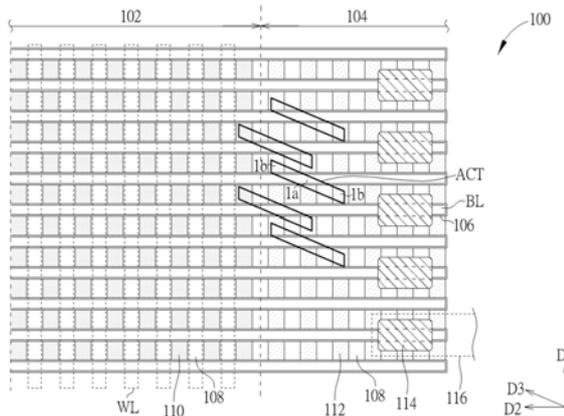
权利要求书1页 说明书8页 附图8页

(54) 发明名称

半导体存储器

(57) 摘要

本发明提供了一种半导体存储器件,包括半导体基板,其具有存储区以及位于所述存储区周围的外围区和多条字线结构,其中位于存储单元区边缘的有源区仅和一条字线结构相交,避免边缘的有源区由于其性能不稳定而使得整个存储器件的性能受到影响。以及,器件的存储单元区与外围区具有同样的单元设置,可以解决图形密度不同所导致的微负载效应问题并让出更多的存储单元区域。



1. 一种半导体存储器件,其特征在于,包含:  
半导体基板,具有存储单元区以及位于所述存储单元区周围的外围区;  
器件隔离层,界定出多个沿着第三方向延伸的有源区,其中一部分有源区完全位于所述存储单元区内而构成第一有源区,还有一部分有源区位于所述存储单元区的边缘并延伸至外围区而构成第二有源区;以及,  
多条字线结构,埋入在所述半导体基板中并沿着第一方向延伸,其中所述第一有源区和两条字线结构相交,所述第二有源区和一条字线结构相交。
2. 如权利要求1所述的半导体存储器件,其特征在于,多个有源区中还有一部分有源区完全位于外围区中而构成第三有源区,所述第三有源区未与字线结构相交。
3. 如权利要求1所述的半导体存储器件,其特征在于,多条字线结构沿着第二方向依次排布,所述第二有源区延伸至位于所述存储单元区朝向第二方向的外围区内。
4. 如权利要求1所述的半导体存储器件,其特征在于,还包括:  
位线结构,位于所述半导体基板之上,并往第二方向延伸经过所述存储单元区与所述外围区;  
间隔物结构,位于所述位线结构之间;以及,  
存储节点接触结构,位于所述存储单元区中的所述间隔物结构与所述位线结构所界定出的空间中,并与所述半导体基板中的部分有源区连接。
5. 如权利要求4所述的半导体存储器件,其特征在于,所述第一有源区上连接有两个所述存储节点接触结构,所述第二有源区中位于所述存储单元区的端部上连接有所述存储节点接触结构。
6. 如权利要求4所述的半导体存储器件,其特征在于,所述存储节点接触结构还内陷至所述半导体基板内,以连接所述有源区。
7. 如权利要求4所述的半导体存储器件,其特征在于,还包括:  
牺牲层,位于所述外围区中的所述间隔物结构与所述位线结构所界定出的空间中。
8. 如权利要求7所述的半导体存储器件,其特征在于,所述第二有源区中位于所述外围区的端部上方形成有所述牺牲层。
9. 如权利要求7所述的半导体存储器件,其特征在于,多个有源区中还有一部分有源区完全位于外围区中而构成第三有源区,所述第三有源区的两端的上方均形成有所述牺牲层。
10. 如权利要求7所述的半导体存储器件,其特征在于,所述牺牲层和所述半导体基板之间还设置有绝缘夹层。

## 半导体存储器

### 技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种半导体存储器。

### 背景技术

[0002] 存储器件是一种集成电路,其通常在计算机系统中用来存储数据,制作成一或多个具有个别存储单元的矩阵型态。存储器件可使用位线(也可称为数位线、数据线或读出线)与字线(也可称为存取线)来进行写入与读取的动作,其中位线可沿着矩阵的纵列电连接到存储单元,而字线可沿着矩阵的横列电连接到存储单元。每个存储单元都可经由一条位线与一条字线的组合来个别寻址。

[0003] 存储器件可为易失性、半易失性或是非易失性性质。在没有供电的情况下,非易失性的存储器件可以存储数据达一段很长的时间,易失性的存储器件所存储的数据则是会消散,因此需要透过不断的刷新/重写来维持其数据存储。存储器件会使用电容器等部件来存储电荷,通过读取电容器的电荷来判定存储单元是位于哪一种存储态,例如“0”或“1的存储态”,以此达到数据存储与读取的目的。存储器件中也会具有晶体管等电子部件来控制栅极的开关以及电荷的存储与释放与否。存储器件的存储单元数组区的周边会有外围电路区的存在,位线与字线会从存储数组区延伸至所述外围电路区,并在该区经由其他导线以及接触件等互连结构连接到外部电路。

[0004] 在制作存储器件或其他电路时,使其部件不断地微缩、变得更为紧密、以达到更高的单位面积存储容量一直是业界努力不变的目标。然而,随着存储器件不断地微缩,其同时要配合器件性能的优化,以及其制作工艺中也会遇到许多有待克服的问题,例如图形密度不同所导致的微负载效应,或是各部件之间过于紧密而导致布局空间不足,又或是各部件之间过于紧密而导致相互干扰的问题。本发明的动机即为要克服上述电路制作时所遇到的一些问题。

### 发明内容

[0005] 为了解决上述件存储器工艺中所遭遇的问题,本发明于此提出了一种新颖的半导体存储器件,其特点在于器件的存储单元区与周边区具有同样的单元设置,可以解决图形密度不同所导致的微负载效应问题并让出更多的存储单元区域,且位于存储单元区边缘的有源区仅和一条字线结构相交,避免边缘的有源区由于其性能不稳定而使得整个存储器件的性能受到影响。

[0006] 本发明提出的一种半导体存储器件,包含:半导体基板,具有存储单元区以及位于所述存储单元区周围的外围区;器件隔离层,界定出多个沿着第三方向延伸的有源区,其中一部分有源区完全位于所述存储单元区内而构成第一有源区,还有一部分有源区位于所述存储单元区的边缘并延伸至外围区而构成第二有源区;以及,多条字线结构,埋入在所述半导体基板中并沿着第一方向延伸,其中所述第一有源区和两条字线结构相交,所述第二有源区和一条字线结构相交。

[0007] 可选的,多个有源区中还有一部分有源区完全位于外围区中而构成第三有源区,所述第三有源区未与字线结构相交。

[0008] 可选的,多条字线结构沿着第二方向依次排布,所述第二有源区延伸至位于所述存储单元区朝向第二方向的外围区内。

[0009] 可选的,所述半导体存储器件还包括:位线结构,位于所述半导体基板之上,并往第二方向延伸经过所述存储单元区与所述外围区;间隔物结构,位于所述位线结构之间;以及,存储节点接触结构,位于所述存储单元区中的所述间隔物结构与所述位线结构所界定出的空间中,并与所述半导体基板中的部分有源区连接。

[0010] 可选的,所述第一有源区上连接有两个所述存储节点接触结构,所述第二有源区中位于所述存储单元区的端部上连接有所述存储节点接触结构。

[0011] 可选的,所述存储节点接触结构还内陷至所述半导体基板内,以连接所述有源区。

[0012] 可选的,所述半导体存储器件还包括:牺牲层,位于所述外围区中的所述间隔物结构与所述位线结构所界定出的空间中。

[0013] 可选的,所述第二有源区中位于所述外围区的端部上方形成有所述牺牲层。

[0014] 可选的,多个有源区中还有一部分有源区完全位于外围区中而构成第三有源区,所述第三有源区的两端的上方均形成有所述牺牲层。

[0015] 可选的,所述牺牲层和所述半导体基板之间还设置有绝缘夹层。

[0016] 本发明的这类目的与其他目的在阅者读过下文中以多种图示与绘图来描述的较佳实施例之细节说明后应可变得更为明了显见。

## 附图说明

[0017] 本说明书含有附图并于文中构成了本说明书之一部分,俾使阅者对本发明实施例有进一步的了解。该些图示系描绘了本发明一些实施例并连同本文描述一起说明了其原理。在该些图示中:

[0018] 图1绘示出了根据本案实施例中一半导体存储器件的平面图;

[0019] 图2是沿图1中线A-A' 截取的截面图;

[0020] 图3是沿图1中线B-B' 截取的截面图;

[0021] 图4是沿图1中线C-C' 截取的截面图;

[0022] 图5是沿图1中线D-D' 截取的截面图;

[0023] 图6是根据本案另一实施例沿图1中线A-A' 截取的截面图;

[0024] 图7是沿图1中线E-E' 截取的截面图;以及

[0025] 图8绘示出了根据本案另一实施例中一半导体存储器件的平面图。

[0026] 需注意本说明书中的所有图示皆为图例性质,为了清楚与方便图示说明之故,图示中的各部件在尺寸与比例上可能会被夸大或缩小地呈现,一般而言,图中相同的参考符号会用来标示修改后或不同实施例中对应或类似的元件特征。

[0027] 其中,附图标记说明如下:

[0028] 1a 第一掺杂区

[0029] 1b 第二掺杂区

[0030] 100 半导体基板

[0031]	102	存储单元区
[0032]	104	外围区
[0033]	106	绝缘层
[0034]	108	间隔物结构
[0035]	110	存储节点接触结构
[0036]	112	牺牲层
[0037]	114	位线接触结构
[0038]	114a	上半部位
[0039]	114b	下半部位
[0040]	116	外部导线
[0041]	118	器件隔离层
[0042]	120	绝缘夹层
[0043]	122	多晶硅层
[0044]	124	硅化物层
[0045]	126	金属层
[0046]	128	硬掩模层
[0047]	130	间隔壁
[0048]	132	覆盖绝缘层
[0049]	134	凹陷区
[0050]	136	位线接触间隔物
[0051]	138	栅极硬掩模层
[0052]	140	栅绝缘层
[0053]	ACT	有源区
[0054]	BL	位线
[0055]	C1	中线
[0056]	C2	中线
[0057]	D1	第一方向
[0058]	D2	第二方向
[0059]	D3	第三方向
[0060]	WL	字线

### 具体实施方式

[0061] 现在下文将详细说明本发明的示例性实施例,其会参照附图标出所描述之特征以便阅者理解并实现技术效果。阅者将可理解文中之描述仅透过例示之方式来进行,而非意欲要限制本案。本案的各种实施例和实施例中彼此不冲突的各种特征可以以各种方式来加以组合或重新设置。在不脱离本发明的精神与范畴的情况下,对本案的修改、等同物或改进对于本领域技术人员来说是可以理解的,并且旨在包含在本案的范围内。

[0062] 阅者应能容易理解,本案中的「在…上」、「在…之上」和「在…上方」的含义应当以广义的方式被解读,以使得「在…上」不仅表示「直接在」某物「上」而且还包括在某物「上」且

其间有居间特征或层的含义,并且「在…之上」或「在…上方」不仅表示「在」某物「之上」或「上方」的含义,而且还可以包括其「在」某物「之上」或「上方」且其间没有居间特征或层(即,直接在某物上)的含义。

[0063] 此外,诸如「在…之下」、「在…下方」、「下部」、「在…之上」、「上部」等空间相关术语在本文中为了描述方便可以用于描述一个组件或特征与另一个或多个组件或特征的关系,如在附图中示出的。

[0064] 如本文中使用的,术语「基底」是指向其上增加后续材料的材料。可以对基底自身进行图案化。增加在基底的顶部上的材料可以被图案化或可以保持不被图案化。此外,基底可以包括广泛的半导体材料,例如硅、锗、砷化镓、磷化铟等。

[0065] 如本文中使用的,术语「层」是指包括具有厚度的区域的材料部分。层可以在下方或上方结构的整体之上延伸,或者可以具有小于下方或上方结构范围的范围。此外,层可以是厚度小于连续结构的厚度的均质或非均质连续结构的区域。例如,层可以位于在连续结构的顶表面和底表面之间或在顶表面和底表面处的任何水平面对之间。层可以水平、竖直和/或沿倾斜表面延伸。基底可以是层,其中可以包括一个或多个层,和/或可以在其上、其上方和/或其下方具有一个或多个层。层可以包括多个层。例如,互连层可以包括一个或多个导体和接触层(其中形成触点、互联机和/或通孔)和一个或多个介电层。

[0066] 在本说明书图示中,图1绘示出了根据本案实施例中一半导体存储器件的平面图,其绘示出了本案半导体存储器件的平面布局图。图2至图5则分别是沿图1中线A-A'、线B-B'、线C-C'、线D-D'截取的截面图,其绘示出了本案半导体存储器件在存储单元区与周边区中各部件的相对位置以及连接关系。

[0067] 请参照图1。本发明的半导体存储器件是制作在一半导体基板100上,例如硅基板、锗基板和/或硅锗基板等基板。半导体基板100具有一存储单元区102以及位于存储单元区102周围的一外围区104,存储单元区102是用来设置半导体存储器件的存储单元,多个存储单元在存储单元区102设置成矩阵型态并可存储电荷来产生具有区别性的存储态。外围区104则是用来设置存储器件的外围电路,如栏译码器、列译码器、感应放大器、或是I/O控制模块等。半导体基板100的存储单元区102中界定有有源区ACT,各有源区ACT是由周遭的器件隔离层所分隔。在工艺中,可以通过对半导体基板100进行一光刻工艺形成个别分离的有源区ACT,并在有源区ACT之间的凹槽中填入隔离材料,如氧化硅等材料,来形成器件隔离层。在示例中,有源区ACT在平面图中具有条形形状并具有向第三方向D3延伸的长轴。多个有源区ACT在平面上以交错排列的方式均匀地设置。须注意,为了图示简明之故,图1中仅示出了位于存储单元区102一侧的外围区104部位,实作上,存储单元区102的四周都会具有外围区104,而存储单元区102中仅线C-C'与线D-D'有经过的部位上有绘示出对应的有源区ACT来对照其截面图,实作上,整个存储单元区102上都会均匀地布满有源区ACT。

[0068] 复参照图1。半导体基板100中设置有多条字线结构WL,其彼此平行并间隔一预定的间距,往第一方向D1延伸经过存储单元区102。半导体基板100上还设置有多条位线结构BL,其彼此平行并间隔一预定的间距,往第二方向D2延伸经过存储单元区102以及外围区104,其中第二方向D2较佳正交于第一方向D1,且第三方向D3与第一方向D1的夹角较佳介于45度至90度之间,第二方向D2与第一方向D1的夹角较佳介于0度至45度之间。字线结构WL通常埋设在半导体基板100中,其作为存取晶体管来控制栅极的开关以及电荷的存取与否,位

线结构BL则通常设置在半导体基板100上,其与有源区ACT连接来进行写入与读取的动作。位线结构BL的周围还形成有绝缘层106,用来将位线结构BL与周遭部件隔绝。

[0069] 复参照图1。在半导体基板100上的位线结构BL与位线结构BL之间设置有多个间隔物结构108,其位置大致位于字线结构WL的正上方且彼此间隔一定距离。在存储单元区102中,间隔物结构108与位线结构BL可以共同界定出半导体基板100上的存储节点区域,其上设置有存储节点接触结构110。在实作中,存储节点接触结构110上还会设置有电容器等电荷存储部件,然而该部件并非本案重点,为了图示简明之故,后续图示中都将不予示出。另一方面,在外围区104中,由于不具有存储单元,间隔物结构108与位线结构BL所界定的空间中不会用来设置存储节点接触结构110。反之,该空间中填满牺牲层112,其是形成间隔物结构108的工艺中所遗留下来的部位,存储单元区102中原有的牺牲层在间隔物结构108形成后被移除,其空间被用来设置所述存储节点接触结构110。

[0070] 在本案实施例中,不论是在存储单元区102还是外围区104,其位线结构BL之间都设置有间隔物结构108以及其所隔出的存储节点接触结构110或牺牲层112。间隔物结构108或牺牲层112都是以介电绝缘材料形成,但是其材料不相同。例如,牺牲层112可以使用旋涂硬掩模(SOH)硅氧化物来形成,间隔物结构108可以使用相对于牺牲层112具有刻蚀选择性的绝缘材料形成,如硅氮化物。这样的特征与公知技术有相当的区别性存在。对一般公知技术而言,其外围区中的位线结构之间是不会有间隔物结构与牺牲层图案的,只有存储单元区中会有这样的格状图案。因此,在先前技术中,外围区与存储单元区的图案是相当不同的,在这样的基础上,工艺中会有显著的微负载效应存在,使得该些区域所形成的图案与预定图案有所差距、不一致。相较之下,在本案实施例中,其设计成外围区104与存储单元区102具有大致类似的格状图案,如此在制作工艺中,两区域上所形成图案较为一致,大幅降低微负载效应造成的图案不均影响。

[0071] 复参照图1。在外围区104中,位线结构BL的上方还设置有位线接触结构114,其用来将位线结构BL连接到一外部导线116,再通过外部导线116进一步将位线结构BL连接到外部电路,如一栏译码器,以让栏译码器在运作时选择特定的位线结构BL来传送数据。在本发明实施例中,位线接触结构114会在存储单元区102两侧的外围区104上(图中仅示出其中一侧)以交互设置方式连接在所述位线结构上,且位线接触结构114具有伸长的外型,其长边方向与位线结构BL延伸的第二方向平行。更具体来说,位线接触结构114的长边会长过于间隔物结构108的长度与/或牺牲层112的长度。如此位线接触结构114的设置与特征可有效增加位线接触结构114在连接时的工艺容限,以克服布局空间部不足的问题。

[0072] 须注意在一些实施例中,存储单元区102与外围区104之间还可能设有虚置区或是冗余修复区,并在其中设置虚置存储单元或是自我修复电路。由于该些区域与部件并非本案的重点,文中与图中将不予示出或细节说明。

[0073] 在说明完本发明半导体存储器件的平面布局后,接下来将通过图2至图5来说明本发明半导体存储器件在垂直方向上各部件的相对位置与连接关系。首先请同时参照图2与图3,其绘示出了外围区104包括位线接触结构114的截面结构,其中图2的截线A-A'沿着第一方向D1切过了牺牲层112部位,图3的截线B-B'沿着第一方向D1切过了间隔物结构108部位。

[0074] 如图2与图3所示,在外围区104中,位线结构BL是延伸设置在器件隔离层118上的,

亦即前述隔离存储单元区102中的有源区ACT的器件隔离层。位线结构BL与器件隔离层118之间还设有绝缘夹层120。在本发明实施例中，每条位线结构BL从下而上可依序包含堆叠的多晶硅层122、硅化物层124、金属层126以及硬掩模层128。较佳来说，多晶硅层122的材料可为掺杂过的多晶硅，金属层126的材料可为钨、铝、钛或钽等，硬掩模层128的材料可为氮化硅。位线结构BL的侧壁上还形成有间隔壁130，其上会在形成共形的绝缘层106，以将位线结构BL与周遭部件隔绝。间隔壁130的材料可为，如硅氧化物。绝缘层106的材料则相对于间隔壁130和绝缘夹层120两者具有蚀刻选择性，如硅氮化物层和/或硅氮氧化物层形成。

[0075] 复参照图2与图3，根据部位的不同，外围区104上的位线结构BL与位线结构BL之间形成有牺牲层112或是间隔物结构108，其中牺牲层112与间隔物结构108的顶面会与位线结构BL的顶面齐平。在制作工艺中，位线结构BL与位线结构BL之间会先填满牺牲层112，牺牲层112可以使用旋涂硬掩模(SOH)材料，例如SOH硅氧化物来形成。之后，经由光刻工艺吃出间隔物结构108的图案并在其中填入间隔物材料而形成间隔物结构108。间隔物结构108可以由相对于牺牲层112具有刻蚀选择性的绝缘材料形成。例如，间隔物结构127可以由硅氮化物形成。之后整个位线结构BL、间隔物结构108以及牺牲层112上还会形成一层覆盖绝缘层132。

[0076] 最后，位线接触结构114形成在位线结构BL的正上方并与位线结构BL接触。在本发明实施例中，位线接触结构114分为一平面面积较大的上半部位114a与一平面面积较小的下半部位114b，其中上半部位114a是形成在覆盖绝缘层132中，下半部位114b则形成在原本位线结构BL的硬掩模层128的位置，上半部位114a与下半部位114b的中线对齐，其左右半部呈对称态样。在实际制作中，首先会进行光刻工艺界定出位线接触结构114在覆盖绝缘层132中的上半部位114a的图案，并同时移除位线结构BL不导电的硬掩模层128，之后再透过沉积工艺在所刻蚀出的空间中填入接触材料而形成位线接触结构114，位线接触结构114会与位线结构BL的金属层126部位直接接触。在本发明实施例中，如此位线接触结构114上下两半部位不同的平面面积的设计可以增加位线结构BL与上方外部导线116之间连接时的接触面积与工艺容限。

[0077] 在其他实施例中，如图6所示，位线接触结构114的上半部位114a与下半部位114b的中线C1与C2也可能不对齐，使得上半部位114a相对于下方的下半部位114b与位线结构BL水平地偏移一段距离，导致位线接触结构114的左右半部不对称。这样的现象可能导因于位线接触结构114在其光刻工艺界定图案的过程中的图案偏移所致。然而，由于位线接触结构114的上半部位114a设计成具有较大的平面面积的缘故，其可有效增加其制作的工艺容限，克服此类偏移问题。

[0078] 接着请同时参照图4与图5，其绘示出了存储单元区102的截面结构，其中图4的截线C-C'沿着第一方向D1切过了存储节点接触结构110部位，图5的截线D-D'沿着第一方向D1切过了间隔物结构108部位。

[0079] 如图4与图5所示，在存储单元区102中，有别于外围区104，其基底由有源区ACT以及隔离各有源区ACT的器件隔离层118所构成。部分的有源区ACT与器件隔离层118会通过光刻工艺图案化而在其中形成沿着第二方向D2字线沟槽，并在字线沟槽填入导电材料而形成字线结构WL。字线结构WL的材料可为金属，例如钨、铝、钛和/或钽等。字线结构WL上剩余的沟槽空间则填满栅极硬掩模层138，如一氮化硅层。字线结构WL与下方的有源区ACT之间还

形成有一栅绝缘层140,以隔绝字线结构WL与有源区ACT。

[0080] 复参照图4与图5。有源区ACT中可形成第一掺杂区1a和第二掺杂区1b,其分别位于字线结构WL的两侧以及有源区ACT的中心处与两端(见图1)。第一掺杂区1a和第二掺杂区1b可以通过离子注入工艺形成并可以包括与有源区ACT的导电类型相反的导电类型的掺杂剂。第一掺杂区1a和第二掺杂区1b的底表面可以定位在自有源区ACT的顶表面往下的预定深度处。此外,有源区ACT与器件隔离层118的表面上还可以形成一绝缘夹层120,以将下方的有源区ACT与上方的部件隔绝。绝缘夹层120可以由单个绝缘层或者多个绝缘层形成,例如硅氮化物层、硅氮化物层和/或硅氮氧化物层等。在形成绝缘夹层120后,有源区ACT与器件隔离层118可以经由光刻工艺再次图案化,以形成暴露第一掺杂区1a上的凹陷区134,其对应到有源区ACT的中心部位。凹陷区134的底表面可以高于第一掺杂区1a的底面(如虚线所示)。位线结构BL一部分的多晶硅层122会形成在凹陷区134中作为直接接触第一杂质区域1a的位线接触件。此外,凹陷区134的最小宽度可以大于每个位线结构BL的宽度。位线结构BL的多晶硅层122可以通过位线接触间隔物136与邻近的存储节点接触结构110隔开。位线接触间隔物136可以由相对于绝缘夹层107具有蚀刻选择性的绝缘材料形成,例如位线接触间隔物121可以包括硅氧化物层、硅氮化物层和/或硅氮氧化物层。

[0081] 复参照图4与图5。与外围区104相同,存储单元区102中的位线结构BL之间形成有间隔物结构108。然而与外围区104不同的是,在存储单元区102中,间隔物结构108与位线结构BL所界定出的空间中是用来形成存储节点接触结构110,其是通过将该处原有的牺牲层112移除再填入导电材料而形成,每个存储节点接触结构110会对应一个有源区ACT的第二掺杂区1b,且为了要使两者能接触,其会透过刻蚀工艺移除两者间的绝缘夹层120,如此使得部分的有源区ACT与器件隔离层118被移除,而部分的存储节点接触结构110伸入到基底中。存储节点接触件110可以由多个部件所构成,例如包括掺杂的半导体材料(例如掺杂的硅)、金属(例如钨、铝、钛和/或钽)、导电的金属氮化物(例如钛氮化物、钽氮化物和/或钨氮化物)和/或金属-半导体合金(例如金属硅化物)。在一些其他的实施例中,存储节点接触件110从下而上可依序包含一多晶硅层、金属硅化物层、以及一着陆焊盘,其上还会与个别对应的电容器连接,作为一个存储节点。由于上述该些部位并非本发明的重点,为了避免模糊发明焦点之故,文中将省略该些部位的细节说明。

[0082] 参照回图1。在本发明实施例中,位于存储单元区102与外围区104交界处的半导体存储器件会具有较一般正常的半导体存储器件不一样的结构与连结关系。对于这类半导体存储器件而言,其有源区ACT可能只会有一条字线WL经过而非两条。具体的,多个有源区ACT中有一部分有源区完全位于所述存储单元区102内,本实施例中可将完全位于所述存储单元区102内的有源区定义为第一有源区;多个有源区ACT中还有一部分有源区位于所述存储单元区102的边缘并延伸至外围区104,本实施例中可将其定义为第二有源区。而针对第二有源区而言,其可以仅和一条字线结构相交,而完全位于存储单元区102中的第一有源区则可以和两条字线结构相交。再者,在一些实施例中,所述第二有源区中位于所述存储单元区的端部上连接有所述存储节点接触结构,可同时参照图7,对于这类半导体存储器件的掺杂区而言,其位于字线WL旁的第二掺杂区1b会向上连接至一存储节点接触结构110,如图1中的圈F所示;至于第二有源区的另一端,由于没有字线WL的存在,其仅有一第一掺杂区1a,且横跨存储单元区102与外围区104,其位于外围区104的部位会向上连接至未被以存储节点

接触结构110替代的牺牲层112(即,所述第二有源区中位于所述外围区的端部上方形成有所述牺牲层112),如图1中的圈G所示,这样的特征有别于存储单元区102中所有的第二掺杂区1b都会连接到存储节点接触结构110的设置。

[0083] 而在其他实施例中,如图8所示,外围区104中也可能形成有完整的有源区ACT,即多个有源区中还有一部分有源区完全位于外围区中而构成第三有源区,然而第三有源区的连接结构会与位于存储单元区102内的第一有源区不同。完全位于外围区104中的有源区ACT的两个第二掺杂区1b都会向上连接到牺牲层112,而不会连接到任何存储节点接触结构110,以及,所述第三有源区也未与字线结构相交。

[0084] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

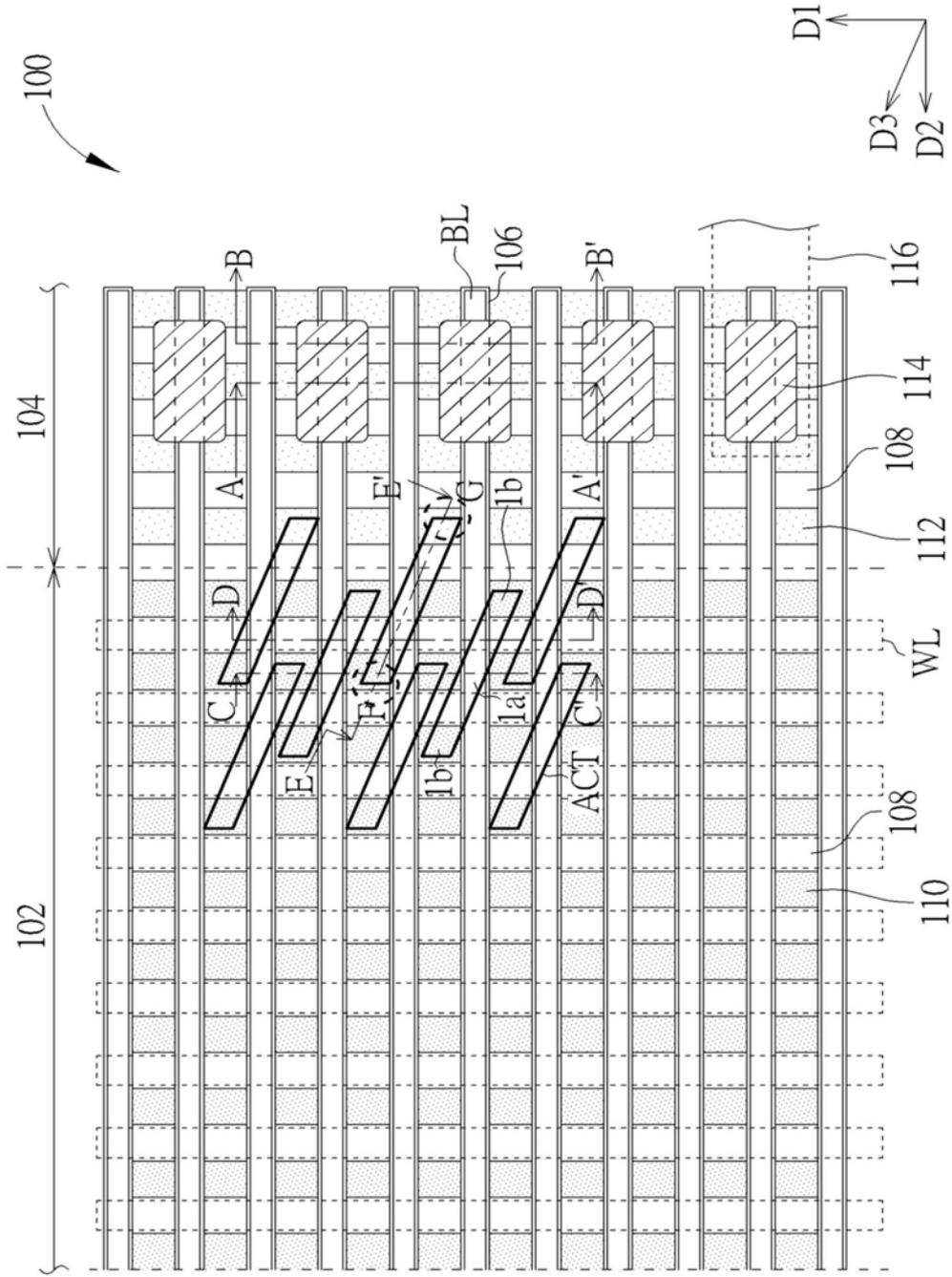


图1

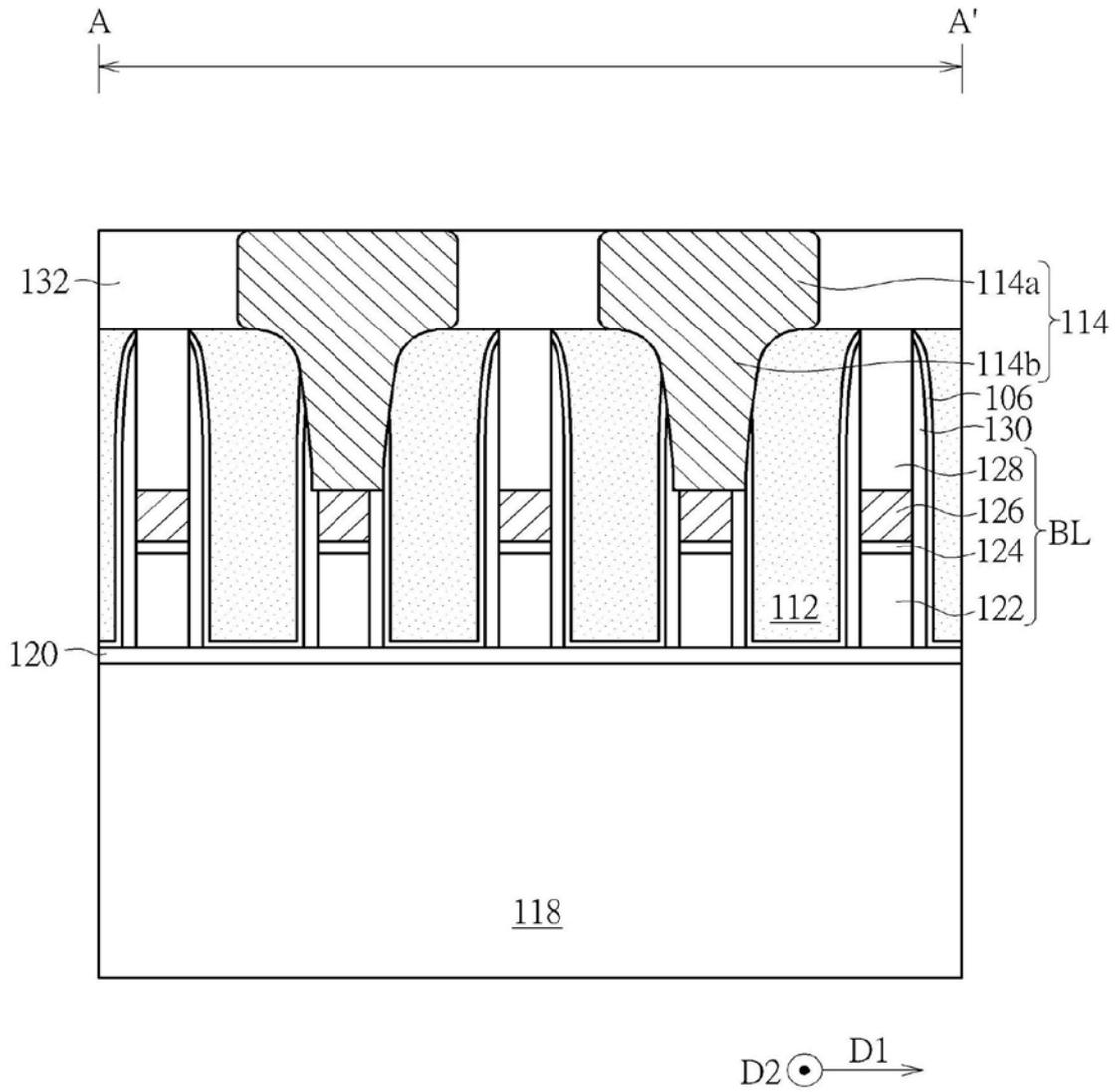


图2

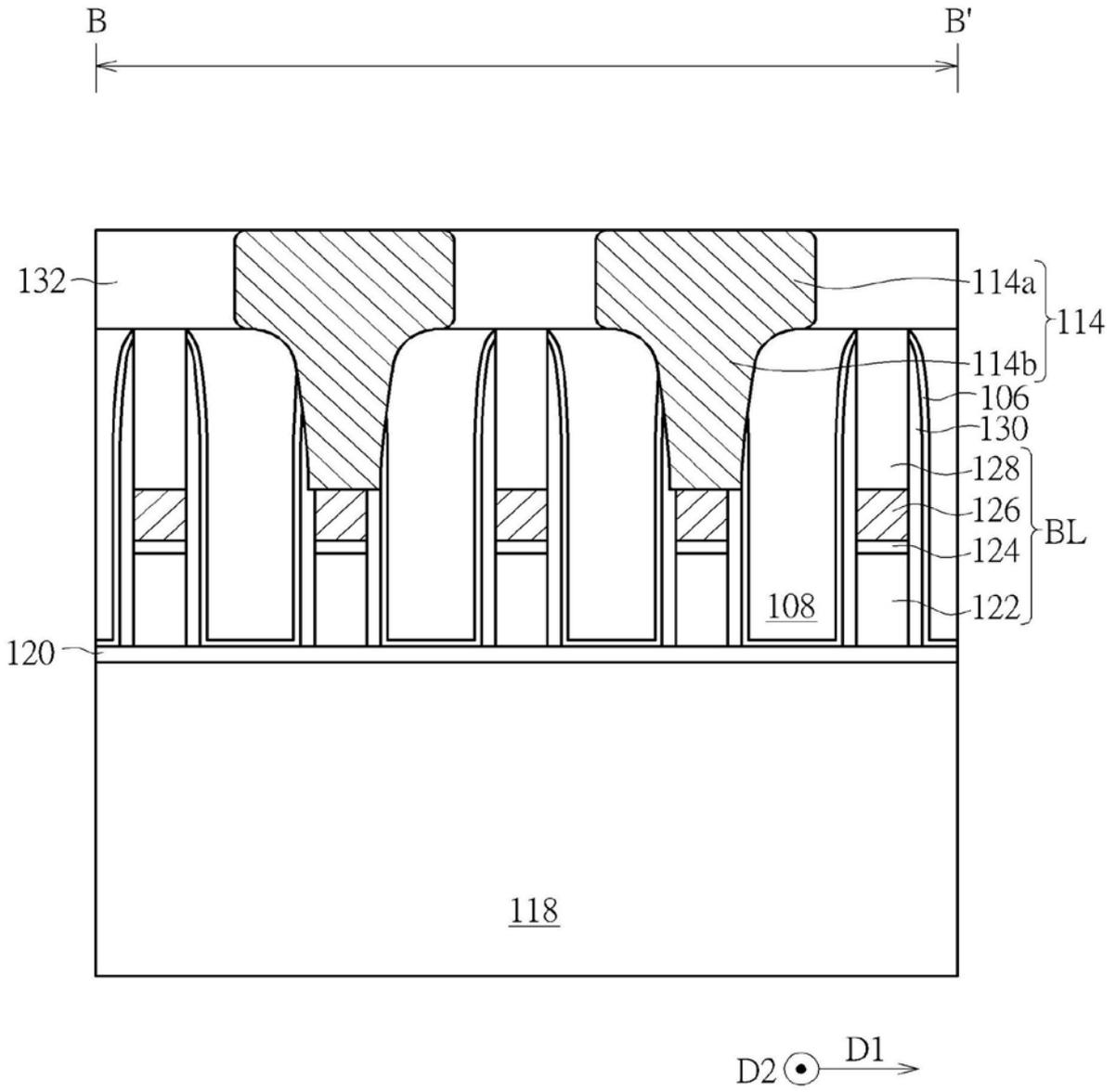


图3

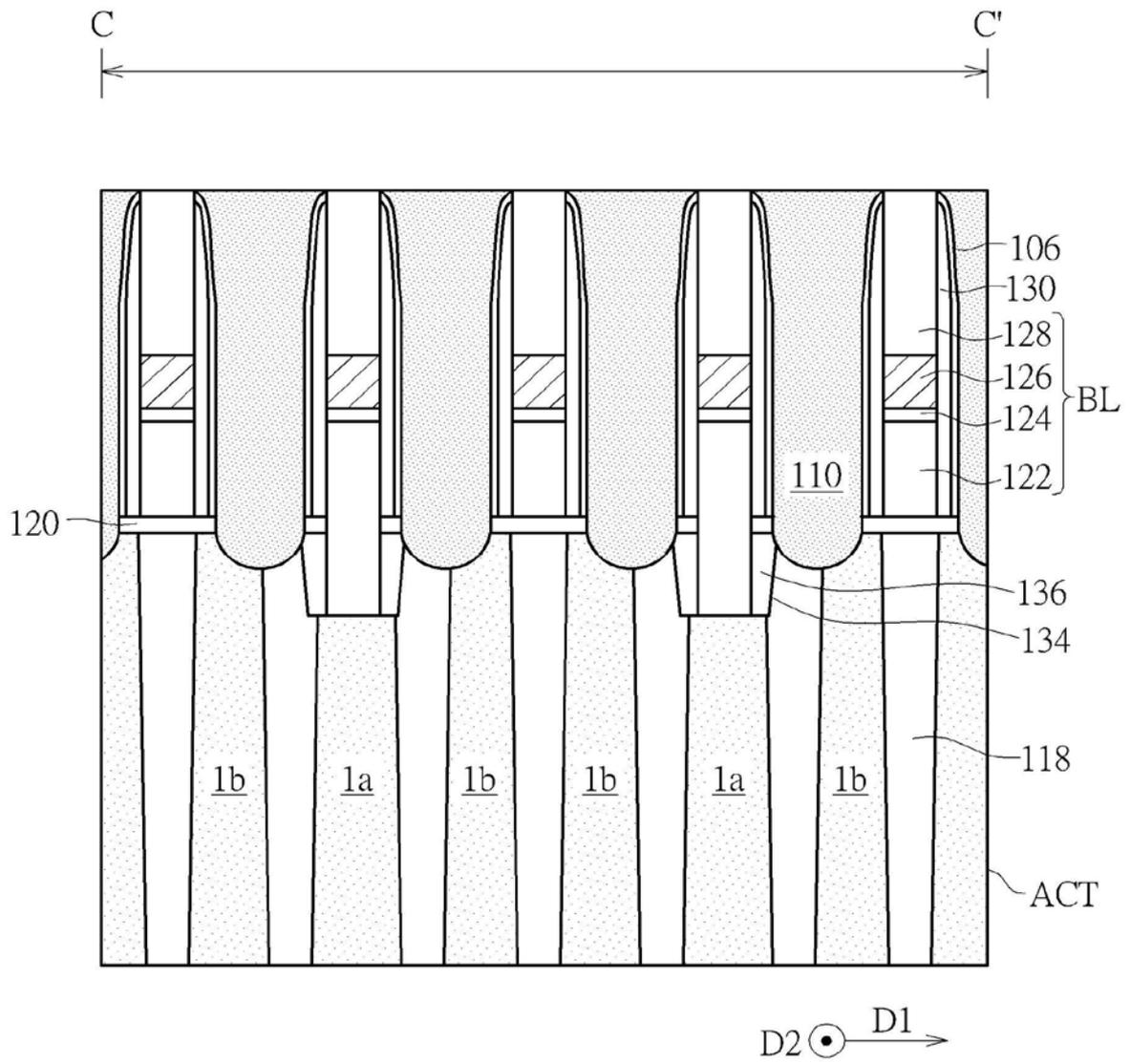


图4

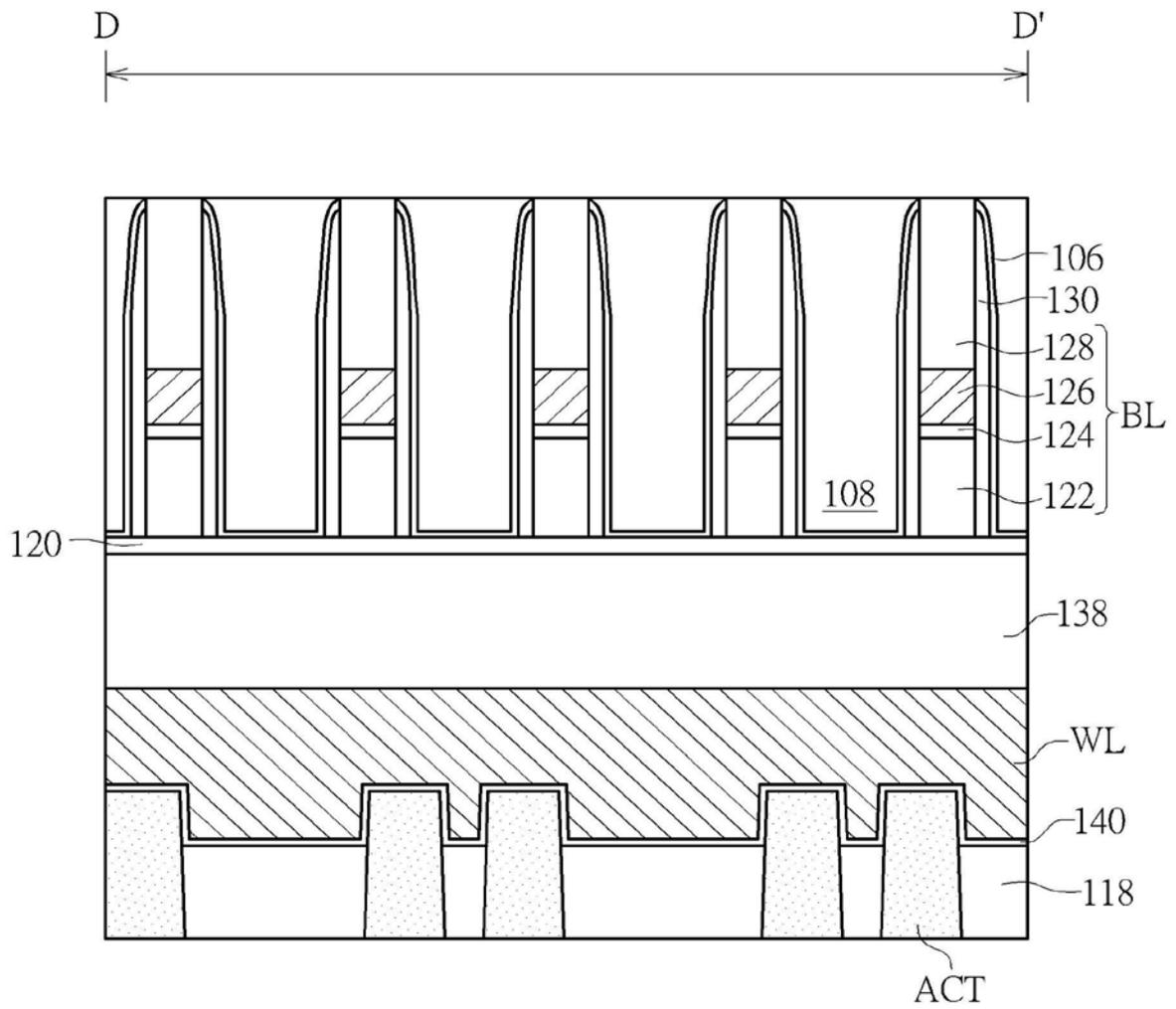


图5

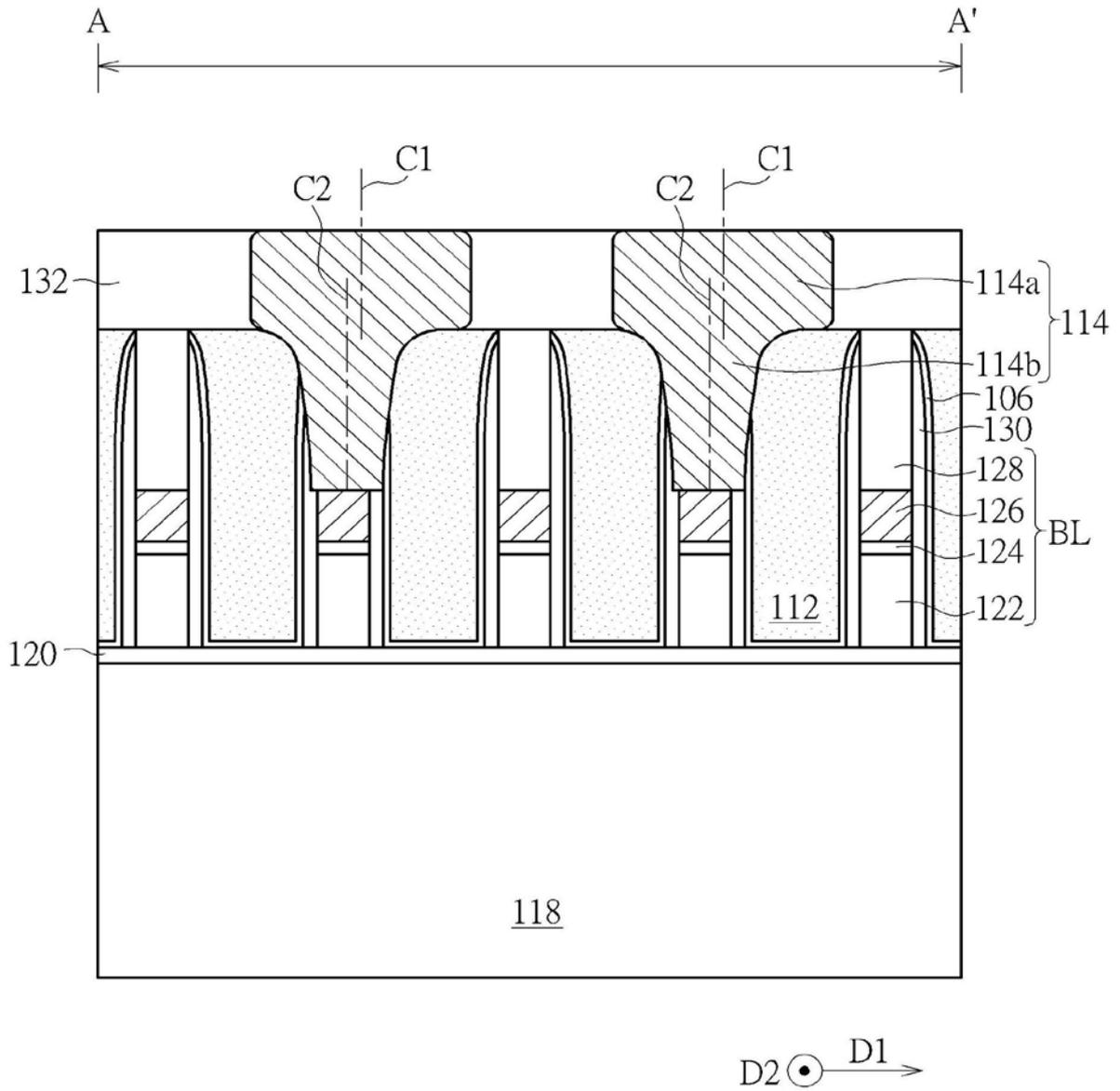


图6



