



(12) 发明专利

(10) 授权公告号 CN 113707538 B

(45) 授权公告日 2023. 12. 12

(21) 申请号 202010440457.X

H10B 10/00 (2023.01)

(22) 申请日 2020.05.22

(56) 对比文件

(65) 同一申请的已公布的文献号
申请公布号 CN 113707538 A

CN 101051189 A, 2007.10.10

CN 103426810 A, 2013.12.04

(43) 申请公布日 2021.11.26

KR 20120090208 A, 2012.08.17

US 2010112463 A1, 2010.05.06

(73) 专利权人 长鑫存储技术有限公司
地址 230601 安徽省合肥市经济技术开发
区翠微路6号海恒大厦630室

US 2013295772 A1, 2013.11.07

US 2015104887 A1, 2015.04.16

US 8518825 B1, 2013.08.27

(72) 发明人 胡建城 谢明宏

审查员 郑琼

(74) 专利代理机构 上海晨皓知识产权代理事务
所(普通合伙) 31260
专利代理师 成丽杰

(51) Int. Cl.

H01L 21/027 (2006.01)

H10B 12/00 (2023.01)

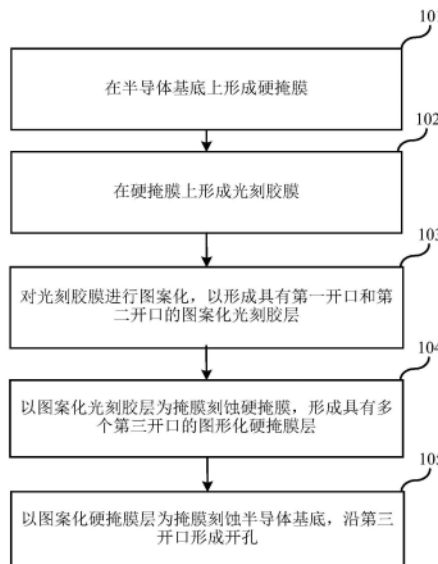
权利要求书2页 说明书7页 附图5页

(54) 发明名称

半导体结构的制备方法、半导体结构及存储器

(57) 摘要

本发明实施例涉半导体技术领域,公开了一种半导体结构的制备方法,包括:在半导体基底上形成硬掩膜;在所述硬掩膜上形成光刻胶膜;对所述光刻胶膜进行图案化,以形成具有第一开口和第二开口的图案化光刻胶层,其中,所述第二开口位于所述第一开口的间隔处;以所述图案化光刻胶层为掩膜刻蚀所述硬掩膜,形成具有多个第三开口的图案化硬掩膜层,所述第三开口对应所述第一开口和所述第二开口;以所述图案化硬掩膜层为掩膜刻蚀所述半导体基底,沿所述第三开口形成开孔,同时提高了开孔的制备效率和开孔质量。



1. 一种半导体结构的制备方法,其特征在于,包括:
 - 在半导体基底上形成硬掩膜;
 - 在所述硬掩膜上形成光刻胶膜;
 - 对所述光刻胶膜进行图案化,以形成具有第一开口和第二开口的图案化光刻胶层,其中,所述第二开口位于所述第一开口的间隔处;
 - 其中,所述对所述光刻胶膜进行图案化包括:对所述光刻胶膜进行第一曝光形成第一曝光区,对所述第一曝光区进行显影,使所述第一曝光区具有多个所述第一开口;
 - 以及,对第一曝光后的所述光刻胶膜进行第二曝光形成第二曝光区,对所述第二曝光区进行显影,使所述第二曝光区具有多个所述第二开口;
 - 以所述图案化光刻胶层为掩膜刻蚀所述硬掩膜,形成具有多个第三开口的图案化硬掩膜层,所述第三开口对应所述第一开口和所述第二开口;
 - 以所述图案化硬掩膜层为掩膜刻蚀所述半导体基底,沿所述第三开口形成开孔;
 - 所述对所述光刻胶膜进行第一曝光形成第一曝光区,包括:利用预设的光掩膜对所述光刻胶膜进行第一曝光形成第一曝光区,所述第一曝光区包括多个第一孔形图案,所述第一孔形图案对应所述第一开口;
 - 所述对第一曝光后的所述光刻胶膜进行第二曝光形成第二曝光区,包括:改变所述预设的光掩膜在所述半导体基底上的投影位置;利用改变投影位置后的所述预设的光掩膜对所述第一曝光后的所述光刻胶膜进行第二曝光形成所述第二曝光区,所述第二曝光区包括多个第二孔形图案,所述第二孔形图案对应所述第二开口;
 - 在所述改变所述预设的光掩膜在所述半导体基底上的投影位置之前,还包括:
 - 在利用所述预设的光掩膜对所述光刻胶膜进行第一曝光形成第一曝光区时,确定所述第一曝光区中相邻两个所述第一孔形图案的第一中心点和第二中心点;
 - 所述改变所述预设的光掩膜在所述半导体基底上的投影位置,包括:
 - 将所述预设的光掩膜沿所述第一中心点和所述第二中心点所在的直线上移动第一距离,所述第一距离在所述光刻胶膜上的投影长度为所述第一中心点和所述第二中心点之间距离的一半;
 - 或,将所述半导体基底沿所述第一中心点和所述第二中心点所在的直线上移动第二距离,所述第二距离为所述第一中心点和所述第二中心点之间距离的一半。
2. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述第一孔形图案呈圆形。
3. 根据权利要求2所述的半导体结构的制备方法,其特征在于,呈圆形的所述第一孔形图案的直径范围在70纳米-90纳米,相邻两个所述第一孔形图案的中心点之间的距离范围在150纳米-180纳米。
4. 根据权利要求1所述的半导体结构的制备方法,其特征在于,所述以所述图案化光刻胶层为掩膜刻蚀所述硬掩膜,形成具有多个第三开口的图案化硬掩膜层,包括:
 - 在所述图案化光刻胶层的所述第一开口和所述第二开口的侧壁形成交联层;
 - 以所述图案化光刻胶层及所述交联层作为掩膜刻蚀所述硬掩膜,形成具有多个所述第三开口的所述图案化硬掩膜层,所述第三开口的口径小于所述第一开口或所述第二开口的口径。

5. 根据权利要求4所述的半导体结构的制备方法,其特征在于,所述交联层的厚度范围在5纳米~20纳米。

6. 根据权利要求4所述的半导体结构的制备方法,其特征在于,所述在所述图案化光刻胶层的所述第一开口和所述第二开口的侧壁形成交联层,包括:

在所述图案化光刻胶层的所述第一开口和所述第二开口的侧壁涂覆甲基丙烯酸类树脂;

烘烤涂覆有甲基丙烯酸类树脂的所述图案化光刻胶层,使部分所述图案化光刻胶层与所述甲基丙烯酸类树脂发生反应,从而在所述第一开口和所述第二开口的侧壁形成交联层。

7. 一种半导体结构,其特征在于,采用如权利要求1至6中任一项所述的半导体结构的制备方法形成。

8. 一种存储器,其特征在于,包括如权利要求7所述的半导体结构,所述半导体基底中形成有晶体管,且所述开孔内形成有电容。

半导体结构的制备方法、半导体结构及存储器

技术领域

[0001] 本发明实施例涉及半导体技术领域,特别涉及一种半导体结构的制备方法、半导体结构及存储器。

背景技术

[0002] 动态随机存取存储器(DRAM)等半导体器件包括大量精细化开孔,这种开孔可通过光刻工序而形成。一般的,采用光刻工序形成开孔的步骤包括:在底层硬掩膜上形成第一硬掩膜层,将光刻胶膜涂覆在第一层硬掩膜上;在光刻胶膜上形成沿第一方向的线型图案,并将沿第一方向的线型图案转移到第一层硬掩膜上;之后,在图案化的第一层硬掩膜上形成第二层硬掩膜以及光刻胶膜,并在后形成的光刻胶膜上形成沿第二方向的线型图案,并将沿第二方向的线型图案转移到第二层硬掩膜上,继续对图案化的第二层硬掩膜继续刻蚀,将第二方向的线型图案转移到图案化的第一层硬掩膜上,由于第二方向的线型图案和第一方向的线型图案相交形成孔形图案,因此继续刻蚀可得到具备多个孔形图案的图案化底层硬掩膜层;然后,利用图案化底层硬掩膜层对半导体基底进行刻蚀,根据孔形图案在半导体基底内形成开孔。

[0003] 然而,发明人发现现有技术中至少存在如下问题:现有开孔的制备方法是通过两种不同方向的线形图案组合形成孔形图案,需要至少两次的硬掩膜图案转移,工艺制程较为复杂、效率不高,且在硬掩膜图案转移过程中由于工艺误差及过多的副产物,易造成开孔质量较差。

发明内容

[0004] 本发明实施方式的目的在于提供一种半导体结构的制备方法、半导体结构及存储器,同时提高了开孔的制备效率和开孔质量。

[0005] 为解决上述技术问题,本发明的实施方式提供了一种半导体结构的制备方法,包括:在半导体基底上形成硬掩膜;在所述硬掩膜上形成光刻胶膜;对所述光刻胶膜进行图案化,以形成具有第一开口和第二开口的图案化光刻胶层,其中,所述第二开口位于所述第一开口的间隔处;其中,所述对所述光刻胶膜进行图案化包括:对所述光刻胶膜进行第一曝光形成第一曝光区,对所述第一曝光区进行显影,使所述第一曝光区具有多个所述第一开口;以及,对第一曝光后的所述光刻胶膜进行第二曝光形成第二曝光区,对所述第二曝光区进行显影,使所述第二曝光区具有多个所述第二开口;以所述图案化光刻胶层为掩膜刻蚀所述硬掩膜,形成具有多个第三开口的图案化硬掩膜层,所述第三开口对应所述第一开口和所述第二开口;以所述图案化硬掩膜层为掩膜刻蚀所述半导体基底,沿所述第三开口形成开孔。

[0006] 本发明的实施方式还提供了一种半导体结构,采用上述的半导体结构的制备方法形成。

[0007] 本发明的实施方式还提供了一种存储器,包括上述的半导体结构,半导体基底中

形成有晶体管,且开孔内形成有电容。

[0008] 本发明实施方式相对于现有技术而言,提供了一种半导体结构的制备方法,通过两次曝光显影形成具有大量第一开口和第二开口的图案化光刻胶层,之后,将图案化光刻胶层的第一开口和第二开口转移至硬掩膜上形成具有多个第三开口的图案化硬掩膜层,也就是说进行一次硬掩膜的转移便可得到图案化硬掩膜层,之后以图案化硬掩膜层为掩膜在半导体基底上形成大量开孔,相比于现有技术中两次硬掩膜转移的方案来说,不仅减少了制程步骤,提高了制备开孔的效率;且避免由于硬掩膜转移次数较多,而导致工艺误差较大、产生的副产物较多,从而提高了制备开孔的质量。

[0009] 另外,所述对所述光刻胶膜进行第一曝光形成第一曝光区,包括:利用预设的光掩膜对所述光刻胶膜进行第一曝光形成第一曝光区,所述第一曝光区包括多个第一孔形图案,所述第一孔形图案对应所述第一开口;所述对第一曝光后的所述光刻胶膜进行第二曝光形成第二曝光区,包括:改变所述预设的光掩膜在所述半导体基底上的投影位置;利用改变投影位置后的所述预设的光掩膜对所述第一曝光后的所述光刻胶膜进行第二曝光形成所述第二曝光区,所述第二曝光区包括多个第二孔形图案,所述第二孔形图案对应所述第二开口。

[0010] 另外,在所述改变所述预设的光掩膜在所述半导体基底上的投影位置之前,还包括:在利用所述预设的光掩膜对所述光刻胶膜进行第一曝光形成第一曝光区时,确定所述第一曝光区中相邻两个所述第一孔形图案的第一中心点和第二中心点;所述改变所述预设的光掩膜在所述半导体基底上的投影位置,包括:将所述预设的光掩膜沿所述第一中心点和所述第二中心点所在的直线上移动第一距离,所述第一距离在所述光刻胶膜上的投影长度为所述第一中心点和所述第二中心点之间距离的一半;或,将所述半导体基底沿所述第一中心点和所述第二中心点所在的直线上移动第二距离,所述第二距离为所述第一中心点和所述第二中心点之间距离的一半。

[0011] 另外,所述第一孔形图案呈圆形。

[0012] 另外,呈圆形的所述第一孔形图案的直径范围在70纳米-90纳米,相邻两个所述第一孔形图案的中心点之间的距离范围在150纳米-180纳米。

[0013] 另外,所述以所述图案化光刻胶层为掩膜刻蚀所述硬掩膜,形成具有多个第三开口的图案化硬掩膜层,包括:在所述图案化光刻胶层的所述第一开口和所述第二开口的侧壁形成交联层;以所述图案化光刻胶层及所述交联层作为掩膜刻蚀所述硬掩膜层,形成具有多个所述第三开口的所述图案化硬掩膜层,所述第三开口的口径小于所述第一开口或所述第二开口的口径。

[0014] 另外,交联层的厚度范围在5纳米~20纳米。

[0015] 另外,所述在所述图案化光刻胶层的所述第一开口和所述第二开口的侧壁形成交联层,包括:在所述图案化光刻胶层的所述第一开口和所述第二开口的侧壁涂覆甲基丙烯酸类树脂;烘烤涂覆有甲基丙烯酸类树脂的所述图案化光刻胶层,使部分所述图案化光刻胶层与所述甲基丙烯酸类树脂发生反应,从而在所述第一开口和所述第二开口的侧壁形成交联层。

附图说明

[0016] 一个或多个实施例通过与之对应的附图中的图片进行示例性说明,这些示例性说明并不构成对实施例的限定,附图中具有相同参考数字标号的元件表示为类似的元件,除非有特别申明,附图中的图不构成比例限制。

[0017] 图1是根据本发明第一实施方式的半导体结构的制备方法的流程示意图;

[0018] 图2是根据本发明第一实施方式的第一曝光区的示意图;

[0019] 图3是根据本发明第一实施方式的第二曝光区的示意图;

[0020] 图4是根据本发明第一实施方式的图案化光刻胶层的俯视示意图;

[0021] 图5是根据本发明第一实施方式的制备完光刻胶膜后的结构示意图;

[0022] 图6是根据本发明第一实施方式的两次曝光显影后的结构示意图;

[0023] 图7是根据本发明第一实施方式的刻蚀硬掩膜后的结构示意图;

[0024] 图8是根据本发明第一实施方式的刻蚀半导体基底后的结构示意图;

[0025] 图9是根据本发明第二实施方式的半导体结构的制备方法的流程示意图;

[0026] 图10是根据本发明第二实施方式的制备交联层后的结构示意图;

[0027] 图11是根据本发明第二实施方式的交联层的俯视示意图。

具体实施方式

[0028] 为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合附图对本发明的各实施方式进行详细的阐述。然而,本领域的普通技术人员可以理解,在本发明各实施方式中,为了使读者更好地理解本申请而提出了许多技术细节。但是,即使没有这些技术细节和基于以下各实施方式的种种变化和修改,也可以实现本申请所要求保护的技术方案。

[0029] 本发明的第一实施方式涉及一种半导体结构的制备方法,本实施方式的核心通过两次曝光显影形成具有大量第一开口和第二开口的图案化光刻胶层,之后,将图案化光刻胶层的第一开口和第二开口转移至硬掩膜上形成具有多个第三开口的图案化硬掩膜层,即就是说进行一次硬掩膜的转移便可得到图案化硬掩膜层,之后以图案化硬掩膜层为掩膜在半导体基底上形成大量开孔,相比于现有技术中两次硬掩膜转移的方案来说,不仅减少了制程步骤,提高了制备开孔的效率;且避免由于硬掩膜转移次数较多,而导致工艺误差较大、产生的副产物较多,从而提高了制备开孔的质量。

[0030] 下面对本实施方式的半导体结构的制备方法的实现细节进行具体的说明,以下内容仅为方便理解提供的实现细节,并非实施本方案的必须。

[0031] 本实施方式中的半导体结构的制备方法的流程示意图如图1所示,以下结合图2至图9进行详细说明:

[0032] 步骤101:在半导体基底1上形成硬掩膜2。

[0033] 步骤102:在硬掩膜2上形成光刻胶膜3。

[0034] 半导体基底1可以是单层的半导体材料层,如硅材料层,也可以是由多层材料层叠置形成的叠层材料层,例如,可以是构成某一半导体器件结构的材料层。在半导体基底1上形成开孔10后,后续可用于制备动态随机存取存储器(DRAM)或静态随机存储器(SRAM)等半导体器件。

[0035] 硬掩膜2主要运用于光刻工艺中,首先把光刻胶图案转移到硬掩膜2上,然后通过

硬掩模2将最终图形刻蚀转移到半导体基底1上。硬掩模2(Hard Mask)的材料一般可选氮氧化硅(Si₃N₄)、氮化硅(SiN)或二氧化硅(SiO₂)等;可采用化学气相沉积(CVD)工艺形成硬掩模2。

[0036] 步骤103:对光刻胶膜3进行图案化,以形成具有第一开口101和第二开口102的图案化光刻胶层32。

[0037] 如图2至图6所示,对光刻胶膜3进行图案化包括:对光刻胶膜3进行第一曝光形成第一曝光区,对第一曝光区进行显影,使第一曝光区具有多个第一开口101;以及,对第一曝光后的光刻胶膜3进行第二曝光形成第二曝光区,对第二曝光区进行显影,使第二曝光区具有多个第二开口102。

[0038] 具体地说,如图2所示,对光刻胶膜3进行第一曝光形成第一曝光区,对第一曝光区进行显影,使第一曝光区具有多个第一开口101。第一曝光区包括第一孔形图案1001,第一孔形图案1001对应第一开口101。如图3所示,对第一曝光后的光刻胶膜3进行第二曝光形成第二曝光区,对所述第二曝光区进行显影,使第二曝光区具有多个第二开口102。第二曝光区包括多个第二孔形图案1002,第二孔形图案1002对应所述第二开口102,其中,第二开口102位于第一开口101的间隔处。本实施方式中第一孔形图案1001和第二孔形图案1002均以圆形示出,但本领域技术人员可以理解,第一孔形图案1001和第二孔形图案1002也可为其他形状,例如:方形、椭圆形、菱形等等。本实施方式中可根据实际需求自行设置第一孔形图案1001和第二孔形图案1002的形状相同或不同。

[0039] 如图4所示,两次曝光显影后形成第一曝光区和第二曝光区,形成具有第一开口101和第二开口102的图案化光刻胶层32,图案化光刻胶层32的俯视结构示意图如图4所示,其中,第二曝光区的第二开口102位于第一曝光区的第一开口101的间隔处,从而使得第一曝光区的第一开口101与第二曝光区的第二开口102不会相交或重叠,使得图案化光刻胶层32上的第一开口101和第二开口102分布更加紧密。

[0040] 步骤104:以图案化光刻胶层32为掩膜刻蚀硬掩模2,形成具有多个第三开口103的图案化硬掩膜层21。

[0041] 具体地说,在形成如图4所示的图案化光刻胶层32后,如图7所示,以图案化光刻胶层32为掩膜刻蚀硬掩模2,形成具有多个第三开口103的图案化硬掩膜层21,之后去除图案化光刻胶层32,得到如图7所示的结构。其中,第三开口103对应第一开口101和第二开口102的位置和数量。

[0042] 步骤105:以图案化硬掩膜层21为掩膜刻蚀半导体基底1,沿第三开口103形成开孔10。

[0043] 如图9所示,以图案化硬掩膜层21为掩膜刻蚀半导体基底1,沿第三开口103形成开孔10,之后去除图案化硬掩膜层21,得到如图8所示的结构,该结构可用于制备动态随机存取存储器(DRAM)或静态随机存储器(SRAM)等半导体器件。利用硬掩膜2层将第三开口103转移到半导体基底1上,从而降低了图案化光刻胶层32的第三开口103边缘不齐整对制备开孔10的影响。

[0044] 值得说明的是,对光刻胶膜3进行第一曝光形成第一曝光区,包括:利用预设的光掩膜对光刻胶膜3进行第一曝光形成第一曝光区,第一曝光区包括多个第一孔形图案1001,第一孔形图案1001对应第一开口101;对第一曝光后的光刻胶膜3进行第二曝光形成第二曝

光区,包括:改变预设的光掩膜在半导体基底1上的投影位置;利用改变投影位置后的预设的光掩膜对第一曝光后的光刻胶膜3进行第二曝光形成第二曝光区,第二曝光区包括多个第二孔形图案1002,第二孔形图案1002对应第二开口102。

[0045] 具体地说,本实施方式中在进行第一曝光时,利用预设的光掩膜对光刻胶膜3进行曝光形成第一曝光区,第一曝光区包括多个第一孔形图案1001,第一孔形图案1001对应第一开口101,第一孔形图案1001的排列方式如上述图2所示,从而能够形成具有多个均匀分布的第一开口101的第一曝光区。且在进行第二曝光时,改变预设的光掩膜在半导体基底1上的投影位置,从而利用改变投影位置后的预设的光掩膜进行第二曝光,由于第二曝光时使用的是与第一曝光时相同的光掩膜,因此,第一曝光区的第一孔形图案1001和第二曝光区的第二孔形图案1002的排布方式相同(如图3所示),且第二曝光区的第二孔形图案1002位于第一曝光区的第一孔形图案1001的间隔处,从而形成分布更加紧密的多个第一开口101和第二开口102。

[0046] 进一步地,在改变预设的光掩膜在半导体基底1上的投影位置之前,还包括:在利用预设的光掩膜对光刻胶膜3进行第一曝光形成第一曝光区时,确定第一曝光区中相邻两个第一孔形图案1001的第一中心点和第二中心点;改变预设的光掩膜在半导体基底1上的投影位置,包括:将预设的光掩膜沿第一中心点和第二中心点所在的直线上移动第一距离,第一距离在光刻胶膜3上的投影长度为第一中心点和第二中心点之间距离的一半;或,将半导体基底1沿第一中心点和第二中心点所在的直线上移动第二距离,第二距离为第一中心点和第二中心点之间距离的一半。

[0047] 具体地说,在进行第二曝光之前,先确定在利用预设的光掩膜对光刻胶膜3进行第一曝光形成第一曝光区时,第一曝光区中相邻两个第一孔形图案1001的第一中心点和第二中心点,从而在改变预设的光掩膜在半导体基底1上的投影位置时,可将预设的光掩膜沿第一中心点和第二中心点所在的直线上移动第一距离,第一距离在光刻胶膜3上的投影长度为第一中心点和第二中心点之间距离的一半;或者,可将半导体基底1沿第一中心点和第二中心点所在的直线上移动第二距离,第二距离为第一中心点和所述第二中心点之间距离的一半。如此,使得第一孔形图案1001和第二孔形图案1002分布均匀、且分布紧密度较高,有利于形成高均匀性、高密度的第一开口101和第二开口102。

[0048] 可选地,预设的光掩膜中的孔形图案与第一孔形图案1001的形状相同。由于开孔10多为电容孔,第一孔形图案1001多呈圆形,因此,预设的光掩膜中的孔形图案多呈圆形,但本领域技术人员可以理解,预设的光掩膜中的孔形图案也可为其他形状,例如:方形、椭圆形、菱形等等。

[0049] 较佳地,呈圆形的第一孔形图案1001的直径范围在70纳米-90纳米,相邻两个第一孔形图案1001的中心点之间的距离范围在150纳米-180纳米。如此设置,移动预设的掩膜版之后进行第二曝光,形成的图案化光刻胶层32的表面的第一开口101和第二开口102如图4所示,其中,相邻的第一开口101和第二开口102中心点之间的距离在70纳米~100纳米,相邻两个第一开口101和第二开口102的间距在5纳米~20纳米。

[0050] 值得说明的是,本实施方式中采用两次曝光形成高密度的第一孔形图案1001和第二孔形图案1002,而非采用一次曝光形成高密度的孔形图案,这是由于在光掩膜中若要形成高密度的孔形图案,需求曝光制程能力很高且精准,难度很大容易出现误差。因此,本实

施方式中利用孔形图案密度较小的光掩膜进行两次曝光,在形成高密度的孔形图案时,还减小了曝光误差。

[0051] 与现有技术相比,本发明实施方式通过两次曝光显影形成具有大量第一开口101和第二开口102的图案化光刻胶层32,之后,将图案化光刻胶层32的第一开口101和第二开口102转移至硬掩膜2上形成具有多个第三开口103的图案化硬掩膜层21,即就是说进行一次硬掩膜的转移便可得到图案化硬掩膜层21,之后以图案化硬掩膜层21为掩膜在半导体基底上形成大量开孔10,相比于现有技术中两次硬掩膜转移的方案来说,不仅减少了制程步骤,提高了制备开孔10的效率;且避免由于硬掩膜转移次数较多,而导致工艺误差较大、产生的副产物较多,从而提高了制备开孔10的质量。

[0052] 本发明的第二实施方式涉及一种半导体结构的制备方法。第二实施方式是对第一实施方式的改进,主要改进之处在于,通过在图案化光刻胶层的第一开口和第二开口的侧壁形成交联层,之后以图案化光刻胶层及交联层共同作为掩膜来刻蚀硬掩膜层,从而使得形成的图案化硬掩膜层上的第三开口的尺寸,相较于图案化光刻胶层上的第一开口和第二开口的尺寸较小,有利于制备精细化尺寸的开孔分布。

[0053] 本实施方式中的半导体结构的制备方法的流程示意图如图9所示,以下结合第一实施方式中图2至图8、及图10和图11进行详细说明:

[0054] 步骤201:在半导体基底1上形成硬掩膜2。

[0055] 步骤202:在硬掩膜2上形成光刻胶膜3。

[0056] 步骤203:对光刻胶膜3进行图案化,以形成具有第一开口101和第二开口102的图案化光刻胶层32。

[0057] 上述步骤201至步骤203与第一实施方式中的步骤101至步骤103大致相同,为避免重复,本实施方式中不再赘述。

[0058] 步骤204:在图案化光刻胶层32的第一开口101和所述第二开口102的侧壁形成交联层4。

[0059] 步骤205:以图案化光刻胶层32及交联层4作为掩膜刻蚀硬掩膜2,形成具有多个第三开口103的图案化硬掩膜层21。

[0060] 具体地说,在图案化光刻胶层32的第一开口101和第二开口102的侧壁形成交联层4,包括:在图案化光刻胶层32的第一开口101和第二开口102的侧壁涂覆甲基丙烯酸类树脂;烘烤涂覆有甲基丙烯酸类树脂的图案化光刻胶层32,使部分图案化光刻胶层32与甲基丙烯酸类树脂发生反应,从而在第一开口101和第二开口102的侧壁形成交联层4。

[0061] 通过分辨率增强光刻辅助化学收缩(Resolution Enhancement Lithography Assisted by Chemical Shrink, RELACS)试剂可缩小孔洞或沟槽的关键尺寸。该方法的基本原理为在图案化光刻胶层32表面存在的光酸的作用下,RELACS试剂中的高分子和交联分子发生交联反应,如图10所示,此交联反应在图案化光刻胶层32表面、以及图案化光刻胶层32的第一开口101和第二开口102的侧壁形成一层交联层4以增大光刻胶图案的宽度。由于第一开口101和第二开口102是通过刻蚀相邻光刻胶之间的材料形成,光刻胶图案宽度的增大意味着第一开口101和第二开口102尺寸的收缩。交联层4的俯视结构示意图如图11所示,收缩前的第一开口101和第二开口102以虚线示出,收缩后的第一开口101和第二开口102以实线示出,假设,收缩前的第一开口101和第二开口102的口径在70纳米-90纳米,交联层4厚度

即收缩尺寸可以为5纳米~20纳米,则收缩后的第一开口101和第二开口102的口径在50纳米~85纳米。

[0062] 步骤206:以图案化硬掩膜层为掩膜刻蚀半导体基底1,沿第三开口103形成开孔10。

[0063] 如此,以图案化光刻胶层32及交联层4共同作为掩膜来刻蚀硬掩膜2,从而使得形成的图案化硬掩膜层21上的第三开口103的口径,相较于图案化光刻胶层32上的第一开口101或第二开口102的口径较小,有利于在半导体基底上制备精细化尺寸的开孔10。

[0064] 与现有技术相比,本发明实施方式中通过在图案化光刻胶层32的第一开口101和第二开口102的侧壁形成交联层4,之后以图案化光刻胶层32及交联层4共同作为掩膜来刻蚀硬掩膜2,从而使得形成的图案化硬掩膜层21上的第三开口103的口径,相较于图案化光刻胶层32上的第一开口101或第二开口102的口径较小,有利于制备精细化尺寸的开孔10。

[0065] 上面各种方法的步骤划分,只是为了描述清楚,实现时可以合并为一个步骤或者对某些步骤进行拆分,分解为多个步骤,只要包括相同的逻辑关系,都在本专利的保护范围内;对算法中或者流程中添加无关紧要的修改或者引入无关紧要的设计,但不改变其算法和流程的核心设计都在该专利的保护范围内。

[0066] 本发明的第三实施方式涉及一种半导体结构,采用如上述第一实施方式或第二实施方式的半导体结构的制备方法形成。

[0067] 本发明的第四实施方式涉及一种存储器,包括如上述第三实施方式的半导体结构,半导体基底中形成有晶体管,且开孔内形成有电容。

[0068] 本领域的普通技术人员可以理解,上述各实施方式是实现本发明的具体实施例,而在实际应用中,可以在形式上和细节上对其作各种改变,而不偏离本发明的精神和范围。

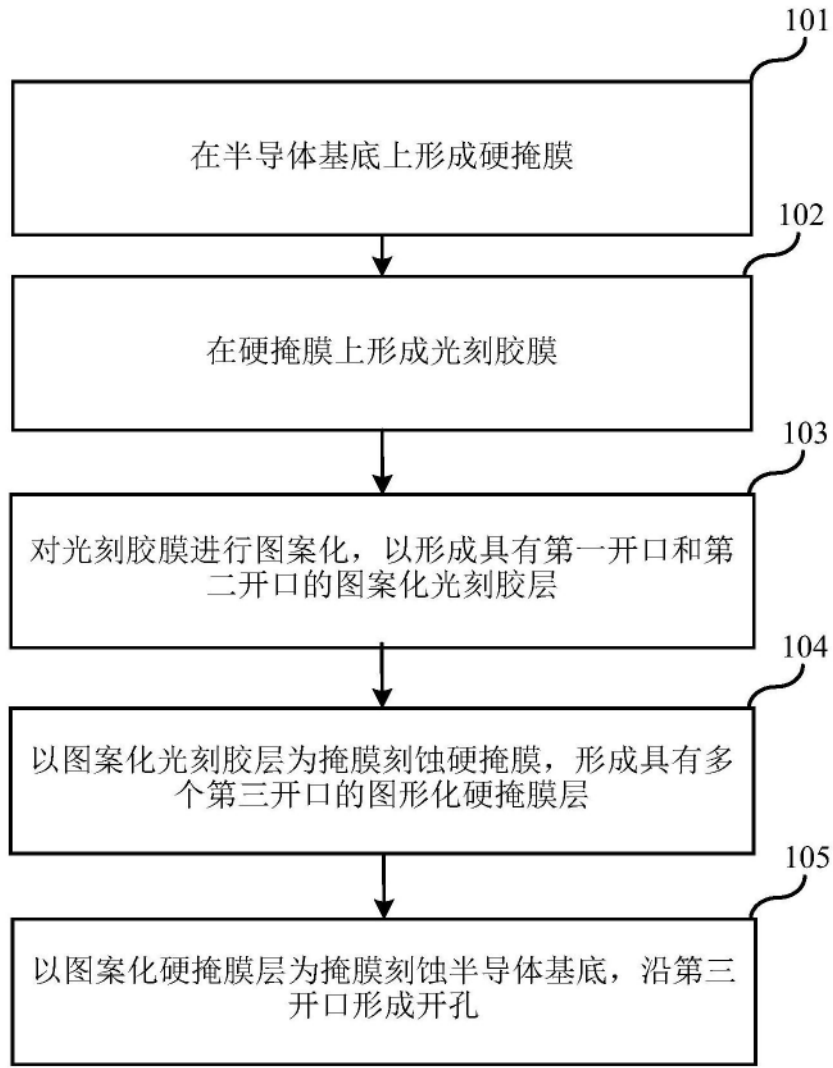


图1

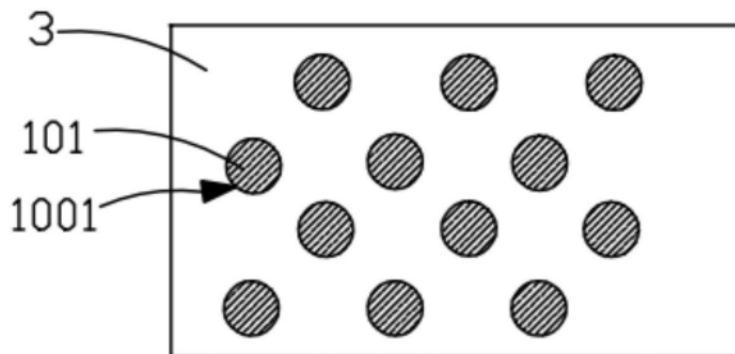


图2

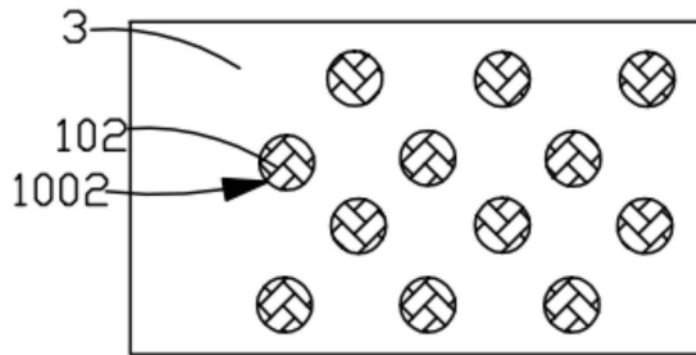


图3

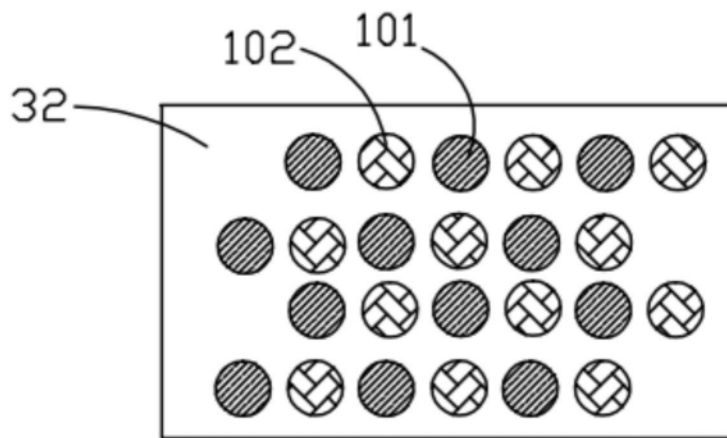


图4

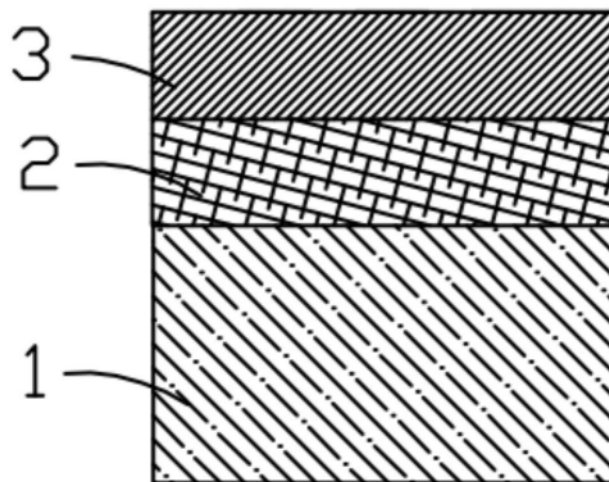


图5

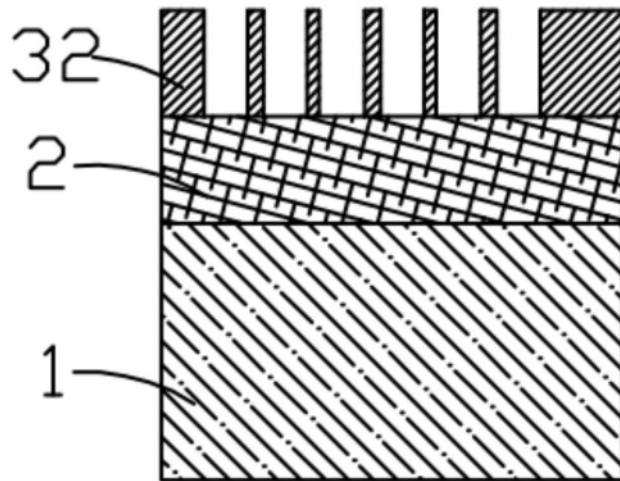


图6

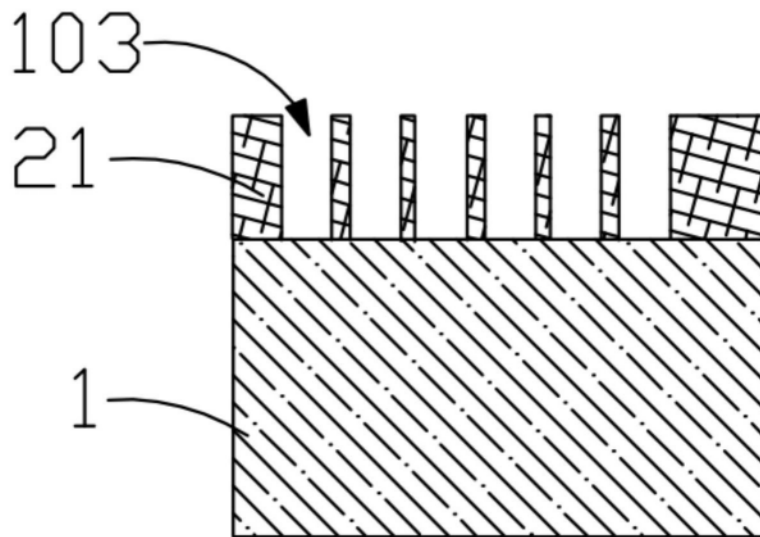


图7

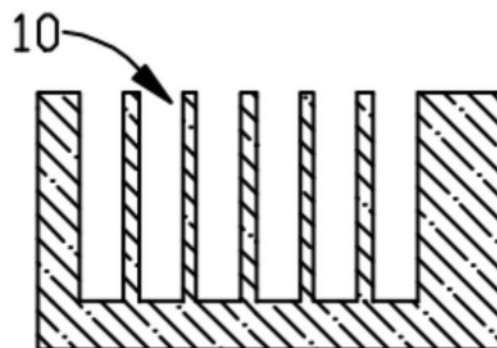


图8

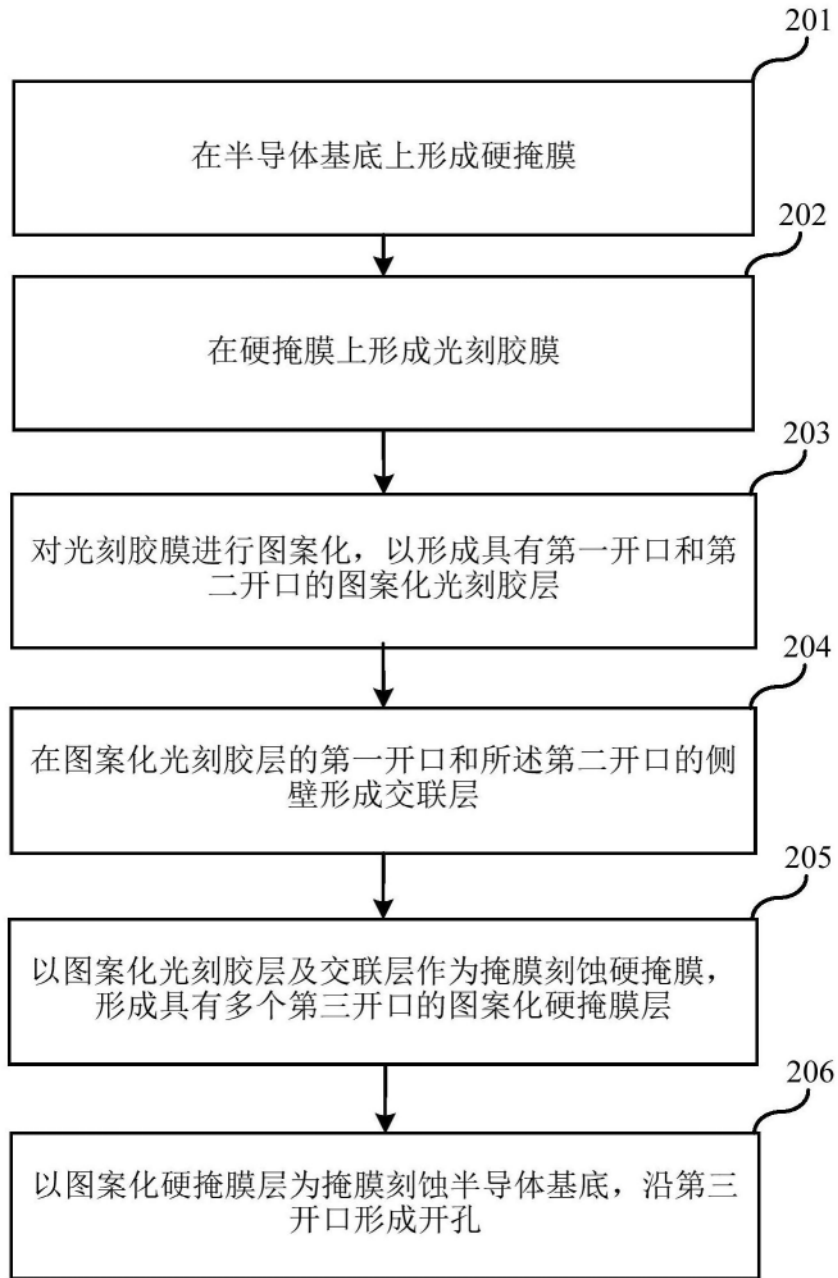


图9

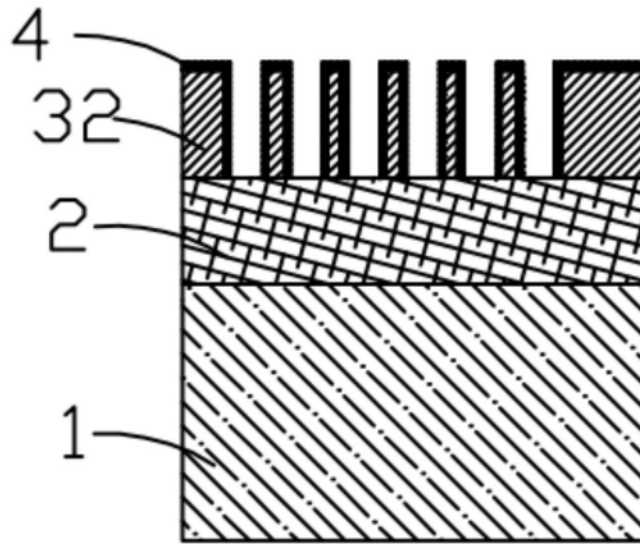


图10

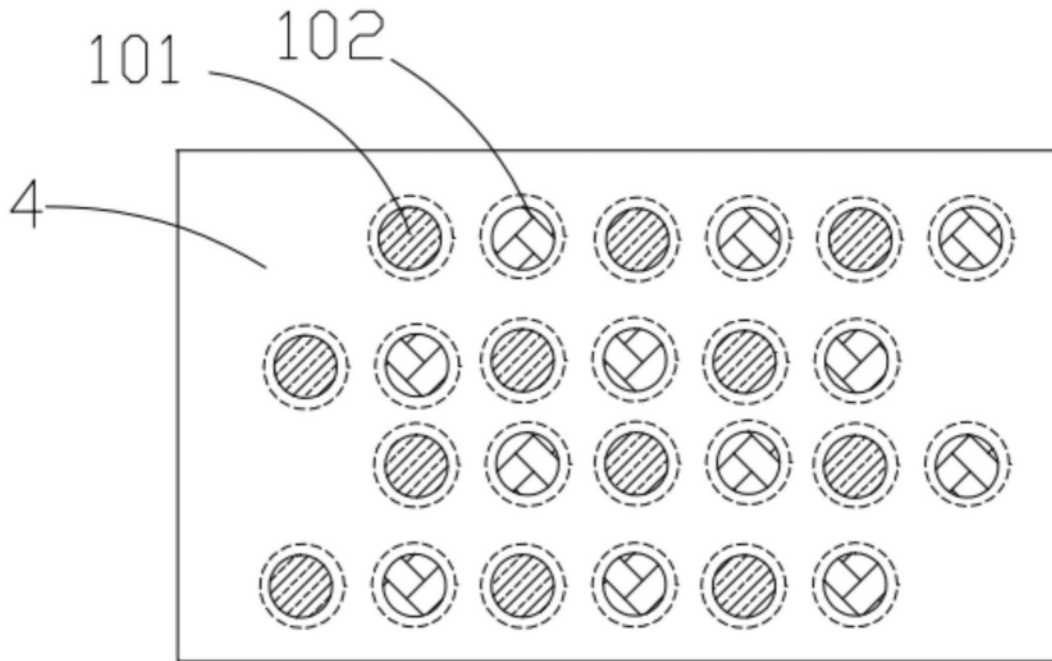


图11