

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> H01L 21/28	(45) 공고일자 1999년06월 15일	(11) 등록번호 10-0193889
(21) 출원번호 10-1995-0047312	(24) 등록일자 1999년02월05일	(65) 공개번호 특1997-0052208
(22) 출원일자 1995년12월07일	(43) 공개일자 1997년07월29일	

(73) 특허권자	현대전자산업주식회사 김영환
(72) 발명자	경기도 이천시 부발읍 아미리 산 136-1 안성환 경기도 이천군 부발읍 아미리 산 136-1 이정석
(74) 대리인	서울특별시 강남구 도곡동 465번지 개포 우성 2차 아파트 8동 803호 신영무, 최승민

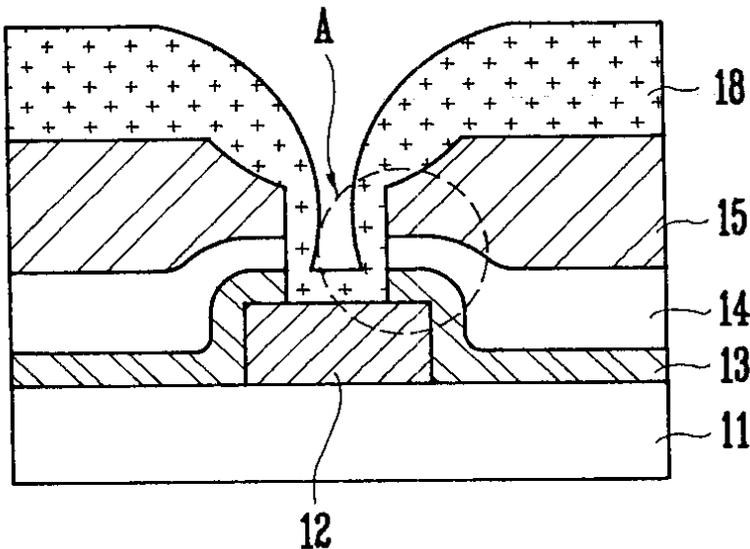
심사관 : 권인희

(54) 반도체 소자의 비아홀 형성방법

요약

본 발명은 반도체 소자의 비아홀 형성방법을 제공하는 것으로, 감광막 제거시 사용되는 산소플라즈마로부터 SOG막의 노출을 보호하여 SOG막의 과도식각으로 인한 함몰부를 방지함으로써 소자의 수율을 향상시킬 수 있는 효과가 있다.

대표도



명세서

[발명의 명칭]

반도체 소자의 비아홀 형성방법

[도면의 간단한 설명]

제1a도 및 제1b도는 종래 반도체 소자의 비아콘택 형성방법을 설명하기 위한 소자의 단면도.

제2a도 내지 제2g도는 종래 반도체 소자의 비아홀 형성 방법을 설명하기 위한 소자의 단면도.

제3a도 내지 제3f도는 본 발명에 따른 반도체 소자의 비아홀 형성방법을 설명하기 위한 소자의 단면도.

\* 도면의 주요부분에 대한 부호의 설명

1A, 1 및 11 : 실리콘기판

2A, 2 및 12 : 금속막

3A : 금속층간 절연막	3 및 13 : 제1금속층간 절연막
4A, 4 및 14 : SOG막	5 및 15 : 제2금속층간 절연막
6 및 16 : 감광막	7 및 17 : 비아홀
8 및 18 : 금속층	19 : 베리어층

[발명의 상세한 설명]

본 발명은 반도체 소자의 비아홀 형성방법에 관한 것으로 특히, 다층 금속배선간 접속을 위한 반도체 소자의 비아홀 형성 방법에 관한 것이다.

일반적으로 반도체 소자가 고집적화 됨에 따라 금속배선은 다층구조로 이루어지고 있으며, 이들 금속배선간의 공간을 채우기 위하여 갭필링(Gap Filling)특성이 매우 양호한 SOG가 주로 사용된다. 그러면 종래 반도체 소자의 비아홀 형성방법을 첨부도면을 참조하여 설명하면 다음과 같다.

제1a도 및 제1b도는 종래 반도체 소자의 비아콘택(VIA Contact)형성방법을 설명하기 위한 소자의 단면도이며, 제2a도 내지 제2g도는 종래 반도체 소자의 비아홀 형성방법을 설명하기 위한 소자의 단면도이다.

먼저 제1a도는 다수의 금속막(2A)이 형성된 실리콘기판(1A)의 전체 상부면에 금속층간 절연막(Inter Metal Oxide)(3A)을 형성한 후 그 위에 SOG막(4A)을 형성한 상태의 단면도이다. 또한 상기 SOG막(4A)은 금속막(2A)의 평탄화를 위해 사용한다.

제1b도는 상기 실리콘기판(1A)의 전체 상부면을 전면식각한 상태의 단면도이다. 이때 상기 SOG막(4A)은 유기성분을 함유하고 있으므로 상기 금속층간 절연막(3A)이 노출될때 발생하는 산소(Oxygen)에 의해 상기 SOG막(4A)의 식각비율이 증가함에 따라서 상기 금속막(2A)이 노출된 부분은 상기 SOG막(4A)이 많이 식각되고(a부분), 상기 금속막(2A)이 노출되지 않은 부분은 상기 SOG막(4A)이 조금 식각된다(b부분). 그러므로 상기 SOG막(4A)의 서로 다른 식각비율로 인하여 한 웨이퍼내에서도 금속막(2A)의 평탄화에 많은 어려움을 야기시킨다.

제2a도 내지 제2g도는 종래 반도체 소자의 비아홀 형성방법을 설명하기 위한 소자의 단면도이다.

제2a도는 금속막(2)이 형성된 실리콘기판(1)상에 제1금속층간 절연막(3), SOG막(4) 및 제2금속층간 절연막(5)을 순차적으로 형성시킨 상태의 단면도이며, 제2b도는 상기 제2금속층간 절연막(5)상에 감광막(6)을 형성한 후 마스크(도시안됨)를 이용하여 상기 감광막(6)을 패터닝한 상태의 단면도이다.

제2c도는 상기 감광막(6)을 마스크로 이용하여 제2금속층간 절연막(5)을 습식식각한 상태의 단면도이며, 제2d도는 상기 금속막(2)이 노출되는 시점까지 상기 감광막(6)을 마스크로 이용하여 제2금속층간 절연막(5), SOG막(4) 및 제1금속층간 절연막(3)을 비등방성 식각하여 비아홀(7)을 형성한 상태의 단면도이다.

제2e도는 상기 감광막(6)을 제거한 상태의 단면도이다. 이때 상기 감광막(6)을 제거하기 위하여 산소플라즈마(Oxygen Plasma)를 사용하므로써 SOG막(4)의 노출된 부분이 과도식각되기 때문에 함몰부(c)가 형성된다.

제2f도는 상기 전체 상부면에 금속층(8)을 증착한 상태의 단면도이며, 제2g도는 상기 제2f도의 A부분을 확대한 단면도이다. 상기 증착되는 금속층(8)은 제2g도에 도시한 바와같이 SOG막(4)의 함몰부(c)에서 전기적으로 단락되어 소자의 수율이 떨어지는 문제점이 있다.

따라서 본 발명은 감광막 제거시 사용되는 산소플라즈마로부터 SOG막의 노출을 방지하므로써 상기한 단점을 해소할 수 있는 반도체 소자의 비아홀 형성방법을 제공하는데 그 목적이 있다.

상기한 목적을 달성하기 위한 본 발명은 금속막이 형성된 실리콘기판상에 제1금속층간 절연막, SOG막, 제2금속층간 절연막 및 베리어층을 순차적으로 형성하는 제1단계와, 상기 제1단계로부터 상기 베리어층상에 감광막을 형성하고, 마스크를 이용하여 상기 감광막을 패터닝한 후 상기 감광막을 마스크로 이용하여 베리어층을 식각하는 제2단계와, 상기 제2단계로 부터 상기 감광막을 마스크로 이용하여 제2금속층간 절연막을 습식식각한후 상기 감광막을 제거하는 제3단계와, 상기 제3단계로부터 상기 금속막이 노출되는 시점까지 상기 베리어층을 마스크로 이용하여 제2금속층간 절연막, SOG막 및 제1금속층간 절연막을 비등방성 식각하여 비아홀을 형성한 후 상기 베리어층을 제거하는 제4단계와, 상기 제4단계로부터 상기 전체 상부면에 금속층을 증착하는 제5단계로 이루어지는 것을 특징으로 한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명하기로 한다.

제3a도 내지 제3f도는 본 발명에 따른 반도체 소자의 비아홀 형성방법을 설명하기 위한 소자의 단면도이다.

제3a도는 금속막(12)이 형성된 실리콘기판(11)상에 제1금속층간 절연막(13), SOG막(14), 제2금속층간 절연막(15) 및 베리어층(19)을 순차적으로 형성시킨 상태의 단면도이다. 상기 베리어층(19)은 이후 하드마스크(Hard Mask)의 역할을 하게 된다.

제3b도는 상기 베리어층(19)상에 감광막(16)을 형성하고, 마스크(도시안됨)를 이용하여 상기 감광막(16)을 패터닝한 후 상기 감광막(16)을 마스크로 이용하여 베리어층(19)을 식각한 상태의 단면도이다.

제3c도는 상기 감광막(16)을 마스크로 이용하여 제2금속층간 절연막(15)을 습식식각한 후 상기 감광막(16)을 제거한 상태의 단면도이다. 상기 제2금속층간 절연막(15)의 습식식각은 상기 감광막(16)을 제거한 후 상기 베리어층(19)을 마스크로 이용하여 실시하여도 된다.

제3d도는 상기 금속막(12)이 노출되는 시점까지 상기 베리어층(19)을 마스크로 이용하여 제2금속층간 절연막(15), SOG막(14) 및 제1금속층간 절연막(13)을 비등방성 식각하여 비아홀(17)을 형성한 후 상기 베리어층(19)을 제거한 상태의 단면도이다. 상기 베리어층(19)이 마스크로 이용될 때에는 상기 베리어층(19)

에 대해 금속층간 절연막(13 및 15) 및 SOG막(14)의 선택식각비가 높아야 하며, 상기 베리어층(19)을 제거 할 때에는 금속막(12) 및 제2금속층간 절연막(15)에 대해 상기 베리어층(19)의 선택식각비가 높아야 한다. 그러므로 상기 베리어층(19)은 폴리실리콘 혹은 질화막등을 사용하며 그 두께는 3000 내지 5000 Å으로 한다.

제3e도는 상기 전체 상부면에 금속층(18)을 증착한 상태의 단면도이며, 제3f도는 상기 제3e도에서 A부분을 확대한 단면도이다. 상기 증착되는 금속층(18)은 노출된 상기 SOG막(14)에 함몰부가 생기지 않으므로 정상적인 증착이 이루어지게 된다.

상술한 바와같이 본 발명에 의하면 감광막 제거시 사용되는 산소플라즈마로부터 SOG막의 노출을 보호하여 SOG막의 과도식각을 방지하므로써 소자의 수율을 향상시킬 수 있는 탁월한 효과가 있다.

### (57) 청구의 범위

#### 청구항 1

금속막이 형성된 실리콘 기판상에 제1금속층간 절연막, SOG막, 제2금속층간 절연막 및 베리어층을 순차적으로 형성하는 단계와, 상기 베리어층상에 감광막을 형성하고, 마스크를 이용하여 상기 감광막을 패터닝한 후 상기 패터닝된 감광막을 마스크로 이용하여 베리어층을 식각하는 단계와, 상기 감광막을 마스크로 이용하여 제2금속층간 절연막의 일부를 습식식각한 후 상기 감광막을 제거하는 단계와, 상기 금속막이 노출되는 시점까지 상기 베리어층을 마스크로 이용하여 잔류하는 제2금속층간 절연막, SOG막 및 제1금속층간 절연막을 비등방성 식각하여 비아홀을 형성한 후 상기 베리어층을 제거하는 단계와, 전체구조상부에 금속층을 증착하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 소자의 비아홀 형성 방법.

#### 청구항 2

제1항에 있어서, 상기 베리어층은 폴리실리콘층 및 질화막 중 어느 하나를 이용하여 형성하는 것을 특징으로 하는 반도체 소자의 비아홀 형성방법.

#### 청구항 3

제1항 내지 제2항에 있어서, 상기 베리어층의 두께는 3000 내지 5000 Å인 것을 특징으로 하는 반도체 소자의 비아홀 형성방법.

#### 청구항 4

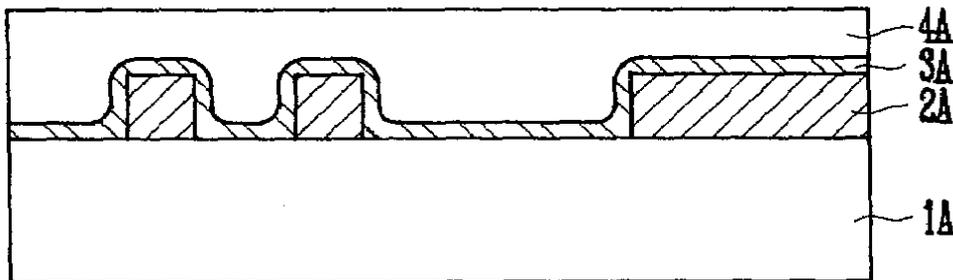
제1항에 있어서, 상기 베리어층이 마스크로 이용될 때에는 상기 베리어층에 대해 상기 제1 및 제2금속층간 절연막과 SOG막의 선택식각비가 높도록 하고, 상기 베리어층이 제거될 때에는 금속막 및 제2금속층간 절연막에 대해 상기 베리어층의 선택식각비가 높도록 하는 것을 특징으로 하는 반도체 소자의 비아홀 형성 방법.

#### 청구항 5

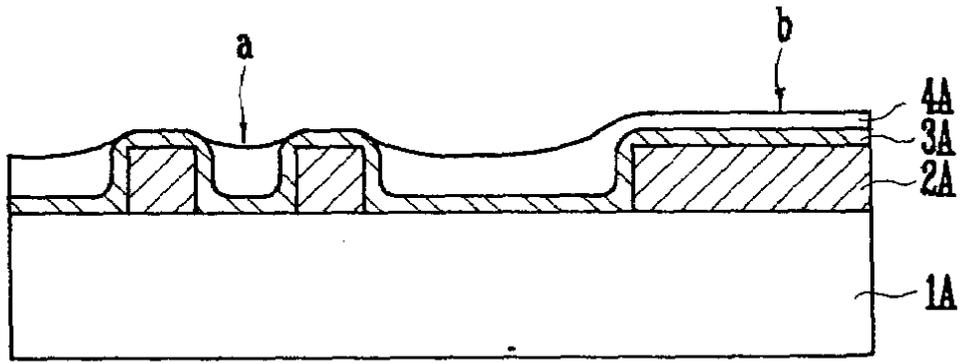
제1항에 있어서, 상기 제2금속층간 절연막의 습식식각은 상기 감광막을 제거한 후 상기 베리어층을 마스크로 이용하여 실시하는 것을 특징으로 하는 반도체 소자의 비아홀 형성방법.

### 도면

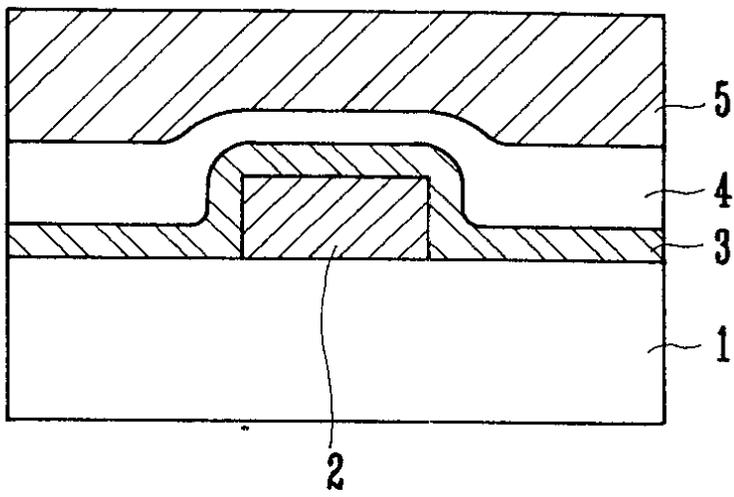
도면 1a



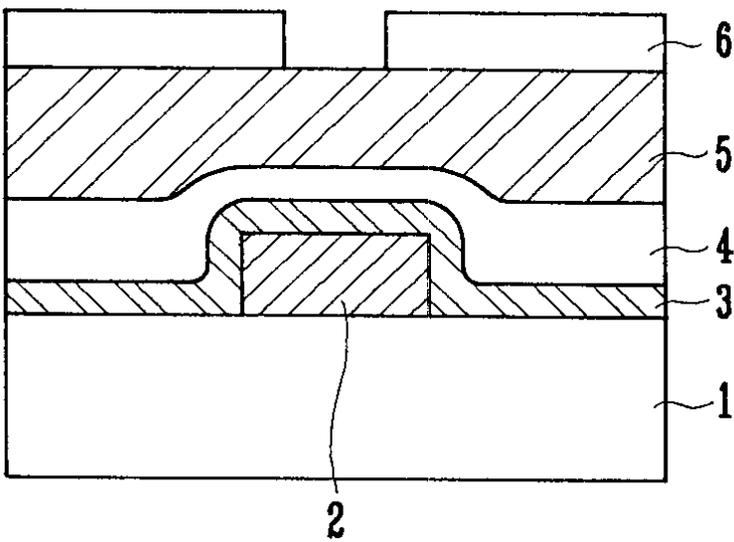
도면1b



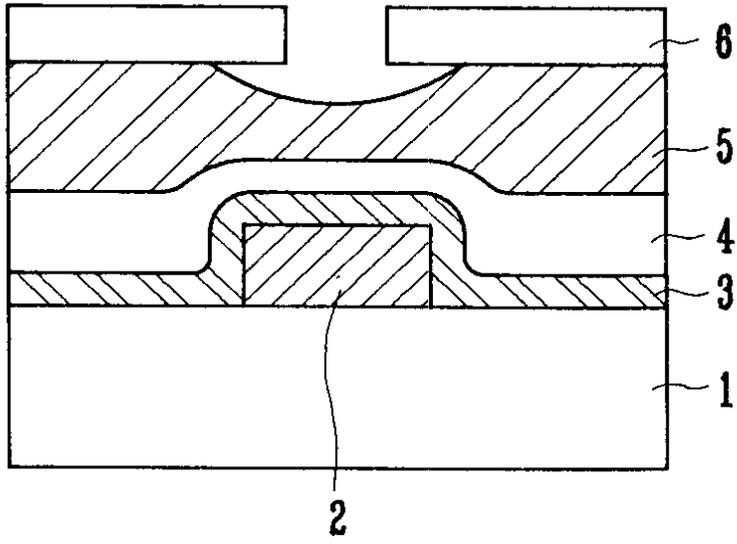
도면2a



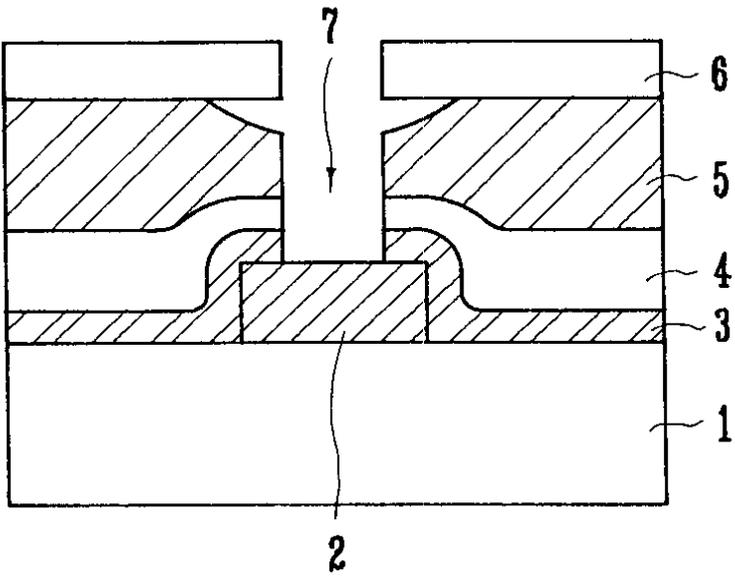
도면2b



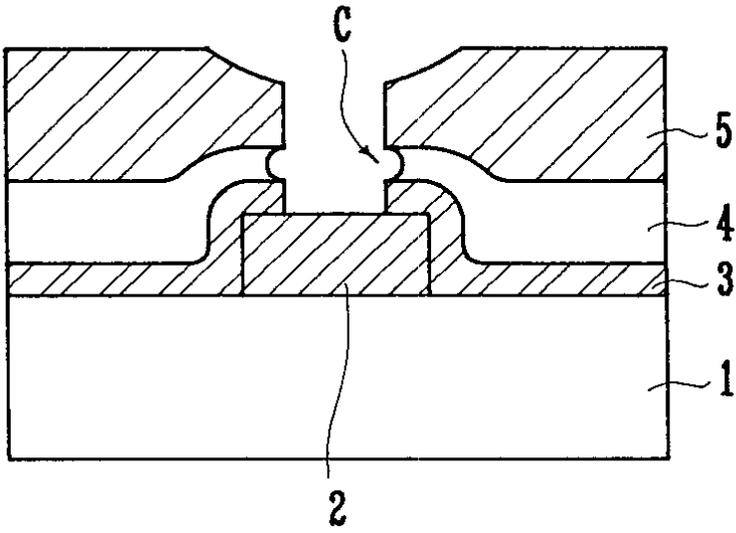
도면2c



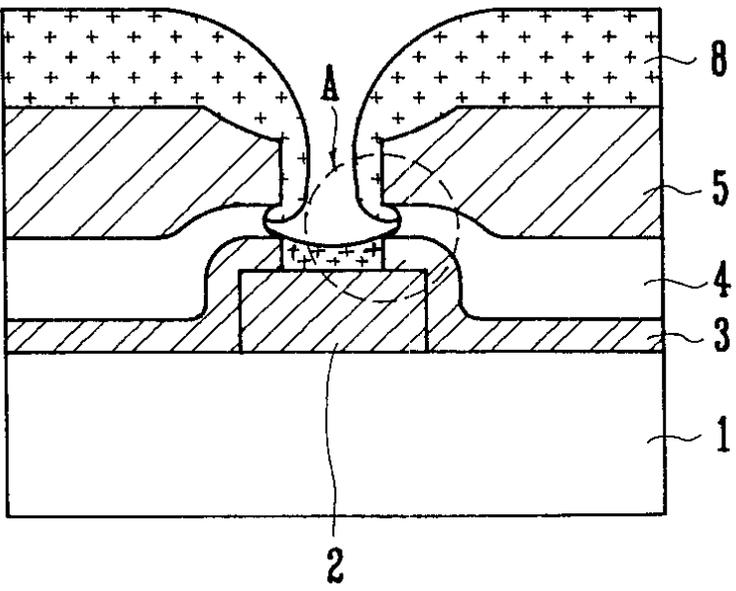
도면2d



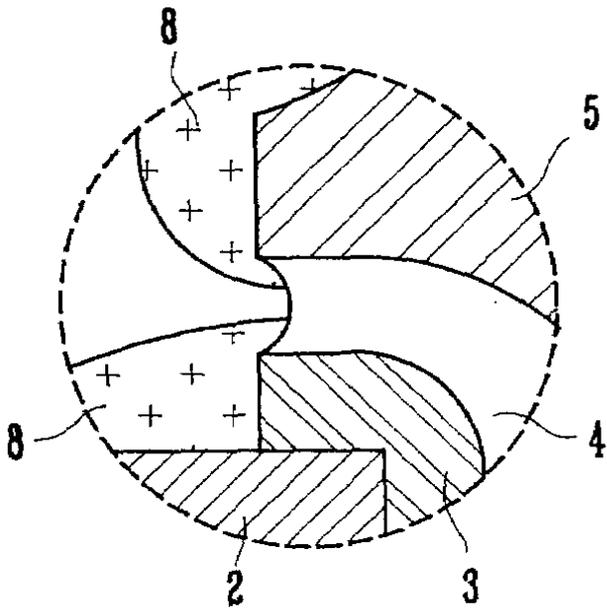
도면2e



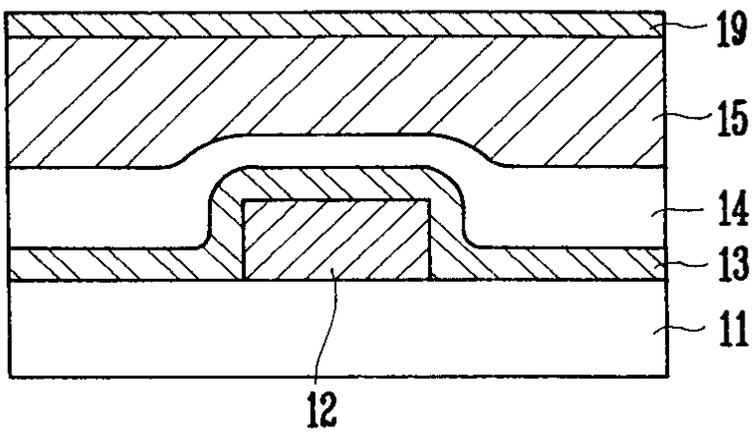
도면2f



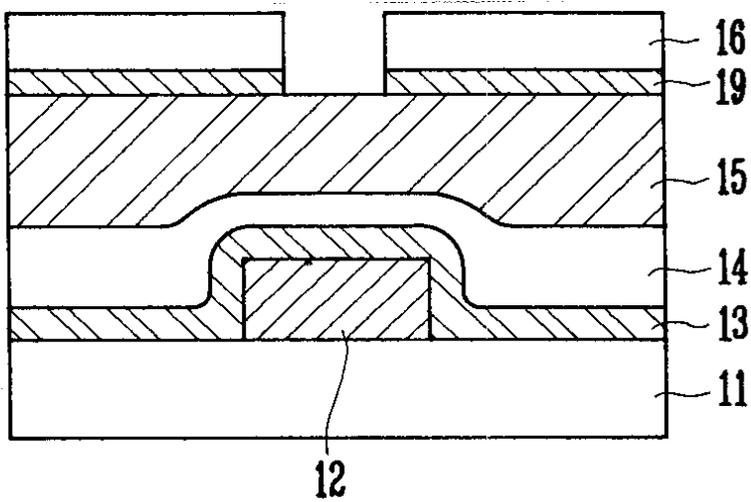
도면2g



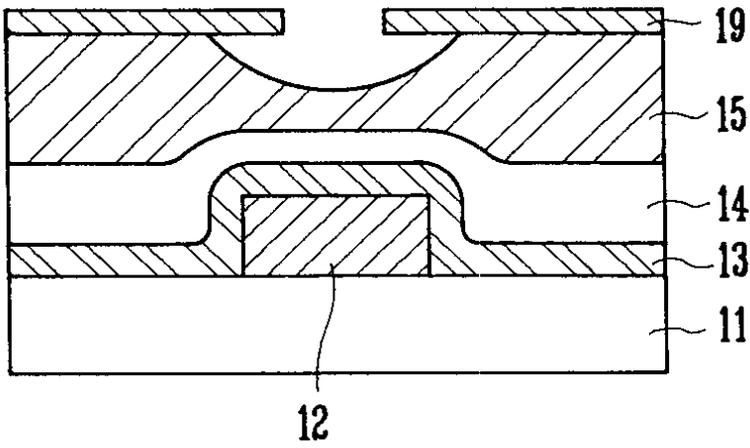
도면3a



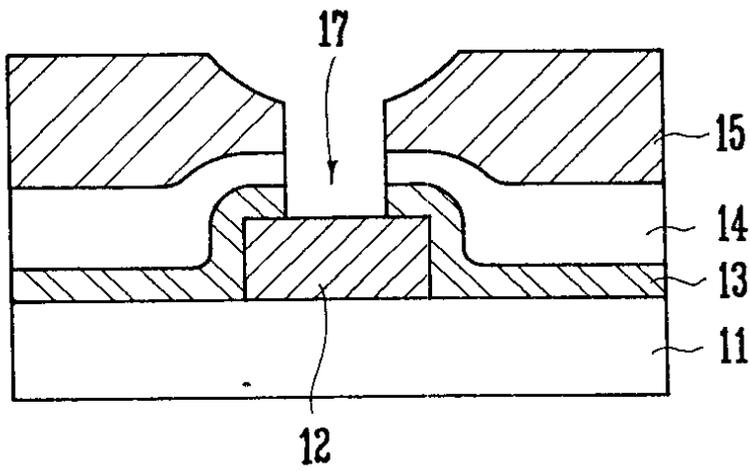
도면3b



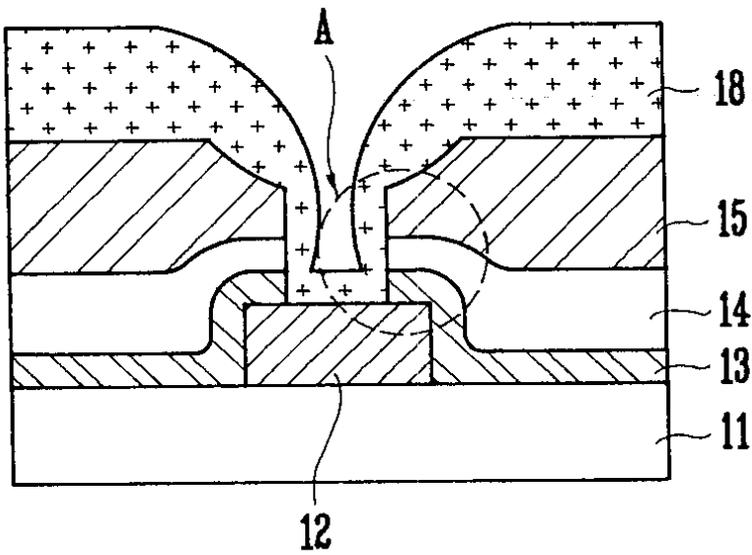
도면3c



도면3d



도면3e



도면3f

