



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월13일
 (11) 등록번호 10-1449772
 (24) 등록일자 2014년10월02일

- (51) 국제특허분류(Int. Cl.)
 H01L 21/027 (2006.01)
- (21) 출원번호 10-2009-7007602
- (22) 출원일자(국제) 2007년08월31일
 심사청구일자 2012년08월17일
- (85) 번역문제출일자 2009년04월13일
- (65) 공개번호 10-2009-0073157
- (43) 공개일자 2009년07월02일
- (86) 국제출원번호 PCT/US2007/077463
- (87) 국제공개번호 WO 2008/033695
 국제공개일자 2008년03월20일
- (30) 우선권주장
 11/521,851 2006년09월14일 미국(US)
- (56) 선행기술조사문헌
 KR1020050052213 A*
 KR1020030096563 A*
 US20060046484 A1*
 US20060003182 A1
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
 마이크론 테크놀로지, 인크.
 미국, 아이다호, 보이세, 사우스 페더럴 웨이
 8000
- (72) 발명자
 피셔, 마크
 미국 83713 아이다호주 보이세 노스 브룩렛 애비
 뉴 5944
 러셀, 스티븐
 미국 83716 아이다호주 보이세 이스트 스테이지라
 인 드라이브 5541
 매닝, 에이치., 몽고메리
 미국 83616 아이다호주 이글 웨스트 하우스랜드
 코트 3695
- (74) 대리인
 양영준, 백만기

전체 청구항 수 : 총 15 항

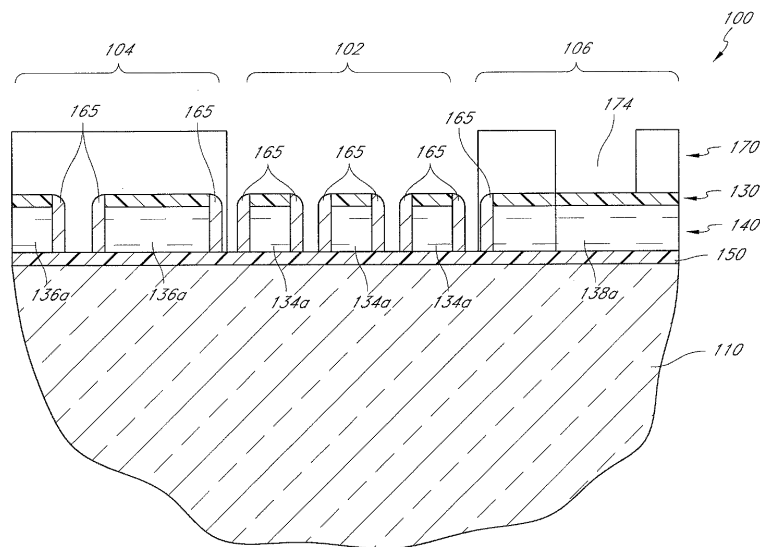
심사관 : 류정현

(54) 발명의 명칭 **효율적인 피치 멀티플리케이션 프로세스**

(57) 요약

집적 회로(100)의 피치 멀티플리케이션된 피치들 및 피치 멀티플리케이션되지 않은 피치들, 예를 들어 집적 회로(100)의 어레이, 인터페이스 및 주변 영역들(102, 104, 106) 각각 내의 피치들이 마스크를 통해 기판(110)을 처리함으로써 형성된다. 마스크는 집적 회로(100)의 어레이, 인터페이스 및 주변 영역들(102, 104, 106) 각각 내 (뒷면에 계속)

대표도



의 피처들에 대응하는 마스크 요소들을 동시에 정의하는 포토레지스트 층을 패터닝함으로써 형성된다. 패턴은 비결정 탄소 층(140)에 전사된다. 패터닝된 비결정 탄소 층(140)의 측벽들 상에 측벽 스페이서들(165)이 형성된다. 보호 재료의 층(170)이 퇴적된 후, 어레이 영역(102) 내 및 인터페이스 또는 주변 영역들(104, 106)의 선택된 부분들 내의 마스크 요소들을 노출시키도록 패터닝된다. 어레이 영역 내의 비결정 탄소 또는 다른 노출된 부분들이 제거되어, 어레이 영역(102) 내의 피치 멀티플리케이션된 프리스탠딩 스페이서들(165)을 포함하는 패턴이 남는다. 보호 재료(170)가 제거되어, 어레이 영역(102) 내의 피치 멀티플리케이션된 스페이서들 및 인터페이스 및 주변 영역들(104, 106) 내의 피치 멀티플리케이션되지 않은 마스크 요소들의 패턴이 남는다. 패턴은 하부 기관(110)을 에칭하는 하드마스크 층(150)에 전사된다.

특허청구의 범위

청구항 1

집적 회로 형성 방법으로서,

선택적으로 정의 가능한 층을 패터닝하여, 부분적으로 제조된 집적 회로의 어레이 영역 내의 어레이 마스크 요소들 및 주변 영역 내의 주변 마스크 요소들을 동시에 정의하는 단계;

후속하여 상기 어레이 영역에서 피치 멀티플리케이션(pitch multiplication)을 수행하여, 복수의 프리스탠딩 스페이서를 형성하는 단계 - 피치 멀티플리케이션을 수행하는 단계는,

상기 어레이 및 주변 마스크 요소들의 측벽들 상에 스페이서들을 형성하는 단계,

상기 스페이서들과 상기 어레이 및 주변 마스크 요소들 상에 보호 재료의 층을 퇴적하는 단계,

상기 보호 재료를 패터닝하는 단계, 및

상기 어레이 마스크 요소들을 선택적으로 제거하여, 상기 프리스탠딩 스페이서들을 형성하는 단계를 포함 - ;

상기 어레이 마스크 요소들을 선택적으로 제거하면서 상기 주변 마스크 요소들의 섹션들을 선택적으로 제거하여, 상기 주변 마스크 요소들 중 적어도 일부의 각각을 적어도 두 개의 주변 마스크 요소 부분들로 분할하는 단계 - 피치 멀티플리케이션을 수행하는 단계는 다른 복수의 스페이서를 형성하고, 상기 다른 복수의 스페이서 중 적어도 하나는 프리스탠딩 부분 및 상기 주변 마스크 요소 부분들 중 적어도 일부의 측벽을 따라 배치된 부분을 가짐 -; 및

상기 프리스탠딩 스페이서들 및 상기 주변 마스크 요소들에 의해 적어도 부분적으로 정의되는 패턴을 기판에 동시에 전사하는 단계

를 포함하는 집적 회로 형성 방법.

청구항 2

제1항에 있어서, 측벽들 상에 스페이서들을 형성하는 단계는,

상기 어레이 및 주변 마스크 요소들 상에 스페이서 재료의 블랭킷 층(blanket layer)을 퇴적하는 단계; 및

상기 블랭킷 층을 이방성 에칭하여 상기 스페이서들을 정의하는 단계

를 포함하는 집적 회로 형성 방법.

청구항 3

제1항에 있어서, 상기 보호 재료의 층을 퇴적하는 단계는 포토레지스트를 퇴적하는 단계를 포함하고, 상기 보호 재료를 패터닝하는 단계는 포토리소그래피를 수행하는 단계를 포함하는 집적 회로 형성 방법.

청구항 4

제1항에 있어서, 상기 보호 재료를 패터닝하는 단계는 상기 보호 재료의 일부를 제거하여 상기 어레이 영역 내의 모든 스페이서들을 노출시키는 단계를 포함하는 집적 회로 형성 방법.

청구항 5

제2항에 있어서, 상기 블랭킷 층을 퇴적하는 단계는 화학 기상 증착을 수행하는 단계를 포함하는 집적 회로 형성 방법.

청구항 6

제1항에 있어서, 상기 패턴을 기판에 동시에 전사하는 단계는 상기 부분적으로 제조된 집적 회로의 어레이 및 주변 영역들에 전기 디바이스들을 형성하는 집적 회로 형성 방법.

청구항 7

제6항에 있어서, 상기 전기 디바이스들은 전기적 인터커넥트들인 집적 회로 형성 방법.

청구항 8

제7항에 있어서, 상기 패턴을 기판에 동시에 전사하는 단계는 상기 인터커넥트들과 직접 접촉하는 랜딩 패드들 (landing pads)을 형성하는 집적 회로 형성 방법.

청구항 9

제7항에 있어서, 상기 패턴을 기판에 동시에 전사하는 단계는 피치 멀티플리케이션되지 않은(non-pitch multiplied) 인터커넥트들과 접촉하는 피치 멀티플리케이션된 인터커넥트들을 형성하는 집적 회로 형성 방법.

청구항 10

제1항에 있어서, 상기 선택적으로 정의 가능한 층을 패터닝하는 단계는 포토레지스트 층을 패터닝하는 단계를 포함하는 집적 회로 형성 방법.

청구항 11

제1항에 있어서, 상기 선택적으로 정의 가능한 층을 패터닝하는 단계는 광 정의 가능한(photodefinable) 층에 트렌치들의 패턴을 형성하고 그 패턴을 아래에 위치한 하드 마스크 층 및 임시 층 - 상기 하드 마스크 층은 상기 임시 층 위에 위치함 - 에 전사하는 단계를 포함하며, 패터닝된 하드 마스크 층 및 임시 층은 상기 어레이 및 주변 마스크 요소들을 정의하는 집적 회로 형성 방법.

청구항 12

부분적으로 제조된 집적 회로로서,

상기 부분적으로 제조된 집적 회로의 어레이 영역 위에 배치된 복수의 프리스탠딩 스페이서 쌍; 및

상기 복수의 프리스탠딩 스페이서 쌍과 동일한 레벨의 다른 복수의 다른 스페이서 쌍 - 상기 다른 스페이서 쌍들의 스페이서들의 적어도 일부들은 상기 다른 스페이서 쌍들에 대해 선택적으로 에칭 가능한 임시 재료의 측벽들 상에 배치됨 -

을 포함하며,

상기 임시 재료에는 하나 이상의 개구가 제공되고,

상기 다른 스페이서 쌍들 중 일부는 상기 임시 재료의 측벽들 상에 배치된 일부분들을 가지며, 또한 프리스탠딩인 다른 일부분들을 포함하는 부분적으로 제조된 집적 회로.

청구항 13

제12항에 있어서, 상기 하나 이상의 개구는 상기 부분적으로 제조된 집적 회로의 주변 영역들 내에 배치되는 부분적으로 제조된 집적 회로.

청구항 14

제13항에 있어서, 상기 하나 이상의 개구는 상기 부분적으로 제조된 집적 회로의 주변 영역들 내의 인터커넥트들의 원하는 형상 및 배치를 갖는 부분적으로 제조된 집적 회로.

청구항 15

제12항에 있어서, 상기 프리스탠딩 스페이서들은 100 nm보다 작은 분리를 가지며, 상기 다른 스페이서 쌍들은 100 nm보다 큰 분리를 갖는 부분적으로 제조된 집적 회로.

청구항 16

삭제

- 청구항 17
- 삭제
- 청구항 18
- 삭제
- 청구항 19
- 삭제
- 청구항 20
- 삭제
- 청구항 21
- 삭제
- 청구항 22
- 삭제
- 청구항 23
- 삭제
- 청구항 24
- 삭제
- 청구항 25
- 삭제
- 청구항 26
- 삭제
- 청구항 27
- 삭제
- 청구항 28
- 삭제
- 청구항 29
- 삭제
- 청구항 30
- 삭제
- 청구항 31
- 삭제
- 청구항 32
- 삭제

- 청구항 33
삭제
- 청구항 34
삭제
- 청구항 35
삭제
- 청구항 36
삭제
- 청구항 37
삭제
- 청구항 38
삭제
- 청구항 39
삭제
- 청구항 40
삭제
- 청구항 41
삭제
- 청구항 42
삭제
- 청구항 43
삭제
- 청구항 44
삭제
- 청구항 45
삭제
- 청구항 46
삭제
- 청구항 47
삭제
- 청구항 48
삭제

청구항 49

삭제

청구항 50

삭제

청구항 51

삭제

청구항 52

삭제

청구항 53

삭제

청구항 54

삭제

청구항 55

삭제

청구항 56

삭제

청구항 57

삭제

청구항 58

삭제

청구항 59

삭제

명세서

기술분야

[0001] <관련 출원들에 대한 참조>

[0002] 본 출원은 2004년 9월 2일자로 "Method for Integrated Circuit Fabrication Using Pitch Multiplication"이라는 제목으로 Abatchev 등에 의해 출원된 미국 특허 출원 번호 10/934,778; 2004년 8월 31일자로 "Methods for Increased Photo Alignment Margins"라는 제목으로 Tran 등에 의해 출원된 미국 특허 출원 번호 10/931,771; 2005년 8월 29일자로 "Pitch Reduced Patterns Relative To Photolithography Features"라는 제목으로 Tran 등에 의해 출원된 미국 특허 출원 번호 11/214,544; 2006년 3월 2일자로 "Process Flow for Vertical Transistor Arrays"라는 제목으로 Werner Juengling에 의해 출원된 미국 특허 출원 번호 11/366,212; 및 2006년 3월 2일자로 "Masking Process For Simultaneously Patterning Separate Regions"라는 제목으로 Werner Juengling에 의해 출원된 미국 특허 출원 번호 11/367,020과 관련된다. 이 참조 문헌들 각각의 전체는 본 명세서에 참고로 반영된다.

[0003] <발명의 분야>

[0004] 본 발명은 일반적으로 집적 회로 제조에 관한 것으로서, 특히 마스크 기술에 관한 것이다.

배경 기술

[0005] 향상된 휴대성, 컴퓨팅 능력, 메모리 용량 및 에너지 효율에 대한 요구를 포함하는 많은 팩터의 결과로서, 집적 회로들의 크기는 계속 감소하고 있다. 이러한 크기 감소를 돕기 위해, 집적 회로들을 형성하는 구성 피쳐들(features), 예를 들어 전기 디바이스들 및 인터커넥트 라인들의 크기들도 꾸준히 감소하고 있다.

[0006] 피쳐 크기를 감소시키는 경향은 예를 들어 동적 랜덤 액세스 메모리(DRAM), 플래시 메모리, 정적 랜덤 액세스 메모리(SRAM), 강유전체(FE) 메모리 등과 같은 메모리 회로들 또는 디바이스들에서 뚜렷하다. 일례로, DRAM은 통상적으로 메모리 셀로 알려진 수 백만개의 동일 회로 요소들을 포함한다. 통상적으로, DRAM 메모리 셀은 2개의 전기 디바이스, 즉 저장 커패시터 및 액세스 전계 효과 트랜지스터로 구성된다. 각각의 메모리 셀은 1 비트(바이너리 디지털)의 데이터를 저장할 수 있는 어드레스 가능한 위치이다. 비트는 트랜지스터를 통해 셀에 기입되며, 커패시터 내의 전하를 감지함으로써 판독될 수 있다. 메모리 셀을 구성하는 전기 디바이스들의 크기 및 메모리 셀들에 액세스하는 전도성 라인들의 크기를 줄임으로써, 메모리 디바이스들은 더 작아질 수 있다. 또한, 메모리 디바이스 내의 주어진 영역에 더 많은 메모리 셀을 형성함으로써 저장 용량이 향상될 수 있다. 다른 메모리 설계들은 액세스 및 저장 디바이스들을 통합하거나 액세스 디바이스들을 생략할 수 있다(예컨대, 크로스-포인트 MRAM, PCRAM 등).

[0007] 피쳐 크기의 계속적인 감소는 피쳐를 형성하는 데 이용되는 기술들에 대해 계속 더 많은 요구를 제시한다. 예를 들어, 포토리소그라피는 일반적으로 전도성 라인들과 같은 피쳐들을 패터닝하는 데 사용된다. 이러한 피쳐들의 크기를 설명하기 위해 피치의 개념이 이용될 수 있다. 피치는 반복 패턴의 두 이웃 피쳐 내의 동일 포인트 사이의 거리로서 정의된다. 통상적으로, 이러한 피쳐들은 인접하는 피쳐들 사이의 공간들에 의해 정의되는데, 이 공간들은 통상적으로 절연체와 같은 재료로 채워진다. 결과적으로, 피치는 피쳐의 폭과, 피쳐를 이웃 피쳐로부터 분리하는 피쳐의 일측의 공간의 폭의 합으로서 간주될 수 있다. 그러나, 광학 및 광 또는 방사선 과장과 같은 팩터들로 인해, 포토리소그라피 기술들 각각은 특정 포토리소그라피 기술이 그 이하에서는 신뢰성 있게 피쳐들을 형성할 수 없는 최소 피치를 갖는다. 따라서, 포토리소그라피 기술의 최소 피치는 계속적인 피쳐 크기 감소에 대한 장애물이다.

[0008] "피치 더블링(pitch doubling)" 또는 "피치 멀티플리케이션(pitch multiplication)"은 포토리소그라피 기술들의 성능을 그들의 최소 피치를 넘어 확장하기 위한 하나의 제안된 방법이다. 하나의 피치 멀티플리케이션 방법이 도 1A-1F에 도시되고, Lowrey 등에게 허여된 미국 특허 제5,328,810호에 설명되어 있으며, 이 특허의 전체 개시는 본 명세서에 참고로 반영되어 있다. 도 1A를 참조하면, 라인들(10)의 패턴이 포토레지스트 층 내에 포토리소그라피 방식으로 형성되는데, 이 패턴은 소모용 재료의 층(20) 위에 위치하며, 층(20)은 기판(30) 위에 위치한다. 이어서, 도 1B에 도시된 바와 같이, 패턴은 에치(바람직하게는 이방성 에치)를 이용하여 층(20)에 전사되며, 이에 따라 플레이스홀더들(placeholders) 또는 맨드릴들(mandrels)(40)이 형성된다. 도 1C에 도시된 바와 같이, 이웃 맨드릴들(40) 사이의 거리를 증가시키기 위해 포토레지스트 라인들(10)이 스트립되고, 맨드릴들(40)이 등방성 에칭될 수 있다. 이어서, 도 1D에 도시된 바와 같이, 맨드릴들(40) 위에 스페이서 재료의 층(50)이 퇴적된다. 이어서, 스페이서들(60)(도 1E), 즉 다른 재료의 측벽들로부터 연장하거나, 연장하여 최초로 형성된 재료가 맨드릴들(40)의 측부들 상에 형성된다. 스페이서 형성은 도 1E에 도시된 바와 같이 수평 표면들(70, 80)로부터 스페이서 재료를 지향성 스페이서 에치에서 선호적으로 에칭함으로써 달성된다. 이어서, 도 1F에 도시된 바와 같이, 남은 맨드릴들(40)이 제거되어, 스페이서들(60)만이 남으며, 이들은 함께 패터닝을 위한 마스크로서 작용한다. 따라서, 주어진 피치가 이전에 하나의 마스크 요소와 하나의 공간을 정의하는 패턴을 포함한 경우, 이제 동일 폭은 2개의 마스크 요소 및 예를 들어 스페이서들(60)에 의해 정의되는 2개의 공간을 포함한다. 결과적으로, 포토리소그라피 기술로 형성될 수 있는 최소 피쳐 크기가 효과적으로 감소된다.

[0009] 위의 예에서 실제로 피치는 절반으로 되었지만, 이러한 피치의 감소는 전통적으로 피치 "더블링" 또는 더 일반적으로는 피치 "멀티플리케이션"으로 지칭된다. 따라서, 전통적으로 소정 팩터에 의한 피치의 "멀티플리케이션"은 실제로는 그 팩터에 의한 피치의 감소를 수반한다. 전통적인 용어법이 본 명세서에서 계속 사용된다.

[0010] 스페이서 재료의 층(50)은 통상적으로 단일 두께(90)를 가지므로(도 1D 및 1E 참조), 그리고 스페이서들(60)에 의해 형성되는 마스크 요소들의 크기는 통상적으로 그 두께(90)에 대응하므로, 피치 더블링은 통상적으로 단 하나의 폭의 마스크 요소들을 형성한다. 그러나, 일반적으로 회로들은 상이한 크기의 피쳐들을 사용한다. 예를

들어, 통상적으로 랜덤 액세스 메모리 회로들은 회로들의 일부에 배치되는 메모리 셀들의 어레이들 및 소위 "주변(periphery)"에 배치되는 논리 회로들을 포함한다. 어레이들에서 메모리 셀들은 통상적으로 전도성 라인들에 의해 접속되며, 주변에서 전도성 라인들은 통상적으로 주변 내의 인터커넥트들(interconnects) 또는 어레이들을 논리에 접속하기 위한 랜딩 패드들과 접촉한다. 그러나, 주변 인터커넥트들 및 랜딩 패드들과 같은 주변 피치들은 어레이 내의 전도성 라인들보다 클 수 있다. 또한, 주변 트랜지스터를 포함하는 주변 내의 전기 디바이스들은 어레이 내의 전기 디바이스들보다 클 수 있다. 더욱이, 주변 피치들은 어레이 내의 피치들과 동일한 피치로 형성될 수 있지만, 피치 멀티플리케이션에 의해 형성되는 마스크 패턴들은 패터닝된 포토레지스트의 측벽들을 따라 형성되는 것들로 제한될 수 있으므로, 피치 멀티플리케이션을 이용하면서, 소정의 피치들을 정의하는데 필요한 유연성, 예를 들어 기하학적 유연성을 얻는 것은 어려운 일이다.

[0011] 따라서, 특히 소정의 피치들이 포토리소그래픽 기술의 최소 피치 이하로 형성되는 경우에, 그리고 특히 피치 멀티플리케이션과 관련하여, 상이한 크기의 피치들을 형성하는 방법들이 필요하다.

발명의 상세한 설명

[0028] 피치 멀티플리케이션된 피치들과 피치 멀티플리케이션되지 않은 피치들과 같은 더 큰 피치들 사이의 크기 차이로 인해, 피치 멀티플리케이션된 피치들을 더 큰 피치들에 접속하기가 어려울 수 있다. 예를 들어, 피치 멀티플리케이션된 피치들은 통상적으로 너무 작고 그리고/또는 좁게 이격되어, 접촉 플러그들 또는 더 큰 크기의 인터커넥트들과 같은 피치들과 신뢰성 있게 접촉할 수 없다. 피치 멀티플리케이션된 피치들의 작은 크기 및/또는 좁은 간격으로 인해 단락 또는 다른 오정렬들이 발생할 수 있다. 피치 멀티플리케이션된 피치 및 피치 멀티플리케이션되지 않은 피치를 형성하기 위해 다양한 방법이 제안되었다. 피치 멀티플리케이션된 피치 및 피치 멀티플리케이션되지 않은 피치를 형성하기 위한 예시적인 방법들이 Abatchev 등의 미국 특허 출원 번호 10/934,778 및 Tran 등의 미국 특허 출원 번호 10/931,771에 설명되어 있으며, 이들 양자는 본 출원의 양수인에게 양도되었다. 이들 참고 문헌 각각의 전체 개시는 본 명세서에 참고로 반영되어 있다.

[0029] 피치 멀티플리케이션된 피치와 피치 멀티플리케이션되지 않은 피치를 형성하고 접속하는 것의 어려움에 더하여, 상이한 크기의 피치들을 형성하고 오버레이해야 하는 필요로 인해 프로세스 흐름은 복잡할 수 있다. 예를 들어, 피치 멀티플리케이션된 피치들은 더 큰 크기의 피치들과 별개로 형성될 수 있으며, 따라서 다수의 마스크 형성 및 마스크 통합 단계가 필요할 수 있다. 프로세스 흐름 내의 각각의 추가 단계는 프로세스 흐름의 복잡성 및 비용을 바람직하지 않게 늘릴 수 있다는 것을 알 것이다. 더욱이, 각각의 추가 단계는 프로세스 결과들의 바람직하지 않은 변화를 유발할 수 있는 오정렬 및 에치 및 패턴 전사 복잡성 및 다른 에러들을 발생시킬 가능성이 있다.

[0030] 이러한 어려움들을 고려하여, 본 발명의 바람직한 실시예들은 유리하게 간단한 프로세스 흐름을 이용하여 피치 멀티플리케이션된 피치 및 피치 멀티플리케이션되지 않은 피치의 형성 및 접속을 가능하게 한다. 바람직하게도, 집적 회로의 어레이, 인터페이스 및 주변 영역들에 대응하는 선택적으로 정의 가능한 층(예컨대, 포토레지스트 층)의 부분들은 동시에 패터닝된다. 피치 멀티플리케이션은 어레이 영역 내의 피치 멀티플리케이션된 스페이서들을 형성하는 데 이용된다. 인터페이스 및 주변 영역들의 적어도 소정 부분들은 보호 재료를 이용하여 보호되는 반면에 다른 부분들은 에칭되어 프리스텐딩 스페이서들이 어레이 영역에 형성된다. 이어서, 보호 재료가 제거된 후, 어레이 영역 내의 스페이서들 및 인터페이스 및 주변 영역들 내의 피치들을 포함하는 패턴이 하드마스크 층에 전사된다. 하드마스크 층은 하부 기판을 패터닝하는 데 사용된다.

[0031] 이롭게도, 바람직한 실시예들에 따른 처리는 비교적 적은 프로세스 단계들을 이용하여 피치 멀티플리케이션된 피치 및 피치 멀티플리케이션되지 않은 피치의 형성 및 접속을 가능하게 한다. 비교적 적은 단계 수는 프로세스 결과의 균일성을 향상시킬 수 있다. 추가적인 패턴 형성 및 패턴 전사 단계들에 의해 유발되는 불균일이 감소될 수 있다. 더욱이, 본 명세서에 설명되는 바와 같이, 피치 멀티플리케이션된 마스크 요소들에 대한 피치 멀티플리케이션되지 않은 마스크 요소들의 접속은 피치 멀티플리케이션되지 않은 마스크 요소들과 동일한 수직 레벨로 동시에 형성될 수 있으므로, 별개로 형성되는 마스크 요소들의 오정렬로 인해 유발되는 결함들이 감소할 수 있다. 따라서, 피치 멀티플리케이션된 피치들에 대한 접속이 더욱 신뢰성 있게 형성될 수 있으며, 따라서 단락 및 피치 멀티플리케이션된 피치들의 열악한 접속의 가능성이 감소할 수 있다. 또한, 비교적 적은 수의 프로세스 단계들은 이롭게도 높은 처리량 및 비교적 낮은 비용으로 집적 회로를 제조하는 것을 가능하게 한다.

[0032] 이제, 전반적으로 동일한 번호들이 동일한 부분들을 지칭하는 도면들을 참조할 것이다. 이러한 도면들은 반드시 축척으로 작성된 것은 아니다.

- [0033] 먼저, 하드마스크 층 내에 패턴을 형성하는 데 적합한 층들의 스택이 형성된다.
- [0034] 도 2A를 참조하면, 부분적으로 제조된 집적 회로의 평면도가 도시되어 있다. 바람직한 실시예들은 임의의 집적 회로를 형성하는 데 이용될 수 있지만, 이들은 DRAM, ROM 또는 NAND 플래시 메모리를 포함하는 플래시 메모리, 또는 논리 또는 게이트 어레이들을 갖는 집적 회로와 같은 휘발성 및 비휘발성 메모리 디바이스들을 위한 메모리 셀 어레이들을 포함하는 전기 디바이스들의 어레이들을 갖는 디바이스들을 형성하는 데에 특히 유리하게 적용된다. 논리 어레이는 메모리 어레이와 유사한 코어 어레이 및 지원 논리들을 갖는 주변부를 갖는 필드 프로그래머블 게이트 어레이(FPGA)일 수 있다. 결과적으로, 집적 회로(100)는 예컨대, 논리 어레이 및 내장 메모리 양자, 또는 논리 또는 게이트 어레이와 같은 피처들의 어레이들을 갖는 임의의 다른 집적 회로를 포함할 수 있는 메모리 칩 또는 프로세서일 수 있다.
- [0035] 도 2A를 계속 참조하면, 중심 영역(102), 즉 어레이 영역 또는 간단히 "어레이"가 인터페이스 영역(104)에 의해 둘러싸여 있으며, 영역(104)은 "주변"으로도 지칭되는 주변 영역(106)에 의해 둘러싸여 있다. 집적 회로(100)의 제조가 완료된 후에, 어레이(102)는 통상적으로 전도성 라인들 및 트랜지스터 및 커패시터와 같은 전기 디바이스들로 고밀도로 채워질 것이다. 메모리 디바이스에서, 전기 디바이스들은 통상적으로 워드 라인들 및 비트 라인들의 교차부에 규칙적인 그리드 패턴으로 배열되는 복수의 메모리 셀을 형성한다. 바람직하게도, 후술하는 바와 같이, 피치 멀티플리케이션은 트랜지스터들 및 커패시터들의 행들 및/또는 열들과 같은 피처들을 형성하는 데 이용될 수 있다.
- [0036] 한편, 주변(106)은 통상적으로 어레이(102) 내의 피처들보다 큰 피처들을 포함한다. 피치 멀티플리케이션이 아니라, 전통적인 포토리소그래피가 주변(106) 내의 논리 회로와 같은 피처들을 패턴링하는 데에 바람직하게 이용되는데, 이는 주변(106)에 배치되는 논리 회로들의 구조적 복잡성이 피치 멀티플리케이션의 이용을 어렵게 하기 때문이다. 예를 들어, 주변(106) 내의 피처들은 통상적으로 어레이(102)에서 일반적인 피처들의 반복 규칙성을 갖지 않는다. 더욱이, 논리 영역은 어레이 영역(102)만큼 고밀도일 필요가 없으며, 따라서 논리 영역에서는 피치 멀티플리케이션이 불필요하다. 반대로, 어레이 패턴들에 일반적인 규칙적인 그리드는 피치 멀티플리케이션에 적합하다. 또한, 주변 내의 소정의 디바이스들은 전기적인 제약들로 인해 더 큰 구조를 필요로 하며, 따라서 이러한 디바이스들에 대해서는 전통적인 포토리소그래피보다 피치 멀티플리케이션이 덜 어렵게 된다.
- [0037] 인터페이스 영역(104)은 어레이 및 주변 피처들 양자를 포함할 수 있다. 예를 들어, 인터페이스 영역(104)은 어레이(102)에서 주변(106)으로의 전이부로서 기능할 수 있으며, 어레이(102) 내의 피처들과 주변(106) 내의 피처들 사이의 접촉을 가능하게 할 수 있다.
- [0038] 중심 영역들로서 개략적으로 도시되었지만, 기술자는 집적 회로(100) 내의 상대적 위치들 및 어레이(102), 인터페이스(104) 및 주변(106) 영역들의 수가 도시된 것과 다를 수 있다는 것을 알 것이다. 예를 들어, 집적 회로(100)의 소정 영역들에서, 인터페이스(104) 및 주변(106) 영역들은 아래 도면들의 일부에 도시된 바와 같이 어레이 영역(102)의 어느 한 쪽에 바로 배치될 수 있다. 더욱이, 설명의 편의를 위해 이러한 영역들의 소정의 특성들이 위에서 설명되었고, 이 영역들 사이의 명확한 경계가 도시되었지만, 일부 배열들에서는 이 영역들 중 둘 이상이 겹칠 수 있다.
- [0039] 도 2B는 부분적으로 형성된 집적 회로(100)의 측면도를 나타낸다. 기판(110) 상에 다양한 마스크 층들(120-150)이 바람직하게 제공된다. 층들(120-150)은 후술하는 바와 같이 기판(110)을 패턴링하기 위한 마스크를 형성하기 위해 예칭될 것이다.
- [0040] 기판(110) 위의 층들(120-150)을 위한 재료들은 본 명세서에 설명되는 다양한 패턴 형성 및 패턴 전사 단계를 위한 화학 및 프로세스 조건들의 고려에 기초하여 선택되는 것이 바람직하다. 최상부의 선택적으로 정의 가능한(예를 들어, 광에 의해 정의 가능한) 층(120)과 기판(110) 사이의 층들은 선택적으로 정의 가능한 층(120)으로부터 도출된 패턴을 기판(110)에 전사하도록 기능하는 것이 바람직하므로, 선택적으로 정의 가능한 층(120)과 기판(110) 사이의 층들(130-150)은 다른 노출된 재료들에 대해 선택적으로 예칭될 수 있도록 선택되는 것이 바람직하다. 재료에 대한 에치 레이트가 주변 재료들에 대한 에치 레이트보다 적어도 약 2-3배, 바람직하게는 적어도 약 10배, 더 바람직하게는 적어도 약 20배, 가장 바람직하게는 적어도 약 50배 더 클 때, 그 재료는 선택적으로 또는 선호적으로 예칭되는 것으로 간주된다는 것을 알 것이다. 제2 하드마스크 층(150) 위의 층들(120-140)의 목적은 제2 하드마스크 층(150)에 양호하게 정의된 패턴들이 형성되는 것을 가능하게 하는 것이므로, 적절한 다른 재료들, 화학들 및/또는 프로세스 조건들이 이용되는 경우에는 층들(120-140) 중 하나 이상이 생략 또는 대체될 수 있다는 것을 알 것이다.

- [0041] 도시된 실시예에서, 선택적으로 정의 가능한 층(120)은 제1 하드마스크 또는 에치 스톱 층(130) 위에 배치되고, 층(130)은 임시 층(140) 위에 배치되고, 층(140)은 제2 하드마스크 또는 에치 스톱 층(150) 위에 배치되며, 층(150)은 마스크를 통해 처리될(예컨대, 에칭될) 기관(110) 위에 배치된다. 바람직하게, 기관(110)을 처리할 마스크는 제2 하드마스크 층(150)에 형성된다.
- [0042] 도 2B를 계속 참조하면, 선택적으로 정의 가능한 층(120)은 광에 의해 정의 가능한 것이 바람직하는데, 예를 들어 이 분야에 공지된 임의의 포토레지스트를 포함하는 포토레지스트로 형성된다. 예를 들어, 포토레지스트는 157 nm, 193 nm, 248 nm 또는 365 nm 파장 시스템들, 193 nm 파장 이머션 시스템들, 극자외선 시스템들(13.7 nm 파장 시스템들을 포함함) 또는 전자 빔 리소그래피 시스템들에 적합한 임의의 포토레지스트일 수 있다. 또한, 광 정의 가능 층(120)을 정의하기 위해 무 마스크 리소그래피 또는 무 마스크 포토리소그래피가 사용될 수 있다. 바람직한 포토레지스트 재료들의 예는 아르곤 불화물(ArF) 감지 포토레지스트, 즉 ArF 광원과 함께 사용하기에 적합한 포토레지스트, 및 크립톤 불화물(KrF) 감지 포토레지스트, 즉 KrF 광원과 함께 사용하기에 적합한 포토레지스트를 포함한다. ArF 포토레지스트는 비교적 짧은 파장의 광, 예컨대 193 nm의 광을 이용하는 포토리소그래피 시스템들과 함께 사용되는 것이 바람직하다. KrF 포토레지스트는 248 nm 시스템들과 같은 더 긴 파장의 포토리소그래피 시스템들과 함께 사용되는 것이 바람직하다. 다른 실시예들에서, 층(120) 및 임의의 후속 레지스트 층들은 나노-임프린트(nano-imprint) 리소그래피에 의해, 예를 들어 형틀 또는 기계적인 힘을 이용하여 레지스트를 패터닝함으로써 패터닝될 수 있는 레지스트로 형성될 수 있다.
- [0043] 제1 하드마스크 층(130)을 위한 재료는 무기 재료를 포함하는 것이 바람직하다. 예시적인 재료들은 실리콘 산화물(SiO₂), 실리콘 또는 실리콘-리치(silicon-rich) 실리콘 산질화물과 같은 유전성 반사 방지 코팅(DARC)을 포함한다. 도시된 실시예에서, 제1 하드마스크 층(130)은 유전성 반사 방지 코팅(DARC)이다. 제1 하드마스크 층(130)을 위해 DARC를 사용하는 것은 포토리소그래피 기술의 해상도 한계 근처의 피치들을 갖는 패턴들을 형성하는 데에 특히 유리할 수 있다. DARC는 광 반사를 최소화하여 해상도를 향상시킬 수 있으며, 따라서 포토리소그래피가 패턴의 에지들을 정의할 수 있는 정밀도를 향상시킬 수 있다.
- [0044] 임시 층(140)은 바람직한 하드마스크 재료들에 비해 매우 높은 에치 선택도를 제공하는 비결정 탄소로 형성되는 것이 바람직하다. 구체적으로, 비결정 탄소는, 광에 매우 투명하고(이른바, "투명 탄소") 광 정렬에 사용되는 광의 파장들에 투명함으로써 광 정렬의 개선을 제공하는 비결정 탄소의 한 형태이다. 이러한 투명 탄소를 형성하기 위한 퇴적 기술들은 A. Helmbold, D. Meissner, Thin Solid Films, 283 (1996) 196-203에서 발견될 수 있는데, 그 전체 개시는 본 명세서에 참고로 반영되어 있다.
- [0045] 제2 하드마스크 층(150)은, 하부 기관(110)을 에칭하는 데 적합하고 스페이서들(165)(도 11)과 같은 노출된 상부 재료들에 대해 선택적으로 에칭될 수 있는 하드마스크 재료로 형성될 수 있다. 예를 들어, 스페이서 재료(도 11)가 실리콘 산화물 또는 실리콘인 일부 실시예에서, 하드마스크 재료는 실리콘 질화물일 수 있다. 스페이서 재료가 실리콘 질화물 또는 실리콘인 다른 실시예들에서, 하드마스크 재료는 실리콘 산화물일 수 있다. 도시된 실시예에서, 하드마스크 재료는 질화물, 바람직하게는 실리콘 질화물이다.
- [0046] 기관(110)은 단일 재료의 층, 상이한 재료들의 복수의 층, 내부에 상이한 재료들 또는 구조들의 영역들을 갖는 층 또는 층들 등을 포함할 수 있다는 것을 알 것이다. 이러한 재료들은 반도체, 절연체, 도체 또는 이들의 조합을 포함할 수 있다. 예를 들어, 기관은 도핑된 폴리실리콘, 전기 디바이스 동작 영역, 실리콘사이드, 또는 텅스텐, 알루미늄 또는 구리 층과 같은 금속 층, 또는 이들의 조합들을 포함할 수 있다. 일부 실시예에서는, 후술하는 마스크 요소들이 기관 내의 인터커넥트들 또는 랜딩 패드들과 같은 도전성 피쳐들의 원하는 배치에 직접 대응할 수 있다. 도시된 실시예에서, 기관(110)의 상부는 절연체를 포함하며, 마스크 요소들의 위치는 상감 금속화(damascene metallization)에서와 같이 절연체들의 원하는 위치에 대응할 수 있다. 기관에 형성되는 구조들의 예는 인터커넥트들, 게이트 스택 및 셸로우 트렌치(shallow trench) 분리 구조들을 포함한다.
- [0047] 본 명세서에 설명되는 층들(120-150)은 다양한 방법에 의해 형성될 수 있다. 예를 들어, 광 정의 가능 층들을 형성하기 위해 스핀-온-코팅(spin-on-coating) 프로세스들이 이용될 수 있다. 화학 기상 증착과 같은 다양한 증착 프로세스를 이용하여 하드마스크 층들을 형성할 수 있다. 바람직하게, 특히 임시 층(140)이 비결정 탄소로 형성되는 경우에, 저온 화학 기상 증착(CVD) 프로세스를 이용하여 임시 층(140) 위에 하드마스크 층들 또는 임의의 다른 재료들, 예를 들어 스페이서 재료를 퇴적한다.
- [0048] 임시 층(140)을 위한 비결정 탄소는 탄화수소 화합물 또는 이러한 화합물들의 혼합물들을 탄소 전구체로서 사용하는 화학 기상 증착에 의해 형성될 수 있다. 예시적인 전구체는 프로필렌, 프로핀, 프로판, 부탄, 부틸렌, 부

타디엔 및 아세틸린(acetylene)을 포함한다. 비결정 탄소 층들을 형성하기 위한 적절한 방법이 2003년 6월 3일자로 Fairbairn 등에게 허여된 미국 특허 제6,573,030 B1에 설명되어 있는데, 그 전체 개시는 본 명세서에 참고로 반영되어 있다. 또한, 비결정 탄소는 도핑될 수도 있다. 도핑된 비결정 탄소를 형성하기 위한 적절한 방법이 Yin 등의 미국 특허 출원 번호 10/652,174에 설명되어 있으며, 그 전체 개시는 본 명세서에 참고로 반영되어 있다.

- [0049] 이어서, 패턴들이 형성되고, 하드마스크 층(150)에 전사된다.
- [0050] 본 명세서에서 설명되는 임의의 단계에서 상부 레벨에서 하부 레벨로의 패턴의 전사는 상부 레벨의 마스크 요소들에 전반적으로 대응하는 집적 회로 피처들 또는 마스크 요소들을 하부 레벨에 형성하는 것을 포함한다는 것을 알 것이다. 예를 들어, 하부 레벨의 라인들의 경로는 전반적으로 상부 레벨의 라인들의 경로를 따르며, 하부 레벨의 다른 요소들 또는 피처들의 위치는 상부 레벨의 유사한 요소들 또는 피처들의 위치에 대응할 것이다. 그러나, 요소들 또는 피처들의 정확한 형상 및 크기는 상부 레벨과 하부 레벨에서 다를 수 있다. 예를 들어, 후술하는 실시예들에서 제1 레지스트 마스크를 축소시키는 예로부터 알 수 있듯이, 에치 화학 및 조건에 따라, 전사 패턴을 형성하는 요소들 또는 피처들의 크기들 및 그들 간의 상대적 간격은 상부 레벨 상의 패턴에 비해 확대 또는 축소될 수 있지만, 동일한 초기 "패턴"을 여전히 닮을 수 있다. 따라서, 요소들 또는 피처들의 치수의 소정의 변경에도, 전사 패턴은 여전히 초기 패턴과 동일한 패턴인 것으로 간주된다. 이와 달리, 마스크 요소들 주위에 스페이서들을 형성하는 것은 새로운 (피치 멀티플리케이션된) 패턴들을 형성할 수 있다.
- [0051] 도 3을 참조하면, 어레이 요소들(124), 인터페이스 요소들(126) 및 주변 요소(128)에 의해 정의되는 공간들 또는 트렌치들(122, 123)을 포함하는 패턴이 광 정의 가능 층(120)에 형성된다. 요소들(124, 126, 128)은 광 정의 가능 재료로 형성된다. 트렌치들(122, 123)은 예를 들어, 층(120)이 레티클을 통해 방사선에 노출된 후 현상되는, 248 nm 또는 193 nm 광을 이용하는 포토리소그라피에 의해 형성될 수 있다. 현상 후에 남은 광 정의 가능 재료, 즉 도시된 실시예에서 포토레지스트는 도시된 요소들(124, 126, 128)을 형성한다. 도시된 실시예에서, 어레이 요소들(124)은 라인들이다.
- [0052] 라인들(124)의 피치는 라인(124)의 폭과 이웃 공간(122)의 폭의 합과 동일하다. 이러한 라인들(124) 및 공간들(122)의 패턴을 이용하여 형성되는 요소들의 임계 치수를 최소화하기 위해, 피치는 광 정의 가능 층(120)을 패터닝하는 데 사용되는 포토리소그래픽 기술의 한계에 또는 그 근처에 있을 수 있다. 예를 들어, 248 nm 광을 이용하는 포토리소그라피에 대해, 라인들(124)의 피치는 약 100 nm일 수 있다. 따라서, 피치는 포토리소그래픽 기술의 최소 피치일 수 있으며, 후술하는 스페이서 패턴은 이롭게도 포토리소그래픽 기술의 최소 피치 이하의 피치를 가질 수 있다. 대안으로, 위치 및 요소 크기에 대한 에러의 마진은 통상적으로 포토리소그래픽 기술의 한계에 접근함에 따라 증가하므로, 라인들(124)은 라인들(124)의 위치 및 크기의 에러를 최소화하기 위해 예를 들어 약 200 nm의 피치에 대해 더 큰 요소 크기를 갖도록 형성될 수 있다.
- [0053] 도 4를 참조하면, 광 정의 가능 층(120) 내의 패턴은 스페이서 재료의 층(160)(도 6)의 퇴적을 가능하게 하기 위해 하드마스크 층(130) 및 임시 층(140)에 전사된다. 스페이서 재료 퇴적에 사용되는 온도는 통상적으로 너무 높아서 포토레지스트가 견뎌내지 못하는 것으로 밝혀졌다. 따라서, 패턴은 광 정의 가능 층(120)으로부터 후술하는 스페이서 재료 퇴적 및 에치를 위한 프로세스 조건들에 견딜 수 있는 재료들로 형성된 제1 하드마스크 층(130) 및 임시 층(140)에 전사되는 것이 바람직하다. 임시 층(140)을 형성하는 재료는 포토레지스트보다 큰 열 저항을 갖는 것에 더하여, 스페이서들(165)(도 10) 및 하부 제2 하드마스크 층(150)을 위한 재료에 대해 선택적으로 제거될 수 있도록 선택되는 것이 바람직하다. 전술한 바와 같이, 층(140)은 비결정 탄소로 형성되는 것이 바람직하며, 투명 탄소를 형성하는 것이 더 바람직하다.
- [0054] 패턴 전사는 단일 단계로, 즉 단일 프로세스 챔버 내에서 인시투(in situ)로 달성될 수 있다. 전사는 이방성 에치를 이용하여 달성되는 것이 바람직하다. 바람직한 에치 화학은 탄화 플루오르 플라즈마, 예를 들어 HBr/CF₄로부터 생성된 플라즈마를 이용하여 제1 하드마스크 층(130)을 에칭하고 산소 함유 플라즈마, 예컨대 SO₂/O₂ 플라즈마를 이용하여 임시 층(140)을 에칭하는 에치를 포함한다. 에치들은 광 정의 가능 층(120)에 비해 제1 하드마스크 층(130)을 선택적으로 에칭하며, 이어서 임시 층(140)을 통해 계속되고, 제2 하드마스크 층(150)에서 정지된다. 광 정의 가능 층(120)의 일부는 패턴 전사 동안에 에칭될 수 있다. 광 정의 가능 층(120)을 형성하는 임의의 남은 레지스트는 기술자에게 공지된 예를 들어 플라즈마 연소(ashing)를 포함하는 다양한 프로세스에 의해 별도로 후속 제거될 수 있다.
- [0055] 도 4 및 5를 참조하면, 어레이 요소들(134), 인터페이스 요소들(136) 및 주변 요소들(138) 사이의 공간들(132,

133)은 바람직하게는 요소들(134, 136, 138)을 에칭하여 트림 에치(trim etch) 후에 변경된 공간들(132a, 133a) 및 요소들(134a, 136a)을 형성함으로써 확장된다. 요소들(134, 136, 138)은 이들 요소를 "축소"하기 위해 등방성 에치를 이용하여 에칭되는 것이 바람직하다. 적절한 에치들은 산소 함유 플라즈마, 예컨대 SO₂/O₂/N₂/Ar 플라즈마, Cl₂/O₂/He 플라즈마 또는 HBr/O₂/N₂ 플라즈마를 이용하는 에치들을 포함한다. 에치의 정도는, 아래의 설명으로부터 이해되듯이, 요소들(134a, 136a, 138a)의 폭들이 원하는 간격을 갖는 스페이서들(165)(도 7A)의 형성을 가능하게 하도록 선택되는 것이 바람직하다. 예를 들어, 어레이 내의 요소들(134, 136, 138)의 폭은 약 80-120 nm에서 약 40-70 nm로 축소될 수 있다. 이롭게도, 폭 축소 에치는 광 정의 가능 층(120)을 패터닝하는 데 이용되는 포토리소그래픽 기술을 이용하여 가능한 것보다 좁은 라인들을 어레이 내에 형성할 수 있다. 또한, 에치는 요소들(134a, 136a, 138a)의 에지들을 매끄럽게 할 수 있으며, 따라서 이들 요소의 균일성을 향상시킬 수 있다. 요소들(134a, 136a, 138a)은 포토리소그래픽 기술의 해상도 한계 이하의 임계치수를 갖도록 트리밍될 수 있지만, 알 수 있듯이, 이러한 트림(trim)은 어레이 내의 공간들(132a, 133a) 및 요소들(134a, 136a, 138a)의 피치를 변경하지 않는데, 이는 이러한 요소들 내의 동일 포인트들 간의 거리가 동일하게 유지되기 때문이다. 다른 실시예들에서는, 요소들(134, 136, 138)에 대해 트림 에치를 수행하는 대신에 또는 그에 더하여, 하드마스크 층(130) 및 임시 층(140) 내에 원하는 크기의 요소들을 형성하기 위해, 광 정의 가능 층(120)에서 제1 하드마스크 층(130)으로 패턴을 전사하기 전에 광 정의 가능 층(120) 내의 요소들(124, 126, 128)(도 3)에 대해 트림 에치를 수행할 수 있다는 것을 알 것이다.

[0056] 도 6을 참조하면, 스페이서 재료의 층(160)이 바람직하게는 하드마스크 층들(130, 150)의 노출된 상부면들 및 측벽들 및 임시 층(140)의 측벽들을 포함하는 노출된 표면들 위에 등각으로(conformally) 블랭킷 퇴적된다. 스페이서 재료는 패턴을 하부의 하드마스크 층(150)에 전사하기 위한 마스크로서 작용할 수 있는 임의의 재료일 수 있다. 스페이서 재료는 바람직하게는 1) 양호한 스텝 커버리지를 갖도록 퇴적될 수 있고, 2) 부분적으로 제조된 집적 회로(100) 내의 다른 재료들에 적합한 온도로 퇴적될 수 있으며, 3) 임시 층(140) 및 제1 및 제2 하드마스크 층들(130, 150)에 대해 선택적으로 이방성 에칭될 수 있다. 바람직한 재료들은 실리콘(예컨대, 비정질 실리콘), 실리콘 산화물 및 실리콘 질화물을 포함한다. 도시된 실시예에서, 스페이서 재료는 실리콘 산화물이며, 이는 마스크 스택의 다른 선택된 재료들과 연계하여 특별한 이익들을 제공한다.

[0057] 스페이서 재료의 퇴적을 위한 바람직한 방법들은 화학 기상 증착 및 원자층 퇴적을 포함한다. 층(160)의 두께는 스페이서들(165)(도 10)의 원하는 폭에 기초하여 결정되는 것이 바람직하다. 예를 들어, 도시된 실시예에서, 층(160)은 바람직하게는 약 20-80 nm, 더 바람직하게는 약 40-60 nm의 두께로 퇴적된다. 바람직하게, 스텝 커버리지는 약 80% 이상이며, 더 바람직하게는 약 90% 이상이다.

[0058] 도 7A를 참조하면, 실리콘 산화물 스페이서 층(160)을 이방성 에칭하여 부분적으로 형성된 집적 회로(100)의 수평 표면들(166)로부터 스페이서 재료를 제거한다. 스페이서 에치로도 알려진 이러한 에치는 예를 들어 CF₄/CHF₃, C₄F₄/CHF₂ 또는 CHF₃/Ar 플라즈마를 포함하는 바이어스 인가 탄화 플루오르 플라즈마를 이용하여, 또는 순수 물리적 스퍼터 에치(예컨대, Ar 스퍼터 에치)를 이용하여 산화물 재료에 대해 수행될 수 있다. 스페이서 에치는 맨드릴들(134a) 및 요소들(136a, 138a) 주위에 스페이서들(165)의 쌍들을 정의한다.

[0059] 도 7B는 도 7A의 부분적으로 형성된 집적 회로의 평면도를 나타낸다. 알 수 있듯이, 맨드릴들(134a)은 라인 형상인 것에 더하여 다양한 형상을 가질 수 있다. 전술한 바와 같이, 도시된 실시예에서, 기관(110)의 상부는 절연체이고, 스페이서들(165)의 패턴은 기관(110)에 형성될 절연체의 원하는 패턴에 대응한다. 결과적으로, 스페이서들(165) 사이에 열린 공간은 바람직하게는 기관(110) 내의 상감 도전성 인터커넥트들과 같은 도체들의 원하는 배치에 대응한다. 예를 들어, 나중에 제거되는(도 10A-10B) 임의의 맨드릴들(134a)은 나중에 형성되는 인터커넥트들의 위치들에 대응하는 위치들을 가질 수 있다. 이 경우, 일부 맨드릴들(134a)은 맨드릴들(134a)을 이용하여 형성되는 인터커넥트들을 다른 수직 레벨들 상의 전기 피치들에 전기적으로 접속하기 위한 랜딩 패드들을 형성하는 데 사용될 수 있는 확장된 부분들(137)을 가질 수 있다.

[0060] 도 8을 참조하면, 보호 층(170)이 부분적으로 형성된 집적 회로(100)의 표면 위에 퇴적된다. 보호 층(170)은 또한 선택적으로 정의 가능한 것이 바람직하다. 선택적으로 정의 가능한 층(120)과 같이, 보호 층(170)은 광 정의 가능한 것이 바람직한데, 예컨대 이 분야에 공지된 임의의 포토레지스트를 포함하는 포토레지스트로 형성된다. 또한, 다른 실시예들에서, 광 정의 가능 보호 층(170)은 나노-임프린트 리소그래피에 의한 패턴링에 적합한 레지스트로 형성될 수 있다.

[0061] 도 9A를 참조하면, 광 정의 가능 층(170)은 예컨대 광 정의 가능 층(120)을 패터닝하는 데 이용되는 것과 동일한 포토리소그래픽 기술을 이용하여 패턴링된다. 바람직하게, 층(170)은 레티클을 통해 방사선에 노출된 후,

부분적으로 제조된 집적 회로(100)의 어레이 영역(102)의 요소들을 노출시키도록 현상된다. 따라서, 일부 스페이서들 또는 스페이서 쌍들이 노출되는 반면, 일부는 보호 층(170)에 의해 보호된다. 또한, 하드마스크 층(130)의 소정 부분들은 노출되는 반면, 소정 부분들은 보호된다.

[0062] 또한, 인터페이스 영역들(104) 또는 주변(106) 내의 요소들도 패터닝되어, 예를 들어 주변 내에 보이드(174)가 형성된다. 어레이(102) 내의 스페이서들(165)은 이들을 형성하는 데 이용되는 포토리소그래픽 기술의 최소 피치 또는 해상도보다 작은 피치 크기 또는 요소 크기를 갖는 것이 바람직하지만, 층(170) 내에 패터닝된 요소들은 이들을 형성하는 데 사용되는 포토리소그래픽 기술의 최소 피치 또는 해상도 이상의 피치 또는 요소 크기를 갖는 것이 바람직하다는 것을 알 것이다.

[0063] 도 9B를 참조하면, 피치 멀티플리케이션된 스페이서들(165) 사이의 공간들에 대한 접속들(172)이 패터닝될 수 있다. 접속들(172)은 주변(106) 또는 인터페이스 영역(104) 내에 인터커넥트를 패터닝하는 데 사용되는 것과 같은 더 큰 치수의 요소들(173)의 단부들일 수 있다는 것을 알 것이다. 따라서, 접속들(172)은 하나 이상의 맨드릴(134a)을 더 큰 마스크 요소(173)에 접속하고, 궁극적으로는 어레이(102) 내의 피치 멀티플리케이션된 인터커넥트들에 접속되는 상대적으로 큰 인터커넥트의 형성을 가능하게 할 수 있다.

[0064] 부분적으로 제조된 집적 회로(100)의 일부 소자들은 층(170)에 의해 계속 보호된다는 것을 알 것이다. 이 경우, 스페이서들(165)은 보호 층(170)의 제거 후에 이들 요소의 치수를 증가시킨다.

[0065] 도 10A-10B를 참조하면, 노출되거나 보호 층(170)에 의해 보호되지 않은 상태로 남은 제1 하드마스크 층(130) 및 임시 층(140)의 부분들이 바람직하게는 이방성 에치에 의해 선택적으로 제거된다. 이롭게도, 하드마스크 층(130) 및 임시 층(140)의 보호되지 않은 부분들은 단일 단계로, 즉 단일 프로세스 챔버 내에서 인시투로 제거될 수 있다. 하드마스크 층(130)은 예를 들어 HBr/CH₄를 포함하는 플라즈마 에치를 이용하여 선택적으로 제거될 수 있으며, 임시 층(140)은 예컨대 SO₂/O₂ 플라즈마 에치를 이용하여 선택적으로 제거될 수 있다. 이어서, 예를 들어 플라즈마 에칭에 의해 보호 층(170)이 제거된다.

[0066] 따라서, 맨드릴들(134a)(도 9A)이 제거되고, 어레이 영역(102) 내에는 피치 멀티플리케이션된 프리스탠딩 스페이서들(165)이 남는다. 도시된 실시예에서, 스페이서들(165)의 피치 및 스페이서들(165) 사이의 공간들은 포토리소그래피에 의해 최초 형성된 포토레지스트 라인들(124) 및 공간들(122)(도 3)의 대략 절반이다. 예를 들어, 포토레지스트 라인들(124)이 약 200 nm의 피치를 가진 경우, 약 100 nm 이하의 피치를 갖는 스페이서들(165)이 형성될 수 있다. 또한, 주변(106) 또는 인터페이스 영역(104) 내에 패터닝된 요소들도 하부 층들에 전사되어, 예를 들어 하드마스크 층(130) 및 임시 층(140) 내에 보이드 또는 개구(176)가 형성된다.

[0067] 도 11을 참조하면, 스페이서들(165) 및 제1 하드마스크 층(130) 및 임시 층(140)의 남은 부분들에 의해 정의된 패턴이 제2 하드마스크 층(150)에 전사된다. 전사는 이방성 에치, 예컨대 탄소 플루오르 플라즈마를 이용하는 에치, 예컨대 CF₄/O₂/CH₂F₂ 함유 플라즈마 에치를 이용하여 달성되는 것이 바람직하다.

[0068] 이어서, 제2 하드마스크 층(150)에 정의된 마스크를 통해 기관이 처리될 수 있다. 예를 들어, 도 12를 참조하면, 패턴이 기관(110)에 전사될 수 있다. 도 13을 참조하면, 기관(110)이 에칭되는 경우, 기관(110)의 에칭은 스페이서들(165) 및 층들(130, 140)의 남은 부분들을 제거할 수 있다는 것을 알 것이다. 따라서, 제2 하드마스크 층(150)은 기관(110)을 에칭하기 위한 주요 마스크로서 사용된다. 다른 실시예들에서, 스페이서들(165) 및 층들(130, 140)의 남은 부분들은 기관의 처리 전 또는 후에 제거될 수 있다. 도 14를 참조하면, 하드마스크 층(150)은 기관(110)의 처리 후에 제거될 수 있다.

[0069] 바람직하게, 기관(110)은 적어도 제2 하드마스크 층(150)에 비해 기관(110)에 대해 선택적인 이방성 에치를 이용하여 에칭된다. 기관(110)이 상이한 재료들, 예컨대 상이한 재료들의 층들을 포함하는 경우, 단일 화학이 모든 상이한 재료를 에칭하기에 충분하지 않은 경우에는, 일련의 상이한 화학들, 바람직하게는 드라이 에치 화학들이 그러한 상이한 재료들을 연속적으로 에칭하는 데 사용될 수 있다. 기관(110)의 조성은 예를 들어 형성된 전기 디바이스에 의존할 수 있다.

[0070] 스페이서들(165)에 의해 형성된 후에 제2 하드마스크 층(150) 및 기관(110)에 전사되는 패턴은 라인들, 예를 들어 전기 디바이스들을 접속하기 위한 인터커넥트들을 정의할 수 있다는 것을 알 것이다. 바람직하게, 전기 디바이스들은 메모리 디바이스의 어레이 영역 내의 메모리 셀들을 형성하는 전기 디바이스들과 같이 어레이 내에 배열된다. 인터커넥트들(172; 도 9B)은 이롭게도 집적 회로의 인터페이스 또는 주변 영역들 내의 더 큰 피치들과 어레이 내의 요소(171)에 의해 정의되는 바와 같은 피치 멀티플리케이션된 피치들 사이의 접속들을 정의할

수 있다. 라인들이 형성된 후, 완전한 집적 회로, 예를 들어 메모리 칩을 형성하기 위해, 부분적으로 제조된 집적 회로(100)에 대해, 보조 전기 디바이스들 및 전기 인터넥트들을 형성하는 단계를 포함하는 후속 처리 단계들이 수행될 수 있다.

[0071] 도시된 실시예들의 다양한 변경이 가능하다는 것을 알 것이다. 예를 들어, 통상적으로 피치 멀티플리케이션된 패턴들은 맨드릴의 벽을 따라 형성되는 스페이서들에 의해 형성되는 루프들을 포함한다. 결과적으로, 비상감(non-damascene) 프로세스들에서, 스페이서들(165) 사이의 공간이 아니라 스페이서들(165)이 전도성 라인들을 형성하는 데 사용되는 경우, 추가 처리 단계들을 이용하여 그러한 루프들의 단부들을 절단하여 각각이 루프가 2개의 개별적인 비접속 라인들을 형성하게 하는 것이 바람직하다. 이것은 예를 들어, 마스크들의 보호되지 않은 단부들을 에칭하는 동안에 유지될 라인들의 부분들 주위에 보호 마스크를 형성함으로써 달성될 수 있다. 루프의 단부들을 절단하기 위한 적절한 방법이 2004년 8월 31일자로 출원된 Tran 등의 미국 특허 출원 번호 10/931,771에 개시되어 있으며, 그 전체 개시는 본 명세서에 참고로 반영되어 있다. 그러나, 이롭게도, 스페이서들(165)을 이용하여 전도성 재료가 아니라 절연성 재료의 위치를 정의함으로써, 스페이서 루프들의 단부들을 절단하는 단계를 없앨 수 있다. 예를 들어, 스페이서들(165) 사이의 공간들, 예를 들어 맨드릴들에 의해 이전에 점유된 공간들이 인터넥트들의 위치 및 형상을 결정하는 경우에는 스페이서 루프들의 단부들을 절단할 필요가 없게 된다.

[0072] 또한, 일부 사례에서, 스페이서들(165)은 기관(110)의 처리 전에 제거될 수 있다. 이러한 제거는 예를 들어 스페이서들(165)이 비교적 높고 얇은 경우에 이로울 수 있다. 그러한 스페이서들은 구조적으로 안정적이지 못할 수 있으며, 기관(110)의 에치 과정을 통해 변형될 수 있어서, 기관 내로 에칭된 패턴에서 에러를 유발할 수 있다. 결과적으로, 스페이서들(165) 및 하드마스크 층(130) 또는 임시 층(140)의 임의의 남은 부분들의 제거는 이롭게도 기관(110)을 처리하는 마스크(이 예에서는 하부 하드마스크 층(150)에 의해 정의됨)를 안정화할 수 있다.

[0073] 또한, 스페이서들(165)의 피치는 배가 이상이 될 수 있다. 예를 들어, 스페이서들(165)은 맨드릴들(134a)을 제거하고, 스페이서들(165) 주위에 추가 스페이서들을 형성하고, 스페이서들(165)을 제거한 후, 스페이서들(165) 주위에 이전에 형성된 스페이서들 주위의 스페이서들의 다른 세트를 형성하는 것 등에 의해 더욱 피치 멀티플리케이션될 수 있다. 추가적인 피치 멀티플리케이션을 위한 예시적인 방법이 Lowrey 등의 미국 특허 제5,328,810호에 설명되어 있다.

[0074] 더욱이, 바람직한 실시예들은 수직으로 연속적이거나 비연속적이고 그리고/또는 수직으로 분리될 수 있는 복수의 층 또는 수직 레벨 내에 피치 멀티플리케이션된 피치들을 형성하기 위해 집적 회로 제조 프로세스를 통해 여러 번 이용될 수 있다. 이 경우, 패터닝될 개별 레벨들 각각은 기관(110)을 구성할 것이며, 다양한 층(120-170)이 패터닝될 개별 레벨 상에 형성될 수 있다. 전문한 다양한 층(120-170)의 특정 조성 및 높이는 특정 응용에 따라 변할 수 있다는 것을 알 것이다. 예를 들어, 층(150)의 두께는 기관(110)의 개성, 예를 들어 기관의 화학적 조성, 기관이 단일 또는 다수의 재료층을 포함하는지, 형성될 피치들의 깊이 및 이용 가능한 에치 화학 등에 따라 변할 수 있다. 일부 사례에서, 층들(120-170) 중 하나 이상이 생략되거나 더 많은 층이 추가될 수 있다. 예를 들어, 일부 사례에서, 제2 하드마스크 층(150)에 형성된 패턴은 기관에 대해 선택적인 에치들에 대한 저항이 증가된 하드마스크를 제공하기 위해 하나 이상의 추가 하드마스크 층에 전사될 수 있다.

[0075] 또한, 하나의 마스크 층을 통한 "처리"는 하부 재료의 에칭을 포함하는 반면, 마스크 층들을 통한 처리는 마스크 층들 아래의 층들에 대해 임의의 반도체 제조 프로세스를 적용하는 것을 포함할 수 있다. 예를 들어, 처리는 마스크 층들을 통해 하부 층들 상에 이온 주입, 확산 도핑, 퇴적, 산화(특히, 폴리머 마스크 아래의 하드마스크를 사용함), 질화 등을 수행하는 것을 포함할 수 있다. 또한, 마스크 층들은 화학적 기계적 연마(CMP)에 대한 스톱 또는 배리어(barrier)로서 사용될 수 있으며, 본 명세서에 그 전체 개시가 참고로 반영된, 2005년 8월 31일자로 출원된 미국 특허 출원 번호 11/216,477에 설명된 바와 같이, CMP는 하부 층들의 평탄화 및 에칭을 가능하게 하기 위해 임의의 층에 대해 수행될 수 있다.

[0076] 본 명세서의 설명으로부터, 본 발명은 다양한 양태를 포함한다는 것을 알 것이다. 예를 들어, 본 발명의 일 양태에 따르면, 집적 회로 제조를 위한 방법이 제공된다. 이 방법은 기관 위에 포토레지스트 패턴을 형성하기 위해 제1 포토레지스트 층을 패터닝하는 단계를 포함한다. 포토레지스트 패턴은 포토레지스트 층 아래의 하드마스크 층 및 하드마스크 층 아래의 임시 층에 전사된다. 패터닝된 하드마스크 및 임시 층들 위에 스페이서들이 형성된다. 스페이서들 및 패터닝된 하드마스크 및 임시 층들 위에 제2 포토레지스트 층이 퇴적된다. 제2 포토레지스트 층은 패터닝된 하드마스크 및 임시 층들의 소정 부분들을 노출시키고 스페이서들 중 일부를 노출시키

면서, 패터닝된 하드마스크 및 임시 층들의 다른 부분들의 바로 위 및 스페이서들 중 다른 스페이서들의 위에는 포토레지스트가 남도록 패터닝된다. 이어서, 패터닝된 하드마스크 및 임시 층들의 노출된 부분들이 선택적으로 제거된다. 제2 포토레지스트 층이 선택적으로 제거된다.

[0077] 본 발명의 다른 양태에 따르면, 집적 회로를 형성하기 위한 방법이 제공된다. 이 방법은 부분적으로 제조된 집적 회로의 어레이 영역 내의 어레이 마스크 요소들 및 주변 영역 내의 주변 마스크 요소들을 동시에 정의하기 위해 선택적으로 정의 가능한 층을 패터닝하는 단계를 포함한다. 이어서, 복수의 프리스탠딩 스페이서를 형성하기 위해 어레이 영역에서 피치 멀티플리케이션이 수행된다. 프리스탠딩 스페이서들 및 주변 마스크 요소들에 의해 적어도 부분적으로 정의된 패턴이 기판에 동시에 전사된다.

[0078] 본 발명의 또 다른 양태에 따르면, 집적 회로를 제조하기 위한 방법이 제공된다. 이 방법은 기판 위에 포토레지스트 층을 제공하는 단계를 포함한다. 포토레지스트 층은 포토리소그래픽 기술을 이용하여 패터닝되며, 따라서 보이드들에 의해 분리되는 포토레지스트 재료를 포함하는 포토레지스트 패턴이 형성된다. 포토레지스트 재료 및 보이드들은 집적 회로의 어레이 영역 및 주변 영역 위로 연장한다. 포토레지스트 패턴은 하부의 임시 층에 전사되어, 임시 층 패턴이 형성된다. 이어서, 임시 층 패턴 내의 요소들이 어레이 및 주변 영역들 양자에서 축소된다. 임시 층 요소들 위에 스페이서 재료의 블랭킷 층이 퇴적된다. 임시 층 요소들의 측부들에 스페이서들을 형성하기 위해 블랭킷 층이 에칭된다.

[0079] 본 발명의 또 다른 양태에 따르면, 부분적으로 제조된 집적 회로가 제공된다. 이 부분적으로 제조된 집적 회로는 하드마스크 층 위의 복수의 마스크 요소를 포함한다. 하드마스크 층은 기판 위에 위치한다. 스페이서들이 마스크 요소들의 측벽들 상에 배치된다. 스페이서들의 일부 및 마스크 요소들의 일부 위에 바로 보호 층이 위치한다. 보호 층은 또한 스페이서들 중 다른 스페이서들 및 마스크 요소들 중 다른 마스크 요소들을 노출 상태로 남긴다.

[0080] 본 발명의 또 다른 양태에 따르면, 부분적으로 형성된 집적 회로가 제공된다. 이 부분적으로 형성된 집적 회로는 기판 위에 복수의 스페이서를 포함한다. 스페이서들의 각각의 쌍을 구성하는 스페이서들은 선택적으로 에칭 가능한 재료에 의해 분리된다. 패터닝된 포토레지스트 층이 스페이서 쌍들 중 일부 위에 위치한다. 부분적으로 제조된 집적 회로의 주변 또는 인터페이스 영역 내의 적어도 일부 스페이서들 위에 포토레지스트가 위치하는 반면, 부분적으로 제조된 집적 회로의 어레이 영역 내의 스페이서들은 노출된다.

[0081] 본 발명의 또 다른 양태에 따르면, 부분적으로 형성된 집적 회로가 제공된다. 이 부분적으로 형성된 집적 회로는 부분적으로 형성된 집적 회로의 어레이 영역 위에 배치된 프리스탠딩 스페이서들의 복수의 쌍을 포함한다. 다른 복수의 다른 스페이서 쌍이 복수의 스페이서 쌍과 동일한 레벨로 배치된다. 다른 스페이서 쌍들 각각을 구성하는 스페이서들은 다른 스페이서 쌍들에 대해 선택적으로 에칭 가능한 임시 재료의 측벽들 상에 배치된다. 임시 재료는 하나 이상의 개구를 구비한다.

[0082] 위의 개시에 더하여, 이 분야의 기술자들은 또한, 본 발명의 범위를 벗어나지 않고, 전술한 방법들 및 구조들에 대해 다양한 생략, 추가 및 변경이 이루어질 수 있다는 것을 알 것이다. 그러한 모든 변경 및 변화는 첨부된 청구항들에 의해 정의되는 바와 같은 본 발명의 범위 내에 속하는 것으로 의도된다.

도면의 간단한 설명

[0012] 본 발명은 바람직한 실시예들의 상세한 설명으로부터 그리고 첨부된 도면들로부터 더 잘 이해될 것인데, 이들은 설명을 위한 것일 뿐, 본 발명을 한정하고자 하는 의도는 없다.

[0013] 도 1A-1F는 종래의 피치 더블링 방법에 따라 전도성 라인들을 형성하기 위한 마스크 패턴들의 시퀀스의 개략적 측단면도들.

[0014] 도 2A는 본 발명의 바람직한 실시예들에 따른, 부분적으로 형성된 집적 회로의 개략 평면도.

[0015] 도 2B는 본 발명의 바람직한 실시예들에 따른, 도 2A의 부분적으로 형성된 집적 회로의 개략 측단면도.

[0016] 도 3은 본 발명의 바람직한 실시예에 따른, 포토레지스트 층 내에 라인들을 형성한 후의 도 2A-2B의 부분적으로 형성된 집적 회로의 개략 측단면도.

[0017] 도 4는 본 발명의 바람직한 실시예들에 따른, 포토레지스트 층 내의 패턴을 하부 하드마스크 및 임시 층들에 전사하고 포토레지스트 층을 제거한 후의 도 3의 부분적으로 형성된 집적 회로의 개략 측단면도.

[0018] 도 5는 본 발명의 바람직한 실시예들에 따른, 마스크 요소들 사이의 공간들을 넓히기 위해 트림 에치(trim

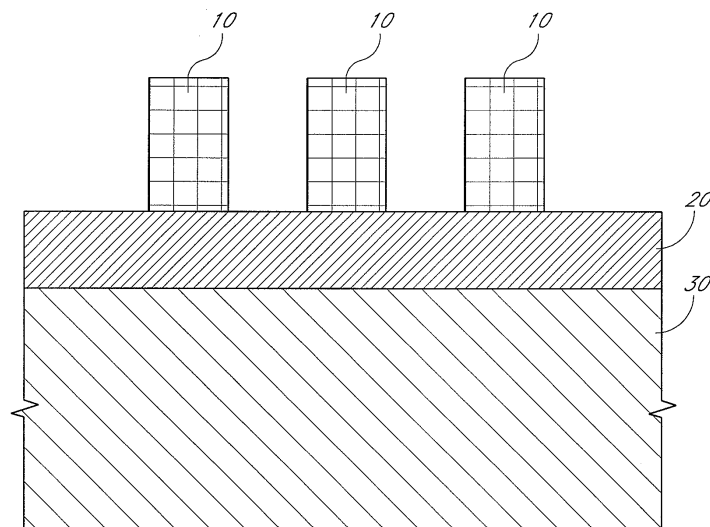
etch)를 수행한 후의 도 4의 부분적으로 형성된 집적 회로의 개략 측단면도.

- [0019] 도 6은 본 발명의 바람직한 실시예들에 따른, 스페이서 재료의 층을 퇴적한 후의 도 5의 부분적으로 형성된 집적 회로의 개략 측단면도.
- [0020] 도 7A-7B는 본 발명의 바람직한 실시예들에 따른, 스페이서 에치를 수행한 후의 도 6의 부분적으로 형성된 집적 회로의 개략 측단면도.
- [0021] 도 8은 본 발명의 바람직한 실시예들에 따른, 보호 재료의 층을 퇴적한 후의 도 7A-7B의 부분적으로 형성된 집적 회로의 개략 측단면도.
- [0022] 도 9A-9B는 본 발명의 바람직한 실시예들에 따른, 부분적으로 형성된 집적 회로의 어레이 영역 및 다른 선택된 영역들 내의 마스크 요소들을 노출시키기 위해 보호 층을 패터닝한 후의 도 8의 부분적으로 형성된 집적 회로의 개략 측단면도 및 평면도.
- [0023] 도 10A-10B는 본 발명의 바람직한 실시예들에 따른, 보호 층의 패터닝에 의해 노출된 영역들 내의 하드마스크 및 임시 층 재료를 제거하여 프리스탠딩 스페이서들의 패턴을 남긴 후 보호 층을 제거한 후의 도 9A-9B의 부분적으로 형성된 집적 회로의 개략 측단면도 및 평면도.
- [0024] 도 11은 본 발명의 바람직한 실시예들에 따른, 피치 멀티플리케이션된 마스크 요소 및 피치 멀티플리케이션되지 않은 마스크 요소의 패턴을 하부 하드마스크 층 내로 에칭한 후의 도 10A-10B의 부분적으로 형성된 집적 회로의 개략 측단면도.
- [0025] 도 12는 본 발명의 바람직한 실시예들에 따른, 피치 멀티플리케이션된 마스크 요소 및 피치 멀티플리케이션되지 않은 마스크 요소의 패턴을 하부 기판에 전사한 후의 도 11의 부분적으로 형성된 집적 회로의 개략 측단면도.
- [0026] 도 13은 본 발명의 바람직한 실시예들에 따른, 기판 위의 마스크 요소들을 제거한 후의 도 12의 부분적으로 형성된 집적 회로의 개략 측단면도.
- [0027] 도 14는 본 발명의 바람직한 실시예들에 따른, 기판 위의 모든 마스크 요소를 제거한 후의 도 12 또는 13의 부분적으로 형성된 집적 회로의 개략 측단면도.

도면

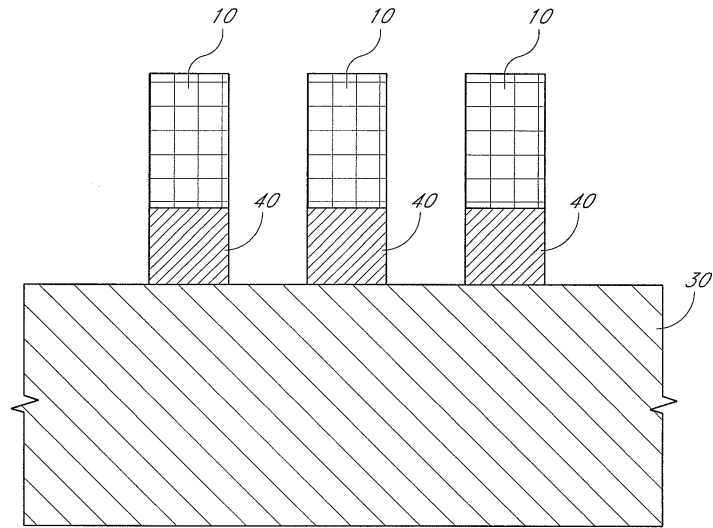
도면1A

(종래 기술)



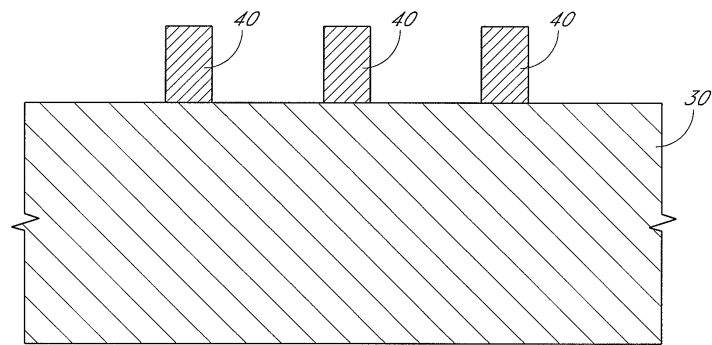
도면1B

(종래 기술)



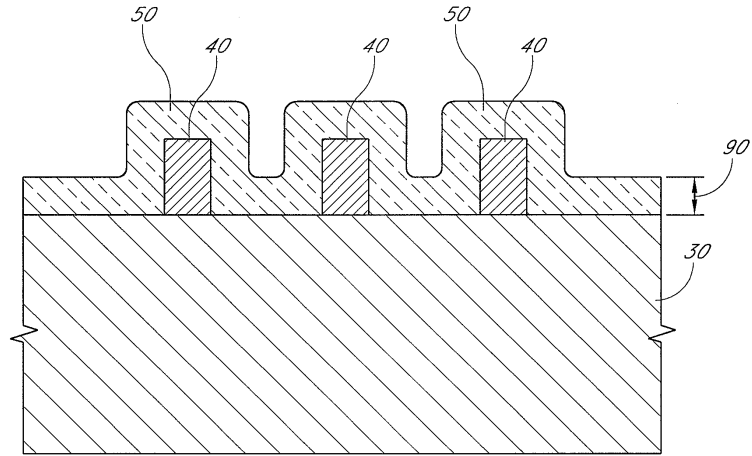
도면1C

(종래 기술)



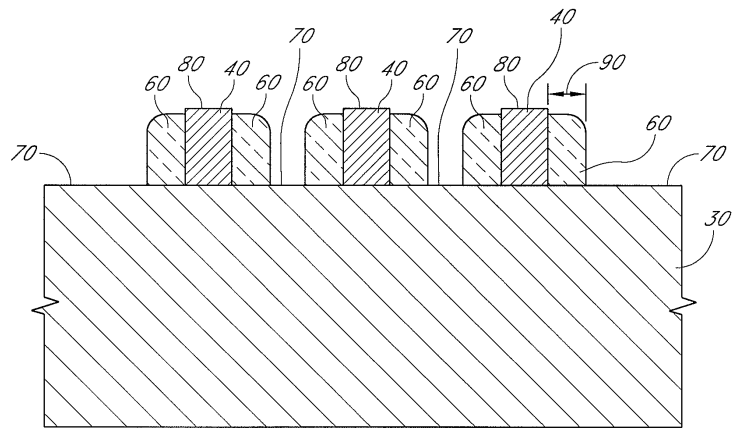
도면1D

(종래 기술)



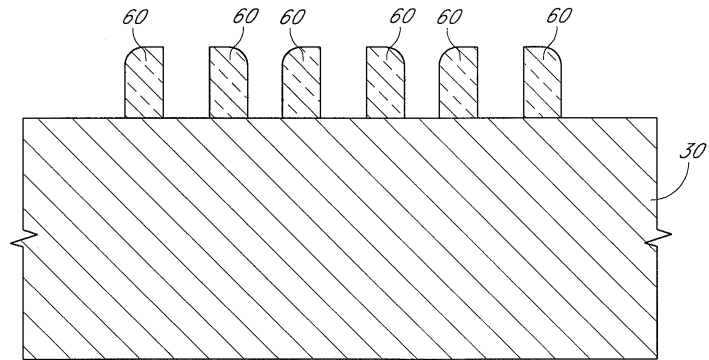
도면1E

(종래 기술)

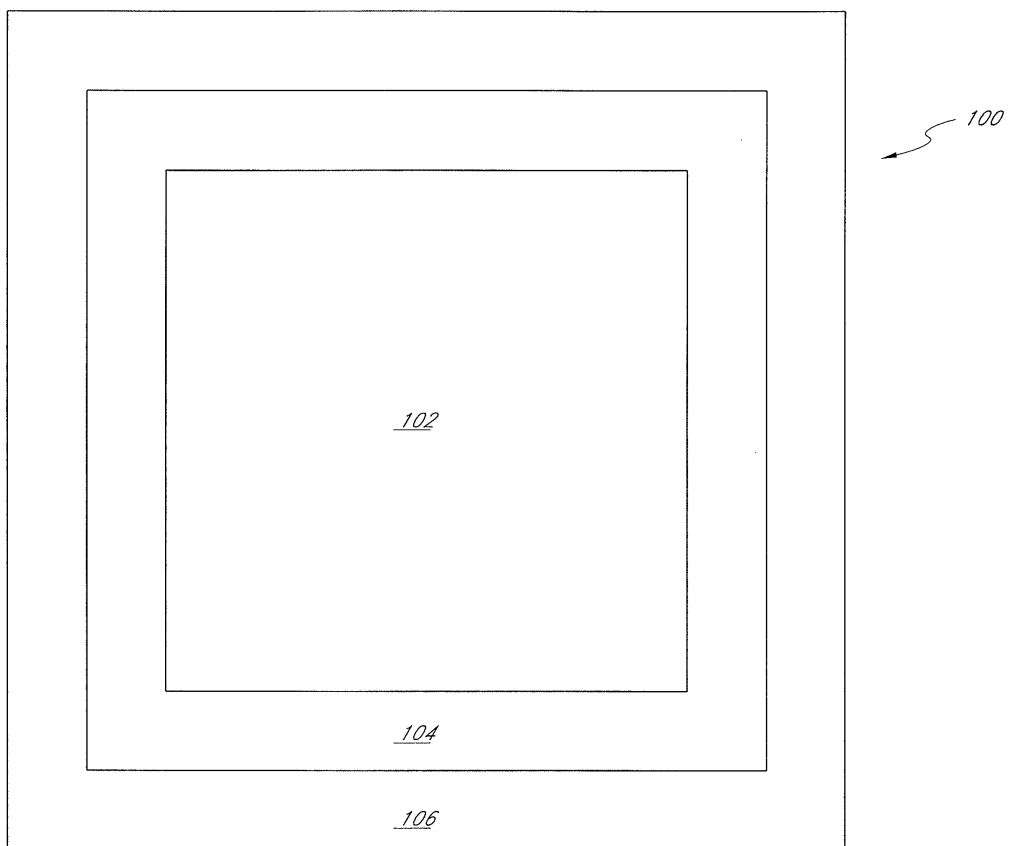


도면1F

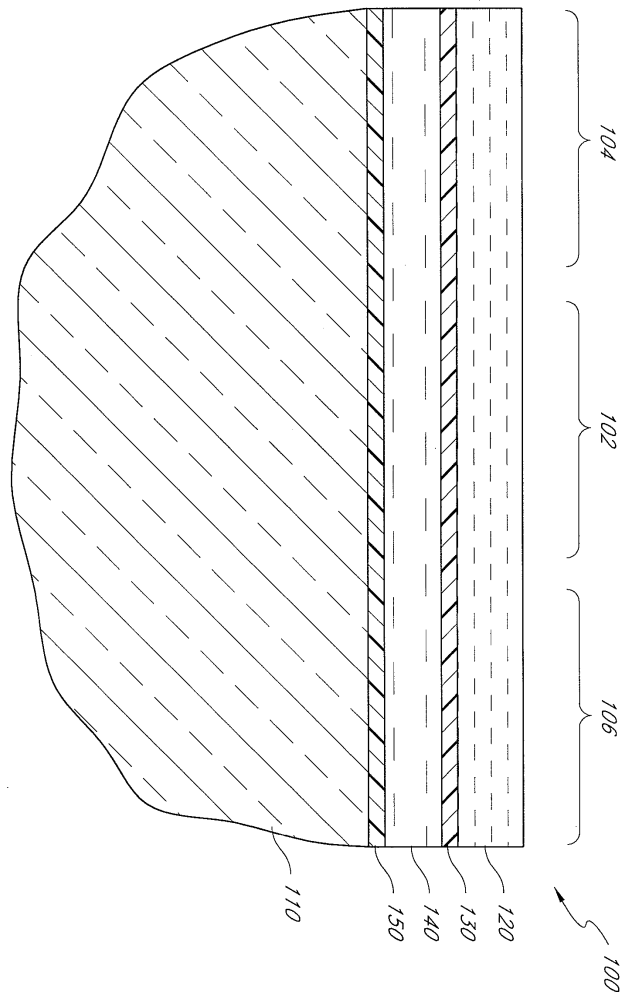
(종래 기술)



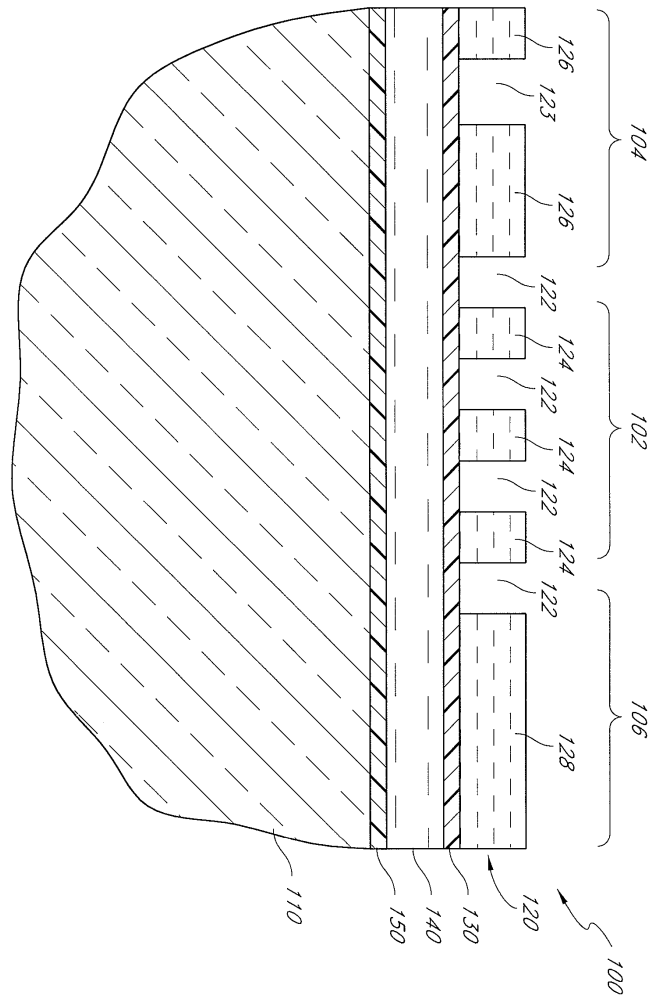
도면2A



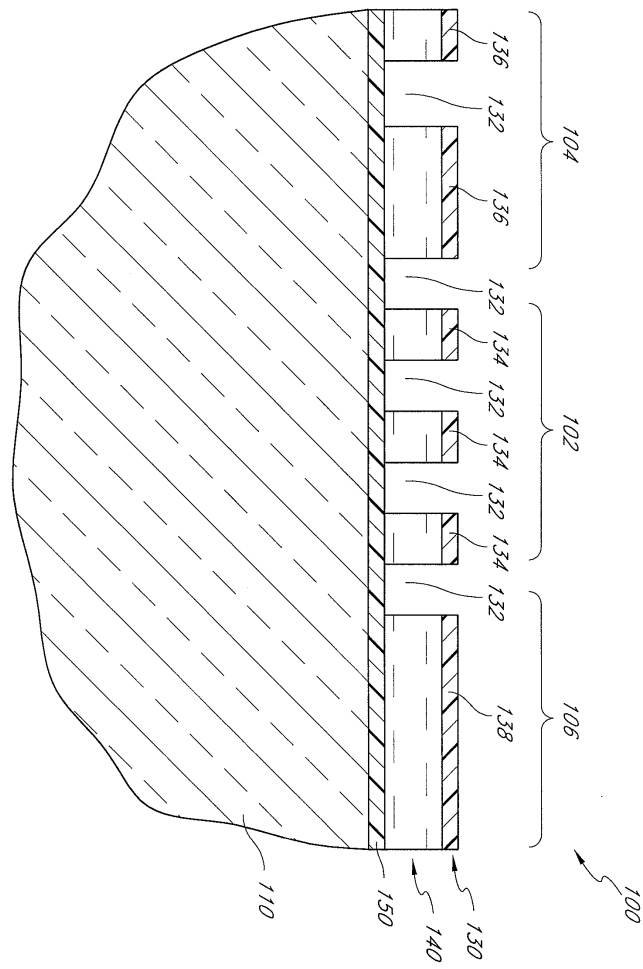
도면2B



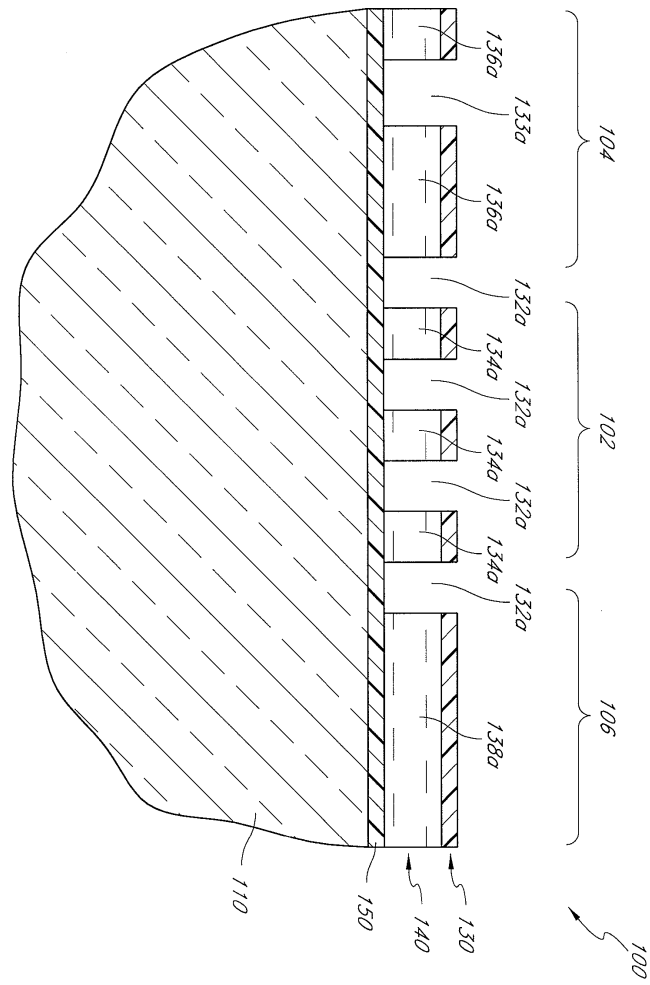
도면3



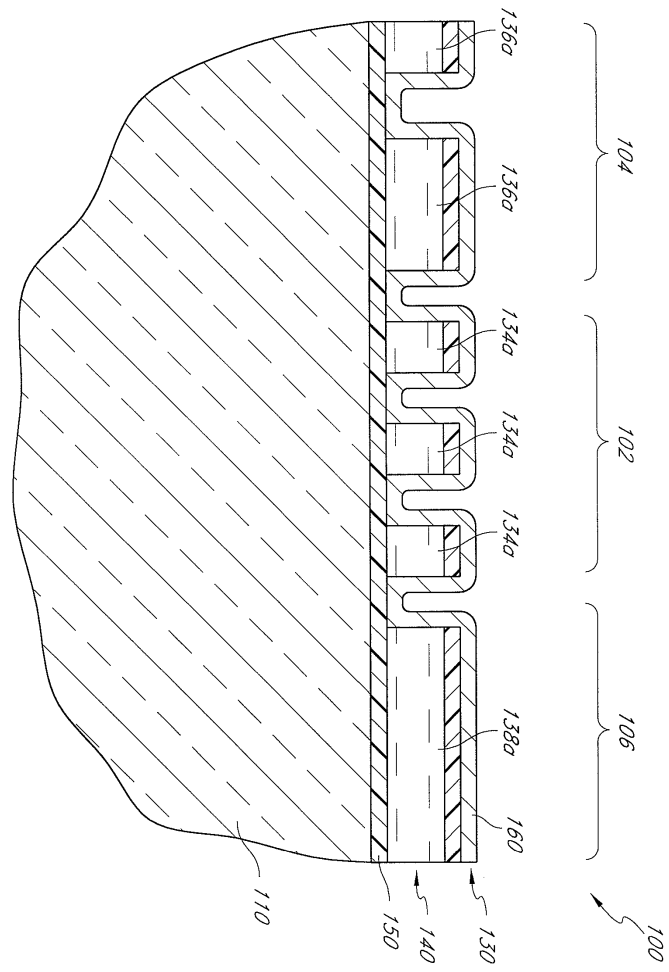
도면4



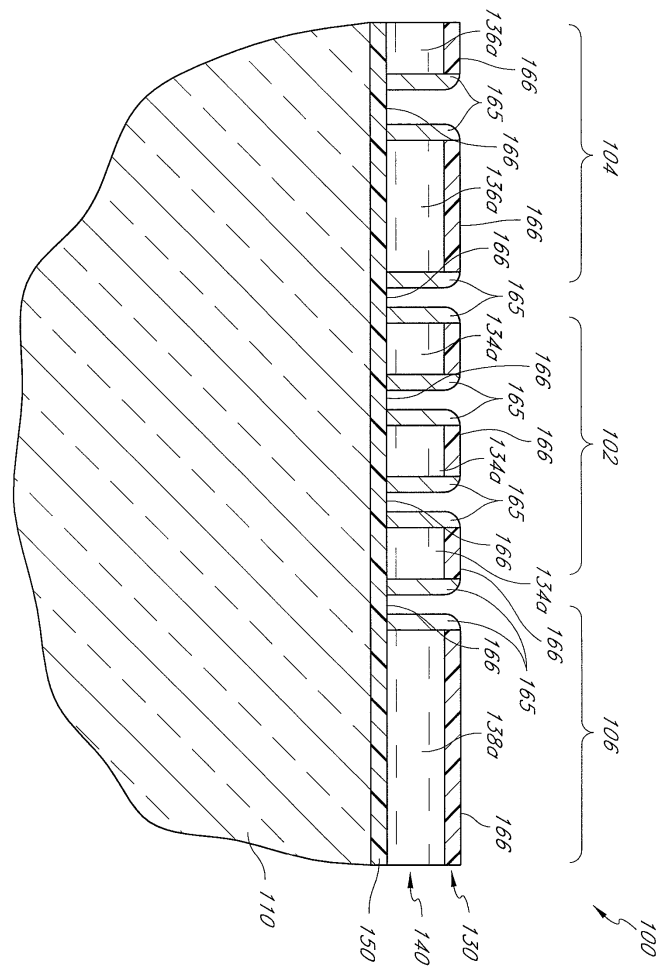
도면5



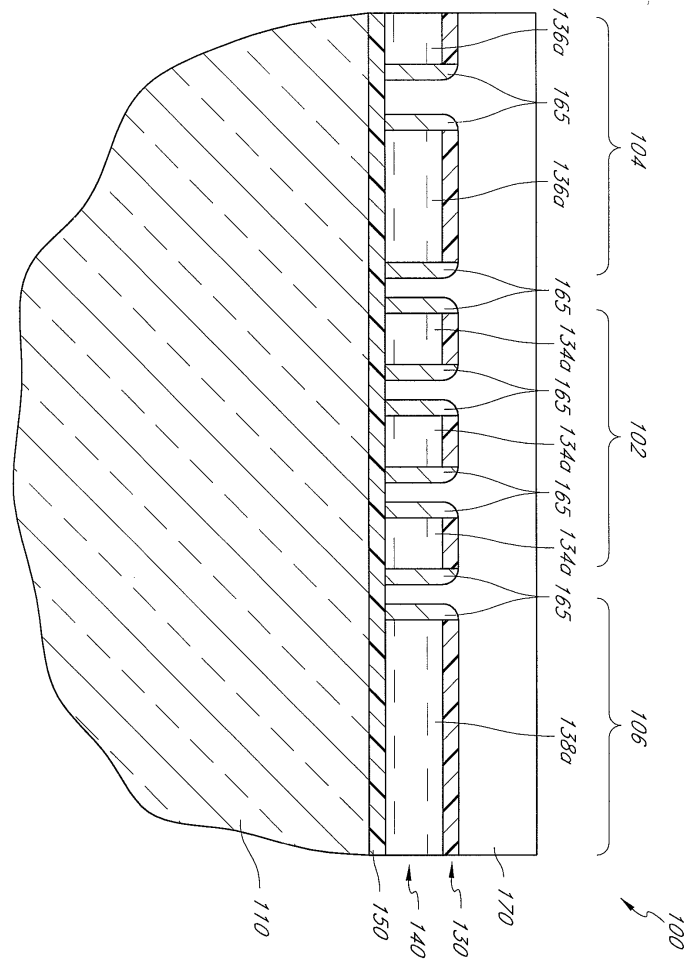
도면6



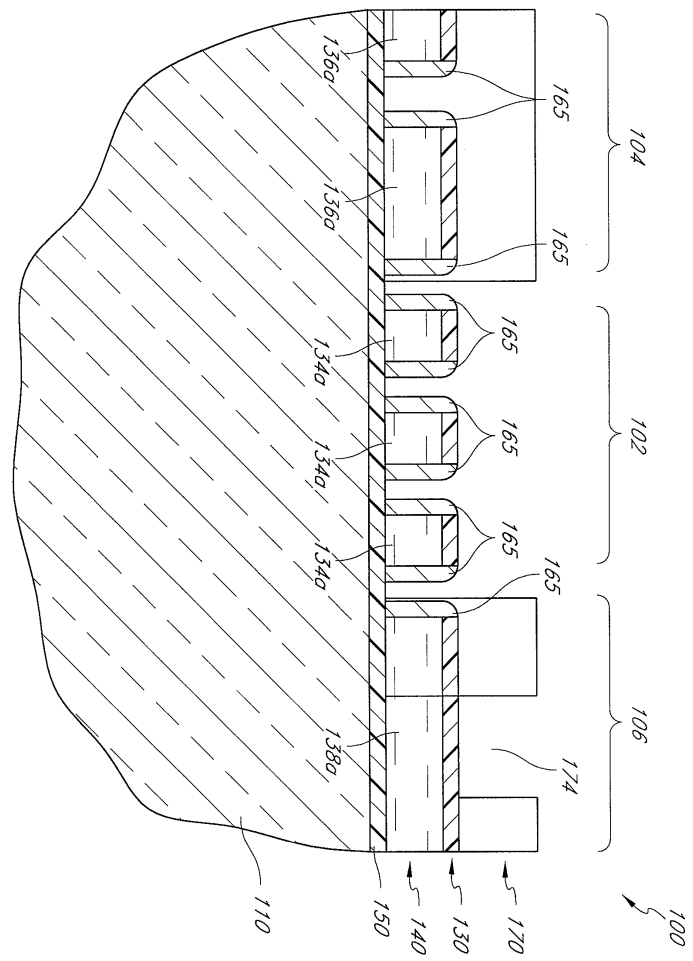
도면7A



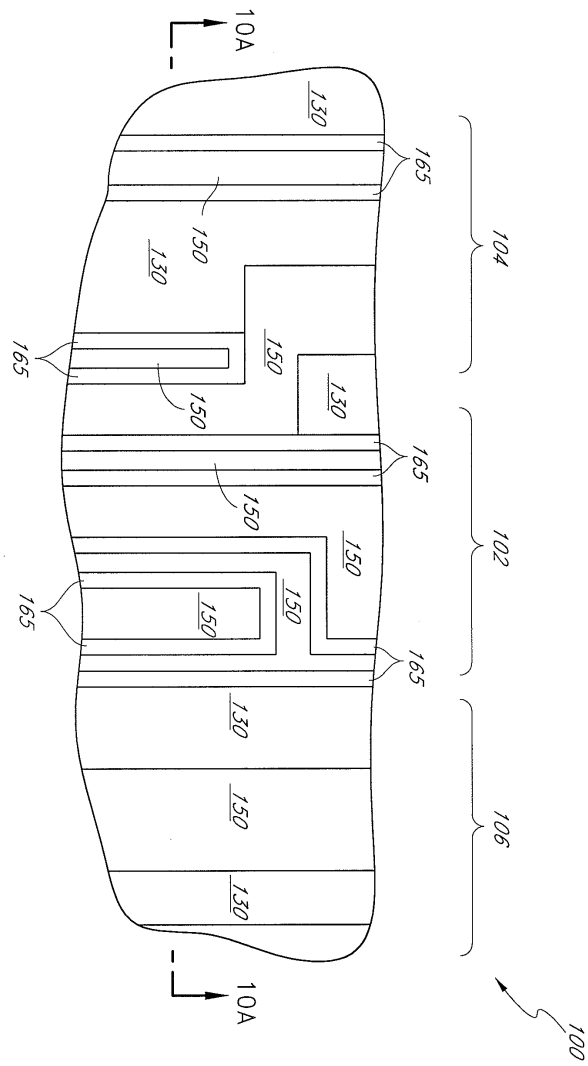
도면8



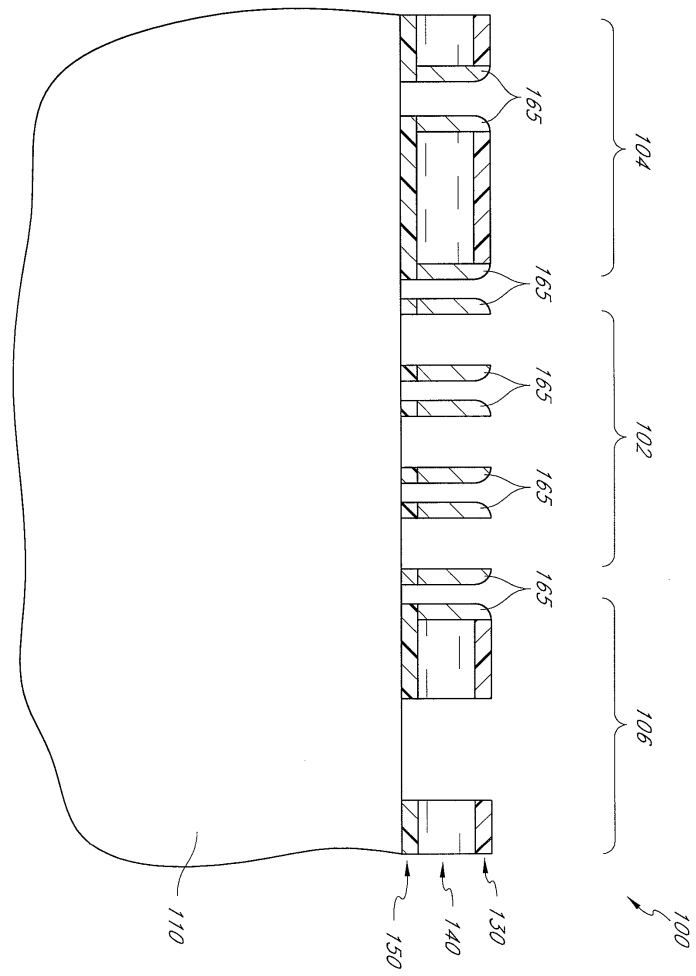
도면9A



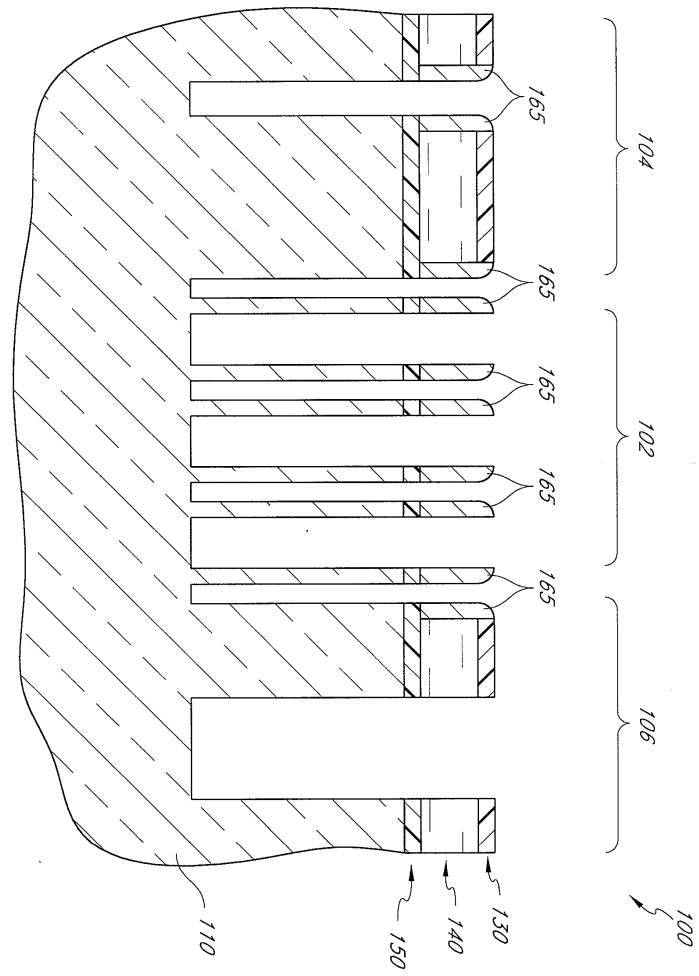
도면10B



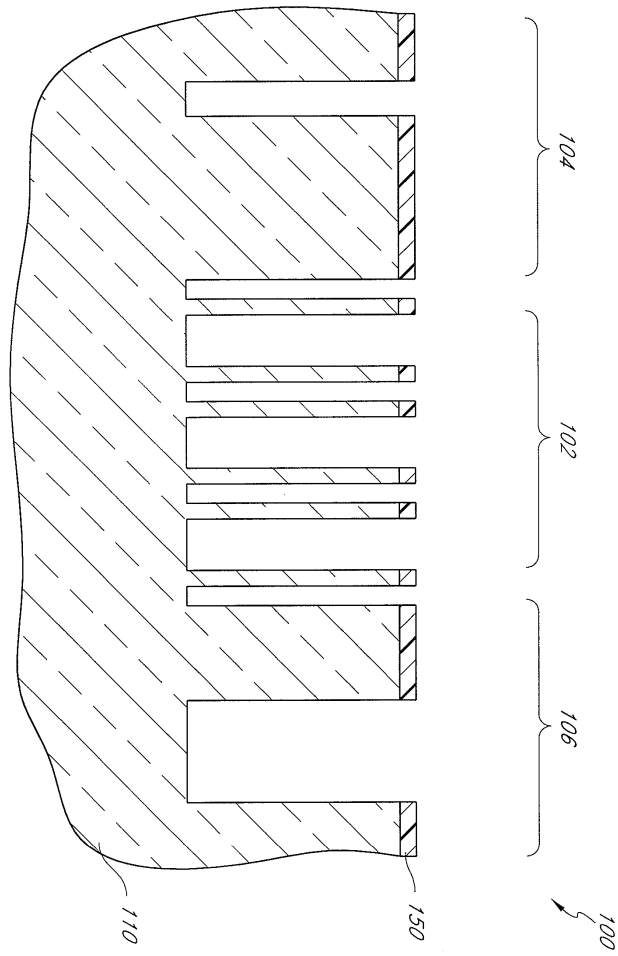
도면11



도면12



도면13



도면14

