



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년06월19일
 (11) 등록번호 10-0839067
 (24) 등록일자 2008년06월11일

(51) Int. Cl.

H01L 23/12 (2006.01)

- (21) 출원번호 10-2006-0086195
- (22) 출원일자 2006년09월07일
심사청구일자 2006년09월07일
- (65) 공개번호 10-2007-0029081
- (43) 공개일자 2007년03월13일
- (30) 우선권주장 JP-P-2005-00261398 2005년09월08일 일본(JP)
- (56) 선행기술조사문헌 JP2000138340 A*
JP2000183488 A
JP2003086755 A
JP2004128288 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자

샤프 가부시카가이사

일본 오사카후 오사카시 아베노구 나가이쵸 22 방 22고

(72) 발명자

우에다 준

일본 나라켄 요시노군 키타노 오요도쵸 88-1

(74) 대리인

하상구, 하영욱

전체 청구항 수 : 총 8 항

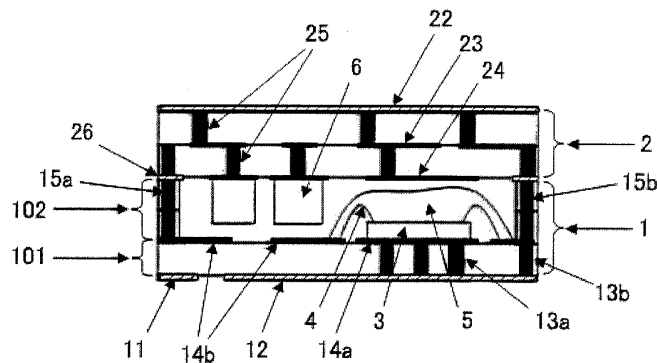
심사관 : 박귀만

(54) 전자 회로 모듈과 그 제조 방법

(57) 요약

반도체 기판에 형성된 트랜지스터 집적 회로인 반도체 집적 회로 부품과, 반도체 집적 회로 부품의 주변 회로를 구성하는 수동 소자 부품을 가지는 전자 회로 모듈로서, 반도체 집적 회로 부품 및 수동 소자 부품 중 적어도 한 쪽을 부품 탑재면에 구비한 제 1 회로 기판 및 제 2 회로 기판을 가지고, 제 1 회로 기판 및 제 2 회로 기판은 부품 탑재면을 서로 대향시켜 유지해서 형성되며, 제 1 회로 기판은 전자 회로 모듈이 실장되는 외부의 회로 기판과 접하는 측의 새시의 외벽을 이루고, 상기 제 2 회로 기판은 모듈 새시의 다른 한쪽의 외벽을 이루고 있다.

대표도 - 도1



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

반도체 기판에 형성된 트랜지스터 집적 회로인 반도체 집적 회로 부품과, 상기 반도체 집적 회로 부품의 주변 회로를 구성하는 수동 소자 부품을 가지는 전자 회로 모듈로서;

상기 반도체 집적 회로 부품 및 상기 수동 소자 부품 중 적어도 한쪽을 부품 탑재면에 구비한 제 1 회로 기판 및 제 2 회로 기판을 가지고,

상기 제 1 회로 기판 및 상기 제 2 회로 기판은 부품 탑재면을 서로 대향시켜 유지해서 형성되며,

상기 제 1 회로 기판은 상기 전자 회로 모듈이 실장되는 외부의 회로 기판과 접하는 측의 새시의 외벽을 이루고, 상기 제 2 회로 기판은 모듈 새시의 다른 한쪽의 외벽을 이루고 있고,

상기 제 1 회로 기판과 상기 제 2 회로 기판을 전기적으로 접속하기 위한 전기 경로가 형성된 프레임부를 구비하고,

상기 제 1 회로 기판과 상기 제 2 회로 기판은 상기 프레임부를 통해 서로 부품 탑재면을 대향시켜 접촉되어 있고,

상기 프레임부는 상기 제 1 회로 기판과 상기 제 2 회로 기판 중 적어도 한쪽의 회로 기판의 부품 탑재면에 구비된 비어홀을 내장한 집합 벽인 것을 특징으로 하는 전자 회로 모듈.

청구항 4

반도체 기판에 형성된 트랜지스터 집적 회로인 반도체 집적 회로 부품과, 상기 반도체 집적 회로 부품의 주변 회로를 구성하는 수동 소자 부품을 가지는 전자 회로 모듈로서;

상기 반도체 집적 회로 부품 및 상기 수동 소자 부품 중 적어도 한쪽을 부품 탑재면에 구비한 제 1 회로 기판 및 제 2 회로 기판을 가지고,

상기 제 1 회로 기판 및 상기 제 2 회로 기판은 부품 탑재면을 서로 대향시켜 유지해서 형성되며,

상기 제 1 회로 기판은 상기 전자 회로 모듈이 실장되는 외부의 회로 기판과 접하는 측의 새시의 외벽을 이루고, 상기 제 2 회로 기판은 모듈 새시의 다른 한쪽의 외벽을 이루고 있고,

상기 제 1 회로 기판과 상기 제 2 회로 기판을 전기적으로 접속하기 위한 전기 경로가 형성된 프레임부를 구비하고,

상기 제 1 회로 기판과 상기 제 2 회로 기판은 상기 프레임부를 통해 서로 부품 탑재면을 대향시켜 접촉되어 있고,

상기 프레임부는 상기 제 1 회로 기판과 상기 제 2 회로 기판 중 적어도 한쪽의 회로 기판의 부품 탑재면에 구비된 캐스텔레이션을 가지는 집합 벽인 것을 특징으로 하는 전자 회로 모듈.

청구항 5

제 3 항 또는 제 4 항에 있어서,

상기 제 2 회로 기판의 부품 탑재면의 이면에 접지 전위에 접속된 도체막을 가지는 것을 특징으로 하는 전자 회로 모듈.

청구항 6

제 3 항 또는 제 4 항에 있어서,

상기 제 1 회로 기판에 상기 반도체 집적 회로 부품이 탑재되어 있는 것을 특징으로 하는 전자 회로 모듈.

청구항 7

제 3 항 또는 제 4 항에 있어서,

상기 제 1 회로 기판과 상기 제 2 회로 기판을 대향시켰을 때 각각의 회로 기판에 탑재된 부품과 마주 대하는 다른쪽의 회로 기판 상의 위치에 부품이 탑재되지 않도록 상기 제 1 회로 기판과 상기 제 2 회로 기판의 부품 배치가 레이어아웃되어 있는 것을 특징으로 하는 전자 회로 모듈.

청구항 8

제 3 항 또는 제 4 항에 있어서,

상기 반도체 집적 회로 부품 및 상기 수동 부품의 일부 또는 전부가 수지에 의해 피복되어 있는 것을 특징으로 하는 전자 회로 모듈.

청구항 9

반도체 기판에 형성된 트랜지스터 집적 회로인 반도체 집적 회로 부품과, 상기 반도체 집적 회로 부품의 주변 회로를 구성하는 수동 소자 부품을 가지는 전자 회로 모듈로서,

상기 반도체 집적 회로 부품 및 상기 수동 소자 부품 중 적어도 한쪽을 부품 탑재면에 구비한 제 1 회로 기판 및 제 2 회로 기판을 가지고,

상기 제 1 회로 기판 및 상기 제 2 회로 기판은 부품 탑재면을 서로 대향시켜 유지해서 형성되며,

상기 제 1 회로 기판과 상기 제 2 회로 기판을 전기적으로 접속하기 위한 전기 경로가 형성된 프레임부를 더 구비하고,

상기 제 1 회로 기판과 상기 제 2 회로 기판은 상기 프레임부를 통해 서로 부품 탑재면을 대향시켜 접촉되어 있으며,

상기 프레임부는 상기 제 1 회로 기판과 상기 제 2 회로 기판 중 적어도 한쪽의 회로 기판의 부품 탑재면에 구비된 비어홀을 내장한 접합 벽이고,

상기 제 1 회로 기판은 상기 전자 회로 모듈이 실장되는 외부의 회로 기판과 접하는 측의 새시의 외벽을 이루며, 상기 제 2 회로 기판은 모듈 새시의 다른 한쪽의 외벽을 이루고 있는 전자 회로 모듈의 제조 방법으로서;

상기 제 1 회로 기판과 상기 제 2 회로 기판은 각각의 회로 기판에 부품을 탑재한 후에 부품 탑재면을 대향시켜 조합되고, 상기 접합 벽의 단면에 구비된 한쪽의 회로 기판의 전극과 대향하는 다른쪽의 회로 기판에 구비된 전극이 땀납 용접 또는 이방 전도 수지에 의해 접착됨으로써 일체화되는 것을 특징으로 하는 전자 회로 모듈의 제조 방법.

청구항 10

반도체 기판에 형성된 트랜지스터 집적 회로인 반도체 집적 회로 부품과, 상기 반도체 집적 회로 부품의 주변 회로를 구성하는 수동 소자 부품을 가지는 전자 회로 모듈로서,

상기 반도체 집적 회로 부품 및 상기 수동 소자 부품 중 적어도 한쪽을 부품 탑재면에 구비한 제 1 회로 기판 및 제 2 회로 기판을 가지고,

상기 제 1 회로 기판 및 상기 제 2 회로 기판은 부품 탑재면을 서로 대향시켜 유지해서 형성되며,

상기 제 1 회로 기판과 상기 제 2 회로 기판을 전기적으로 접속하기 위한 전기 경로가 형성된 프레임부를 더 구비하고,

상기 제 1 회로 기판과 상기 제 2 회로 기판은 상기 프레임부를 통해 서로 부품 탑재면을 대향시켜 접촉되어 있으며,

상기 프레임부는 상기 제 1 회로 기판과 상기 제 2 회로 기판 중 적어도 한쪽의 회로 기판의 부품 탑재면에 구비된 캐스탈레이션을 가지는 접합 벽이고,

상기 제 1 회로 기판은 상기 전자 회로 모듈이 실장되는 외부의 회로 기판과 접하는 측의 새시의 외벽을 이루며, 상기 제 2 회로 기판은 모듈 새시의 다른 한쪽의 외벽을 이루고 있는 전자 회로 모듈의 제조 방법으로서;

상기 제 1 회로 기판과 상기 제 2 회로 기판은 각각의 회로 기판에 부품을 탑재한 후에 부품 탑재면을 대향시켜 조합되고, 상기 접합 벽의 단면에 구비된 한쪽의 회로 기판의 전극과 대향하는 다른쪽의 회로 기판에 구비된 전극이 땀납 용접 또는 이방 전도 수지에 의해 접착됨으로써 일체화되는 것을 특징으로 하는 전자 회로 모듈의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <16> 본 발명은 전자 회로 모듈에 관한 것으로서, 특히 바람직하게는 소형, 박형이 요청되는 휴대 기기용 고주파 전자 회로 모듈에 관한 것이다.
- <17> 휴대전화를 비롯한 고주파 무선기기에 이용되는 고주파 반도체 부품에 있어서는 부품의 소형화, 생산시의 조립이나 조정 작업의 용이화, 부품의 표준화 등의 요망에 의해 기능 소자인 반도체 집적 회로 부품과 그 주변 회로를 구성하는 수동 부품을 회로 기판 상에 실장해서 일체화한 고주파 전자 회로 모듈이 주요한 부품으로서 사용되고 있다. 고주파 전자 회로 모듈은 일반적으로, 배선 패턴이 형성된 저온 소성 유리 세라믹이나 산화 알루미늄 세라믹, 또는 유리 에폭시 등을 베이스로 한 단층 또는 다층 회로 기판 상에 파워 앰프나 고주파 스위치, LNA(Low Noise Amplifire) 등의 반도체 집적 회로 부품과, 칩 부품으로 불리는 소형 저항이나 콘덴서, 코일 등의 수동 부품을 탑재해서 구성된다.
- <18> 최근, 특히 휴대용 무선기기의 소형화, 고 기능화의 요구는 강하고, 그 구성 부품인 고주파 전자 회로 모듈의 소형화로의 요망은 점점 강해지고 있다. 예를 들면, 무선 LAN(Local Area Network)이나 Bluetooth 등의 새로운 고주파 무선 데이터 통신 기능을 휴대용 퍼스널 컴퓨터나 휴대 전화 등에 부가 기능으로서 포함시키기 위해서는 소형의 고주파 기능 부품이 불가결하다. 이러한 요구에 대해 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일)나 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 개시되어 있는 바와 같이, 반도체 집적 회로 부품이나 수동 부품을 입체 구성으로 실장해서 실장 밀도를 높임으로써 전자 회로 모듈을 소형화하는 방법이 제안되어 실시되어 있다.
- <19> 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일)에 나타난 방법에 의한 모듈의 단면 구조도를 도 7에 도시한다. 한편, 도 7은 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일)로부터 인용한 것이며, 도면의 부호는 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일)에 붙여진 번호를 그대로 기재하고 있다. 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일)에 기재된 모듈의 형성 방법은 회로 기판(7)의 양쪽 주면(主面) 중 외부의 기판에 접속하기 위한 전극이 설치된 한쪽의 주면(702)에 오목부(41)를 형성하여 그 내부에 반도체 집적 회로 부품(20)을 배치하고, 다른 한쪽의 주면(701)에 수동 부품(61)을 배치함으로써 회로 기판(7)의 표면과 이면을 사용한 입체 구성의 부품 실장을 행하는 방법이다. 그 결과, 반도체 집적 회로 부품(20)의 이면측에도 다른 부품이나 회로가 배치될 수 있기 때문에 모듈의 면적을 작게 할 수 있다. 또한, 오목부 중에 반도체 집적 회로 부품(20)을 배치함으로써 모듈의 높이를 낮게 억제하는 것을 가능하게 하고 있다.
- <20> 이어서, 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 개시된 기타의 방법에 의한 모듈의 단면 구조를 도 8에 도시한다. 도 8은 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)로부터 인용한 것이며, 도면의 부호는 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 붙여진 번호를 그대로 기재하고 있다. 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 기재된 모듈의 형성 방법은 오목부(30)가 형성되어 반도체 집적 회로 부품(100)이 그 오목부에 배치된 제 1 회로 기판(10) 상에 수동 부품(110)이 배치된 제 2 회로 기판(20)을 중첩시켜 조립함으로써 입체 구성의 부품 실장을 행하는 방법이다. 반도체

체 집적 회로 부품(100) 상에도 다른 부품이나 회로가 배치될 수 있기 때문에 모듈의 면적을 작게 할 수 있다.

<21> 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일)에 개시된 모듈과 같이, 회로 기관의 제 1 주면(표면)에 정합 회로나 바이어스 회로 등을 구성하는 수동 부품을 실장하고, 동 회로 기관의 제 2 주면(이면)에 설치된 오목부에 파워 앰프 IC나 스위치 IC 등의 반도체 집적 회로 부품을 실장해서 형성된 모듈의 경우, 모듈이 외부 기관에 실장되었을 때, 발열원인 반도체 집적 회로 부품은 오목부의 바닥으로부터 매달려진 형태가 되어 반도체 집적 회로 부품에서 발생한 열은 부품의 탑재면인 오목부 저면으로부터 외부 기관과의 접촉면인 회로 기관의 이면까지 설치된 방열 경로[도 7에 있어서의 부호(43)로 나타낸 전극]를 경유해서 외부 기관의 히트 싱크까지 전달되게 된다. 이에 따라, 방열 경로가 길어지고 또한, 이 방열 경로는 회로 기관 내에 설치된 배선 패턴을 피해서 설치할 필요가 있기 때문에 충분히 굵은 경로를 형성하는 것은 일반적으로 곤란해서 방열성이 대단히 나빠진다는 문제점이 있다.

<22> 방열성이 나빠지면 동작 중의 반도체 집적 회로 부품의 온도가 상승하기 쉬워져 동작 가능 온도 범위를 좁히기 때문에 신뢰성상 바람직하지 못하다. 또한, 기관 구조가 복잡해지는 것에 더해, 기관의 양면에 부품을 실장하기 위한 특별한 공법이나 설비가 필요해져 조립 비용의 상승으로 연결되어버린다는 문제점이 있다.

<23> 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 개시된 모듈과 같이, 외부 기관과 직접 접촉하는 제 1 회로 기관에 파워 앰프IC나 스위치IC 등의 반도체 집적 회로 부품을, 제 2 회로 기관에 정합 회로나 바이어스 회로 등을 구성하는 칩 저항이나 칩 콘덴서 등의 수동 부품을 각각 탑재하고, 모두 부품 탑재면을 상향으로 해서 제 1 회로 기관 상에 제 2 회로 기관을 적층해서 구성한 모듈의 경우, 제 1 회로 기관의 반도체 집적 회로 부품의 탑재면 바로 아래에 기관을 관통하는 굵은 방열 경로를 설치함으로써 반도체 집적 회로 부품으로부터 발생한 열을 용이하게 외부 기관의 히트 싱크로 전달하는 것이 가능해서 높은 방열성을 얻을 수 있다. 그러나 2장의 회로 기관을 적층하는 구조상, 모듈의 높이가 커져버리는 문제가 있다.

<24> 일본 특허 공개 2004-14807호 공보(공개일: 2004년 1월 15일) 및 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 의한 구성의 모든 모듈에 있어서도 모듈의 상면이 되는 회로 기관면에 수동 부품이 탑재되어 있으므로, 탑재 부품의 보호와 모듈의 외형을 소정의 형상으로 형성하기 위해 어떠한 커버 수단이 필요하게 된다. 모듈의 상면에는 제품 번호를 마크하기 위해 또는 모듈을 핸들링 할 때에 진공 흡착하기 위해 어느 정도의 면적의 평면이 필요하며, 특히 소형 모듈의 경우는 커버 수단이 필수적이다. 이 커버 수단은 일반적으로는, 실드 효과를 겸해서 금속 케이스 등을 설치한다든지, 인쇄법 또는 몰드 금형을 사용한 트랜스퍼 몰드법에 의해 형성된 에폭시 수지 등에 의해 수지 밀봉하는 방법이 이용된다. 이들 공정은 금속 케이스 재료나 밀봉 수지를 위한 금형, 수지 재료가 필요하게 되어 모듈의 비용 상승으로 연결되어 있다. 또한, 이들 커버 수단에 의해 모듈의 높이가 커져버리는 문제가 있어 특히, 일본 특허 공개 2003-100937호 공보(공개일: 2003년 4월 4일)에 의한 구성의 경우 이 문제가 현저하다.

발명이 이루고자 하는 기술적 과제

<25> 본 발명은 상기 문제를 해결하기 위해서 이루어진 것으로서, 소형이고, 박형이며, 저 비용이며 또한, 양호한 방열성을 얻는 것이 가능한 전자 회로 모듈과 그 제조 방법을 실현하는 것이다.

발명의 구성 및 작용

<26> 상기 목적을 달성하기 위해, 본 발명에 의한 전자 회로 모듈은 반도체 기관에 형성된 트랜지스터 집적 회로인 반도체 집적 회로 부품과, 상기 반도체 집적 회로 부품의 주변 회로를 구성하는 수동 소자 부품을 가지는 전자 회로 모듈로서, 상기 반도체 집적 회로 부품 및 상기 수동 소자 부품 중 적어도 한쪽을 부품 탑재면에 구비한 제 1 회로 기관 및 제 2 회로 기관을 가지고, 상기 제 1 회로 기관 및 상기 제 2 회로 기관은 부품 탑재면을 서로 대향시켜 유지해서 형성되며, 상기 제 1 회로 기관은 상기 전자 회로 모듈이 실장되는 외부의 회로 기관과 접하는 측의 새시의 외벽을 이루고, 상기 제 2 회로 기관은 모듈 새시의 다른 한쪽의 외벽을 이루는 것으로 하고 있다.

<27> 이 구성에 의하면, 상기 제 2 회로 기관의 부품 탑재면의 이면이 모듈 상면의 외벽이 되어 모듈의 외형을 형성하므로 추가적인 커버 수단이 불필요해진다. 또한, 여기에서 말하는 외벽이란 모듈의 외측을 구성하는 부재라는 의미이며, 예를 들면, 그 외측에 전도층이나 보호막을 형성했을 경우도 기관이 외벽을 구성하고 있는 경우에 포함된다.

<28> 상기 목적을 달성하기 위해, 본 발명에 의한 전자 회로 모듈의 제조 방법은 본 발명에 의한 전자 회로 모듈을

제조하는 방법으로서, 상기 제 1 회로 기판과 상기 제 2 회로 기판은 각각의 회로 기판에 부품을 탑재한 후에 부품 탑재면을 대향시켜 조합하고, 상기 접합벽의 단면에 구비된 한쪽의 회로 기판 전극과 대향하는 다른쪽의 회로 기판에 구비된 전극이 뿔납 용접 또는 이방 전도 수지에 의해 접촉됨으로써 일체화되는 것을 특징으로 하고 있다.

<29> 상기 구성에 의하면, 전자 회로 모듈은 반도체 회로 부품이나 수동 부품의 실장에 관해서는 종래의 단일체의 회로 기판 실장과 동일한 공법이나 설비로 행할 수 있다.

<30> 본 발명의 다른 목적, 특징, 및 우수한 점은 이하에 나타내는 기재에 의해 충분히 알 수 있을 것이다. 또한, 본 발명의 이점은 첨부 도면을 참조한 다음의 설명에 의해 명백해질 것이다.

<31> [실시형태 1]

<32> 도 1에 본 발명에 의한 전자 회로 모듈의 제 1 실시형태를 설명하기 위한 단면 구조도를, 도 2에 본 실시형태의 구조를 도시하는 사시도를 도시했다. 또한, 도 3(a), 도 3(b), 도 3(c)에는 본 실시형태의 전자 회로 모듈의 기능을 설명하기 위한 회로 예를 도시했다. 또한, 도 2의 사시도에 있어서는 구조를 이해하기 쉽게 하기 위해 제 1 회로 기판(1)과 제 2 회로 기판(2)이 분리된 상태를 도시하고 있으며, 또한 빈잡해지는 것을 피해 일부의 구성 요소는 생략되어 있다.

<33> 도 3(a)에 도시된 회로는 고주파 파워 앰프이며, 회로도에 도시한 바와 같이, 반도체 집적 회로인 고주파 파워 앰프 IC와, 그 전원 단자(Vcc1, Vcc2, Vbb)의 주변 회로를 포함한 것이다. 고주파 파워 앰프는 무선 송신을 위해 필요한 대 전력 신호를 얻기 위해 사용되고, 입력 단자(RFin)에 입력된 신호를 전력 증폭하여 출력 단자(Pout)에 송신 신호로서 출력하는 회로이다. 대 전력을 다루기 위해 일반적으로, 고주파 파워 앰프 IC의 발열량은 크다. 고주파 파워 앰프 IC는 바이폴라 트랜지스터나 FET 등의 증폭 소자로 이루어지는 회로이며, 이들 회로를 고주파에 있어서 양호하게 동작시키기 위해 전원 단자에는 부하 임피던스의 조정이나 고주파 컷(cut)을 위한 콘덴서나 코일이 배선된다. 도 3(a)의 회로에 있어서는 콘덴서(C1, C3)가 각각 전원 단자(Vcc1)와 (Vbb)에, C2와 코일 작용을 하는 전송 선로(T1)가 전원 단자(Vcc2)에 배선되어 있다. 또한, Vbb단자에는 바이어스 전위의 조정을 위해 저항(R1)이 배선되어 있다.

<34> 도 3(b)에 도시한 회로는 고주파 스위치 회로이며, 반도체 집적 회로인 스위치 IC와 그 주변 회로로 구성되어 있다. 고주파 스위치는 컨트롤 단자(Cont1, Cont2)의 신호에 따라 고주파 단자(Port3)로의 접속을 Port1 또는 Port2로 스위칭하는 작용을 가진다. 스위치 IC는 일반적으로 FET를 스위치 소자로서 구성되어 있고, 고주파 단자(Port1~Port3)에는 DC 컷을 위한 콘덴서(C4, C5, C6), 컨트롤 단자(Cont1, Cont2)에는 바이패스 콘덴서(C7, C8)가 필요하게 된다.

<35> 이상은 일 예이지만, 이와 같이 고주파 반도체 집적 회로에 있어서 주변 회로 소자를 외장형으로 하고 있는 이유는 반도체 집적 회로내에 설치했을 경우, 집적 회로내에서 대 면적을 차지해버리기 때문에 비용 상승이 된다는 점, 또는 일부의 소자를 외장형으로 해서 회로 조정 가능하게 함으로써 양호한 성능을 이끌어 낼 수 있는 장점이 있다는 점에 의한다. 그러나, 외장형 소자가 많은 부품은 사용하기가 좋지 않아, 이것을 개선하기 위해 반도체 집적 회로 부품과 그 주변 회로를 구성하는 수동 부품을 회로 기판 상에 실장해서 일체화한 전자 회로 모듈이 이용된다.

<36> 또한, 도 3(b)에 도시한 고주파 스위치 회로는 무선기기 안테나부에 있어서 송신과 수신에 사용되는 회로이며, 고주파 단자(Port3)가 안테나에 접속되고, 도 3(a)에 도시한 바와 같은 파워 앰프에서 증폭된 송신용 출력 신호가 고주파 단자(Port1 또는 Port2)에 입력되는 회로의 사용 형태도 고려된다. 이러한 경우는 도 3(c)의 블록도에 도시한 바와 같이, 도 3(a)의 파워 앰프와 도 3(b)의 고주파 스위치를 모듈로서 일체화하여 기능을 집적화하는 것에도 이용된다.

<37> 이하에 도시하는 실시형태의 설명은 도 3(a)에 도시된 고주파 파워 앰프를 예로 설명하지만, 상기에 도시한 기타의 예와 같은 각종의 회로에도 적용가능하고, 발명의 효과는 이것에 한정되는 것이 아니다. 또한, 주변 회로 소자를 일체화해서 기능을 집적화할 수 있다는 점은 고주파에 한하지 않고 전자 회로 모듈에 의한 일반적인 작용이므로 본 발명은 고주파에 한정되는 것도 아니다.

<38> 도 1 및 도 2에 도시한 전자 회로 모듈은 상기한 고주파 파워 앰프 IC와 그 주변 회로를 탑재한 모듈이며, 각각 부품이 탑재된 제 1 회로 기판(1)과 제 2 회로 기판(2)이 부품 탑재면을 대향시켜 유지되어서 구성되어 있다. 반도체 집적 회로인 고주파 파워 앰프 IC(3)은 제 1 회로 기판(1)에 실장되고, 주변 회로 부품인 콘덴서는 칩 콘덴서(6)로서 제 2 회로 기판(2)에 실장된다. 이와 같이, 발열 부품인 반도체 집적 회로 부품을 외부 기

관과 접촉하는 제 1 회로 기관(1)에 실장함으로써 외부 기관의 히트 싱크까지의 방열 경로를 짧게 할 수 있으므로 양호한 방열성을 확보할 수 있다. 또한, 본 실시형태에 있어서는 모듈을 구성하는 2장의 회로 기관을 대향시켰을 때, 제 1 회로 기관(1)의 탑재 부품과, 제 2 회로 기관(2)의 탑재 부품이 서로 간섭하지 않도록 부품 탑재 위치를 고려해서 회로 패턴이 형성되어 있다. 이러한 부품 배치로 함으로써 모듈의 높이를 작게 억제할 수 있다.

- <39> 이하, 도 1을 이용해서 전자 회로 모듈의 구성을 설명한다.
- <40> 제 1 회로 기관(1)은 저온 소성 유리 세라믹을 기관재로 하여 형성되어 있다. 또는, 제 1 회로 기관(1)의 기관재로서 알루미늄 세라믹을 사용해도 좋다. 세라믹제 기관은 충분한 강도와 양호한 평탄성이 실현될 수 있고, 온도에 의한 치수 변화나 유전율의 변화도 작기 때문에 발열원이 되는 반도체 집적 회로 부품을 실장하는 회로 기관재로서 적합하다.
- <41> 제 1 회로 기관(1)의 주 회로 기관(101)의 부품 탑재면에는 고주파 파워 앰프 IC칩을 다이 본딩하기 위한 에리어 전극 패턴(14a)과, IC의 신호 단자나 전원 단자에 접속되는 전극이나 전송 선로 패턴을 형성하는 전극 패턴(14b)이 형성되어 있다. 또한, 부품 탑재면의 이면에는 외부 기관의 전원이나 RF신호를 모듈에 공급하기 위한 배선, 또는 모듈로부터 출력되는 Pout신호를 외부 기관에 공급하기 위한 배선이 접속되는 단자(11)와, 외부 기관의 히트 싱크를 겸한 접지 전위에 접속되는 접지 단자(12)가 설치되어 있다. 부품 탑재면의 전극 패턴(14a, 14b)과 이면에 설치된 단자(11, 12)는 제 1 회로 기관(1)의 주 회로 기관(101)에 형성된 비어홀(13a, 13b)에 의해 서로 접속되어 있다. 특히, 고주파 파워 앰프 IC(3)가 탑재되는 에리어 전극 패턴(14a)의 바로 아래에는 방열 경로가 되는 복수의 비어홀(13a)이 형성되고, 이면에 형성된 접지 단자(12)로의 방열 대책이 충분히 실시되어 있다.
- <42> 제 1 회로 기관(1)의 외주에는 상기 경로를 구비한 프레임 수단으로서, 복수의 비어홀(15a, 15b)[도 1에 있어서는 작용의 설명의 편의를 위해 부호(15a, 15b)로 하고 있지만, 구조는 동일한 것이며, 기타의 도면에 있어서는 부호(15)로 대표해서 도시하고 있다.]을 내장한 접합 벽(102)이 설치되어 있다. 비어홀(15a, 15b)은 내부에 도체가 형성된 관통 구멍이며, 이들 비어 홀은 접합 벽(102)의 상단면으로부터 저면까지 관통하여 도통 가능한 전기 경로를 형성하고 있다. 비어홀(15a, 15b)의 저면측 단자는 제 1 회로 기관(1)의 주 회로 기관(101)상에 형성된 전극 패턴(14b)에 접속되고, 상단측 단자는 접합 벽(102)의 상면에 노출되어 제 1 회로 기관(1)상의 전기 회로를 제 2 회로 기관(2)에 접속하기 위한 접속 전극을 형성하고 있다. 또한, 비어홀(15b)은 제 1 회로 기관(1)의 주 회로 기관(101)에 설치된 비어홀(13b)을 통해 접지 단자(12)에 접속되어 있고, 이것을 통해 접지 전위를 제 2 회로 기관(2)에 접속할 수 있다.
- <43> 이와 같은 접합 벽(102)은 부품 탑재 영역을 둘러싸는 프레임 형상으로 형성된 기관재에 비어홀(15a, 15b)을 가공하고, 주 회로 기관(101)에 적층해서 소성하는 등의 방법으로 형성할 수 있다. 접합 벽(102)은 고주파 파워 앰프 IC(3)나 칩 콘덴서(6) 등의 부품을 탑재하는 공간을 확보하기 위한 프레임 수단이기 때문에 이들 부품의 높이를 고려해서 충분한 높이가 되도록 형성되어 있다.
- <44> 고주파 파워 앰프 IC(3)는 은 페이스트 등의 상기 도전성 수지에 의해 에리어 전극 패턴(14a)에 다이본딩되고, 금 와이어(4)에 의해 회로 기관의 전극 패턴(14b)과 전기 접속되어 있다. 조립 공정 중의 데미지(damage)로부터의 보호와 내후성의 향상을 위해 고주파 파워 앰프 IC(3)와 금 와이어(4)는 팻팅 수지(potting resin)(5)에 의해 코팅되어 있다.
- <45> 본 실시형태에 있어서 제 2 회로 기관(2)에는 발열원으로 되는 부품이 탑재되지 않기 때문에 저 비용인 다층 배선 유리 에폭시 기관을 사용했다. 그러나, 제 2 회로 기관(2)을 형성하는 재료는 이것에 한정되지 않고 예를 들면, 제 1 회로 기관(1)에 사용한 바와 같은 세라믹 재료에 의한 다층 기관을 사용할 수 있다. 이들 재료를 사용했을 경우는 콘덴서나 코일 등의 수동 소자를 기관 내층에 설치하는 것이 가능해서 탑재 부품을 삭감 또는 제로로 할 수 있다. 따라서, 더욱 소형화, 박형화가 요구될 경우는 이것을 사용하는 것도 적합하다.
- <46> 제 2 회로 기관(2)의 회로 패턴은 부품 탑재면에 형성된 전극 패턴(24)과, 기관 내층에 형성된 전극 패턴(23)과, 부품 탑재면의 이면에 형성된 접지 메탈(22)에 의해 구성되며, 각 층의 메탈은 비어홀(25)에 의해 상호 접속되어 있다.
- <47> 제 2 회로 기관(2)의 부품 탑재면의 전극 패턴(24)에는 칩 부품을 납땀하기 위해 땀납 패드가 형성되며, 여기에 칩 콘덴서(6)가 실장되어 있다. 또한, 제 2 회로 기관(2)의 부품 탑재면에는 제 1 회로 기관(1)의 접합 벽(102)에 설치된 비어홀(15a, 15b)과 대향되는 위치에 접속 전극(26)이 설치되어 있으며, 2개의 회로 기관은 여기에

전기적으로 접속된다.

- <48> 접지 메탈(22)은 제 2 회로 기관(2)에 설치된 비어홀(25)과, 제 1 회로 기관(1)의 접합 벽(102)에 설치된 비어홀(15b)과, 제 1 회로 기관(1)의 주 회로 기관(101)을 관통하는 비어홀(13b)을 통해 외부 기관의 접지 전위에 접속되어 있다. 접지 메탈(22)은 부품 탑재면의 이면의 거의 전면에 걸쳐서 형성되어 있고, 제 2 회로 기관에 설치된 회로에 있어서의 전송 선로의 접지면으로서 작용함과 아울러 전자 회로 모듈의 회로와 외부를 전자기적으로 차단하는 실드로서 작용한다.
- <49> 이상 설명한 바와 같이, 본 실시형태에 의한 전자 회로 모듈은 2장의 회로 기관에 의해 입체적으로 회로를 구성할 수 있으므로 소형으로 형성할 수 있다. 또한, 제 1과 제 2 회로 기관의 부품 탑재면을 대향시켜 유지시킴으로써 모든 탑재 부품은 2개의 회로 기관의 내측에 내포되기 때문에 전자 회로 모듈이 외부 기관에 실장되었을 때에 외부 기관측과 마주 대하는 측(즉, 도 1에서는 지면을 향해 상측)이 되는 제 2 회로 기관의 부품 탑재면의 이면을 모듈의 새시 외벽으로 할 수 있다. 이에 따라, 2장의 회로 기관 이외에 탑재 부품을 커버하기 위한 추가 수단은 불필요해진다. 이 제 2 회로 기관의 부품 탑재면의 이면에는 접지 전위에 접속된 접지 메탈을 설치할 수 있으므로 실드를 위한 캡 수단도 필요없이 박형입과 동시에 저 비용을 실현할 수 있다.
- <50> 발열 부품인 반도체 집적 회로 부품을 외부 기관과 접촉하는 측의 제 1 회로 기관에 실장함으로써 양호한 방열성을 확보할 수도 있다. 또한, 도 1에 도시한 바와 같이, 탑재하는 부품의 크기와 위치를 고려하여 제 1 회로 기관과 제 2 회로 기관을 조합시킬 때에 각각의 탑재 부품이 서로 간섭하지 않는 레이아웃을 함으로써 종래의 것에 비해 더욱 얇게 전자 회로 모듈을 형성하는 것이 가능하다.
- <51> 이어서, 본 발명에 의한 전자 회로 모듈의 제조 방법을 간단히 설명한다. 도 4(a) ~ 도 4(d)에 공정을 설명하기 위한 단면도를 도시했다.
- <52> 도 4(a)는 제 1 회로 기관에 부품이 실장된 상태를 도시하는 것이다. 제 1 회로 기관(1)에는 접합 벽(102)이 형성되고, 접합 벽에는 비어홀(15)이 형성되어 있다. 접합 벽(102)은 부품 탑재 영역을 둘러싸는 프레임 상으로 형성된 기관재를 적층해서 소성함으로써 형성했다. 본 실시형태에 있어서 제 1 회로 기관(1)은 회로 패턴이 형성된 주(主)가 되는 회로 기관(101)을 포함해서 3층의 저온 소성 유리 세라믹 기관재로 구성되어 있고, 이 중 상부의 2층이 접합 벽(102)을 구성하고, 제 2 회로 기관(2)과의 사이에 공간을 형성해서 양쪽 기관을 유지한다. 부품을 탑재하는 공간을 확보하기 위해 접합 벽(102)은 탑재 부품보다 높게 되도록 형성할 필요가 있고, 본 실시형태에서는 250 μ m 두께의 기관재를 사용해서 500 μ m 높이의 접합 벽을 형성했다.
- <53> 제 1 회로 기관(1)에는 고주파 파워 앰프 IC(3)가 다이본딩되고, 금 와이어(4)에 의해 기관상의 전극 패턴(14b)과 IC의 단자가 와이어 본딩되어 접속된다. 그 후, 공정 중의 데미지 보호나 내후성 확보를 위해 에폭시 수지 등의 패딩 수지(5)에 의해 고주파 파워 앰프 IC(3)와 금 와이어(4)가 코팅된다. 또한, IC 단일체에 의해 충분한 내후성이 확보될 수 있고, 또한 공정의 순서상 데미지의 걱정이 없다면 패딩 수지의 코팅은 생략해도 좋다.
- <54> 도 4(b)는 제 2 회로 기관에 부품이 실장된 상태를 도시하는 것이다. 제 2 회로 기관(2)에는 수동 부품인 칩 콘덴서(6)가 설치된다. 칩 부품을 접속하는 땀납 패드에는 미리 스크린 인쇄 등의 방법으로 땀납 페이스트가 도포되고, 부품을 소정의 위치에 탑재 후 오븐에서 리플로우(reflow)되어 땀납 용접된다. 이어서, 땀납 용접부의 보호를 위해 언더 필 재(underfill material)(8)가 도포되어 경화된다. 또한, 보호재로서 패딩 수지를 도포해도 좋고, 신뢰성상 문제가 없을 경우는 보호재를 생략해도 좋다.
- <55> 상기 제 1 회로 기관(1) 및 제 2 회로 기관(2)에의 부품 실장 방법은 일반적인 단일체 기관으로의 부품 실장 방법과 마찬가지로, 특별한 설비나 공정은 필요없다.
- <56> 도 4(c)에 도시한 바와 같이, 각각의 회로 기관에 부품이 실장된 후, 제 1 회로 기관(1)과 제 2 회로 기관(2)은 각각의 부품 탑재면이 대향된 상태로 되어서 조합된다. 제 2 회로 기관(2)의 부품 실장면에는 접합 벽(102)에 설치된 비어홀(15)과 대향되는 위치에 접속 전극(26)이 설치되어 있고, 조합 공정에 의해 접합 벽(102) 상단에 노출된 비어홀(15)의 전극과 접속된다.
- <57> 조합 공정은 이하와 같은 방법으로 실시될 수 있다.
- <58> 제 1 회로 기관(1)에 설치된 접합 벽(102)의 상단에 노출되는 비어홀(15)의 전극과, 제 2 회로 기관(2)에 설치된 접속 전극(26)에 땀납 페이스트(31)를 도포한 후, 제 1 회로 기관(1) 상에 제 2 회로 기관(2)을 위치맞춤해서 배치한다. 상기 땀납 페이스트에 의해 가접착된 상태에서 땀납 페이스트(31)의 용융 조건에 적합한 온도 프로파일(profile)이 설정된 리플로우 노에 통과시켜, 땀납 페이스트(31) 중의 땀납을 용융해서 전극을 용접한다.

멤납 용접에 의해 비어홀(15)과 이것에 대항하는 접속 전극(26)이 전기적으로 접속되어 회로가 완성됨과 아울러, 2장의 회로 기판이 기계적으로도 접촉되어 모듈이 완성된다[도 4(d)]. 이 때, 제 2 회로 기판(2)에 칩 부품을 탑재할 때에 사용한 것 보다도 용점이 낮은 멤납 페이스트를 사용하는 것이 바람직하지만, 멤납이 재용 용해도 멤납의 표면장력에 의해 칩 부품이 탈락되는 일은 없으므로 동일 용점의 것이라도 사용가능하다.

<59> 또한, 조합 공정은 비어홀(15)의 전극이 노출되는 접합 벽(102)의 상단 전체에 이방 도전성 접착제를 도포 또는 필름 상의 이방 도전성 접착제를 점착한 뒤, 제 1 회로 기판(1) 상에 제 2 회로 기판(2)을 위치맞춤해서 배치하고, 가중(加重)을 걸면서 100 ~ 200℃의 처리에 의해 접착제를 경화시켜 점착한다. 이방 전도성 접착제에 포함되는 도전 입자에 의해 비어홀(15)과 이것에 대항하는 접속 전극(26)이 전기적으로 접속되어 회로가 완성됨과 아울러, 2장의 회로 기판이 기계적으로도 접촉되어 모듈이 완성된다.

<60> 본 실시형태에서는 접합 벽(102)이 제 1 회로 기판(1)의 외주에 설치된 예를 개시했지만, 반드시 제 1 회로 기판(1)에 부수될 필요는 없고, 제 2 회로 기판(2)에 형성되어 있어도 좋다. 이 경우, 접속 전극(26)은 제 1 회로 기판에 형성된다. 또한, 조합시켜서 소정의 높이가 되는 높이로 양쪽의 기판에 각각 접합 벽을 형성해도 좋다. 이 경우는 쌍방의 접합 벽단에 노출되는 비어 홀의 전극을 맞추어 접속하여 조립된다.

<61> [실시형태 2]

<62> 도 5(a)로부터 도 5(c)에 본 발명에 의한 제 2 실시형태를 설명하기 위한 단면 구조도를 도시한다. 탑재되는 회로에는 도 3(a)에 도시된 고주파 파워 앰프 회로와 같은 것이다. 도 5(a)는 제 1 회로 기판에 부품이 실장된 상태를, 도 5(b)는 제 2 회로 기판에 부품이 실장된 상태를, 도 5(c)는 모듈 조립 후의 상태를 각각 도시하고 있다. 또한, 제 1 실시형태와 공통의 구성 요소에는 동일 부호를 붙여 설명을 간략히 하고 있다.

<63> 반도체 집적 회로인 고주파 파워 앰프 IC(3)가 설치된 제 1 회로 기판(1)과, 수동 부품인 칩 콘덴서(6)가 실장된 제 2 회로 기판(2)이 부품 탑재면을 대향시켜 유지되어 구성된다는 점에서는 제 1 실시형태와 마찬가지로이다. 본 실시형태에 있어서는 제 1 회로 기판(1)에 캐비티(cavity) 구조의 IC 탑재 에리어가 형성되어 있고, 고주파 파워 앰프 IC(3)는 캐비티(202) 중에 매립되도록 탑재된다. 이러한 탑재 방법으로 함으로써 대항하는 제 2 회로 기판(2)상의 부품 탑재 위치에 관계없이 모듈의 높이를 낮게 억제할 수 있다.

<64> 제 1 회로 기판(1)은 저온 소성 유리 세라믹의 적층 기판이며, 기판의 양쪽 표면 및 내층에 형성된 전극 패턴 [도 5(a)에 있어서 부호(11, 12, 14a, 14b, 204)로 표시된 전극 등]과, 이들 각 층의 전극 패턴을 접속하기 위해 설치된 비어홀(13a, 13b)에 의해 소망의 배선 패턴이나 전극이 형성되어 있다. 부품 탑재면에는 고주파 파워 앰프 IC(3)가 탑재되는 캐비티(202)가 형성되고, 캐비티 저부에는 비어홀(13a)에 의해 충분한 방열 대책이 된 다이본딩용의 에리어 전극 패턴(14a)과, IC의 단자와 와이어 접속되는 배선의 전극 패턴(14b)이 설치되어 있다. 또한, 부품 탑재면의 외주에는 조합시켰을 때 대항하는 제 2 회로 기판(2)의 회로와 전기적으로 접속하기 위한 접속 전극(204)이 설치되어 있다. 부품 탑재면의 이면에는 외부 기판으로부터 전원이나 RF신호를 모듈에 공급하기 위한 배선, 또는 모듈로부터 출력되는 Pout 신호를 외부 기판에 공급하기 위한 배선이 접속되는 단자(11)와, 외부 기판의 히트 싱크를 겸한 접지 전위에 접속되는 접지 단자(12)가 설치되어 있다.

<65> 고주파 파워 앰프 IC(3)는 캐비티(202)의 저부에 설치된 에리어 전극에 다이본딩되고, 금 와이어(4)에 의해 회로 기판의 전극과 접속되어 있다. 그리고, 고주파 파워 앰프 IC(3)와 Au 와이어(4)의 보호를 위해 팻팅 수지(5)가 캐비티(202)에 충전된다. 또한, 본 실시형태에 있어서는 고주파 파워 앰프 IC(3)와 Au 와이어(4)의 보호를 위해 팻팅 수지(5)를 캐비티(202)에 충전하는 공법을 사용했지만, 이 캐비티 구조를 이용해서 금속 캡에 의해 밀봉하는 공법으로도 해도 좋다.

<66> 제 2 회로 기판(2)은 고주파 파워 앰프 IC(3)의 전원 단자 주변의 회로 패턴이 형성된 다층 배선 유리 에폭시 수지 기판이다. 회로 패턴은 부품 탑재면에 형성된 전극 패턴(24)과, 기판 내층에 형성된 전극 패턴(23)과, 부품 탑재면의 이면에 형성된 접지 메탈(22)에 의해 구성되며, 각 층의 메탈은 비어홀(25)에 의해 상호 접속되어 있다. 부품 탑재면의 전극 패턴(24)에는 칩 부품을 납땜하기 위해 멤납 패드가 설치되고, 여기에 수동 부품인 칩 콘덴서(6)가 실장되어 있다.

<67> 부품 탑재면의 외주에는 비어홀(208)을 내장한 접합 벽(207)이 형성되고, 접합 벽 상단면에는 비어홀 단부가 노출되어 전극을 형성하고 있다. 비어홀(208)은 제 1 회로 기판(1)에 설치된 접속 전극(204)과 대응되는 위치에 설치되어 있고, 제 1 회로 기판과 조합되어 접속 전극(204)과 회로 접속된다. 이러한 접합 벽(207)은 부품 탑재 영역을 둘러싸는 프레임 형상으로 형성된 회로 기판과 동일 재료의 기판재에 비어홀(208)을 가공하여, 이것을 주(主)가 되는 회로 기판(206)에 적층함으로써 형성할 수 있다.

- <68> 제 1 실시형태와 마찬가지로, 제 2 회로 기관(2)의 부품 탑재면의 이면은 거의 전면에 걸쳐서 접지 메탈(22)이 형성되어 있고, 접지 메탈(22)은 제 2 회로 기관(2)에 설치된 전송 선로의 접지면으로서 작용함과 아울러 전자 회로 모듈과 외부를 전자기적으로 차단하는 실드로서 효과적으로 작용한다.
- <69> 제 1 회로 기관(1)과 제 2 회로 기관(2)의 접착은 제 1 실시형태와 같은 방법으로 실시할 수 있다.
- <70> 이상과 같이, 본 실시형태에 의한 전자 회로 모듈은 2장의 회로 기관에 의해 입체적으로 회로를 구성할 수 있으므로 소형으로 형성할 수 있다. 또한, 제 1, 제 2 회로 기관의 부품 탑재면을 대향시켜 유지시킴으로써 모든 탑재 부품은 2개의 회로 기관의 내측에 내포되기 때문에 전자 회로 모듈이 외부 기관에 실장되었을 때에 외부 기관측과 마주 대하는 측[즉, 도 5(c)에서는 지면을 향해 상측]이 되는 제 2 회로 기관의 부품 탑재면의 이면을 모듈의 새시 외벽으로 할 수 있다. 이 제 2 회로 기관의 부품 탑재면의 이면에는 접지 전위에 접속된 접지 메탈을 설치할 수 있으므로 실드를 위한 커버 수단도 불필요해져 박형임과 동시에 저 비용이다. 또한, 발열 부품인 반도체 집적 회로 부품은 외부 기관과 접촉하는 측의 제 1 회로 기관에 실장됨으로써 양호한 방열성을 확보할 수도 있다. 또한, 제 1 회로 기관에 캐비티 구조의 IC 탑재 에리어를 형성하여 집적 회로 부품을 캐비티 중에 매립하도록 탑재함으로써 대향되는 제 2 회로 기관상의 부품 탑재 위치에 관계되지 않고 모듈의 높이를 낮게 억제하는 것이 가능해진다.
- <71> [실시형태 3]
- <72> 도 6은 본 발명에 의한 제 3 실시형태를 설명하기 위한 전자 회로 모듈의 사시도이다. 본 실시형태는 접합 벽에 구비되는 전기 경로로서, 비어홀 대신에 캐스텔레이션(castellation)을 사용한 예이다. 기타의 구성은 제 1 실시형태에 도시한 예와 거의 동일하므로, 동일한 구성 요소에는 같은 부호를 붙여 중복되는 설명은 생략한다. 사시도에 있어서는 구조를 이해하기 쉽게 하기 위해 제 1 회로 기관(1)과 제 2 회로 기관(2)이 분리된 상태를 도시하고 있지만, 모듈의 완성형은 2개의 기관이 접착된 상태이다. 또한, 도면이 번잡해지는 것을 피해 제 1 실시형태에 있어서 도시한 도 2와 마찬가지로 일부의 구성 요소는 생략되어 있다.
- <73> 전자 회로 모듈은 반도체 집적 회로인 고주파 파워 앰프 IC(3)가 실장된 제 1 회로 기관(1)과, 수동 부품인 칩 콘덴서(6)가 실장된 제 2 회로 기관(2)이 부품 탑재면에 대향해서 유지되어 구성된다.
- <74> 본 실시형태에 있어서는 제 1 회로 기관(1)의 외주에 캐스텔레이션(303)을 가공한 접합 벽(302)이 형성되어 있다. 캐스텔레이션은 접합 벽 측면에 형성된 단면 반원형의 홈부의 내면에 도전체막이 형성된 구조로 되어 있고, 접합 벽의 상단면과 저면 사이에 도통 가능한 전기 경로를 형성하고 있다. 캐스텔레이션(303)의 저면측 단부는 제 1 회로 기관(1)의 주 회로 기관(101)상에 형성된 회로 패턴에 접속되며, 상단면측 단부는 접합 벽(302)의 상면에 형성된 제 1 접속 전극(304)에 접속된다.
- <75> 접합 벽(302)은 제 1 회로 기관(1)의 주 회로 기관(101)과 동일한 기관재료를 사용하고 예를 들면, 저온 소성 유리 세라믹 기관이나 알루미늄 세라믹 기관을 적층해서 형성된다. 또한, 접합 벽 측면의 캐스텔레이션은 다음과 같은 방법으로 형성된다.
- <76> 통상, 회로 기관은 큰 판의 기관재 시트에 복수개 동시에 형성되며, 이것을 분할함으로써 개별 회로 기관이 얻어진다. 따라서, 회로 기관의 외측 가장자리인 접합 벽(302)의 외주 측면은 이와 같이 분할된 회로 기관의 단면으로 되어 있다. 캐스텔레이션은 이 분할선 상에 펀칭 등의 방법으로 관통 구멍을 형성하고, 내면에 Ag나 Cu를 주성분으로 하는 도전막을 형성한 것이다. 개별 회로 기관으로 분할할 때, 관통 구멍을 횡단하는 선에 의해 분리된 단면이 캐스텔레이션이 된다. 캐스텔레이션은 비어홀과 비교해서 큰 전극 면적을 얻을 수 있으므로 큰 전류나 저 손실의 전송이 요구될 경우는 적합하다.
- <77> 제 2 회로 기관(2)은 제 1 실시형태에서 설명한 실시예와 동일한 구성, 구조인 것이다. 부품 탑재면에는 제 1 접속 전극(304)과 대응하는 위치에 제 2 회로 기관 상의 회로 패턴과 연결되는 제 2 접속 전극(306)이 설치되어 있고, 제 1 회로 기관(1)과 조합되었을 때, 이들 접속 전극을 통해 2개의 회로 기관이 전기적으로 접속된다. 제 1 회로 기관(1)과 제 2 회로 기관(2)의 접착은 제 1 실시형태에서 설명한 것과 동일한 방법에 의해 실시될 수 있다.
- <78> 본 실시형태에 있어서, 캐스텔레이션을 구비한 접합 벽은 반드시 제 1 회로 기관에 설치될 필요는 없고, 제 2 회로 기관(2)에 형성되어 있어도 좋다. 또한, 조합시켜 소정의 높이가 되는 높이에서 양쪽의 기관에 각각 접합 벽을 형성해도 좋다.
- <79> 이상과 같이, 본 실시형태에 의하면 제 1 실시형태, 제 2 실시형태와 마찬가지로, 제 1, 제 2 회로 기관의 부품

탑재면을 대향시켜 유지해서 구성함으로써 소형이며 박형의 저 비용 전자 회로 모듈을 실현할 수 있다. 또한, 제 1 회로 기판과 제 2 회로 기판의 전기적 접속 수단으로서 캐스틸레이션을 사용함으로써 저 손실의 접속이 가능해지고, 예를 들면, 휴대 전화 등의 500mW를 초과하는 대 전력의 어플리케이션으로의 대응이 용이해진다. 또한, 캐스틸레이션을 구비한 집합 벽에 비어홀을 내장하는 것도 가능해서 다 신호로의 대응도 용이하게 하는 것이다.

- <80> 본 발명에 의한 전자 회로 모듈은 각각에 부품이 탑재되어, 서로 부품 탑재면을 대향시켜 유지된 제 1 회로 기판과 제 2 회로 기판을 구비하고, 상기 제 1 회로 기판은 상기 전자 회로 모듈이 실장되는 외부의 회로 기판과 접하는 측의 모듈 새시의 외벽을 이루며, 상기 제 2 회로 기판은 모듈 새시의 다른 한쪽의 외벽을 이룬다.
- <81> 이 구성에 의하면, 상기 제 2 회로 기판의 부품 탑재면의 이면이 모듈 상면의 외벽이 되어 모듈의 외형을 형성하므로 추가적인 커버 수단이 불필요해진다. 또한, 여기에서 말하는 외벽이란 모듈의 외측을 구성하는 부재라는 의미이며, 예를 들면, 그 외측에 도전층이나 보호막을 설치했을 경우도 기판이 외벽을 구성하고 있는 경우에 포함된다.
- <82> 또한, 상기 제 2 회로 기판의 부품 탑재면의 이면을 접지 전위에 접속된 도체막에 의해 덮여지도록 한다. 이 구성에 의해, 금속 캡과 마찬가지로의 실드 효과를 얻을 수 있다.
- <83> 또한, 반도체 집적 회로 부품은 상기 제 1 회로 기판에 실장했다. 이 구성에 의해, 반도체 집적 회로 부품에서 발생하는 열을 짧은 경로로서 외부 기판으로 방열하는 것이 가능해진다.
- <84> 또한, 전자 회로 모듈은 상기 제 1 회로 기판과 상기 제 2 회로 기판에 각각 부품을 탑재한 후 각각의 부품 탑재면을 대향시켜 접촉함으로써 일체화해서 형성된다. 이 제조 방법에 의해 반도체 회로 부품이나 수동 부품의 실장은 종래의 단일체의 회로 기판 실장과 동일한 공법이나 설비로 할 수 있다.
- <85> 발명의 상세한 설명에 있어서 이루어진 구체적인 실시형태 또는 실시예는 어디까지나 본 발명의 기술 내용을 명백히 하는 것으로서, 그러한 구체예에만 한정해서 협의로 해석되어야 하는 것이 아니라 본 발명의 정신과 다음에 기재되는 특허 청구 범위내에서 여러가지로 변경되어 실시될 수 있는 것이다.

발명의 효과

- <86> 본 발명에 의하면, 소형이고, 박형이며, 저 비용이며, 또한, 양호한 방열성을 얻을 수 있는 전자 회로 모듈과 그 제조 방법을 실현할 수 있다.

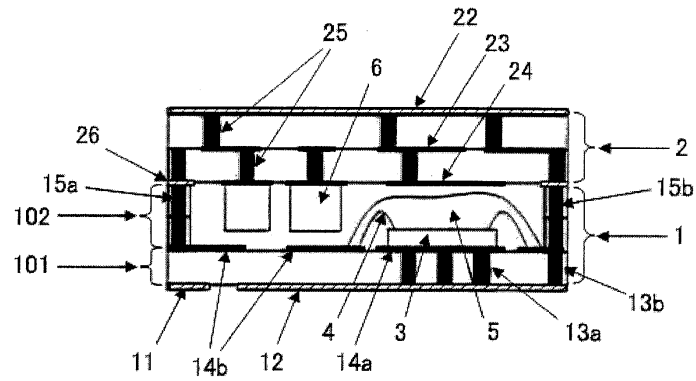
도면의 간단한 설명

- <1> 도 1은 본 발명의 전자 회로 모듈의 제 1 실시형태를 도시하는 단면 구조도이다.
- <2> 도 2는 도 1에 도시한 전자 회로 모듈의 사시도이다.
- <3> 도 3(a)는 본 발명의 전자 회로 모듈을 설명하기 위한 회로도이며, 고주파 파워 앰프의 회로도이다.
- <4> 도 3(b)는 본 발명의 전자 회로 모듈을 설명하기 위한 회로도이며, 고주파 스위치의 회로도이다.
- <5> 도 3(c)는 본 발명의 전자 회로 모듈을 설명하기 위한 회로도이며, 도 3(a)의 파워 앰프와 도 3(b)의 고주파 스위치를 모듈로서 일체화해서 기능을 집적화한 회로도이다.
- <6> 도 4(a)는 도 1에 도시한 전자 회로 모듈의 조립 공정도이며, 제 1 회로 기판에 부품이 실장된 상태를 도시하는 단면도이다.
- <7> 도 4(b)는 도 1에 도시한 전자 회로 모듈의 조립 공정도이며, 제 2 회로 기판에 부품이 실장된 상태를 도시하는 단면도이다.
- <8> 도 4(c)는 도 1에 도시한 전자 회로 모듈의 조립 공정도이며, 도 4(a)의 제 1 회로 기판(1)과 도 4(b)의 제 2 회로 기판(2) 각각의 부품 탑재면이 대향된 상태로 되어 조합되는 상태를 도시하는 단면도이다.
- <9> 도 4(d)는 도 1에 도시한 전자 회로 모듈의 조립 공정도이며, 도 4(c)의 2장의 회로 기판이 기계적으로 접촉된 상태를 도시하는 단면도이다.
- <10> 도 5(a)는 본 발명의 제 2 실시형태를 설명하기 위한 단면 구조도이며, 제 1 회로 기판에 부품이 실장된 상태를 도시하는 단면도이다.

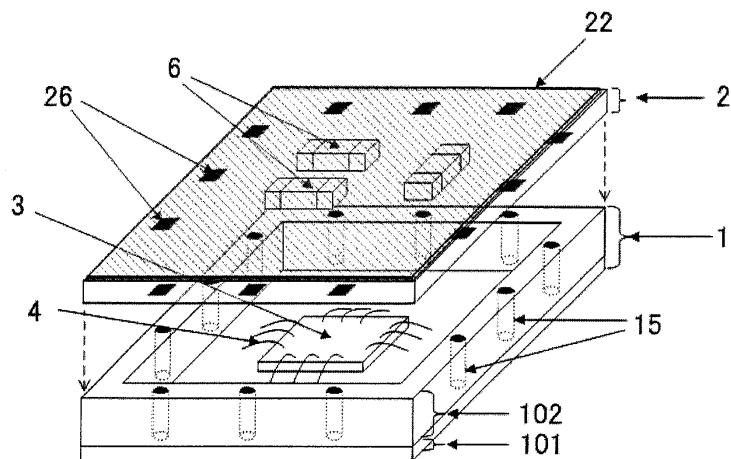
- <11> 도 5(b)는 본 발명의 제 2 실시형태를 설명하기 위한 단면 구조도이며, 제 2 회로 기판에 부품이 실장된 상태를 도시하는 단면도이다.
- <12> 도 5(c)는 본 발명의 제 2 실시형태를 설명하기 위한 단면 구조도이며, 모듈 조립 후의 상태를 도시하는 단면도이다.
- <13> 도 6은 본 발명의 제 3 실시형태를 설명하기 위한 사시도이다.
- <14> 도 7은 배경기술의 전자 회로 모듈을 설명하기 위한 단면 구조도이다.
- <15> 도 8은 기타의 배경기술을 설명하기 위한 단면 구조도이다.

도면

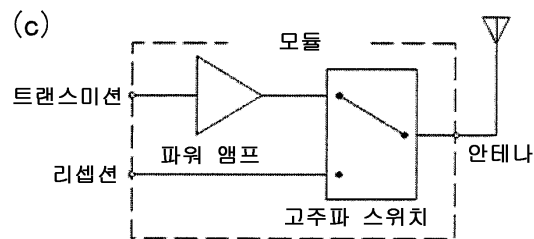
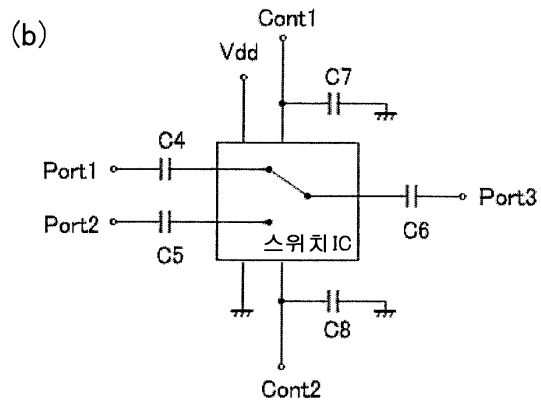
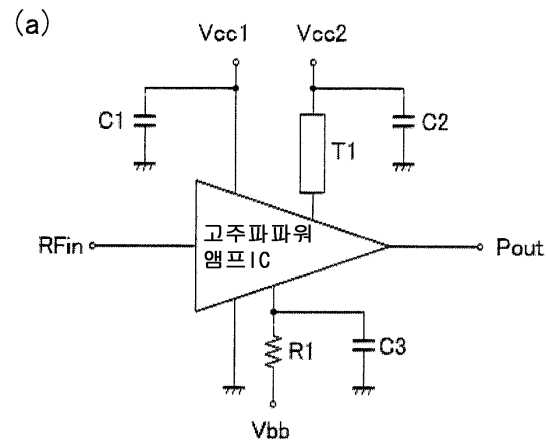
도면1



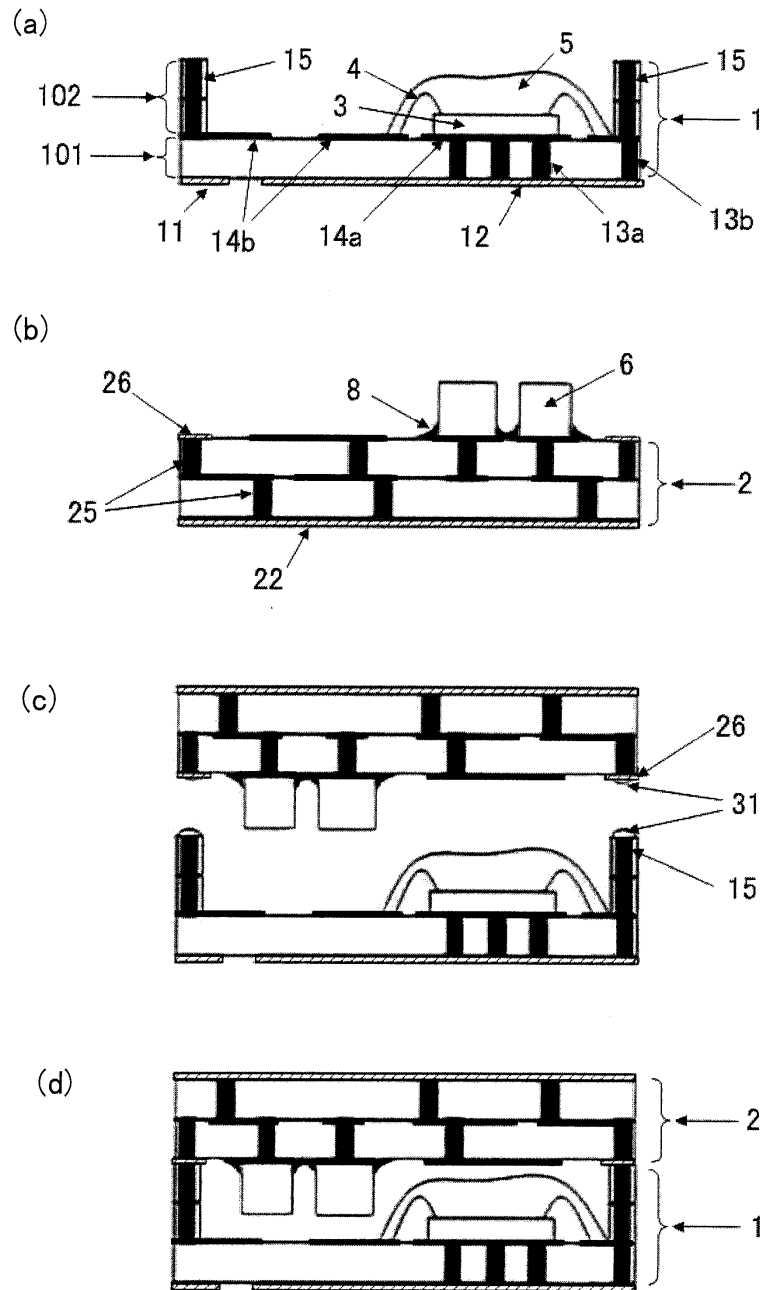
도면2



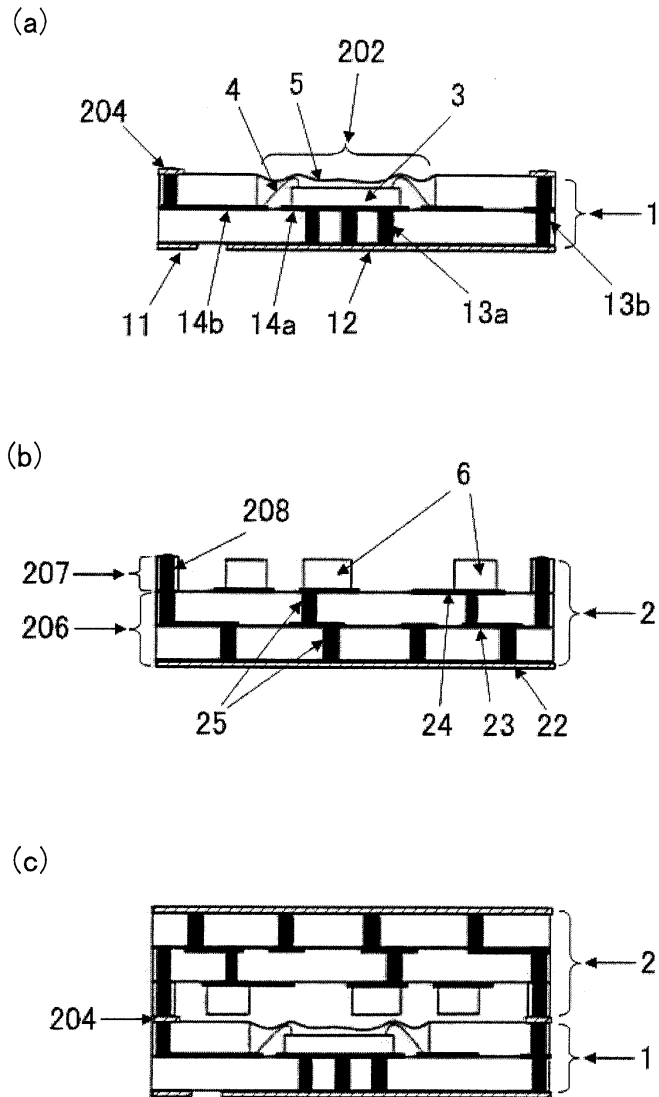
도면3



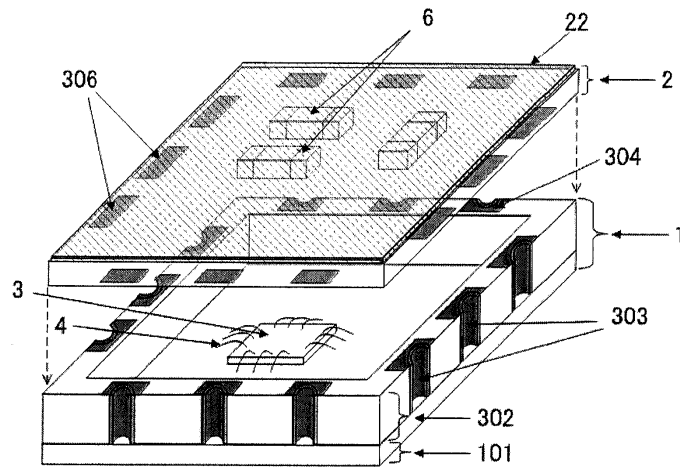
도면4



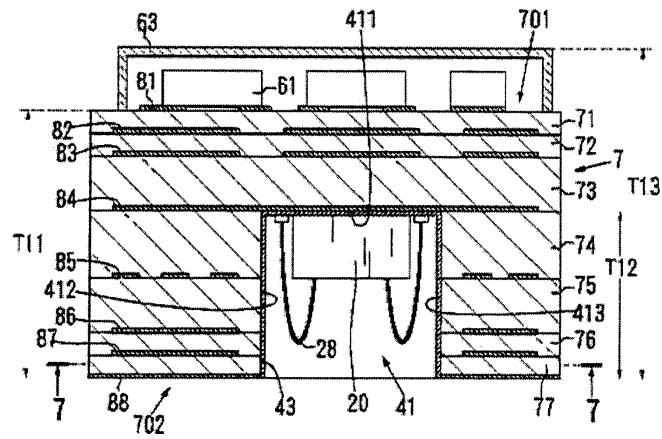
도면5



도면6



도면7



도면8

