

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-160084
(P2008-160084A)

(43) 公開日 平成20年7月10日(2008.7.10)

(51) Int.Cl.
H01L 23/12 (2006.01)

F I
H01L 23/12 501B

テーマコード (参考)

審査請求 有 請求項の数 5 O L 外国語出願 (全 18 頁)

(21) 出願番号 特願2007-301608 (P2007-301608)
(22) 出願日 平成19年11月21日 (2007.11.21)
(31) 優先権主張番号 11/602, 818
(32) 優先日 平成18年11月21日 (2006.11.21)
(33) 優先権主張国 米国 (US)

(71) 出願人 507154848
アドバンスド チップ エンジニアリング
テクノロジー インコーポレイティッド
ADVANCED CHIP ENGIN
EERING TECHNOLOGY I
NC.
台湾 シンチュウ カウンティー 303
、フーカー タウンシップ、クワンフー
エヌ ロード、ナンバー 65
(74) 代理人 100091683
弁理士 ▲吉▼川 俊雄
(72) 発明者 ウェン-クン ヤン
台湾 シンチュウ シティ、アン-カン
ストリート、レーン 6、ナンバー 47

最終頁に続く

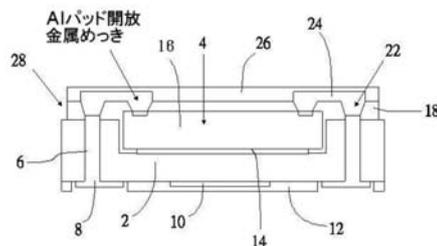
(54) 【発明の名称】 ダイ収容キャビティを備えたウェーハレベルパッケージおよびその方法

(57) 【要約】 (修正有)

【課題】ウェーハレベルパッケージ(WLP)構造体に関し、ダイを収容するダイ収容キャビティを備えるキャリアを提供する。

【解決手段】基板2の上面内に形成されるダイ収容キャビティ4を有する基板2と、そこを貫通して形成されるスルーホール構造体6を備え、スルーホール構造体6の下にターミナルパッド8が形成され、基板2が基板2の下面に接して形成される導電トレース10を含む、パッケージ構造体6を提供する。接着によりダイ16がダイ収容キャビティ4内に配置され、誘電層18がダイ16および基板2の上に形成される。再配置金属層(RDL)24が誘電層18上に形成され、ダイ16とスルーホール構造体6とを結合する。導電バンプはターミナルパッド8に結合される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板の上面内に形成されるダイ収容キャビティ、およびそこを貫通して形成されるスルーホール構造体を有し、前記スルーホール構造体の下にターミナルパッドが形成され、前記基板の下面に接して導電トレースが形成される前記基板と、

接着によって前記ダイ収容キャビティ内に配置されるダイと、

前記ダイおよび前記基板上に形成される誘電層と、

前記誘電層上に形成され、前記スルーホール構造体を介して前記ダイおよび前記ターミナルパッドに結合される再配置層 (R D L) と

を備えるパッケージ構造体。

10

【請求項 2】

前記ターミナルパッドに結合される導電バンプ、または前記導電トレースを被覆するために前記下面の上に形成される保護層をさらに備える、請求項 1 に記載の構造体。

【請求項 3】

前記誘電層が弾性誘電層または感光層を有し、前記 R D L が前記ダイから外へ広がり、前記 R D L が前記スルーホール構造体を介して前記ターミナルパッドと下方に向かって連通し、前記誘電層がシリコン誘電ベース物質、B C B または P I を有し、前記シリコン誘電ベース物質がシロキサポリマー (S I N R)、酸化シリコン、窒化シリコンまたはそれらの複合物を有し、前記 R D L が T i / C u / A u 合金、または T i / C u / N i / A u 合金を有する合金から作成され、前記基板の材料が、エポキシ樹脂タイプ F R 5、F R 4、B T、P C B (プリント基板)、合金、金属、合金 4 2 (4 2 % N i 5 8 % F e) またはコパール (2 9 % N i 1 7 % C o - 5 4 % F e)、ガラス、シリコンまたはセラミックを含む、請求項 1 に記載の構造体。

20

【請求項 4】

半導体デバイスパッケージを形成する方法であって、

基板の上面内に形成されるダイ収容キャビティ、およびそこを貫通して形成されるスルーホール構造体を有し、前記スルーホール構造体の下にターミナルパッドが形成され、前記基板が、前記基板の下面に接して形成される導電トレースを含む前記基板を形成するステップと、

所望のピッチで良品ダイスをツール上に再配置するためにピックおよび配置ファインアライメントシステムを使用するステップと、

ダイの裏側に接着物質を付着するステップと、

前記基板を前記ダイの裏側に接合し、硬化させ、次いで前記ツールを分離するステップとを有する前記方法。

30

【請求項 5】

前記基板上の誘電物質を被覆し、続いて真空処置を実行するステップと、

ビア構造体および I / O パッドを開放するステップと、

前記誘電層、前記ビア構造体、および前記 I / O パッド上にシードメタル層をスパッタするステップと、

前記誘電層上に R D L 金属を形成するステップと、

前記 R D L 上に頂部誘電層を形成するステップと

をさらに有する請求項 4 に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ウェーハレベルパッケージ (W L P) 構造体に関し、より詳細には W L P に関してダイを収容するためのダイ収容キャビティを備えたキャリアに関する。

【背景技術】

【0002】

半導体デバイス分野では引き続き高密度のデバイスが増加し、デバイスの寸法は減少し

50

ている。上記の状況に適応するように、このような高密度装置におけるパッケージングまたは相互接続技術に関する要求も増加している。従来、フリップチップ装着方法において、ソルダーバンプのレイはダイの表面に形成される。ソルダーバンプの形成は、所望のパターンのソルダーバンプを生成するために、ソルダーマスクを介してはんだ複合物質を使用して行うことができる。チップパッケージの機能は、エネルギー分配、信号分配、放熱、保護および支持などを含む。半導体がより複雑になっているため、従来のパッケージ技法、例えばリードフレームパッケージ、フレックスパッケージ、リジッドパッケージ技法では、チップ上に高密度要素を備えるより小型のチップを生成する要求を満たすことができない。

【0003】

さらに従来のパッケージ技術は、ウェーハ上のダイスを個々のダイに分け、次いでダイをそれぞれパッケージする必要があるため、上記の技法は、製造工程において時間がかかる。チップパッケージ技法は集積回路の進歩に極度に影響されるので、電子機器のサイズへの要求が厳しくなると、パッケージ技法への要求も厳しくなる。上記の理由から今日パッケージ技法の趨勢は、ボールグリッドアレイ(BGA)、フリップチップ(FC-BGA)、チップスケールパッケージ(CSP)、ウェーハレベルパッケージ(WLP)に向かっている。「ウェーハレベルパッケージ」は、パッケージング全体およびすべての相互接続がウェーハ上で行われ、ならびに他の処理ステップが複数のチップ(ダイ)への個別化(ダイシング)の前に行われることを示すことを理解するべきである。一般に、すべての組み立て工程またはパッケージング工程が完了した後、個々の半導体パッケージは、複数の半導体ダイを有するウェーハから分離される。ウェーハレベルパッケージは極めて小さな寸法であり、極めて良好な電気特性を併せ持つ。

【0004】

WLP技法は進歩したパッケージング技術であり、ダイはウェーハ上で製造され検査され、次いで表面実装ラインに組み立てるためにダイシングによって個別化される。ウェーハレベルパッケージ技法は、単一のチップすなわちダイを使用せずにウェーハ全体を1つの目的に使用するため、スクライピング工程を実行する前にパッケージングおよび検査が完遂され、さらにWLPはこのように進歩した技法であるため、ワイヤボンディング、ダイマウントおよびアンダーフィル工程を省略することができる。WLP技法を使用することにより、費用および製造時間を減少させることができ、結果としてのWLP構造体はダイの大きさに匹敵し得るので、この技法は電子デバイスの小型化の要求を満たすことができる。

【0005】

上記のWLP技法は有利であるが、WLP技法の許容に影響する若干の問題がまだ存在する。例えば、WLP技法を使用することによりICと相互接続基板の間のCTEミスマッチを減少することができるが、デバイスのサイズが最小になるのでWLP構造体の物質間のCTE差異は、構造体の機械的不安定さの別の重大な要因となる。さらに、このウェーハレベルチップスケールパッケージにおいて、半導体ダイ上に形成される複数のボンドパッドは、エリアアレイタイプでは複数の金属パッド中に再配置層(RDL)を包含する従来の再配置工程によって再配置される。ソルダーボールは、エリアアレイタイプでは再配置工程によって形成され、直接金属パッド上で溶解する。一般に積層された再配置層はすべて、ダイ上のビルドアップ層の上に形成される。したがって、パッケージの厚みが増加する。これはチップのサイズを減少させる要求と矛盾する場合がある。

【0006】

したがって本発明は、上記の問題を克服する目的でパッケージの厚みを減少させるために積層されたビルドアップ層およびRDLを有さないFO-WLP構造体を提供し、また温度サイクリングのより良好なボードレベル信頼性テストを提供する。

【発明の開示】

【0007】

本発明は、基板の上面内に形成されるダイ収容キャビティを備える基板、および基板を

10

20

30

40

50

貫通して形成されるスルーホール構造体を備え、ターミナルパッドがスルーホール構造体の下に形成され、基板が基板の下面に接して形成される導電トレースを含むパッケージ構造体を提供する。ダイは接着によってダイ収容キャビティ内に配置され、ダイおよび基板上に誘電層が形成される。再配置層(RDL)が誘電層上に形成され、ダイおよびスルーホール構造体に結合される。導電パンプはターミナルパッドに結合される。

【0008】

誘電層は、弾性誘電層、シリコン誘電ベース物質、BCBまたはPIを含む。シリコン誘電ベース物質は、シロキサンポリマー(SINR)、酸化シリコン、窒化シリコンまたはそれらの複合物を有する。あるいは、誘電層は感光層を有する。RDLは、コンタクトピニングビアスルーホール構造体の下方のターミナルパッドと連通する。

10

【0009】

基板の材料は、有機エポキシ樹脂タイプFR4、FR5、BT、PCB(プリント基板)、合金または金属を含める。合金は、合金42(42%Ni 58%Fe)またはコパール(29%Ni 17%Co-54%Fe)を含める。あるいは、基板はガラス、セラミックまたはシリコンであってよい。

【発明を実施するための最良の形態】

【0010】

次に、本発明の好ましい実施形態および添付の図面と共に本発明をより詳細に記載する。しかしながら、本発明の好ましい実施形態は単に例示の目的であることを認識されたい。ここに記載する好ましい実施形態に加えて、本発明は、明白に記載されたものに以外の他の実施形態の広範な範囲において実施することができ、本発明の範囲は、添付の特許請求の範囲に特定されるものを除いて得に限定されるものではない。

20

【0011】

本発明は、所定のスルーホールが中に形成される基板、および基板内に形成されるキャビティを使用するWLP構造体を開示する。感光物質がダイおよび事前形成基板上に塗布される。好ましくは、感光物質の材料は弾性材料で形成される。

【0012】

図1は、本発明の一実施形態によるファンアウトウェーハレベルパッケージ(FOWLP)の断面図を示す。図1に示すように、FOWLP構造体は、ダイ16を収容するためにその中に形成されるダイ収容キャビティ4を有する基板2を含む。複数のスルーホール6が、基板2の上面から下面に基板2を貫通して形成される。電氣的に連通するために、スルーホール6に導電物質が補充される。ターミナルパッド8が基板の下面に配置され、導電物質によってスルーホール6に接続される。導電回路トレース10が基板2の下面に接して構成される。保護層12、例えばソルダーマスクエポキシ樹脂が、保護の目的で導電トレース10の上に形成される。

30

【0013】

ダイ16は、基板2のダイ収容キャビティ4内に配置され、接着物質14によって固定される。知られるように、コンタクトパッド(ボンディングパッド)20がダイ16の上に形成される。感光層または誘電層18がダイの上に形成され、ダイ16とキャビティ4の壁との間の空間を塞ぐ。複数の開口が、リソグラフィ工程または露光処置によって誘電層18内に形成される。複数の開口はそれぞれ、コンタクトビアスルーホール6およびコンタクトまたはI/Oパッド20にそれぞれ位置あわせされる。層18の上に形成される金属層の選択部分を除去することによって、金属トレース24とも称されるRDL(再配置層)24が誘電層18上に形成され、RDL24は、I/Oパッド20を介してダイ16との電気接続を維持する。RDLの物質の一部が誘電層18内の開口を補充し、これによりスルーホール6の上にコンタクトビアメタル22を、ボンディングパッド20の上にパッドメタルを形成する。RDL24を被覆するために保護層26が形成される。

40

【0014】

誘電層18は、ダイ16および基板の上に形成され、ダイ16の周辺の空間を満たす。上記の構造体は、LGAタイプのパッケージを構築する。図2に代替の実施形態を見るこ

50

とができ、導電ボール30がターミナルパッド8の下に形成されている。このタイプはBGAタイプと呼ばれる。好ましくは、基板2の材料は、FR5、BT、画定されたキャビティを有するPCBまたは事前エッチング回路を有する合金42などの有機基板である。高いガラス転移温度(Tg)を有する有機基板は、エポキシ樹脂タイプのFR5、またはBT(ビスマレイミドトリアジン)タイプの基板である。合金42は、42%Niおよび58%Feで構成される。29%Ni、17%Co、54%Feで構成されるコパールも使用することができる。ガラス、セラミック、シリコンを基板として使用することができる。図3を参照すると、キャビティ4の深さは、ダイ16の厚みよりわずかに厚くてよい。同様により深くてよい。他の部分は図1と同様であるので、同様の部分の参照番号は省略する。

10

【0015】

基板はウェーハタイプなど円形タイプであってよく、直径は200、300mmまたはそれ以上であってよい。パネル形態などの矩形タイプを採用してよい。図4は、パネルウェーハ形態の基板2を示す。図面からわかるように、基板2はキャビティ4を備えて形成され、回路10内に構築され、スルーホール構造体6は中に金属が充填される。図4の上方部において、図1のユニット2がマトリクス形態で構成されている。各ユニット2を分離するためにスクライプライン28がユニット2の間を画定する。

【0016】

本発明の一実施形態において、誘電層18は好ましくは、シロキサンポリマー(SINR)、酸化シリコン、窒化シリコンまたはそれらの複合物を有するシリコン誘電物質によって作成される弾性誘電物質である。別の実施形態において、誘電層は、ベンゾシクロブテン(BCB)、エポキシ樹脂、ポリイミド(PI)または樹脂を有する材料によって作成される。好ましくは、工程を簡単にするためにこれは感光層である。

20

【0017】

本発明一実施形態において、弾性誘電層は、100(ppm/)を超えるCTE、約40パーセント(好ましくは30パーセント 50パーセント)の弾性率を有する物質の一種であり、この物質の硬度は、プラスチックとゴムの間である。弾性誘電層18の厚さは、温度サイクリングテスト中にRDL/誘電層接触面に蓄積する応力に左右される。

【0018】

本発明の一実施形態において、RDL24の材料は、Ti/Cu/Au合金、またはTi/Cu/Ni/Au合金を有し、RDL24の厚さは、2μmから15μmの間である。Ti/Cu合金は、スパッタリング法によってシードメタル層としても形成され、Cu/AuまたはCu/Ni/Au合金は電気めっき法によって形成され、RDLを形成するために電気めっき工程を利用することにより、RDLの厚さを温度サイクリング中CTE mismatchesに耐えるのに十分な厚さにすることができる。金属パッド20は、AlまたはCuまたはそれらの混合物であってよい。FO-WLP構造体が弾性誘電層としてSINRを使用する場合、RDLとしてCuを使用する。ここには示されていないが、応力分析によって、RDL/誘電層接触面に蓄積する応力が減少される。

30

【0019】

図1-3に示すように、RDL24はダイから広がり、パッケージスルーホール構造体の下のターミナルパッド8に向かって下方に連通する。これは、ダイ上に層を積み重ねることによりパッケージの厚さが増大する従来技術とは異なる。しかしながら、これはダイパッケージの厚さを減少させる規則に背く。それどころかダイパッド側と反対の表面にターミナルパッドが配置される。連通トレースはスルーホールを介して基板2を貫通し、信号をターミナルパッド8に導く。したがって、ダイパッケージの厚さを縮小することができる。本発明のパッケージは、従来技術より薄くなる。さらに基板は、パッケージの前に事前準備される。キャビティ4およびトレース10も同様に既定されている。したがって、処理量は以前よりも向上する。本発明は、RDL上に積層されるビルトアップ層を有さないファンアウトWLPを開示する。

40

【0020】

50

本発明の工程は、アライメントパターンが上に形成されるアライメントツールを提供することを含む。次いでパターン接着剤をツール上にプリントし（ダイスの表面を貼り付けるために使用される）、続いてフリップチップ機能を有するピックおよび配置ファインアライメントシステムを使用して、良品ダイを所望のピッチでツール上に再配置する。パターン接着剤によりチップをツール上に貼り付ける。続いて、ダイ付着物質がダイの裏側にプリントされる。次いで、パネルボーダーを使用して基板をダイの裏側に接合し、キャピティを除く基板の上面もパターン接着剤に貼り付けられ、次いで真空硬化し、ツールをパネルウェーハと分離する。

【0021】

あるいは、ファインアライメントを有するダイボンダー機械を採用し、ダイ付着物質を基板のキャピティ上に分配する。ダイは基板のキャピティ上に配置される。ダイ付着物質は、ダイが基板上に確実に付着するように熱硬化される。

【0022】

ダイが基板上に再配置されると、次いでウエットおよび/またはドライ洗浄によってダイス表面を洗浄するために浄化処置が実行される。次のステップは、パネル上の誘電物質を被覆することであり、続いて確実にパネル内に気泡が存在しないように真空処置が実行される。続いて、ビアおよびAlボンディングパッドおよび/またはスクライプライン（光学的）を開放するためにリソグラフィ処置が実行される。次いで、ビアホールおよびAlボンディングパッドの表面を洗浄するためにプラズマ洗浄ステップが実行される。次のステップは、シードメタル層としてTi/Cuをスパッタすることであり、次いで、再配置金属層（RDL）のパターンを形成するためにフォトレジスタ（PR）が誘電層上およびシードメタル層上に塗布される。次いで、RDL金属としてCu/AuまたはCu/Ni/Auを形成するために、電気めっきが行われ、続いてRDL金属トレースを形成するためにPRおよびメタルウエットエッチングメタルを剥離する。続いて次のステップは、誘電層の頂部を被覆またはプリントすること、および/またはスクライプライン（光学的）を開放することである。

【0023】

ボール配置またはソルダーペーストプリンティングの後、基板側で（BGAタイプに関して）リフローするためにヒートリフロー処置が実行される。検査が行われる。垂直プローブカードを使用してパネルウェーハレベル最終検査が行われる。検査の後、基板はパッケージを個々のユニットに個別化するために切断される。次いでパッケージはそれぞれピックアップされ、トレイまたはテープ、およびリール上にパッケージを配置する。

【0024】

本発明の利点は、

基板が事前形成されたキャピティを備えて事前準備され、キャピティのサイズが、側部につきダイサイズプラス約50 μ mから100 μ mと等しく、これは、シリコンダイと基板（FR5/BT）の間のCTEの差による熱応力を吸収するために弾性誘電物質で充填することによって応力緩衝域緩和領域として使用することができる点である。ダイの表面頂部上に簡単なビルドアップ層を適用することによって、パッケージ処理量が増加する（製造サイクリング時間が減少した）。ターミナルパッドは、ダイスアクティブ面と反対の面上に形成される。ダイス配置工程は、現在の工程と同様である。コアペースト（樹脂、エポキシ樹脂複合物、シリコンゴムなど）充填材は本発明に必要ではない。パネル形成工程中CTEミスマッチ問題が生じることはなく、ダイと基板FR4の間の深さはおよそ20から30 μ m（ダイ付着物質の厚さに関して使用される）であり、ダイおよび基板の表面レベルは、ダイが基板のキャピティに付着した後と同様であり得る。シリコン誘電物質（好ましくはSINR）のみがアクティブ表面および基板表面（好ましくはFR45またはBT）に塗布される。単に、コンタクティングビアを開放するために誘電層（SINR）は感光層であるため、コンタクティングビア構造体はフォトマスク工程を使用して開放される。気泡問題を解消するために、SINR塗布中の真空工程が使用される。ダイ付着物質は、基板がダイス（チップ）と共に接合される前にダイスの裏側にプリントされ

10

20

30

40

50

る。パッケージおよびボードレベル両方の信頼性は、特にボードレベル温度サイクリングテストに関して以前より向上し、これは基板とPCBマザーボードのCTEが同一であるためであり、ソルダーバンプ/ボールに機械的熱応力が加わることはない。費用は安価であり工程は簡単である。コンポパッケージの形成は容易である（デュアルダイスパッケージ）。

【0025】

本発明の好ましい実施形態を記載してきたが、当業者は、本発明が記載の好ましい実施形態に限定されるべきでないことを理解されるであろう。むしろ、添付の特許請求の範囲によって定義される本発明の精神および範囲内で種々の変更および修正を行うことができる。

【図面の簡単な説明】

【0026】

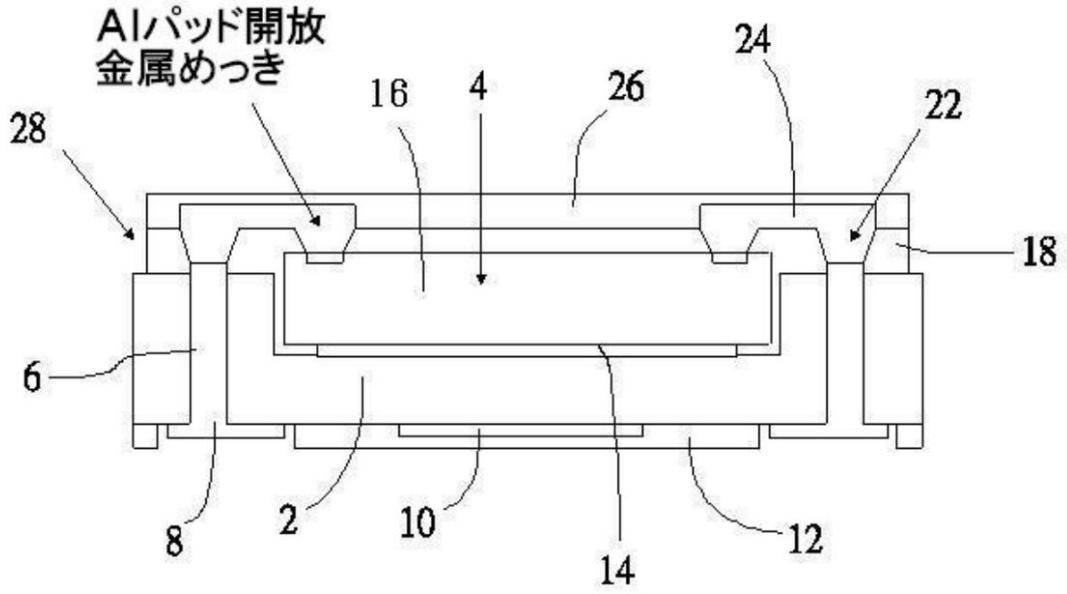
【図1】本発明によるファンアウトWLP構造体の断面図である。

【図2】本発明によるファンアウトWLP構造体の断面図である。

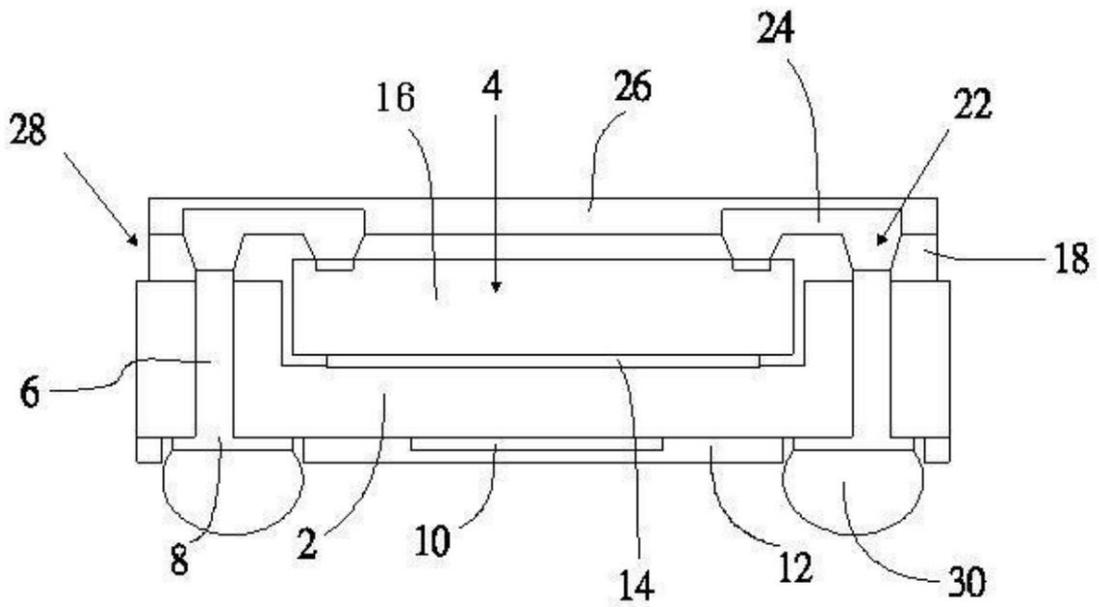
【図3】本発明によるファンアウトWLP構造体の断面図である。

【図4】本発明によるファンアウトWLP構造体の断面図である。

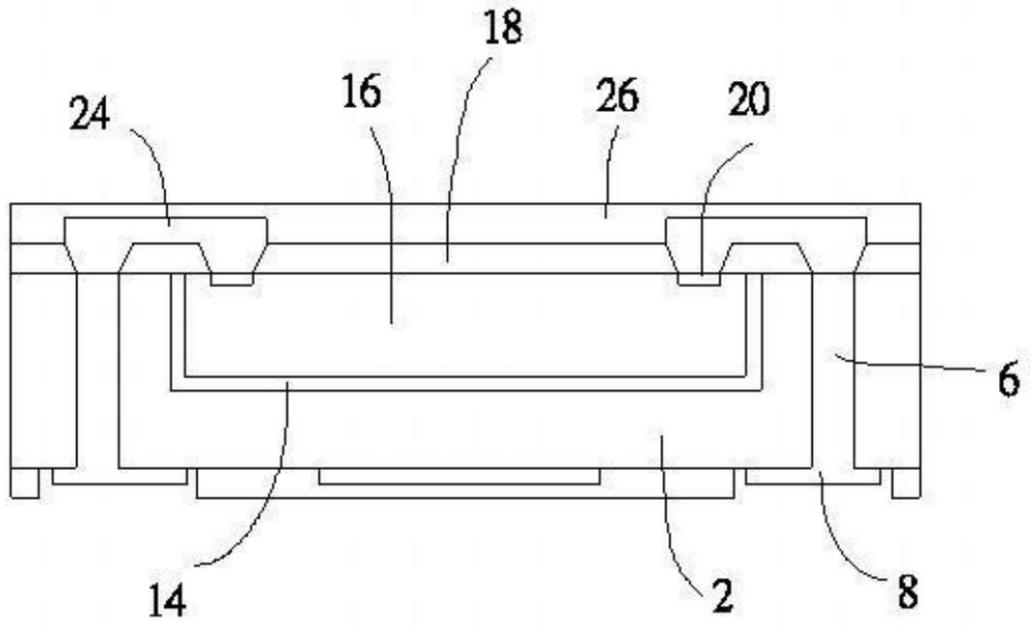
【 図 1 】



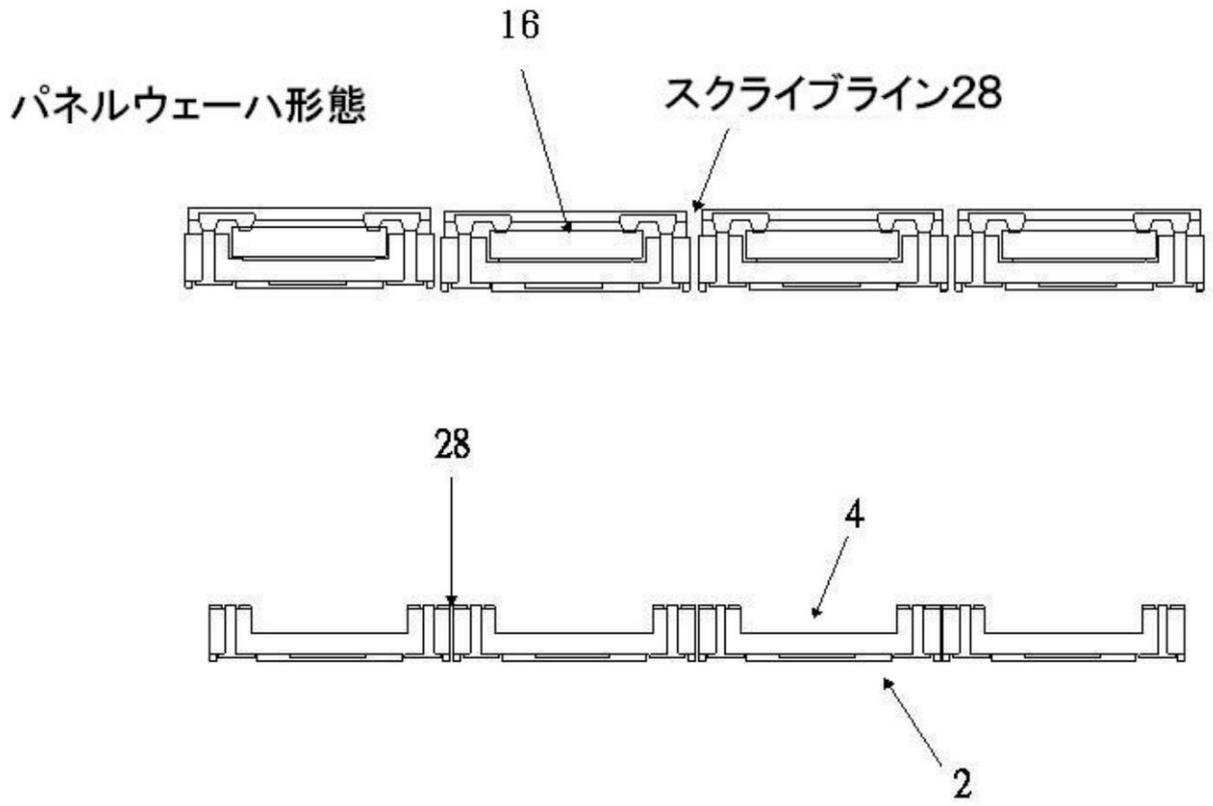
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 ジュイ - シエン チャン
台湾 シンチュウ カウンティ 310, ジュドン タウンシップ, ウフォン ストリート, レー
ン 23, アレー 39, ナンバー 22

【外国語明細書】

Wafer Level Package with Die Receiving Cavity
and Method of the Same

Field of the Invention

This invention relates to a structure of wafer level package (WLP), and more particularly to a carrier with die receiving cavity to receive a die for WLP.

Description of the Prior Art

In the field of semiconductor devices, the device density is increased and the device dimension is reduced, continuously. The demand for the packaging or interconnecting techniques in such high density devices is also increased to fit the situation mentioned above. Conventionally, in the flip-chip attachment method, an array of solder bumps is formed on the surface of the die. The formation of the solder bumps may be carried out by using a solder composite material through a solder mask for producing a desired pattern of solder bumps. The function of chip package includes power distribution, signal distribution, heat dissipation, protection and support...and so on. As a semiconductor become more complicated, the traditional package technique, for example lead frame package, flex package, rigid package technique, can't meet the demand of producing smaller chip with high density elements on the chip.

Furthermore, because conventional package technologies have to divide a die on a wafer into respective dies and then package the die respectively, therefore, these techniques are time consuming for manufacturing process. Since the chip package technique is highly influenced by the development of integrated circuits, therefore, as the size of electronics has become demanding, so does the package technique. For the reasons mentioned above, the trend of package technique is toward ball grid array (BGA), flip chip (FC-BGA), chip scale package (CSP), Wafer level package (WLP) today. "Wafer level package" is to be understood as meaning that the entire packaging and all the interconnections on the wafer as well as other processing steps are carried out before the singulation (dicing) into chips (dies). Generally, after completion of all assembling processes or packaging processes, individual semiconductor packages are separated from a wafer having a plurality of semiconductor dies. The wafer level package has extremely small dimensions combined with extremely good electrical properties.

WLP technique is an advanced packaging technology, by which the die are manufactured and tested on the wafer, and then singulated by dicing for assembly in a surface-mount line. Because the wafer level package technique utilizes the whole wafer as one object, not utilizing a single chip or die, therefore, before performing a scribing process, packaging and testing has been accomplished; furthermore, WLP is such an advanced technique so that the process of wire bonding, die mount and under-fill can be omitted. By utilizing WLP technique, the cost and manufacturing time can be reduced, and the resulting structure of WLP can be equal to the die; therefore, this technique can meet the demands of miniaturization of electronic devices.

Though the advantages of WLP technique mentioned above, some issues still exist influencing the acceptance of WLP technique. For example, although utilizing WLP technique can reduce the CTE mismatch between IC and the interconnecting substrate, as the size of the device minimizes, the CTE difference between the materials of a structure of WLP becomes another critical factor to mechanical instability of the structure. Furthermore, in this wafer-level chip-scale package, a

plurality of bond pads formed on the semiconductor die is redistributed through conventional redistribution processes involving a redistribution layer (RDL) in to a plurality of metal pads in an area array type. Solder balls are directly fused on the metal pads, which are formed in the area array type by means of the redistribution process. Typically, all of the stacked redistribution layers are formed over the built-up layer over the die. Therefore, the thickness of the package is increased. This may conflict with the demand of reducing the size of a chip.

Therefore, the present invention provides a FO-WLP structure without stacked built-up layer and RDL to reduce the package thickness to overcome the aforementioned problem and also provide the better board level reliability test of temperature cycling.

SUMMARY OF THE INVENTION

The present invention provides a structure of package comprising a substrate with a die receiving cavity formed within an upper surface of the substrate and a through hole structure formed there through, wherein a terminal pad is formed under the through hole structure and the substrate includes a conductive trace formed on a lower surface of the substrate. A die is disposed within the die receiving cavity by adhesion and a dielectric layer formed on the die and the substrate. A re-distribution layer (RDL) is formed on the dielectric layer and coupled to the die and the through holes structure. Conductive bumps are coupled to the terminal pad.

The dielectric layer includes an elastic dielectric layer, silicone dielectric based material, BCB or PI. The silicone dielectric based material comprises siloxane polymers (SINR), silicon oxide, silicon nitride, or composites thereof. Alternatively, the dielectric layer comprises a photosensitive layer. The RDL communicates to the terminal pad downwardly the contacting via through holes structure.

The material of the substrate includes organic epoxy type FR4, FR5, BT, PCB (print circuit board), alloy or metal. The alloy includes Alloy42 (42%Ni-58%Fe) or Kovar (29%Ni-17%Co-54%Fe). Alternatively, the substrate could be glass, ceramic or silicon.

BRIEF DESCRIPTION OF THE DRAWINGS

FIG.1 illustrates a cross-sectional view of a structure of fan-out WLP according to the present invention.

FIG. 2 illustrates a cross-sectional view of a structure of fan-out WLP according to the present invention.

FIG. 3 illustrates a cross-sectional view of a structure of fan-out WLP according to the present invention.

FIG. 4 illustrates a cross-sectional view of a structure of panel form fan-out WLP according to the present invention.

DESCRIPTION OF THE PREFERRED EMBODIMENT

The invention will now be described in greater detail with preferred embodiments of the invention and illustrations attached. Nevertheless, it should be recognized that the preferred embodiments of the invention is only for illustrating. Besides the preferred embodiment mentioned here, present invention can be pr

acted in a wide range of other embodiments besides those explicitly described, and the scope of the present invention is expressly not limited except as specified in the accompanying Claims.

The present invention discloses a structure of WLP utilizing a substrate having predetermined through holes formed therein and a cavity formed into the substrate. A photosensitive material is coated over the die and the pre-formed substrate. Preferably, the material of the photosensitive material is formed of elastic material.

FIG.1 illustrates a cross-sectional view of Fan-Out Wafer Level Package (FO-WLP) in accordance with one embodiment of the present invention. As shown in the FIG. 1, the structure of FO-WLP includes a substrate 2 having a die receiving cavity 4 formed therein to receive a die 16. Pluralities of through holes 6 are created through the substrate 2 from upper surface to lower surface of the substrate 2. A conductive material will be re-filled into the through holes 6 for electrical communication. Terminal Pads 8 are located on the lower surface of the substrate and connected to the through holes 6 with conductive material. A conductive circuit trace 10 is configured on the lower surface of the substrate 2. A protective layer 12, for instance solder mask epoxy, is formed over the conductive trace 10 for protection.

The die 16 is disposed within the die receiving cavity 4 on the substrate 2 and fixed by an adhesion material 14. As known, contact pads (Bonding pads) 20 are formed on the die 16. A photosensitive layer or dielectric layer 18 is formed over the die and filling into the space between the die 16 and the walls of the cavity 4. Pluralities of openings are formed within the dielectric layer 18 through the lithography process or exposure procedure. The pluralities of openings are aligned to the contact via through holes 6 and the contact or I/O pads 20, respectively. The RDL (re-distribution layer) 24, also referred to as metal trace 24, is formed on the dielectric layer 18 by removing selected portions of metal layer formed over the layer 18, wherein the RDL 24 keeps electrically connected with the die 16 through the I/O pads 20. A part of the material of the RDL will re-fills into the openings in the dielectric layer 18, thereby forming contact via metal 22 over the through holes 6 and pad metal over the bonding pad 20. A protection layer 26 is formed to cover the RDL 24.

The dielectric layer 18 is formed atop of the die 16 and substrate and fills the space surrounding the die 2. The aforementioned structure constructs LGA type package. An alternative embodiment can be seen in figure 2, Conductive balls 30 are formed under the terminal pads 8. This type is called BGA type. Preferably, the material of the substrate 2 is organic substrate likes FR5, BT, PCB with defined cavity or Alloy42 with pre etching circuit. The organic substrate with high Glass transition temperature (Tg) are epoxy type FR5 or BT (Bismaleimide triazine) type substrate. The Alloy42 is composed of 42%Ni and 58%Fe. Kovar can be used also, and it is composed of 29%Ni, 17%Co, 54%Fe. The glass, ceramic, silicon can be used as the substrate. Please refer to figure 3, the depth of the cavity 4 could be little thick than the thickness of the die 16. It could be deeper as well. The other parts are similar to figure 1, therefore, the reference numbers of the similar parts are omitted.

The substrate could be round type such as wafer type, the diameter could be 200, 300 mm or higher. It could be employed for rectangular type such as panel form. Figure 4 illustrates the substrate 2 for the panel wafer form. As can be seen from the drawings, the substrates 2 are formed with cavities 4 and built in

circuit 10, the through holes structure 6 with metal filled therein. In the upper portion of figure 4, the units 2 of figure 1 are arranged in a matrix form. A scribe line 28 is defined between the units 2 for separating each unit 2.

In one embodiment of the present invention, the dielectric layer 18 is preferably an elastic dielectric material which is made by silicone dielectric materials comprising siloxane polymers (SINR), silicon oxide, silicon nitride, and composites thereof. In another embodiment, the dielectric layer is made by a material comprising benzocyclobutene (BCB), epoxy, polyimides (PI) or resin. Preferably, it is a photosensitive layer for simple process.

In one embodiment of the present invention, the elastic dielectric layer is a kind of material with CTE larger than 100 (ppm/°C), elongation rate about 40 percent (preferably 30 percent-50 percent), and the hardness of the material is between plastic and rubber. The thickness of the elastic dielectric layer 18 depends on the stress accumulated in the RDL/dielectric layer interface during temperature cycling test.

In one embodiment of the invention, the material of the RDL 24 comprises Ti/Cu/Au alloy or Ti/Cu/Ni/Au alloy; the thickness of the RDL 24 is between 2um and 15um. The Ti/Cu alloy is formed by sputtering technique also as seed metal layers, and the Cu/Au or Cu/Ni/Au alloy is formed by electroplating; exploiting the electro-plating process to form the RDL can make the RDL thick enough to withstand CTE mismatching during temperature cycling. The metal pads 20 can be Al or Cu or combination thereof. If the structure of FO-WLP utilizes SINR as the elastic dielectric layer and Cu as the RDL. According the stress analysis not shown here, the stress accumulated in the RDL/dielectric layer interface is reduced.

As shown in Figure 1-3, the RDL 24 fans out of the die and the communicates downwardly toward the terminal pads 8 under the package through hole structure. It is different from the prior art technology which stacks layers over the die, thereby increasing the thickness of the package. However, it violates the rule to reduce the die package thickness. On the contrary, the terminal pads are located on the surface that is opposite to the die pads side. The communication traces are penetrates through the substrate 2 via the through holes and leads the signal to the terminal pad 8. Therefore, the thickness of the die package maybe shrinkage. The package of the present invention will be thinner than the prior art. Further, the substrate is pre-prepared before package. The cavity 4 and the traces 10 are pre-determined as well. Thus, the throughput will be improved than ever. The present invention discloses a fan-out WLP without stacked built-up layers over the RDL.

The process for the present invention includes providing an alignment tool with alignment pattern formed thereon. Then, the pattern glues is printed on the tool (be used for sticking the surface of dice), followed by using pick and place fine alignment system with flip chip function to re-distribute the known good dies on the tool with desired pitch. The pattern glues will stick the chips on the tool. Subsequently, the die attached materials is printed on the die back side. Then, the panel bonder is used to bond the substrate on to die back side; the upper surface of substrate except the cavities also be stuck on the pattern glues, then vacuum curing and separate the tool with panel wafer.

Alternatively, the die bonder machine with fine alignment is employed, and the die attached materials is dispensed on the cavity of substrate. The die is placed on to the cavity of substrate. The die attached materials is thermally cured to ensure the die is attached on the substrate.

Once the die is re-distributed on the substrate, then, a clean up procedure is performed to clean the dice surface by wet and/or dry clean. Next step is to coat the dielectric materials on the panel, followed by performing vacuum procedure to ensure there is no bubble within the panel. Subsequently, lithography process is performed to open via and Al bonding pads and/or the scribe line (optional). Plasma clean step is then executed to clean the surface of via holes and Al bonding pads. Next step is to sputter Ti/Cu as seed metal layers, and then Photo Resistor (PR) is coated over the dielectric layer and seed metal layers for forming the patterns of redistributed metal layers (RDL). Then, the electroplating is processed to form Cu/Au or Cu/Ni/Au as the RDL metal, followed by stripping the PR and metal wet etching metal to form the RDL metal trace. Subsequently, the next step is to coat or print the top dielectric layer and/or to open the scribe line (optional).

After the ball placement or solder paste printing, the heat re-flow procedure is performed to re-flow on the substrate side (for BGA type). The testing is executed. Panel wafer level final testing is performed by using vertical probe card. After the testing, the substrate is sawed to singular the package into individual units. Then, the packages are respectively picked and placed the package on the tray or tape and reel.

The advantages of the present invention are:

The substrate is pre-prepared with pre-form cavity; the size of cavity equal to (die size +plus around 50um to 100um per /side; it can be used as stress buffer releasing area by filling the elastic dielectric materials to absorb the thermal stress due to the CTE difference between silicon die and substrate (FR5/BT)). The packaging throughput will be increased (manufacturing cycle time was reduced) due to apply the simple build up layers on top the surface of die. The terminal pads are formed on the opposite surface to the dice active surface. The dice placement process is the same as the current process. No core paste (resin, epoxy compound, silicone rubber, etc.) filling is necessary for the present invention. There is no CTE mismatching issue during panel form process and the deepness between die and substrate FR4 is only around ~20 30um (be used for thickness of die attached materials), the surface level of die and substrate can be the same after die is attached on the cavities of substrate. Only silicone dielectric material (preferably SINR) is coated on the active surface and the substrate (preferably FR45 or BT) surface. The contacting via structure is opened by using photo mask process only due to the dielectric layer (SINR) is photosensitive layer for opening the contacting Via. Vacuum process during SINR coating is used to eliminate the bubble issue. The die attached material is printed on the back-side of dice before substrate be bonded together with dice (chips). The reliability for both package and board level is better than ever, especially, for the board level temperature cycling test, it was due to the CTE of substrate and PCB mother board are identical, so, no thermal mechanical stress be applied on the solder bumps/balls. The cost is low and the process is simple. It is easy to form the combo package (dual dice package).

Although preferred embodiments of the present invention have been described, it will be understood by those skilled in the art that the present invention should not be limited to the described preferred embodiments. Rather, various changes and modifications can be made within the spirit and scope of the present invention, as defined by the following Claims.

Claims

What is claimed is:

1. A structure of package comprising:

a substrate with a die receiving cavity formed within an upper surface of said substrate and a through hole structure formed there through, wherein a terminal pad is formed under said through hole structure and a conductive trace formed on a lower surface of said substrate;

a die disposed within said die receiving cavity by adhesion;

a dielectric layer formed on said die and said substrate; and

a re-distribution layer (RDL) formed on said dielectric layer, wherein said RDL is coupled to said die and said terminal pad through said through hole structure

2. The structure of claim 1, further comprising conductive bumps coupled to said terminal pad, or a protection layer formed on said lower surface to cover said conductive trace.

3. The structure of claim 1, wherein said dielectric layer comprises an elastic dielectric layer or a photosensitive layer; wherein said RDL fans out from said die; wherein said RDL communicates to said terminal pad downwardly via said through holes structure; wherein said dielectric layer comprises a silicone dielectric based material, BCB or PI, wherein said silicone dielectric based material comprises siloxane polymers (SINR), silicon oxide, silicon nitride, or composites thereof; wherein said RDL is made from an alloy comprising Ti/Cu/Au alloy or Ti/Cu/Ni/Au alloy; wherein the material of said substrate includes epoxy type FR5, FR4, BT, PCB (print circuit board), alloy, metal, Alloy42 (42%Ni-58%Fe), Kovar (29%Ni-17%Co-54%Fe), glass, silicon, or ceramic.

4. A method for forming semiconductor device package comprising:

providing a substrate with a die receiving cavity formed within an upper surface of said substrate and a through hole structure formed there through, wherein a terminal pad is formed under said through hole structure and said substrate includes a conductive trace formed on a lower surface of said substrate;

using a pick and place fine alignment system to re-distribute known good dice on a tool with desired pitch;

attaching adhesive material on die back side; and

bonding said substrate on to said die back side, and curing then separating said tool.

5. The method of Claim 4, further comprising:

coating a dielectric material on said substrate, followed by performing vacuum procedure;

opening via structure and I/O pads;

sputtering seed metal layer over said dielectric layer and said via structure and said I/O pads;

forming RDL metal on said dielectric layer; and

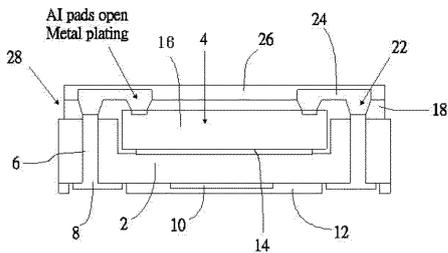
forming a top dielectric layer over said RDL.

ABSTRACT OF THE INVENTION

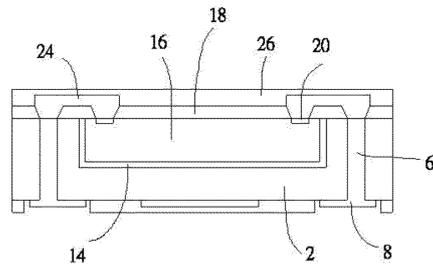
The present invention provides a structure of package comprising a substrate with a die receiving cavity formed within an upper surface of the substrate and a through hole structure formed there through, wherein a terminal pad is formed under the through hole structure and the substrate includes a conductive trace formed on a lower surface of the substrate. A die is disposed within the die receiving cavity by adhesion and a dielectric layer formed on the die and the substrate

. A re-distribution metal layer (RDL) is formed on the dielectric layer and coupled to the die and the through hole structure. Conductive bumps are coupled to the terminal pad.

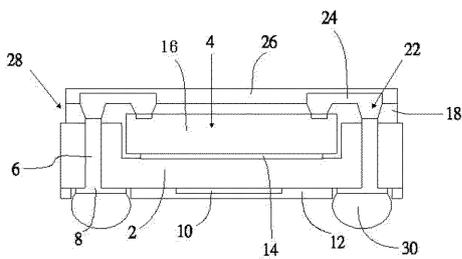
【 図 1 】



【 図 3 】



【 図 2 】



【 図 4 】

