

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁷ G11C 16/00	(45) 공고일자 (11) 등록번호 (24) 등록일자	2005년07월01일 10-0498493 2005년06월22일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0021419 2003년04월04일	(65) 공개번호 (43) 공개일자	10-2004-0087153 2004년10월13일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 이세호
 경기도수원시장안구울전동삼성아파트201동1804호

(74) 대리인 이영필

심사관 : 조명관

(54) 저전류 고속 상변화 메모리 및 그 구동 방식

요약

상변화시 발생하는 큰 저항 변화가 아닌 작은 저항 변화를 이용한 상변화 메모리를 개시한다. 본 발명에 따른 상변화 메모리는, 매우 작은 크기의 접촉 구조를 갖는 메모리 셀의 결정질 상태의 상변화막에 국부적으로 비정질 핵이 형성되어 결정질 상태보다 높은 초기 저항을 갖는 상태를 셋(set)으로, 이후 이러한 비정질 핵의 상태 변화에 의한 저항 증가 상태를 리셋(reset)으로 정의한다. 이러한 본 발명에 의하면, 리셋과 셋에 필요한 전류를 수백 μm 이하로, 리셋과 셋에 필요한 시간을 수십 내지 수백 ns로 감소시킬 수 있으며, 이와 더불어 고집적화와 비휘발성에 가까운 메모리 소자 구현 역시 가능하다.

대표도

도 6b

명세서

도면의 간단한 설명

- 도 1은 종래 상변화 메모리 셀 어레이 구조를 나타내는 도면이다.
- 도 2a는 종래 상변화 메모리의 리셋(reset)/셋(set) 원리를 보이는 도면이다.
- 도 2b는 종래 상변화 메모리에서 프로그래밍 전류에 따른 저항 변화를 측정한 그래프이다.
- 도 3은 본 발명의 실시예에 따른 상변화 메모리의 리셋/셋 원리를 보이는 도면이다.
- 도 4a와 도 4b는 종래 상변화 메모리와 본 발명의 실시예에 따른 상변화 메모리의 리셋/셋 운용을 비교설명하기 위한 도면이다.
- 도 5a는 본 발명의 실시예에 따른 상변화 메모리의 회로도이다.
- 도 5b는 본 발명의 실시예에 따른 상변화 메모리의 개략적인 단면도이다.
- 도 6a는 종래 상변화 메모리에서 리셋 후 I-V 특성을 측정한 그래프이다.
- 도 6b는 본 발명에 따른 상변화 메모리에서 리셋 후 I-V 특성을 측정한 그래프이다.

도 7은 본 발명의 실시예에 따른 상변화 메모리에서 프로그래밍 전류에 따른 저항 변화를 측정된 그래프이다.

도 8은 본 발명의 실시예에 따른 상변화 메모리에서 읽기(reading), 리셋 및 셋을 위한 전류 펄스 인가 방식을 나타내는 개략도이다.

도 9는 본 발명의 실시예에 따른 상변화 메모리에서 리셋과 셋을 반복 측정시 저항 변화를 나타내는 그래프이다.

도 10은 본 발명에 따른 상변화 메모리에서 리셋과 셋을 교차로 반복해서 쓰고 읽으며 측정된 저항 변화를 나타내는 그래프이다.

도 11은 종래의 상변화 메모리와 본 발명에 따른 상변화 메모리가 서로 다른 방식으로 동작하는 것을 보여 주는 예로서, 셋이 되기 위한 활성화 에너지를 비교한 그래프이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 칼코제나이드(chalcogenide) 물질의 비정질/결정질 상태로의 상변화시 발생하는 저항 변화를 이용한 상변화 메모리(phase-change memory)에 관한 것으로서, 특히 저전류, 고속, 고집적, 비휘발성 구현을 위한 상변화 메모리에 관한 것이다.

상변화 메모리는 결정 상태에 따라 전기적 저항이 변하는 칼코제나이드 물질로 이루어진 상변화막을 메모리 셀에 이용하는 소자이다. 상변화 메모리에서는 전류에 의한 줄 열(Joule heating)을 상변화의 열원으로 사용하고 있다. 도 1은 종래 상변화 메모리 셀 어레이 구조를 나타내는 도면이다.

도 1에 도시된 것과 같이, 메모리 셀은 워드라인(WL)에 게이트가 연결된 하나의 셀 트랜지스터(CTR)와, 셀 트랜지스터(CTR)의 드레인과 비트라인(BL) 사이에 상변화 셀(PCC)과 저항(R)이 직렬로 연결된 구조를 가진다. 워드라인(WL)과 비트라인(BL)이 선택되면 선택된 상변화 셀(PCC)로 전류가 인가되어 상변화 셀(PCC)의 결정 상태를 변화시킨다.

도 2a는 종래 상변화 메모리의 원리를 보이는 도면이다. 도 2a에 도시된 것과 같이, 콘택(10)을 통하여 2 - 3mA 이상의 높은 전류 펄스를 수 μ s 동안 상변화막(20)으로 인가하여 녹는점(T_m)까지 가열한 후, 펄스가 중단되었을 때의 높은 냉각 속도를 이용하여 상변화막(20)과 콘택(10)의 접촉 부위에 저항이 높은 완전 비정질 상태의 프로그래밍 영역(30)을 형성한다. 이러한 상태를 리셋(reset) 상태라 하고 예를 들어 데이터 "1"이 저장된 것으로 정의한다.

이 상태에서, 1 - 2mA 정도의 전류 펄스를 수 μ s 동안 상변화막(20)으로 인가하여 리셋 상태의 프로그래밍 영역을 결정화시킨 후 냉각시키면 상변화막(20)은 다시 저항이 낮은 상태로 회복되며, 이러한 상태를 셋(set) 상태라 하고 예를 들어 데이터 "0"이 저장된 것으로 정의한다.

도 2b는 종래 상변화 메모리에서 프로그래밍 전류에 따른 저항 변화를 측정된 그래프이다. 즉 도 2a와 같은 구조에서, 상변화막(20)에 mA 크기의 전류를 계속 증가시키면서 그에 따른 저항 변화를 측정된 것이다. 도 2b에서, (a)는 리셋 저항(R_{reset})이 300k Ω 정도 되는 상태에서부터 측정하기 시작한 것인데, 전류가 1 - 2mA 범위에 이를 때 저항이 3k Ω 정도로 급격히 감소함을 보인다. 따라서, 1 - 2mA의 전류 범위에서 셋 상태로의 전이가 일어나고 셋 저항(R_{set})은 3k Ω 정도가 되며, 셋 상태로의 전이를 일으키는 전류(I_{set})는 1 - 2mA임을 알 수 있다. (b)는 셋 상태에서부터 측정하기 시작한 것인데, 전류가 2 - 3mA 이상이 되어야 저항이 증가하면서 300k Ω 정도로 포화되는 것을 볼 수 있다. 따라서, 2 - 3mA 이상의 전류에서 리셋 상태로의 전이가 일어나는 것을 알 수 있다. 리셋 상태로의 전이를 일으킨 전류를 I_{reset} 이라 한다.

저장된 데이터를 읽을 때에는 I_{reset} 및 I_{set} 보다 더 낮은 전류 또는 전압을 인가하여 저항 변화를 확인한다. 도 2b로부터, I_{reset} 과 I_{set} 에 따른 리셋 저항과 셋 저항의 스위칭 비는 100 이상이 됨을 알 수 있다. 이처럼 종래의 상변화 메모리에서는 수 mA의 높은 I_{reset} 과 I_{set} 을 이용하여 완전 비정질 상태와 결정질 상태의 큰 저항 변화를 이용하여 데이터를 쓰고 읽는 특성을 나타내고 있음으로 인해, 이를 위해 요구되는 전류가 커서 셀 트랜지스터에 많은 부담을 주게 된다. 이는 결국 메모리 소자의 고집적화 자체를 불가능하게 한다.

또한, 종래 상변화 메모리의 리셋 상태와 셋 상태로의 변환에는 보통 수 μ s의 시간이 요구되는 한계를 지니고 있으며, 결국 상변화 메모리의 전체 동작 속도 감소에 결정적인 영향을 미치게 된다.

발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는 리셋/셋시 요구되는 전류와 시간을 감소시킨 고집적 저전류 고속 상변화 메모리를 제공하는 데 있다.

본 발명이 이루고자 하는 다른 기술적 과제는 상변화 메모리의 저전류 고속 구동 방식을 제공하는 데 있다.

발명의 구성 및 작용

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 상변화 메모리는 메모리 셀의 결정질 상변화막에 국부적으로 비정질 핵(locally small amorphous nuclei)이 형성된 상태가 셋으로, 상기 비정질 핵의 개수 또는 단위면적당 부피가 상기 셋보다 증가된 상태가 리셋으로 정의된 것이다. 비정질 핵이 형성된 상태는 일정 크기의 셋 저항을 수반하며, 이 때의 초기 저항이 결국 온-상태에서의 동적 저항이 된다. 이 초기 저항 또는 동적 저항은 4 - 6kΩ인 것이 바람직하다.

바람직한 실시예에서, 상기 메모리 셀을 구동하는 방식으로서 상기 상변화막에 고저항 상태의 리셋과 저저항 상태의 셋을 기록하기 위해 인가하는 전류와 시간의 범위를 각각 수십 - 수백(바람직하게는 10 - 200)μA, 10 - 100ns가 되게 하고, 이럴 경우 상기 리셋과 셋을 읽어내는 전류와 시간의 범위는 각각 수 μA, 수 ns가 될 수 있다. 이러한 메모리 셀을 이용할 때 리셋의 경우 상기 상변화막의 저항은 20kΩ 이내의 범위(바람직하게는 6 - 20kΩ)를 가질 수 있다. 상기 리셋과 셋의 저항 변화 비율은 1.5 - 3 수준이어도 충분한 센싱 마진(sensing margin)을 가진다. 또한, 여러 가지 동작에 적합한 인자들을 종합하여 보면 상기 상변화막에 리셋과 셋을 기록하기 위한 전류를 인가하는 접촉 면적이 매우 중요하다. 특히 이는 초기 상태 또는 동적 저항을 결정하는 데 중요한 인자가 될 수 있다. 상기 상변화막에 상기 리셋과 셋을 기록하기 위해 전류를 흘려주는 콘택의 크기는 40 - 70nm가 바람직하다. 가장 바람직하기로는 60nm가 적절하다.

기타 실시예의 구체적 사항들은 상세한 설명 및 도면들에 포함되어 있다.

이하 첨부한 도면을 참조하여 본 발명에 따른 상변화 메모리에 관한 바람직한 실시예들을 설명한다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

도 3은 본 발명의 셋/리셋 원리를 나타낸 도면이다. 콘택(110)을 통하여 수십 내지 수백 μA, 예를 들어 60 내지 200μA 정도로 낮은 전류 펄스를 짧은 시간, 예컨대 10 - 100ns 동안 결정질 상변화막(120)으로 인가하여 상변화막(120)의 온도를 국부적으로 녹는점(T_m) 까지 가열한 후, 펄스가 중단되었을 때의 높은 냉각 속도를 이용하여 상변화막(120)과 콘택(110)의 접촉 부위에 국부적으로 비정질 핵(132a)을 형성하여, 결정질 상변화막(120)의 초기 저항(R_i)보다는 저항이 증가된 프로그래밍 영역(130)을 형성한다. 이러한 상태를 데이터 "1"이 저장된 리셋 상태로 정의한다. 즉, 본 발명 상변화 메모리에서의 리셋 상태는 종래와 같은 완전 비정질 상태가 아니라, 결정질 매트릭스 안에 국부적으로 비정질 핵들이 분포하는 상태가 된다. 이러한 리셋 상태를 만들기 위하여 인가하는 전류, 즉 리셋 전류(I_{reset})의 크기와 시간에 따라 달라지겠지만, 상변화 메모리 셀을 형성하는 적절한 공정을 통하여 초기 저항이 4 - 6kΩ 정도이고 수십 내지 수백 μA 정도의 전류와 수십 ns 정도의 시간으로 리셋하는 경우에 콘택(110)의 크기가 60nm 정도라면, 리셋할 때의 저항(R_{reset})은 6 - 20kΩ 이내의 범위를 가질 수 있다.

이 상태에서, 수십 μA, (바람직하게는 30 - 50μA) 정도로 낮은 전류 펄스, 즉 셋 전류(I_{set})를 상변화막(120)으로 인가하여 상변화막(120)을 결정화 온도로 10 - 100ns(바람직하게는 50 - 100ns)의 비교적 짧은 시간 동안 유지하였다가 냉각시키면, 비정질 핵(132a)이 크기가 감소된 비정질 핵(132b)이 되고 그 개수도 비정질 핵(132a)보다 감소됨으로써, 비정질 핵(132b)의 단위면적당 부피(공, 밀도)가 감소된 상변화 영역(140)이 형성된다. 이러한 상태를 데이터 0이 저장된 셋 상태로 정의한다. 저항이 높은 비정질 핵의 감소에 따라 셋 저항(R_{set})은 4 - 6kΩ으로 R_{reset}보다 작아진다.

이처럼, 본 발명의 상변화 메모리의 셋에서는 저항이 감소된 프로그래밍(low programming) 영역(매우 작은 비정질 핵들의 개수 또는 밀도 변화 등)이 형성된다. 본 발명자는 실험을 통하여 R_{reset}과 R_{set}의 비가 종래 수백보다 훨씬 작은 1.5 - 3의 범위에 속하더라도 두 상태의 저항비가 충분히 감지됨을 확인하였다. 이 정도의 저항 차이를 가져오기 위해서 필요한 셋 전류(I_{set})의 크기와 시간은 본 실시예의 경우 수십 내지 수백 μA 정도의 전류와 수십 ns 정도의 시간이다.

저장된 데이터를 읽을 때에는 I_{reset}과 I_{set}보다 더 낮은 전류, 예컨대 3 - 6μA 크기의 전류를 인가하여 리셋/셋 상태의 저항을 비교한다. 그리고, 리셋과 셋을 읽어내는 시간의 범위는 5 - 10ns가 될 수 있다.

따라서, 본 발명에 따른 상변화 메모리는 수십 μA 정도의 낮은 I_{reset}과 I_{set}을 이용하여 국부적인 비정질 핵 형성 상태와 그로부터의 미소한 상변화 상태의 저항 변화(1.5 - 3배)를 이용하여 데이터를 쓰고 읽는 특성을 나타낸다. 기입 전류(writing current)가 종래보다 훨씬 작고 펄스 지속시간(pulse duration)도 감소되므로, 저전류 고속 상변화 메모리를 구현할 수 있다.

도 4a와 도 4b는 종래의 상변화 메모리와 본 발명의 실시예에 따른 상변화 메모리의 리셋/셋 운용을 비교 설명하기 위한 도면이다. 먼저 도 4a를 참조하면, 도 2를 참조하여 설명한 것과 같은 종래의 상변화 메모리 (a)에서는 완전 결정질(20)/완전 비정질(30) 상태로의 전환을 이용한다. 따라서, 저항 변화가 매우 크다. 반면에 본 발명에 따른 상변화 메모리 (b)는 국부적인 비정질 핵의 분포/국부적인 비정질 핵의 개수 및 부피 감소 상태로의 전환을 이용한다. 따라서, 종래에 비하여 저항 변화가 작다.

또한, 종래의 상변화 메모리 (a)에서 사용하는 전류(I)와 전압(V)의 범위도 도 4b에서는 넓은 영역에 걸쳐져 있다. 이것은, 리셋할 때에 완전 비정질 영역을 형성하기 위해서 액상 내에서 비정질 핵이 생겨 성장해야 하기 때문에 오랜 시간이 소요되기 때문이며, 또한, 셋할 때에 거대한 비정질 영역을 결정화시키기 위해서는 비정질 영역 내에 결정질 핵이 생겨 성장되어야 하므로 100ns보다 긴 시간이 소요되기 때문이다. 그러나, 본 발명에 따른 상변화 메모리 (b)에서는 국부적인 비정질 핵의 분포/국부적인 비정질 핵의 개수 및 부피 감소 상태로의 전환을 이용하기 때문에 여기에 사용되는 전류와 전압의 범위가 좁다. 부분적으로 비정질 핵이 분포된 영역을 형성하기 위해서는 액상에서 비정질 핵이 생성되기에 필요한 최소의 조건만 유지하면 된다. 즉, 핵의 성장보다는 핵의 생성이 우세한 영역을 생각하면 된다. 또한, 비정질 영역에서 결정질 영

역으로 셋되기 위해서는, 부분적으로 비정질 핵이 분포된 영역에 이미 결정질이 존재하고 있으므로, 리셋에서 셋 상태로 전이시 결정질상의 핵이 생성될 필요가 없이 이미 있는 결정질이 더 성장하기만 하면 된다. 즉, 핵의 생성보다는 핵의 성장이 우세한 것이다. 따라서, 국부적으로 비정질 핵이 분포된 영역은 작은 전류와 짧은 시간에도 쉽게 국부적으로 비정질 핵의 개수 및 부피가 감소된 결정질로 전이될 수 있다. 이것이 본 발명에 따른 상변화 메모리가 저전류 고속 특성을 띠게 하는 이유이다.

다음의 표 1은 종래의 상변화 메모리와 본 발명에 따른 상변화 메모리의 특징을 보여준다.

표 1.

	셋	리셋	리셋 조건	셋 조건	R_{reset}/R_{set}
종래	완전 결정질 상태	완전 비정질 상태	2 - 3mA 이상의 높은 전류 펄스를 수 μs	1 - 2mA 정도의 전류 펄스를 수 μs	100 이상
본 발명	국부적으로 비정질 핵이 형성된 상태	비정질 핵의 개수 및 단위면적당 부피가 셋보다 증가된 상태	수십 내지 수백 μA 의 전류 펄스를 10 - 100ns	수십 μA 의 전류 펄스를 10 - 100ns	1.5 - 3

도 5a는 본 발명의 실시예에 따른 상변화 메모리의 회로도이고, 도 5b는 본 발명의 실시예에 따라 0.24 μm CMOS 공정 기술로 구현할 수 있는 상변화 메모리의 개략적인 단면도이다.

먼저 도 5a를 참조하면, 본 발명의 실시예에 따른 상변화 메모리는 참조 셀을 이용하지 않는 트윈 셀(twin cell) 개념의 스위치 방식으로 동작하며, 하나의 결정질 셀과 하나의 비정질 셀로 이루어진 것으로 보면 된다. 두 개의 전류 소스(I_{reset} 과 I_{set})가 있으며, 두 셀의 저항 차이를 감지하는 전류 감지 증폭기(S/A)가 있다. 메모리 셀은 워드라인(WL_i 또는 WL_j 등)에 게이트가 연결된 하나의 셀 트랜지스터(CTR)와, 셀 트랜지스터(CTR)의 드레인과 비트라인(BL) 사이에 상변화 셀(PCC)과 저항(R)이 직렬로 연결된 구조를 가진다.

다음으로 도 5b를 참조하면, 상변화막(200)은 기판(250) 상에 형성된 MOS 트랜지스터(260)의 소오스(S)와 도전플러그(270)를 통해 연결되는 제1 금속배선(210)과 제2 금속배선(220) 사이에 놓여지고 하부전극 콘택(230)과 상부전극 콘택(240)을 통해 각 금속배선(210, 220)과 연결되어 있다. 상변화막(200)으로 이용될 수 있는 물질의 예로서, 이원 화합물로는 GaSb, InSb, InSe, Sb₂Te₂, GeTe 등이 있고, 삼원 화합물로는 Ge₂Sb₂Te₅, InSbTe, GaSeTe, SnSb₂Te₄, InSbGe 등이 있다. 사원 화합물로는 AgIbSbTe, (Ge, Sn)SbTe, GeSb(SeTe) 등이 있다.

상변화막(200)과의 콘택 면적을 좁히기 위하여 스페이서(245)가 형성되고, 하부전극 콘택(230)은 Ti/TiN 플러그로 구성된다. Ti/TiN 플러그는 하부전극 콘택홀에 CVD법으로 Ti/TiN을 증착하고 CMP(Chemical Mechanical Polishing)로 평탄화시켜 형성한다. 스페이서(245)의 크기를 조절함으로써 콘택 면적을 40 - 70nm, 바람직하게는 60nm 정도로 만들 수 있다. Ge₂Sb₂Te₅로 이루어진 상변화막(200) 위에는 Ti/TiN막(205)을 형성하여 상부전극 콘택(240)과의 접착성을 높인다. 상부전극 콘택(240)은 W 플러그로 구성된다. W 플러그는 상부전극 콘택홀에 CVD법으로 W를 증착하고 CMP로 평탄화시켜 형성한다. MOS 트랜지스터(260)의 드레인(D)과 도전플러그(270)를 통해 연결되는 제1 금속배선(210)으로 구성된 드레인 라인도 형성된다. MOS 트랜지스터(260)는 0.24 μm CMOS 공정 기술로 구현할 수 있으며, 예컨대 35Å 정도 두께의 게이트 절연막을 형성함으로써, 3V 게이트 전압에서 2mA 이상을 전달할 수 있다. MOS 트랜지스터(260)의 소오스(S), 드레인(D)과 도전플러그(270)의 직렬 저항 성분을 감소시키기 위하여, 소오스(S)/드레인(D)에 Co 셀리사이드 공정을 추가할 수도 있다. 그 결과, 저항은 10 Ω 보다 작아진다.

전류는 상변화막(200)을 통해 하부전극 콘택(230)으로부터 상부전극 콘택(240)으로 흐른다. 줄 열에 의한 가열과 전류 차단에 의한 냉각으로, 상변화막(200)과 하부전극 콘택(230)의 계면에서 상변화가 일어난다.

본 발명에 관한 보다 상세한 내용은 다음의 구체적인 실험예들을 통하여 설명하며, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 설명을 생략한다. 또한, 다음 실험예들이 본 발명을 제한하려는 것은 아니다. 본 발명을 실소자로 구현하는 것의 적합성은 리셋/셋 전이, 저항비, I-V 곡선 변화로 검증하였다.

<실험예 1 : I-V 곡선 변화>

도 6a는 종래 상변화 메모리에서 리셋 후 I-V 특성을 측정된 그래프이다. 리셋 상태("1" 상태)의 소자에 문턱전압(V_{th}) 이상의 전압이 인가되면, 소자는 전자적으로 낮은 저항의 동적 상태로 스위치되어 낮은 전압의 프로그래밍을 허용한다. 도 6a로부터, V_{th} 가 1.0V 이상이며 셋/리셋을 기록하는 프로그래밍 전류가 1.0mA 이상임을 알 수 있다.

도 6b는 본 발명에 따른 상변화 메모리에서 100 μA /50ns 조건으로 리셋한 다음 I-V 특성을 측정된 그래프이다. 부분적인 비정질 핵 형성 때문에 V_{th} 가 200mV 정도로 종래보다 낮아진 것을 확인할 수 있다. 뿐만 아니라, 셋/리셋을 기록하는 프로그래밍 전류도 40 μA 이상의 범위가 되어 종래보다 대폭 감소된 것을 알 수 있다.

<실험예 2 : I_{reset} 과 I_{set} 범위 결정>

I_{reset} 과 I_{set} 은 전류 크기 증가에 따른 저항 변화로부터 결정할 수 있다. 도 7은 본 발명의 실시예에 따른 상변화 메모리에서 프로그래밍 전류에 따른 저항 변화를 측정된 그래프이다.

먼저 (a)는 100 μ A의 전류를 50ns 정도로 가하여 만든 리셋 상태(초기 저항이 10.86k Ω)에서부터 시작한 것인데, 전류가 30 - 50 μ A 범위에 이를 때 저항이 4k Ω 이하로 급격히 감소함을 보인다. 따라서, 이 정도의 전류 범위에서 셋 상태로의 전이 일어나는 것을 알 수 있다. 즉, I_{set} 은 30 - 50 μ A 범위에서 선택될 수 있음을 알 수 있다.

또한 (b)는 4k Ω 보다 약간 높은 셋 상태에서부터 시작한 것인데, 전류가 60 μ A 이상이 되면 저항이 증가하면서 전류가 약 100 μ A 가까이 될 때 포화되는 것을 볼 수 있다. 따라서, 60 μ A 이상의 전류에서 리셋 상태로의 전이가 일어나는 것을 알 수 있으며, 안정적인 I_{reset} 은 약 100 μ A 정도로 선택하면 된다.

<실험예 3 : 읽기, 쓰기 방식 >

도 8은 본 발명의 실시예에 따른 상변화 메모리에서 읽기, 리셋 및 셋을 위한 전류 펄스 인가 방식을 나타내는 개략도이다. 기록 상태를 읽기 위한 전류($I_{reading}$)는 R_{reset} 과 R_{set} 에 영향을 주지 않는 영역 내에서 결정할 수 있다. 그리고, 전류를 인가하고 차단하여 원하는 전류 크기 또는 0에 도달하는 데에는 상승 시간(rising time), 하강 시간(falling time)도 고려할 필요가 있다. 상승과 하강 시간은 통상 1 - 4ns의 범위를 가진 것으로 기대할 수 있다.

실험 조건에서, 셋의 상승 시간과 하강 시간은 4ns, 리셋과 읽기의 상승 시간과 하강 시간은 2ns로 하였다. 100 μ A/100ns 범위 이내의 기입 전류와 펄스 너비가 리셋/셋 상태를 위하여 인가되었으며, 특히 리셋 조건은 100 μ A/50ns, 셋 조건은 40 μ A/100ns로 하였다. 읽기 시에 동요(disturbance)를 최소화하기 위한 조건으로서 6 μ A/10ns 이내의 읽기 전류와 펄스 너비를 사용하였다.

이러한 조건으로 읽기, 리셋, 셋 등을 반복하였을 때, 초기 저항(R_i)이 4k Ω 형, R_{reset} 이 12k Ω , R_{set} 이 5k Ω 으로 측정되었다. 따라서, 충분한 읽기, 쓰기 조건을 갖는 메모리 방식임의 확인이 가능하다.

<실험예 4 : 리셋/셋 반복 측정결과 1>

도 9는 본 발명의 실시예에 따른 상변화 메모리에서 리셋과 셋을 반복 측정시 저항 변화를 나타내는 그래프이다. 즉, "1"이 쓰여진 리셋 상태에서 계속 "1"을 쓰고 읽고, "0"이 쓰여진 셋 상태에서 계속 "0"을 쓰고 읽은 결과를 나타낸다. 리셋 조건은 100 μ A/50ns이었고, 셋 조건은 40 μ A/100ns이었으며 읽기 조건은 6 μ A/10ns이었다. 도 9의 결과로부터, R_{reset} 과 R_{set} 이 변화 없이 계속 유지되고 있음을 알 수 있으며, 이는 메모리 기능을 위한 필수 조건이 된다. 결국 본 발명에 따른 상변화 방식의 경우, 쓰여진 데이터를 동일 조건에서 쓰고 읽기를 반복하여도 변화가 없음을 확인할 수 있었다.

<실험예 5 : 리셋/셋 반복 측정결과 2>

도 10은 본 발명에 따른 상변화 메모리에서 리셋과 셋을 교차로 반복해서 쓰고 읽으며 측정된 저항 변화를 나타내는 그래프이다. 이러한 반복된 사이클 결과로부터 R_{reset} 과 R_{set} 의 크기와 변화가 일정한 비로 변화 없이 계속 유지되고 있음을 알 수 있는데, 이 또한 메모리 기능을 위한 필수 조건이며, 데이터를 센싱하는 데 중요한 정보가 된다. 결국 본 상전이 방식의 경우 데이터 "1"과 "0"을 반복해서 쓰고 읽기를 하여도 변화가 없음을 확인할 수 있었다.

<실험예 6 : 셋을 위한 활성화 에너지>

도 11은 종래의 상변화 메모리와 본 발명의 상변화 메모리에서 서로 다른 방식으로 동작하는 것을 보여 주는 실시예로서 셋이 되기 위한 활성화 에너지(E_a)를 비교한 그래프이다. 종래의 경우 2.25eV 정도의 활성화 에너지가 필요한 것으로 보고되고 있다. 본 발명의 경우에는 0.70eV, 0.74eV, 0.78eV 등의 분포를 나타내었다.

종래의 셋 기구는 높은 저항을 갖는 상태를 리셋으로 정의하며, 이를 셋 상태 즉 결정질 상태로 만드는 것이므로 결정질 핵의 생성 및 성장에 필요한 활성화 에너지가 크다. 이에 반하여, 본 발명의 셋 기구는 비교적 낮은 리셋 저항을 갖는 범위에서 리셋 상태를 정의하여, 부분적으로 분포된 비정질 핵을 포함하고 있는 결정질 매트릭스의 성장만 일어나면 되는 것이므로 활성화 에너지가 종래에 비하여 매우 낮다. 도 11의 그래프는 이러한 차이점을 잘 보여주고 있다.

본 발명의 상변화 메모리는 그것의 동작 개념에서 알 수 있듯이 구현을 위한 몇몇 조건을 포함하고 있다. 특히 상변화막과의 콘택 크기가 수십 nm인 범위에서의 일정 초기 저항 또는 동적 저항 범위에서 매우 우수한 특성을 가짐을 확인할 수 있다. 리셋 저항 6 - 20k Ω 에서 동작하게 되며, 셋 저항은 4 - 6k Ω 에서 동작하여, 리셋/셋 저항 변화 비율은 1.5 - 3으로 정의하여 센싱을 하게 된다.

이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

발명의 효과

상술한 바와 같이 본 발명에 따른 상변화 메모리는, 상변화 메모리의 결정질 상변화막의 콘택 영역에 상변화시 저항 변화가 낮은 영역에서의 프로그래밍을 이용하며, 이를 바탕으로 새로운 개념의 리셋과 셋을 정의한다. 이렇게 함으로써, 리셋에 요구되는 전류를 μ A 영역으로 낮출 수 있고, 비정질상의 부피를 감소시킴에 따라 차후 결정화를 위한 셋 시간을 감소시킨다. 또한, 셋에 요구되는 전류도 μ A 영역에서 충분히 가능하게 된다. 따라서, 본 발명의 상변화 메모리는 고속 저전류의 특성을 가지며, 나아가 고집적 소자 구현의 근간을 이룰 수 있다.

(57) 청구의 범위**청구항 1.**

상변화 메모리 셀에 있어서, 상변화막에 수십 - 수백 μA 의 리셋(reset) 전류를 10 - 100ns 동안 인가하여 고저항 상태인 리셋을 기록하고 상기 상변화막에 수십 μA 의 셋(set) 전류를 10 - 100ns 동안 인가하여 저저항 상태인 셋을 기록하는 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 2.

제1항에 있어서, 상기 셋 전류의 범위는 30 - 50 μA 이고, 상기 리셋 전류의 범위는 60 - 200 μA 인 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 3.

제1항에 있어서, 상기 리셋일 때의 상기 상변화막의 저항은 6 - 20k Ω 인 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 4.

제1항에 있어서, 상기 리셋과 셋의 저항 변화 비율이 1.5 - 3의 센싱 마진(sensing margin)을 이용한 스위치 방식인 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 5.

제1항에 있어서, 상기 리셋 전류와 셋 전류의 상승과 하강 시간은 1 - 4ns인 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 6.

제1항에 있어서, 상기 상변화막에 상기 리셋과 셋을 읽어내기 위해 각각 3 - 6 μA 의 전류를 5 - 10ns 동안 인가하는 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 7.

메모리 셀의 결정질 상변화막에 30 - 50 μA 의 전류를 인가하여 저항이 4 - 6 k Ω 인 셋(set)을 기록하고, 상기 상변화막에 60 - 200 μA 의 전류를 인가하여 상기 셋보다 저항이 증가된 리셋(reset)을 기록하는 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 8.

제7항에 있어서, 상기 리셋과 셋의 저항 변화 비율을 1.5 - 3의 센싱 마진(sensing margin)을 이용한 스위치 방식으로 감지하는 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 9.

제7항에 있어서, 상기 리셋과 셋을 읽어내는 전류와 시간의 범위는 각각 3 - 6 μA , 5 - 10ns로 하는 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 10.

제7항에 있어서, 상기 상변화막에 상기 리셋과 셋을 기록하는 시간의 범위는 10 - 100ns인 것을 특징으로 하는 상변화 메모리 구동 방식.

청구항 11.

상부전극 콘택과 하부전극 콘택 사이에 개재된 상변화막을 구비한 메모리 셀에 있어서, 메모리 셀의 결정질 상변화막에 국부적으로 비정질 핵이 형성되어 초기 저항이 4 - 6k Ω 인 상태가 셋(set)으로, 상기 비정질 핵의 개수 및 단위면적당 부피가 상기 셋보다 증가되어 저항이 6 - 20k Ω 인 상태가 리셋(reset)으로 정의된 것을 특징으로 하는 상변화 메모리.

청구항 12.

제11항에 있어서, 상기 상변화막에 상기 리셋과 셋을 기록하는 전류와 시간의 범위는 각각 10 - 200 μ A, 10 - 100ns인 것을 특징으로 하는 상변화 메모리.

청구항 13.

제11항에 있어서, 상기 상변화막에 상기 셋을 기록하는 전류의 범위는 30 - 50 μ A이고, 상기 리셋을 기록하는 전류의 범위는 60 - 200 μ A인 것을 특징으로 하는 상변화 메모리.

청구항 14.

제11항에 있어서, 상기 상변화막에 상기 리셋과 셋을 기록하기 위해 전류를 흘려주는 상기 하부전극 콘택의 크기가 40 - 70nm인 것을 특징으로 하는 상변화 메모리.

청구항 15.

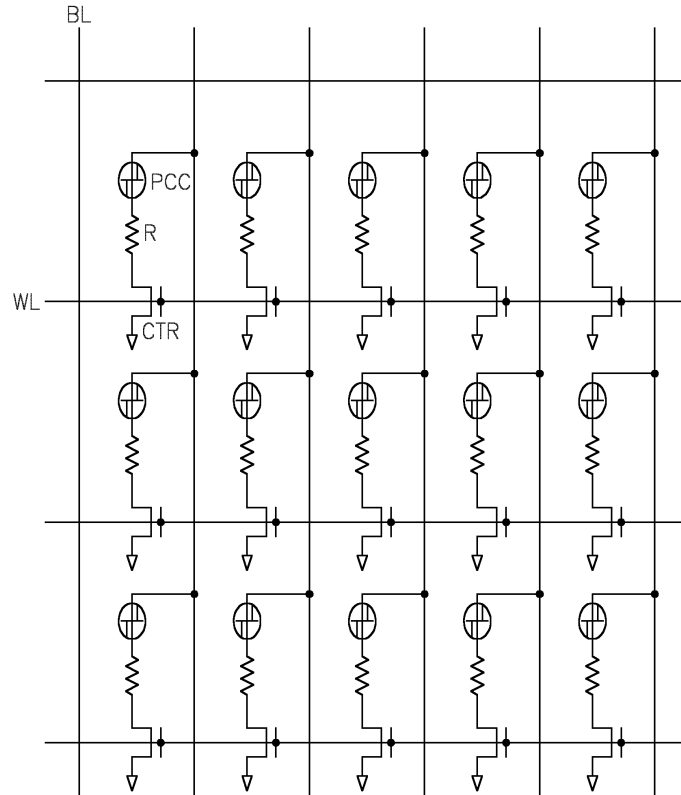
제11항에 있어서, 상기 상변화막에 상기 리셋과 셋을 기록하는 전류의 상승과 하강시간은 1 - 4ns인 것을 특징으로 하는 상변화 메모리.

청구항 16.

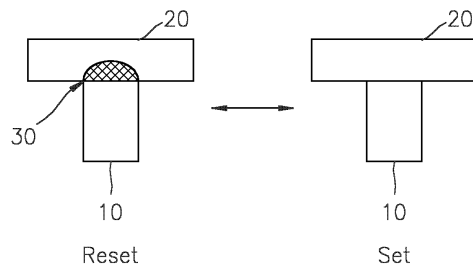
제11항에 있어서, 상기 상변화막에 상기 리셋과 셋을 읽어내는 전류와 시간의 범위는 각각 3 - 6 μ A, 5 - 10ns인 것을 특징으로 하는 상변화 메모리.

도면

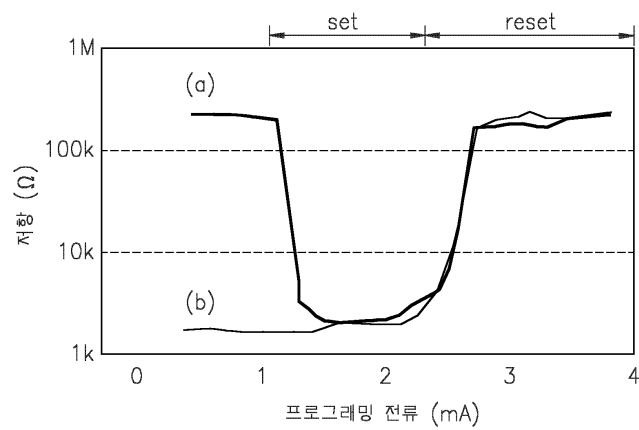
도면1



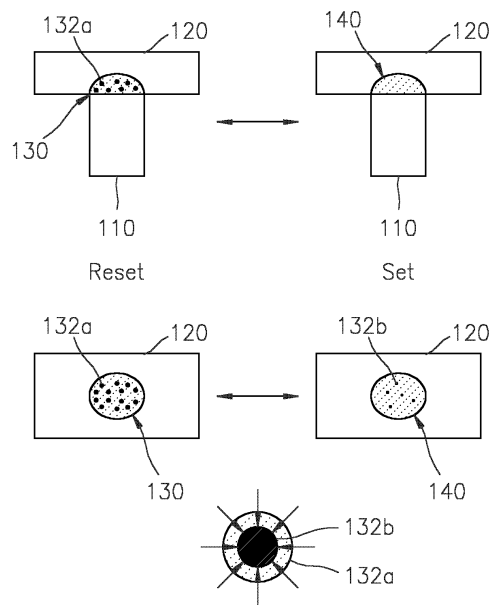
도면2a



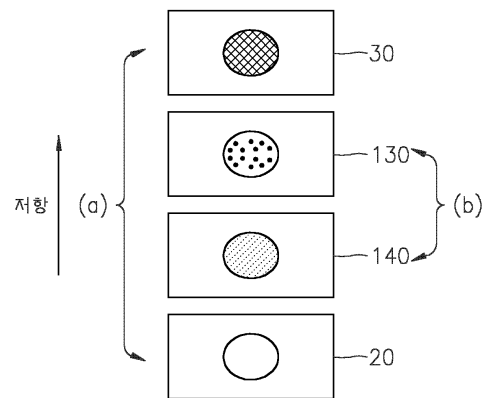
도면2b



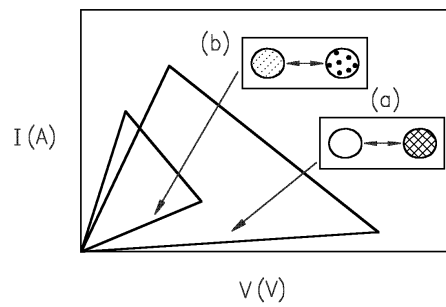
도면3



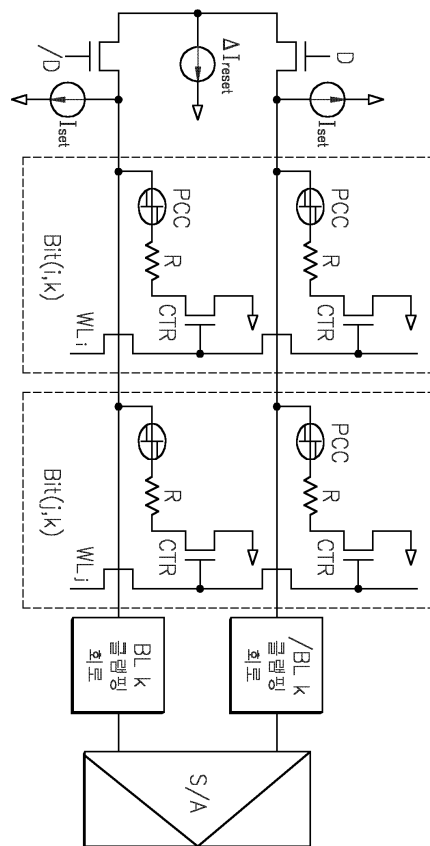
도면4a



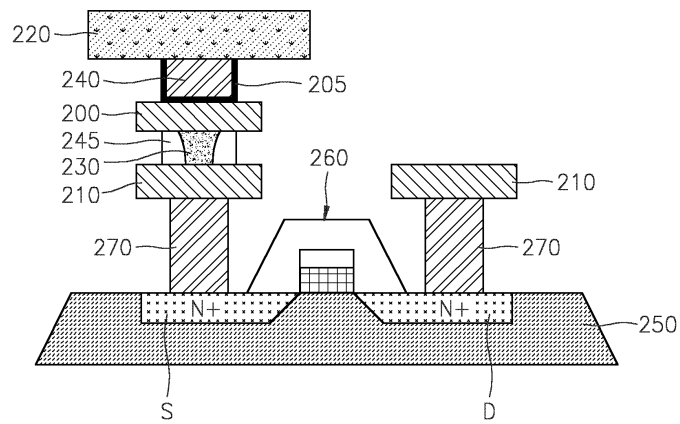
도면4b



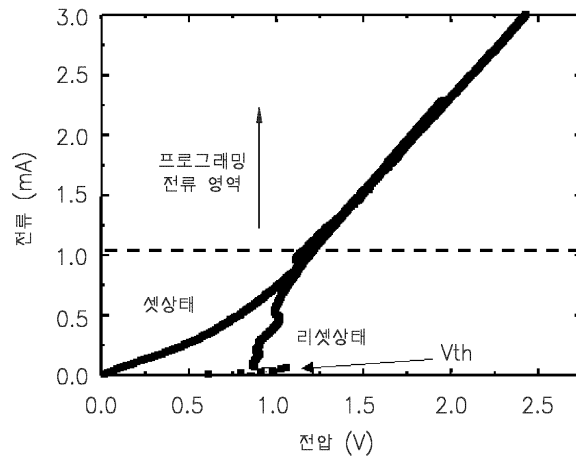
도면5a



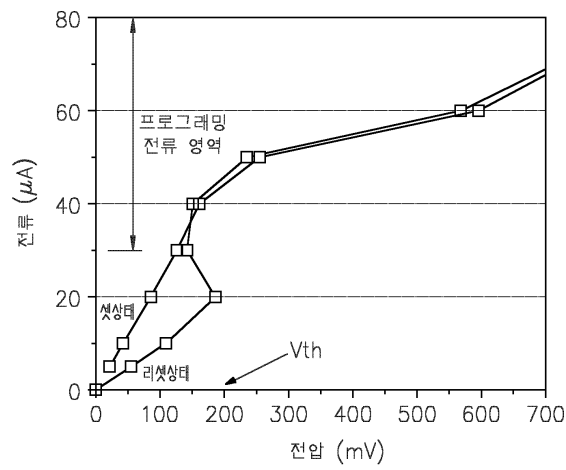
도면5b



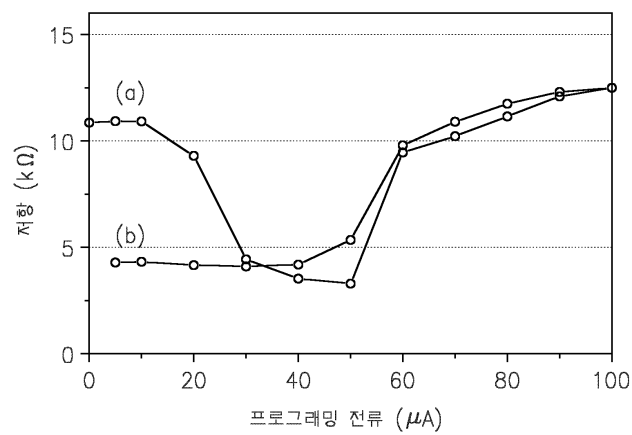
도면6a



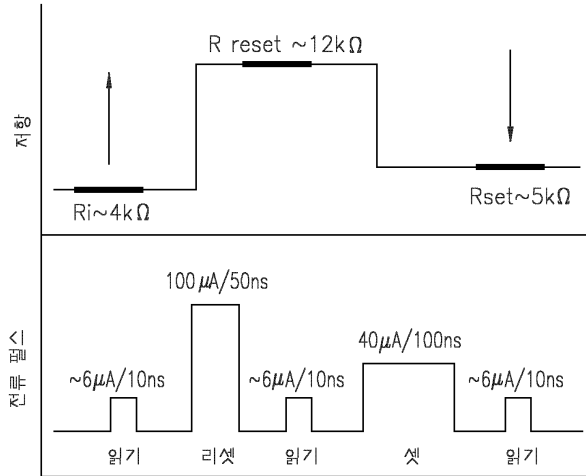
도면6b



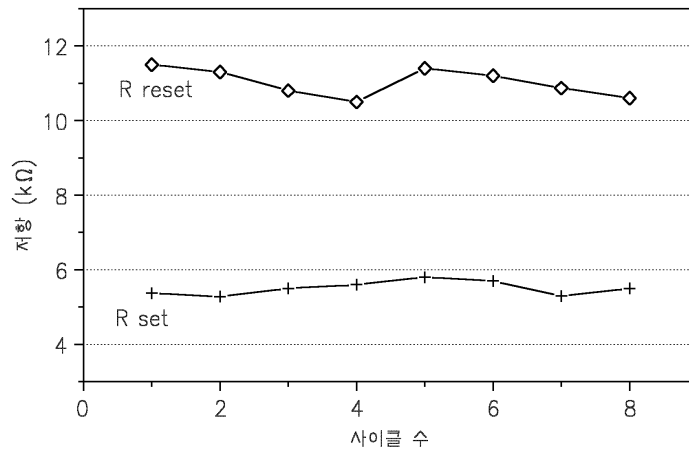
도면7



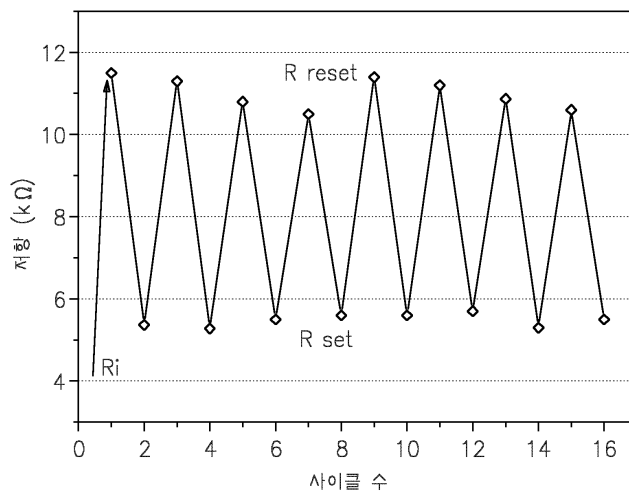
도면8



도면9



도면10



도면11

