



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0120314
(43) 공개일자 2015년10월27일

- (51) 국제특허분류(Int. Cl.)
H01L 23/367 (2006.01) H01L 23/12 (2006.01)
H01L 23/48 (2006.01)
- (52) CPC특허분류
H01L 23/3672 (2013.01)
H01L 23/12 (2013.01)
- (21) 출원번호 10-2015-0054204
(22) 출원일자 2015년04월17일
심사청구일자 2015년04월17일
- (30) 우선권주장
102014105594.2 2014년04월17일 독일(DE)

- (71) 출원인
인피니언 테크놀로지스 아게
독일연방공화국 85579 노이비베르크 암 캄페온 1-12
- (72) 발명자
발 제지트 싱
독일 85521 오토브룬 반-고흐-스트라세 4
모엘러 울리치
독일 83607 홀츠키르첸 콜스타트스트라세 60
(뒷면에 계속)
- (74) 대리인
제일특허법인

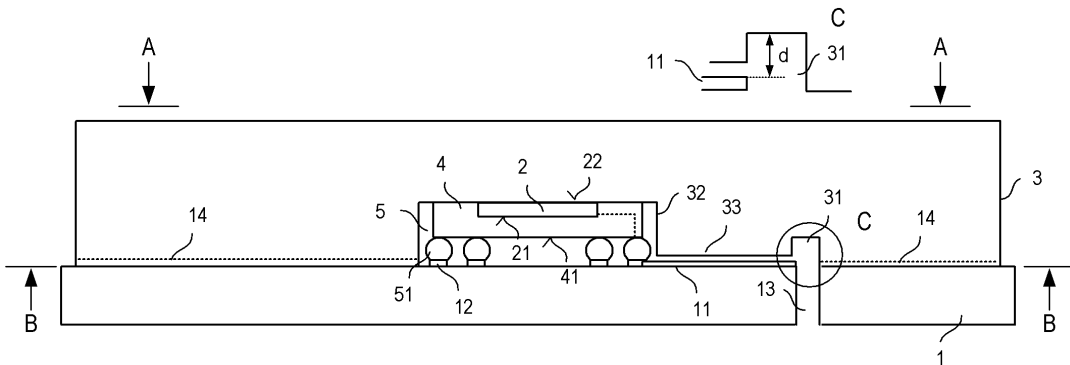
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 전자 시스템

(57) 요약

전자 시스템이 개시된다. 전자 시스템은 적어도 하나의 도파관 급전을 포함하는 캐리어와, 제 1 표면, 제 2 표면 및 집적 RF 회로를 포함하는 반도체 칩과, 백쇼트를 포함하는 냉각 소자를 포함한다. 반도체 칩은 제 1 표면이 캐리어에 대면하도록 캐리어에 탑재된다. 집적 RF 회로는 적어도 하나의 도파관 급전에 접속된다. 냉각 소자는 백쇼트가 적어도 하나의 도파관 급전의 일 종단에 인접하도록 캐리어에 탑재되고, 냉각 소자는 반도체 소자의 제 2 표면이 냉각 소자에 대면하도록 반도체 칩을 적어도 부분적으로 뒤덮는다.

대표도 - 도1



(52) CPC특허분류

H01L 23/48 (2013.01)

(72) 발명자

사무라크 안드제즈

독일 88131 린다우 스트레이텔스핑거스트라세 40

심부어거 베르너

독일 85540 하르 스타들러스트라세 6 에이

트로타 사베리오

독일 80538 뮌헨 티어슈스트라세 44

명세서

청구범위

청구항 1

적어도 하나의 도파관 급전(waveguide feeding)을 포함하는 캐리어(carrier)와,
제 1 표면, 제 2 표면 및 집적 회로를 포함하는 반도체 칩과,
백쇼트(backshort)를 포함하는 냉각 소자를 포함하고,
상기 반도체 칩은 상기 제 1 표면이 상기 캐리어에 대면(face)하도록 상기 캐리어에 탑재되고,
상기 집적 회로는 상기 적어도 하나의 도파관 급전에 접속되고,
상기 냉각 소자는 상기 백쇼트가 상기 적어도 하나의 도파관 급전의 일 종단에 인접하도록 상기 캐리어에 탑재되고,
상기 냉각 소자는 상기 반도체 소자의 제 2 표면이 상기 냉각 소자에 대면하도록 상기 반도체 칩을 적어도 부분적으로 뒤덮는
전자 시스템.

청구항 2

제 1 항에 있어서,
칩 패키지를 더 포함하고,
상기 반도체 칩은 상기 칩 패키지 내에 배치되는
전자 시스템.

청구항 3

제 1 항에 있어서,
상기 반도체 칩의 제 2 표면과 상기 냉각 소자 사이에 배치된 열 전도 버퍼 층을 더 포함하는
전자 시스템.

청구항 4

제 3 항에 있어서,
상기 버퍼 층은 압축가능 물질(compressible material)을 포함하는
전자 시스템.

청구항 5

제 3 항에 있어서,
상기 버퍼 층은 세라믹계 물질과 실리콘계 물질 중 적어도 하나를 포함하는

전자 시스템.

청구항 6

제 1 항에 있어서,
상기 냉각 소자는 금속 물질을 포함하는
전자 시스템.

청구항 7

제 6 항에 있어서,
상기 금속 물질은 알루미늄과 구리 중 적어도 하나를 포함하는
전자 시스템.

청구항 8

제 1 항에 있어서,
상기 냉각 소자는 전기 단열 물질을 포함하고,
상기 백쇼트를 형성하는 제 1 공동(cavity)은 전기 전도 물질로 도금되는
전자 시스템.

청구항 9

제 1 항에 있어서,
상기 냉각 소자는 스크류잉(screwing), 글루잉(gluing) 및 솔더링(soldering) 중 적어도 하나에 의해 상기 캐리어에 탑재되는
전자 시스템.

청구항 10

제 1 항에 있어서,
상기 캐리어는 PCB(printed circuit board)인
전자 시스템.

청구항 11

제 1 항에 있어서,
상기 냉각 소자는 상기 백쇼트를 형성하는 제 1 공동을 포함하는
전자 시스템.

청구항 12

제 1 항에 있어서,
상기 냉각 소자는 상기 반도체 칩을 수용하는(accommodate) 제 2 공동을 포함하는
전자 시스템.

청구항 13

제 1 항에 있어서,
상기 집적 회로를 상기 캐리어 상의 접촉 패드에 전기적으로 접속하는 볼 그리드 어레이(ball grid array)를 더
포함하는
전자 시스템.

청구항 14

제 1 항에 있어서,
상기 캐리어는 상기 적어도 하나의 도파관 급전의 일 종단에 인접한 쓰루홀(through hole)을 포함하고,
상기 전자 시스템은 상기 적어도 하나의 도파관 급전의 반대쪽 측면 상에서 상기 캐리어에 탑재된 도파관을 더
포함하는
전자 시스템.

청구항 15

제 1 항에 있어서,
상기 적어도 하나의 도파관 급전은 두 개의 실질적으로 평행한 스트립(strips)을 포함하는
전자 시스템.

청구항 16

제 14 항에 있어서,
상기 도파관은 속이 빈(hollow) 튜브를 포함하는
전자 시스템.

청구항 17

제 16 항에 있어서,
상기 도파관은 플랜지(flange)를 포함하고,
상기 도파관은 상기 냉각 소자로부터 상기 캐리어를 통과하여 상기 플랜지로 연장된 스크류에 의해 상기 캐리어
에 탑재되는
전자 시스템.

청구항 18

제 1 항에 있어서,
 상기 집적 회로는 마이크로파 신호 또는 밀리미터파 신호를 처리할 수 있는
 전자 시스템.

발명의 설명

기술 분야

[0001] 본 개시는 전반적으로 전자 시스템에 관한 것으로서, 특히 집적 회로를 포함하는 전자 시스템에 관한 것이다.

배경 기술

[0002] 집적 회로를 포함한 전자 시스템은, 예를 들어, PCB(Printed Circuit Board)와 같은 캐리어와, PCB에 탑재된 (mounted) 집적 회로와, PCB 상에서 집적 회로에 접속된 도파관(waveguide)을 포함할 수 있다. 이러한 전자 시스템의 설계에 있어 하나의 도전과제는 집적 회로를 냉각시키는 것, 즉, 집적 회로로부터의 열을 방출하는 것이다.

발명의 내용

과제의 해결 수단

[0003] 일 실시예는 전자 시스템에 관한 것이다. 시스템은 적어도 하나의 도파관을 포함하는 캐리어와, 제 1 표면 및 제 2 표면을 포함하는 반도체 칩과, 백쇼트(backshort)를 갖는 냉각 소자를 포함한다. 반도체 칩은 제 1 표면이 캐리어에 대면(face)하도록 상기 캐리어에 탑재된다. 반도체 칩 내에 포함된 집적 회로는 적어도 하나의 도파관에 접속된다. 냉각 소자는 백쇼트가 적어도 하나의 도파관의 일 종단에 인접하도록 캐리어에 탑재되고, 냉각 소자는 반도체 소자의 제 2 표면이 냉각 소자에 대면하도록 반도체 칩을 적어도 부분적으로 뒤덮는다.

도면의 간단한 설명

[0004] 예시가 도면과 관련하여 하기에서 설명된다. 도면은 특정 원리를 도시하며, 이러한 원리를 이해하는데 필요한 양태만이 도시된다. 도면은 일정한 비율로 축소되지 않는다. 도면에서, 동일한 참조 번호는 동일한 요소를 나타낸다.

- 도 1은 캐리어, 반도체 칩 및 냉각 소자를 포함하는 전자 시스템의 일 실시예의 수직 단면도를 도시한다.
- 도 2는 일 실시예에 따른 냉각 소자의 상면도(top view)를 도시한다.
- 도 3은 일 실시예에 따른 냉각 소자의 저면도(bottom view)를 도시한다.
- 도 4는 캐리어 상의 도파관 급전의 일 실시예를 도시한다.
- 도 5는 반도체 칩과 냉각 소자 사이에 압축가능 층을 포함하는 전자 시스템의 일 실시예의 수직 단면도를 도시한다.
- 도 6은 튜브형의 (속이 빈) 도파관을 추가적으로 포함하는 전자 시스템의 일 실시예의 수직 단면도를 도시한다.
- 도 7은 냉각 소자와 도파관을 캐리어에 탑재하는 한 방식을 도시한다.
- 도 8은 스크류 구멍을 포함하는 냉각 소자의 일 실시예의 상면도를 도시한다.
- 도 9는 다른 실시예에 따른 전자 시스템의 수직 단면도를 도시한다.

발명을 실시하기 위한 구체적인 내용

- [0005] 하기의 상세한 설명에서, 첨부된 도면에 대한 참조가 이루어진다. 도면은 설명의 일부를 형성하며, 본 발명이 실시될 수 있는 특정 실시예를 도시한다. 본 명세서에 설명된 다양한 실시예의 요소들(features)은 특별히 언급되지 않는 한 서로 결합될 수 있다.
- [0006] 도 1은 일 실시예에 따른 전자 시스템의 수직 단면도를 도시한다. 전자 시스템은 적어도 하나의 도파관 급전(11)을 갖는 캐리어(1)와 그 안에 집적된 집적 회로를 구비한 반도체 칩(2)을 포함한다. 집적 회로는 예컨대 무선 주파수(RF) 신호를 처리할 수 있는 회로이다. 본 맥락에서, RF 신호는 수 GHz 에서 수 THz 사이의 주파수 범위로부터 선택된 신호를 의미한다. 반도체 칩은 제 1 표면(21) 및 제 2 표면(22)을 포함한다. 전자 시스템은 또한 백쇼트(31)를 포함하는 냉각 소자(3)를 포함한다. 백쇼트(31)는 도파관에 단락 회로(short circuit)를 제공한다. 도 1을 참조하면, 반도체 칩(2)은 반도체 칩(2)의 제 1 표면(21)이 캐리어(1)에 대면하도록 캐리어(1)에 탑재된다. 반도체 칩(2)의 집적 회로는 적어도 하나의 도파관 급전(11)에 접속된다. 또한, 냉각 소자(3)는 백쇼트(31)가 적어도 하나의 도파관 급전의 한 종단에 인접하도록 캐리어(1)에 탑재된다. 냉각 소자(3)는 반도체 칩(2)의 제 2 표면(22)이 냉각 소자(3)에 대면하도록 반도체 칩(2)을 적어도 부분적으로 뒤덮는다. 비록 도면에서 오직 하나의 반도체 칩(2)만을 도시하고 있으나, 시스템은 또한 두 개 이상의 반도체 칩을 포함할 수 있다.
- [0007] 도 1에 도시된 실시예에서, 전자 시스템은 또한 반도체 칩(2)을 적재한 칩 패키지(4)를 포함한다. 칩 패키지(4)는 캐리어(1)에 대면하는 칩 패키지(4)의 표면(41)에서 액세스 가능한 접촉 패드(도 1에 도시되지 않음)를 포함하는 배선 배치(도 1에 도시되지 않음)를 포함한다. 접촉 패드는 칩 패키지(4)에서 접속 라인을 통해 반도체 칩(2) 내의 집적 회로에 접속된다. 반도체 칩 내의 전자 회로를 칩 패키지의 접촉 패드에 접속하는 것은 널리 알려진 기술이므로 그에 대한 추가적인 설명은 필요치 않다.
- [0008] 캐리어(1)는 평면 캐리어(planar carrier)로서 그 일부분만이 도 1에 도시된다. 일 실시예에 따르면, 캐리어(1)는 PCB(printed circuit board)이다. 그러나, 다른 전자 소자를 적재하기에 적합한 다른 유형의 캐리어 또한 사용될 수 있다.
- [0009] 도 1을 참조하면, 전자 시스템은 또한 복수의 전기 전도 볼(51)을 포함하는 볼 그리드 어레이(ball grid array)(5)를 포함할 수 있으며, 이러한 볼(51)의 각각은 칩 패키지(4)의 접촉 패드와 캐리어(1)의 대응하는 접촉 패드(12) 사이에 접속된다. 도파관 급전(waveguide feeding)(11)은 적어도 하나의 이러한 전기 전도 볼(51)을 통해 반도체 칩(2)에 접속될 수 있다. 즉, 도파관 급전(11)은 적어도 하나의 볼(51)에 접속될 수 있으며, 적어도 하나의 볼(51)은 칩 패키지(4)의 적어도 하나의 접촉 패드에 접속될 수 있고, 적어도 하나의 접촉 패드는 칩 패키지(4)의 배선 배치를 통해 반도체 칩(2)에 집적된 회로에 전기적으로 접속된다. 이러한 배선 배치의 하나의 접속 라인은 도 1에 점선으로 개략적으로 도시된다.
- [0010] 도 1에 도시된 실시예에서, 칩 패키지(4)의 일부는 반도체 칩(2)과 캐리어(1)의 사이에 배치되고, 칩 패키지(4)는 반대 측에서 오픈되어 반도체 칩(2)은 캐리어(1)에 대면하는 칩 패키지(4)의 측면에서 노출된다. 냉각 소자(3)는 반도체 칩(2)에 직접 접촉될 수 있다. 다른 실시예에 따르면, 전기적으로는 절연되지만 열적으로는 전도되는 층(미도시)이 반도체 칩(2)과 냉각 소자(3) 사이에 배치된다.
- [0011] 일 실시예에 따르면, 집적 회로는 반도체 칩(2)의 전면(front side)으로도 지칭될 수 있는 제 1 표면(21)의 영역에서 반도체 칩(2)에 집적된다. 집적 회로는 다수의 입력, 출력 및 공급 단자를 포함할 수 있고, 이들은 각각 칩 패키지(4) 내의 배선 배치와 볼 그리드 어레이(5)를 통해 캐리어(1) 상의 접촉 패드(12)에 접속된다. 접촉 패드(12)는 집적 회로가 전력 공급 등을 위해서 다른 회로와 접속되는 것을 허용하는 캐리어(1) 상의 접속 라인(미도시)에 접속된다. 제 2 표면(22)의 영역에서는 어떤 디바이스도 집적되지 않아서, 제 2 표면은 냉각 소자(3)에 직접 접촉될 수 있다.
- [0012] 반도체 칩(2)의 무선 주파수(RF) 입력 또는 출력은 상기 설명된 방식, 즉, 칩 패키지(4)의 배선 배치 및 볼 그리드 어레이(5)를 통해 도파관 급전(11)에 접속된다. 반도체 칩(2)은 또한 도파관 급전(11)을 통해서 RF 신호를 전송하거나 RF 신호를 수신할 수 있다. 본 맥락에서, RF 신호는 수 GHz 에서 수 THz 사이의 주파수 범위로부터 선택된 신호를 의미한다. RF 신호는 예컨대 77 GHz 레이더 신호와 같이, 예를 들어, 수십 GHz의 주파수를 갖는 레이더 신호와 같은 마이크로파 신호 또는 밀리미터파 신호이다.
- [0013] RF 회로에 의해 송신 또는 수신된 RF 신호는 캐리어(1)의 쓰루홀(through hole)(13)을 통해 인도될 수 있다. 쓰루홀(13)은 반도체 칩(2)과 볼 그리드 어레이(5)로부터 각각 빗겨난(face away) 도파관 급전(11)의 종단에 근접하여 위치된다.

- [0014] 도 1을 참조하면, 냉각 소자(3)는 두 개의 기능을 수행한다. 첫째로, 냉각 소자(3)는 쓰루홀(13)을 통해 도파관 급전(11)에 의해 전송 또는 수신된 RF 신호에 대한 백쇼트를 제공한다. 이러한 실시예에서, 백쇼트(31)는 도파관 급전(11)의 종단에 인접하고 쓰루홀(13)의 상부에 위치한 냉각 소자(3)의 공동(cavity)이다. 이러한 공동의 깊이는 RF 신호의 파장에 따라 채택된다. 일 실시예에 따르면, 공동(31)의 깊이(d)는 약 $\lambda/4$ (람다(lambda)/4)이며, 여기서 λ 는 RF 신호의 파장을 나타낸다. 예를 들어, 도파관 급전(11)이 RF 신호를 전송하는 경우에, RF 신호의 일부는 쓰루홀(13)을 통해 직접적으로 전송되고, 다른 부분은 공동(31)에서 반사된다. 공동(31)의 깊이(d)가 $\lambda/4$ 인 경우에, 반사된 부분은 쓰루홀(13)을 통해 전송된 부분에 추가되어 전송 손실이 낮게 유지된다. 공동(31)의 깊이(d)는 도 1의 확대된 부분(C)에 도시된 바와 같이 도파관 급전(11)의 상부 표면으로부터 측정되거나, 캐리어(1)에 탑재된 냉각 소자(3)의 표면으로부터 측정된다.
- [0015] 둘째로, 냉각 소자(3)는 반도체 칩(2)으로부터의 열을 방출함으로써 반도체 칩(2)을 냉각시키는 것을 수행한다. 반도체 칩(2)을 적어도 부분적으로 뒤덮는 냉각 소자(3)는 그가 탑재된 캐리어(1)로 및/또는 주위 공기(ambient atmosphere)로 열을 방출할 수 있다. 일 실시예에 따르면, 캐리어(1)는 냉각 소자(3)가 캐리어(1)와 접촉하는 영역에서 열 전도 물질(14)로 도금된다. 이러한 열 전도 물질층(14)의 예시는 예컨대 하나 이상의 금속 층과 같은 하나 이상의 열 전도 층을 포함한다. 열 전도 물질층(14)은 심지어, 예컨대, 캐리어 상의 니켈 도금 및 니켈 도금 상의 금 도금과 같은 다수의 층을 포함할 수 있다. 대안적으로, 열 전도 물질층(14)은 예컨대 그래핀(graphene) 또는 탄소 나노튜브(carbon nanotubes)와 같은 탄소계 물질을 포함할 수 있다. 열 전도 물질층(14)은 냉각 소자(3)와 캐리어(1) 사이에 낮은 열 저항을 제공하도록 돕는다. 캐리어(1)는 캐리어(1)로부터의 열을 방출하도록 동작하는 추가적인 냉각 소자(미도시)에 탑재될 수 있다.
- [0016] 냉각 소자(3)는 열 전도 물질을 포함하거나 기본적으로 열 전도 물질로 구성될 수 있다. 열 전도 물질은 금속 물질을 포함할 수 있다. 예를 들어, 금속 물질은 예컨대 알루미늄 또는 구리와 같은 금속, 금속 화합물 또는 금속 합금이다. 냉각 소자(3)는 전기 전도 물질을 필수적으로 포함하지는 않는다. 그러나, 냉각 소자가 전기 전도 물질이 아닌 물질(전기 단열 물질)을 포함하는 경우에, 백쇼트를 형성하는 공동(31) 내에 전기 전도 도금을 포함할 수 있다.
- [0017] 도 1을 참조하면, 냉각 소자(3)는 반도체 칩(2), 보다 상세히는 반도체 칩(2)과 볼 그리드 어레이(5)를 포함하는 칩 패키지(4)를 적재하는 추가 공동(32)을 포함한다. 이러한 공동(32)의 깊이는 볼 그리드 어레이(5)와 칩 패키지(4)의 높이에 의해 채택되어 냉각 소자(3)는 반도체 칩에 열적으로 접촉될 수 있다.
- [0018] 도 1을 참조하면, 냉각 소자(3)는 도파관 급전(11) 상부에 추가적인 공동(33)을 포함할 수 있다. 이러한 추가적인 공동(33)은 냉각 소자(3)가 도파관 급전(11)과 전기적으로 접촉되는 것을 방지한다.
- [0019] 도 2는 일 실시예에 따른 냉각 소자(3)의 상면도(top view)를 도시한다. 냉각 소자(3) 하부의 칩 패키지(4)와 반도체 칩(2)의 위치는 도 2에서 점선으로 도시된다. 도 2에 도시된 냉각 소자(3)는 두 개의 대체로 원형인 원형 섹션(31₁, 31₂)과 두 개의 원형 섹션(31₁, 31₂) 사이의 브릿지 섹션(32)을 포함한다. 본 실시예에서, 칩 패키지(4)는 실질적으로 브릿지 섹션(32)의 하부에 위치된다. 또한, 냉각 소자(3), 특히 브릿지 섹션(32)은 반도체 칩(2)을 포함한 칩 패키지(4)를 완전하게 뒤덮는다. 그러나, 이는 하나의 예시일 뿐이다. 다른 실시예(미도시)에 따르면, 냉각 소자(3)는 반도체 칩(2)을 포함한 칩 패키지(4)를 부분적으로만 덮는다(겹쳐진다).
- [0020] 도 3은 백쇼트를 형성하는 제 1 공동(31)과, 칩 패키지(4)를 적재한 제 2 공동(32)과, 도파관 급전(11)을 적재한 제 3 공동(33)을 포함한 냉각 소자(3)의 저면도(bottom view)를 도시한다. 또한, 도 3에서는 칩 패키지(4)의 저면도가 도시된다. 칩 패키지(4) 내부의 반도체 칩(2)의 위치는 도 2에서 점선으로 도시된다.
- [0021] 도 3을 참조하면, 칩 패키지(4)는 냉각 소자(3)가 캐리어(도 1에 도시)에 탑재되는 경우에 캐리어에 대면하는 표면(41)에 복수의 접촉 패드(41)를 포함한다. 이러한 접촉 패드(41)는 볼 그리드 어레이(도 1의 5 참조)에 전기적으로 접속될 수 있다.
- [0022] 도 3에 도시된 실시예에서, 칩 패키지(4)를 적재하도록 구성된 제 2 공동(32)은 브릿지 섹션(32)의 전체 폭을 따라 연장된다. 브릿지 섹션(32)의 "폭"은 원형 섹션(31₁, 31₂)이 떨어져 있는 방향과 수직 방향에서의 브릿지 섹션(32)의 치수이다. 그러나, 브릿지 섹션(32)의 전체 폭을 따라 연장된 제 2 공동(32)을 구비하는 것은 단지 하나의 예시일 뿐이다. 다른 실시예(미도시)에 따르면, 공동(32)은 브릿지 섹션(32)의 가장자리로부터 떨어져 있다.
- [0023] 냉각 소자(3)는 예컨대 상기 설명된 물질 중 하나와 같은 물질의 일부(one piece)만을 포함할 수 있다. 공동들

(31, 32, 33)은 예컨대 밀링(milling), 그라인딩(grinding), 드릴링(drilling)과 같은 기존의 작업 기술을 사용하여 형성될 수 있다.

[0024] 두 개의 원형 섹션(31₁, 31₂)과 하나의 브릿지 섹션(32)을 포함한 냉각 소자(3)를 구현하는 것은 단지 하나의 예시일 뿐임을 주지해야 한다. 냉각 소자(3)는 반도체 칩(2)으로부터의 열을 방출하고 백쇼트로서 동작하기에 적합한 임의의 다른 기하학적 구조(geometry)로 구현될 수 있다.

[0025] 도 4는 도파관 급전(11)이 위치한 부분에서의 캐리어(1)의 상면도를 도시한다. 본 실시예에서, 도파관 급전(11)은 두 개의 실질적으로 평행한 라인(스트립)(11₁, 11₂)을 포함하며, 각각의 이러한 스트립은 하나의 접촉 패드(12₁, 12₂)에 접속된다. 이러한 접촉 패드(12₁, 12₂)는 볼 그리드 어레이(도 1의 5)와 칩 패키지(도 1의 4) 내의 배선 배치를 통해 집적 회로에 접속된다. 그러나, 볼 그리드 어레이와 칩 패키지는 도 4에 도시되지 않는다. 도 4는 또한 도파관 급전(11)의 중단에 인접하게 위치한 쓰루홀(13)을 도시한다. 도 4에 도시된 실시예에서, 쓰루홀(13)은 대체로 사각형인 단면을 갖는다. 그러나, 이는 단지 하나의 예시일 뿐이다. 예컨대 원형 단면과 같이 다른 형태의 단면 부분이 또한 사용될 수 있다. 두 개의 스트립 라인(11₁, 11₂) 사이의 상호 간의 거리는 도파관 급전(11)의 중단 쪽에서 증가하고, 이는 RF 신호가 쓰루홀(13)을 통해 도파관 급전(11)으로부터 전송되는 것을 가능하게 한다.

[0026] 도 5는 다른 실시예에 따른 전자 시스템의 수직 단면도를 도시한다. 본 실시예에서, 전자 시스템은 반도체 칩(2)과 냉각 소자(3) 사이에 열 전도 및 압축가능 층(6)을 포함한다. 이러한 가변 층(6)은 냉각 소자(3)가 캐리어(1)에 탑재될 때, 기계적인 손상으로부터 반도체 칩(2)을 보호한다. 가변 층(6)은 세라믹계 열 전도 물질, 실리콘계 물질, 소위(so-called) 열 패드, 열 페이스트(paste) 등을 포함할 수 있다. 가변 층(6)은 (도 5에 도시된 바와 같이) 제 2 표면(22) 상에서 반도체 칩(2)에 직접적으로 접촉될 수 있다. 다른 실시예(미도시)에 따르면, 반도체 칩(2)의 제 2 표면(22)과 가변 층(6) 사이에 전기적 절연 층이 존재한다.

[0027] 도 6은 또 다른 실시예에 따른 전자 시스템의 수직 단면도를 도시한다. 본 실시예에서, 전자 시스템은 튜브형(tubular)의 (속이 빈) 도파관(7)을 더 포함한다. 이러한 도파관(7)은 캐리어(1)에 탑재된 플랜지(flange)(71)와 튜브형 섹션(72)을 포함한다. 도파관(71)은 캐리어(1)의 쓰루홀(13)이 도파관(7)의 튜브형 섹션(72)쪽으로 향하도록 냉각 소자(3)의 반대쪽 측면에서 캐리어(1)에 탑재되어, 쓰루홀(13)을 통해 전달되는(travel) RF 신호가 도파관(7)에서 더 전달될 수 있다. 도파관은 예컨대 사각형 또는 원형 단면과 같이 기존의 도파관 단면을 포함할 수 있다.

[0028] 도파관은 예컨대, 스크류링(screwing), 글루잉(gluing) 또는 솔더링(soldering)과 같은 기존의 고정 기술을 사용하여 캐리어(1)에 탑재될 수 있다. 도 7은 도파관이 스크류링에 의해 캐리어(1)에 탑재된 전자 시스템의 수직 단면도를 도시한다. 도 7에 도시된 전자 시스템은 도 6에 도시된 시스템에 기초하며, 따라서 칩(2)과 냉각 소자(3) 사이에 가변 층(6)을 포함한다. 그러나, 이러한 가변 층(6)은 생략될 수도 있다.

[0029] 도 7을 참조하면, 도파관(7)은 스크류링에 의해 캐리어(1)에 탑재된다. 본 실시예에서, 스크류(81)는 냉각 소자(3)와 캐리어(1)를 거쳐 도파관(7)의 플랜지(71)에 도달한다. 도파관(7)의 플랜지(71)는 내부 나사니(thread)를 갖는 스크류 구멍을 포함하여 스크류(81)가 플랜지(71) 속으로 고정될 수 있다. 도 7에 도시된 단면은 캐리어(1)에 도파관(7)을 탑재하는 하나의 스크류(81) 만을 도시한다. 그러나, 전자 시스템은 도 7의 단면도에는 도시되지 않았으나 캐리어(1)에 도파관(7)을 탑재하기 위한 추가적인 스크류를 포함할 수 있다.

[0030] 도파관(7)과 같이, 냉각 소자도 예컨대 스크류링, 글루잉 또는 솔더링과 같은 기존의 고정(탑재) 기술을 사용하여 캐리어(1)에 탑재될 수 있다. 도 7은 냉각 소자가 스크류링에 의해 캐리어(1)에 탑재된 실시예를 도시한다. 도 7에서, 냉각 소자(3)를 캐리어(1)에 고정하기 위한 오직 하나의 스크류(82) 만이 도시된다. 이러한 스크류(82)는 냉각 소자(3)를 거쳐 캐리어(1)까지 연장된다. 캐리어(1)는 스크류(82)가 스크류될 수 있는 내부 나사니를 갖는 스크류 구멍을 포함할 수 있다. 전자 시스템은 또한 냉각 소자(3)를 캐리어(1)에 탑재하기 위한 스크류(82)에 대응하는 추가적인 스크류들을 포함할 수 있다. 그러나, 이러한 추가적인 스크류들은 도 7에 도시되지 않는다(보이지 않는 곳에 존재함).

[0031] 도 8은 도 7에 도시된 전자 시스템 내의 냉각 요소(3)의 일 실시예의 상면도를 도시한다. 도 8에서, 참조 번호 34는 도파관(7)을 캐리어(1)에 고정하는 냉각 소자(3) 내의 제 1 스크류 구멍을 나타낸다. 즉, 이러한 제 1 스크류 구멍(34)은 도 7에 도시된 스크류(81)에 대응하는 스크류를 수용한다. 참조 번호 35는 냉각 요소(3)를 캐리어에 고정하는데 사용될 수 있는 제 2 스크류 구멍을 나타낸다. 즉, 이러한 제 2 스크류 구멍(35)은 도 7의

스크류(82)에 대응하는 스크류를 수용한다. 도 8에 도시된 바와 같이, 도파관을 캐리어(1)에 고정하기 위한 다수의 제 1 스크류 구멍(34)과, 냉각 소자(3)를 캐리어에 고정하기 위한 다수의 제 2 스크류 구멍(35)이 존재할 수 있다.

[0032] 도 9는 다른 실시예에 따른 전자 시스템의 수직 단면도를 도시한다. 본 실시예에서, 전자 시스템은 두 개의 도파관 급전(11A, 11B)과 이들 도파관 급전(11A, 11B)의 종단에 두 개의 쓰루홀(13A, 13B)을 포함한다. 일 실시예에 따르면, 이러한 도파관 급전(11A, 11B) 중 하나는 칩 내의 RF 회로로 전달된 RF 신호를 수신하도록 동작하고, 다른 하나는 칩(2) 내의 RF 회로로부터 수신된 RF 신호를 전송하도록 동작한다. 상기에서 도파관 급전(11)에 관하여 설명된 모든 것이 도파관 급전(11A, 11B)의 각각에 적용된다. 특히, 냉각 소자(3)는 각 도파관 급전(11A, 11B)의 종단에 백쇼트로서 동작하는 공동(31A, 31B)을 포함한다. 또한, 냉각 소자(3)는 각 도파관 급전(11A, 11B)에 인접한 제 2 공동(33A, 33B)을 포함한다. 압축가능한 버퍼 층(도 5 내지 7의 6 참조)은 도 9의 전자 시스템에는 도시되지 않는다. 그러나, 그러한 버퍼 층은 상기에서 설명된 실시예와 관련하여 설명된 바와 같이 사용될 수 있다. 또한, 도파관은 도 7과 관련해서 설명된 방식으로 두 개의 쓰루홀(13A, 13B) 하부에서 캐리어(1)에 탑재될 수 있다. 이러한 도파관(도 9에 도시되지 않음)과 냉각 소자(3)는 도 7과 관련해서 설명된 방식으로 캐리어(1)에 탑재될 수 있다.

[0033] 비록 본 발명의 다양한 예시적인 실시예가 개시되었으나, 본 발명의 사상 및 범주를 벗어나지 않으면서도 본 발명의 일부 이점을 달성하기 위해서 다양한 변경 및 수정이 실시될 수 있음이 당업자에게 자명할 것이다. 동일한 기능을 수행하는 다른 요소가 적합하게 대체될 수 있음이 당업자에게 명백할 것이다. 명시적으로 언급되지 않는 경우에도 특정 도면과 관련되어 설명된 요소는 다른 도면의 요소와 결합될 수 있음이 언급되어야 한다. 또한, 본 발명의 방법은 적절한 프로세서 명령어를 사용하는 소프트웨어 구현 또는 동일한 결과를 달성하기 위한 하드웨어 로직 및 소프트웨어 로직의 결합을 활용하는 하이브리드 구현을 통해 달성될 수 있다. 발명의 컨셉에 대한 그러한 변경은 첨부되는 청구항에 의해 망라되도록 의도된다.

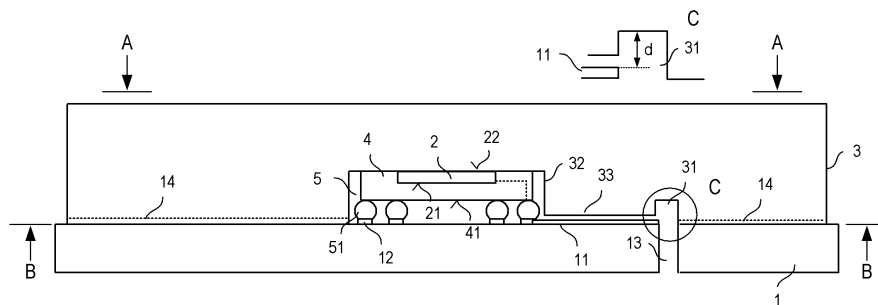
[0034] "아래의(under)", "하부의(below)", "낮은(lower)", "상부의(over)" 및 "위의(upper)" 등의 공간적으로 상대적인 용어는 제 2 요소로부터 상대적인 제 1 요소의 위치를 설명하는 것을 용이하게 기술하기 위해서 사용된다. 이러한 용어는 도면에 도시된 것과 상이한 방향에 더하여 디바이스의 상이한 방향을 아우르도록 의도된다. 또한, "제 1" 및 "제 2" 등의 용어는 다양한 요소, 영역, 부분 등을 설명하는데 사용되며 제한적인 것으로 의도되지 않는다. 명세서 전반에서 동일한 용어는 동일한 요소를 지칭한다.

[0035] 본 명세서에서 사용된 바와 같이, "구비하는(having)", "포함하는(including)" 및 "포함하는(comprising)" 등의 용어는 개방형 종결어(open ended terms)로서, 언급된 요소 또는 특징의 존재를 나타내지만 부가적인 요소 또는 특징을 배제하지 않는다. 관사 "a", "an" 및 "the"는 별도로 명백하게 지시된 경우가 아니면 단수형 뿐만 아니라 복수형 또한 포함하도록 의도된다.

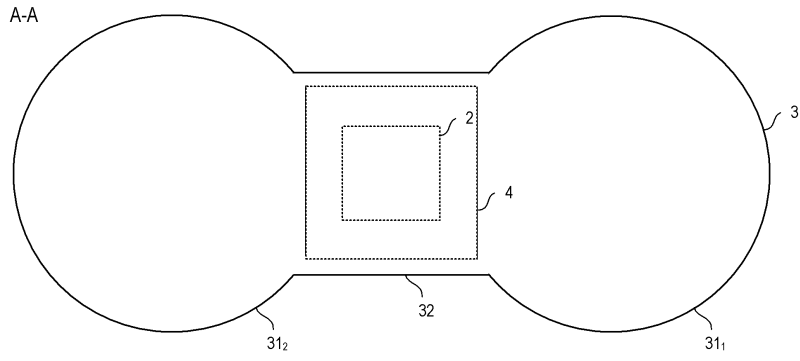
[0036] 상기 범위의 변형 및 적용을 염두에 둬으로써, 본 발명이 상기의 설명에 제한되거나 첨부된 도면에 의해 제한되지 않음을 이해해야만 한다. 대신에, 본 발명은 하기의 청구항 및 그 법적 등가물에 의해서만 제한된다.

도면

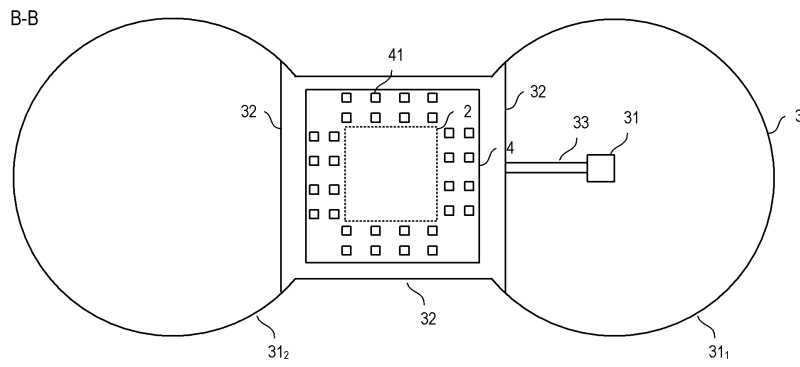
도면1



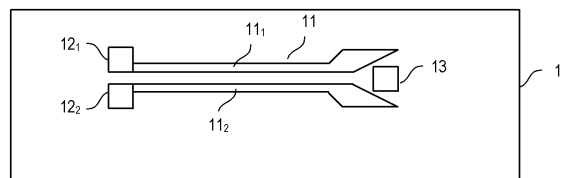
도면2



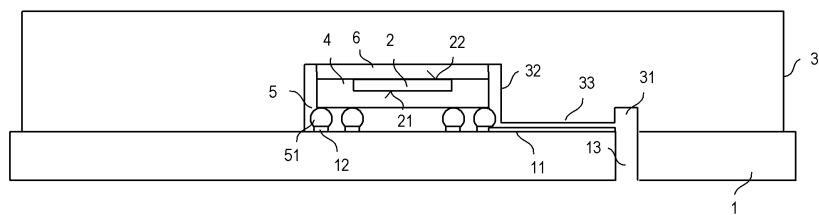
도면3



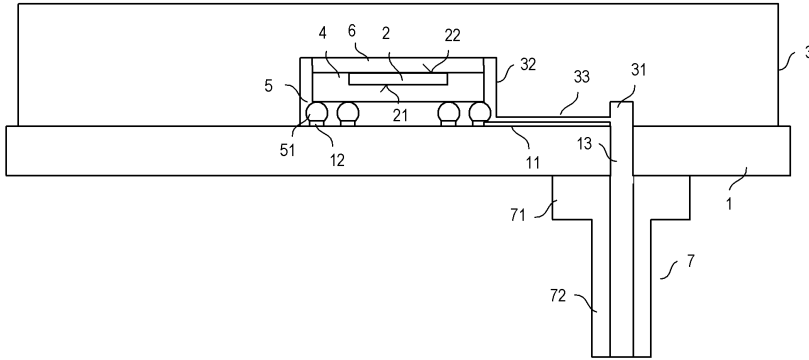
도면4



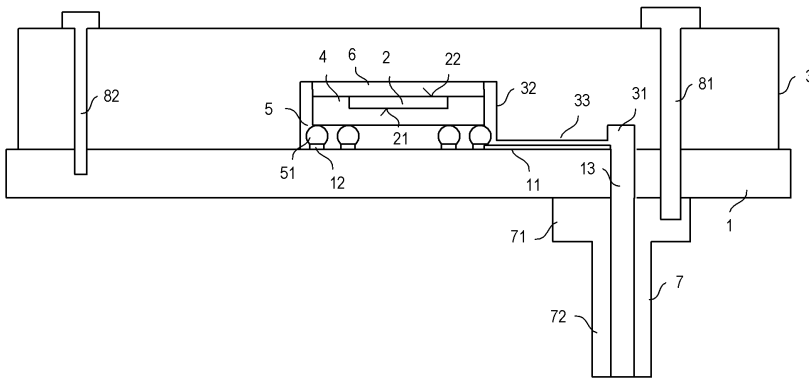
도면5



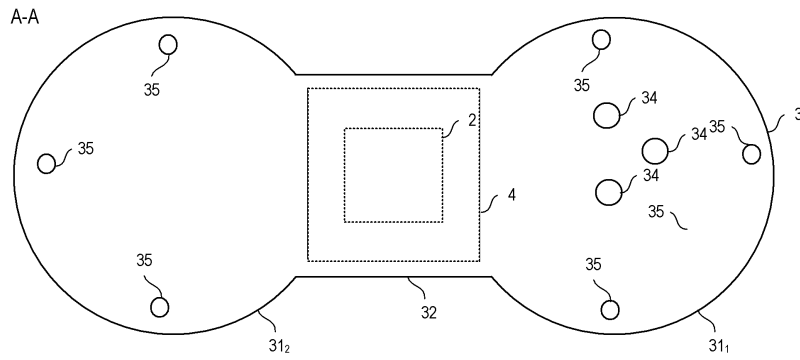
도면6



도면7



도면8



도면9

