

- <11> 상기한 바와 같이, 여러 메모리 셀들의 센싱동작은 풀-페이지(pull-page)동작이 아닐 경우에는 불필요한 것으로, 그 이유는 모든 메모리 셀은 데이터가 사라지기 전에 리프레쉬 명령에 의해 다시 라이트되어지므로 통상의 리드동작시 데이터가 필요한 셀이 아닌 경우 센싱을 하는 것을 소모적인 동작이 되기 때문이다.
- <12> 그러므로, 소모전류를 줄이기 위해서는 로우 액티브(row active) 동작시 워드라인이 열려 센싱이 요구되는 셀의 개수를 최소화하는 것이 필수적이라 할 수 있겠다.
- <13> 예를들어, 셀의 개수가 $64M(64 \times 1024 \times 102 = 2^{26})$ 개인 경우를 살펴보기로 한다.
- <14> 이 경우에는 전체 셀중에서 하나를 선택하기 위해 26비트의 주소가 필요하게 되지만, 현재 생산 및 판매되는 대부분의 디램소자는 데이터를 한개씩 입·출력하지 않고 동시에 4개, 8개 또는 16개의 데이터를 입·출력하기 때문에 한쌍의 데이터(4개, 8개, 16개)들의 주소를 따로 구분할 필요가 없어진다. 그래서, 26비트보다 적은 주소가 요구되며, 상기 제품을 각각 $\times 4$, $\times 8$, $\times 16$ 제품이라 할 때 $64M(\times 4)$ 제품은 24비트, $64M(\times 8)$ 제품은 23비트, 그리고 $64M(\times 16)$ 제품은 22비트의 주소만 있으면 된다.
- <15> 이하, 기존에 사용된 디램소자가 상기 주소들을 소자내부로 받아들인 방법에 관해 살펴보기로 한다,
- <16> 우선, 디램소자는 상기 주소들을 한꺼번에 받아들이지 않고 그 대신 '어드레스 멀티플렉싱(address multiplexing)'이란 방식을 사용하여 주소를 소자내부로 받아들리게 되는데, 이 방식은 이미 업계표준(Spec.)으로 지정되어 있는 방식이다.
- <17> 따라서, 완전히 새로운 개념의 디램이 개발되어 그 유용성이 인정되고 업계표준(Spec.)이 따로 독립되지 않는 한 모든 디램소자는 상기 '어드레스 멀티플렉싱' 방식을 사용하는 것이 일반적이다.
- <18> 이때, '어드레스 멀티플렉싱(address multiplexing)'이란 셀을 선택하기 위한 주소를 한번이 아니라 두번에 나누어 받는 방식으로 어드레스 핀이 어드레스 멀티플렉싱 방식을 사용하지 않는 방식의 반만이 요구된다.
- <19> 그러므로, 이러한 방식을 선택함으로써 핀(pin)과 패드(pad)의 개수가 줄어들고 관련된 입력버퍼 등의 회로가 대폭 줄어드는 등 관련된 여러가지의 이득을 얻을 수 있게 된다.
- <20> 이때, 어드레스 멀티플렉싱에서 첫번째로 인가받는 주소를 '로우 어드레스'라 하며, 이 로우 어드레스를 이용하여 워드라인을 선택하고 비트라인 센스앰프를 작동시켜 놓은 상태에서 두번째 주소가 되는 컬럼 어드레스를 기다리게 된다.
- <21> 그런데, 일단 워드라인을 선택하여 열게되면 셀에 저장되어 있던 전하('1' 과 '0' 의 데이터를 나타냄)가 비트라인(BL, /BL)으로 흘러들어가서 전하분할(charge sharing)이 이루어져 상기 워드라인을 닫기 전에 반드시 센싱해서 데이터를 재저장시켜 주어야만 하기 때문에, 이 과정에서 센싱동작을 피할 수가 없게 된다.
- <22> 그러므로, 워드라인에 의해 열리는 셀의 개수는 첫번째로 입력받는 로우 어드레스의 개수에 의해 결정되며, 이러한 과정이 끝난 다음 두번째 주소인 컬럼 어드레스신호를 입력받게 된다. 그래서, 상기 워드라인 활성화이후 센싱되어 있던 셀들 중의 한쌍(4개, 8개 또는 16개)을 상기 컬럼 어드레스의 디코딩에 의해 선택할 수 있게 된다.
- <23> 상기한 '어드레스 멀티플렉싱' 방식을 통해 알 수 있듯이, 전류소모를 줄이기 위해서는 워드라인을 보다 적게 활성화시킴으로써 셀을 조금만 열어 센싱을 조금만 해야 하는데, 그 한계는 상기 로우 어드레스의 개수에 의해 정해지며 이러한 한계는 컬럼 어드레스를 인가받기 전에 워드라인을 활성화시켜 셀을 여는 방식을 유지하는 한 극복될 수가 없다.
- <24> 그 이유는, 상기 한계가 되는 로우 어드레스의 개수로 열 수 있는 셀의 개수에 비해 적은 수의 셀을 열게되는 경우 뒤이어 들어오는 컬럼 어드레스신호로 필요한 셀을 선택하였을 때 열려져 있지 않은 셀이 선택되는 경우가 반드시 존재하기 때문이다.
- <25> 이 경우에 대해, 64M 디램제품을 예로들어 설명하기로 한다.
- <26> 64M 디램제품은 14개의 어드레스 핀(A0~A13)을 두는 것이 업계표준(Spec.)으로 정해져 있다. 또한, $64M(\times 4)$ 디램제품의 경우 선택해야 할 모든 경우의 수는 2^{14} 가지가 되며 초기에 인가되는 로우 어드레스신호를 최대한 받아 14비트(ax0~ax13)를 받는다고 가정할 때, 상기 14비트의 로우 어드레스신호를 이용하여 2^{14} 가지를 선택하고 나면 선택되지 않고 남는 경우의 수는 2^{10} 가지가 된다. 상기 2^{10} 가지가 되는 경우의 수는 $\times 4$ 제품이므로 2^{12} 개, 즉 4k개의 셀이 된다.
- <27> 즉, '어드레스 멀티플렉싱' 방식에서 처음에 인가받는 14비트의 로우 어드레스신호에 의해 64M개의 전체 셀 중 2^{14} 개의 셀이 일차적으로 선택되고, 나머지 4k개의 셀이 10비트의 컬럼 어드레스신호(ay0~ay9)에 의해 선택되기를 기다리고 있는 상태가 된다. 여기서, 선택되기를 기다리고 있는 상태는 상기 4k개의 셀이 워드라인에 의해 열리고 비트라인 센스앰프에 의해 센싱된 상태로 있는 상태를 나타낸다.
- <28> 그래서, 만약 4k개 이하의 셀이 컬럼 어드레스에 의해 선택되기를 기다리고 있도록 디램이 설계된다면, 상기한 바와 같이 임의의 특정 컬럼 어드레스의 경우 이 어드레스가 선택되더라도 셀이 열려져 있지 않는 상태가 될 수 있기 때문에, 셀의 데이터를 리드(read)하거나 셀에 데이터를 라이트(write)할 수 없는 상태가 될 수 있다.
- <29> 그러므로, 상기한 $64M(\times 4)$ 디램제품에서는 4k개의 셀을 여는 것을 피할 수가 없게 된다.
- <30> 즉, 선택해야 하는 전체 셀의 개수를 2^n , 사용가능한 전체 어드레스 핀의 개수를 2^m 이라고 가정

할 때, 컬럼 어드레스신호를 받기 전에 미리 워드라인을 활성화시켜 셀을 여는 방식을 유지한다면 최소 2^{n-m} 개의 셀을 반드시 센싱해야만 되기 때문에, 디램동작시 많은 부분을 차지하는 센싱전류의 소모가 커져 소자전체의 전류소모를 증가시키게 되는 문제점이 발생한다.

발명이 이루고자 하는 기술적 과제

- <31> 따라서, 본 발명은 상기 문제점을 해결하기 위하여 이루어진 것으로, 본 발명의 목적은 디램 동작시 가장 많은 부분을 차지하는 센싱전류를 대폭 감소시켜 저전력을 실현하도록 한 반도체 메모리 장치 및 이의 센싱전류 감소방법을 제공하는데 있다.
- <32> 상기 목적을 달성하기 위하여, 본 발명에 의한 반도체 메모리장치는 외부 칩-셋으로부터 로오 어드레스신호를 입력받아 이를 디코딩하여 워드라인 선택신호를 발생시키는 로오 디코더와;
- <33> 상기 외부 칩-셋으로부터 컬럼 어드레스신호를 입력받아 이를 디코딩하여 컬럼 선택신호를 발생시키는 컬럼 디코더와;
- <34> 다수개의 서브 셀 어레이로 이루어지는 메모리 셀 어레이와;
- <35> 상기 로오 어드레스신호 및 컬럼 어드레스신호를 입력받아 이들 신호의 조합에 의해 상기 다수개의 서브 셀 어레이 중 하나를 선택하는 서브 셀 어레이 선택신호를 발생시키는 선택수단을 구비하는 것을 특징으로 한다.
- <36> 또한, 본 발명에 따른 반도체 메모리장치의 센싱전류 감소방법은 외부로부터 로오 액티브 명령신호와 로오 어드레스신호를 입력받아 저장하는 제1 과정과;
- <37> 외부로부터 동작 명령신호와 컬럼 어드레스신호를 입력받아 이를 셀의 근접지역으로 전달하는 제2 과정과;
- <38> 상기 로오 어드레스신호와 상기 컬럼 어드레스신호를 입력받아 이를 조합하여 메모리 셀 어레이 내 다수개의 서브 셀 어레이 중 하나를 선택할 수 있도록 제어하는 서브 셀 어레이 선택신호를 발생시키는 제3 과정과;
- <39> 상기 선택된 서브 셀 어레이가 활성화되면 소정의 딜레이시간 이후 비트라인 센스앰프를 동작시키는 제4 과정과;
- <40> 상기 비트라인 센스앰프의 센싱동작의 완료 후, 컬럼 디코더의 출력신호를 사용하여 데이터를 데이터 버스라인에 실어 외부로 출력하는 제5 과정을 구비하여 수행하는 것을 특징으로 한다.

발명의 구성 및 작용

- <41> 상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부된 도면과 관련한 다음의 상세한 설명을 통하여 보다 분명해 질 것이다. 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다.
- <42> 도 1은 본 발명에 따른 반도체 메모리장치를 개략적으로 나타낸 블록 구성도로, 외부 칩-셋으로부터 로오 어드레스신호의 전체 또는 그 일부를 입력받아 이를 디코딩하여 글로벌 워드라인 선택신호(GWL<0>~GWL<n>)를 발생시키는 로오 디코더(100)와; 상기 외부 칩-셋으로부터 컬럼 어드레스신호의 전체 또는 그 일부를 입력받아 이를 디코딩하여 글로벌 컬럼 선택신호(GCS<0>~GCS<n>)를 발생시키는 컬럼 디코더(200)와; 다수개의 서브 셀 어레이(300_1~300_n)로 이루어지는 메모리 셀 어레이(300)와; 상기 로오 어드레스신호 및 컬럼 어드레스신호를 입력받아 이들 신호의 조합에 의해 상기 다수개의 서브 셀 어레이(300_1~300_n) 중 하나를 선택하는 서브 셀 어레이 선택신호(SCAS<0>~SCAS<n>)를 발생시키는 선택수단(400)을 구비한다.
- <43> 또한, 상기 선택수단(400)으로부터 발생되는 서브 셀 어레이 선택신호(SCAS<0>~SCAS<n>)에 의해 활성화되는 서브 로오 디코더(310_1~310_n)와, 상기 서브 셀 어레이 선택신호(SCAS<0>~SCAS<n>) 또는 이 신호의 지연 및 변형신호에 의해 활성화되는 센스앰프 서브 어레이(320_1~320_n)를 상기 다수개의 서브 셀 어레이(300_1~300_n)마다 각각 별도로 구비한다.
- <44> 도 2는 도 1에 도시된 반도체 메모리장치의 일 실시예를 세부적으로 도시한 회로 구성도로, 동 도면의 경우 4개의 서브 셀 어레이(300_1~300_4)의 선택적 활성화를 위해 인가되는 로오 어드레스 ax<0:2>, /ax<0:2>과 컬럼 어드레스 ay<0:2>, /ay<0:2>의 적절한 조합에 의해 글로벌 워드라인 선택신호(GLW<0>~GLW<3>)와 글로벌 컬럼 선택신호(GCS<0>~GCS<3>) 및 서브 셀 어레이 선택신호(SCAS<0>~SCAS<3>)를 발생시키는 것을 나타낸다.
- <45> 동 도면에 도시된 로오 디코더(100)는 상기 로오 어드레스의 일부가 되는 ax<0:1>, /ax<0:1>의 4가지 조합상태를 각각 입력받는 낸드 게이트와 상기 낸드 게이트의 출력단에 각각 연결된 인버터로 구성되며, 상기 인버터의 출력단을 통해 4개의 글로벌 워드라인 선택신호(GWL<0>~GWL<3>)가 각각 발생된다.
- <46> 그리고, 컬럼 디코더(200)도 상기 로오 디코더(100)와 동일한 구성(입력되는 컬럼 어드레스신호의 4가지 조합상태를 각각 입력받는 낸드게이트와 인버터의 직렬구조)으로 이루어지며, 외부의 칩-셋으로부터 컬럼 어드레스의 일부가 되는 ay<0:1>, /ay<0:1>를 입력받아 4개의 글로벌 컬럼 선택신호(GCS<0>~GCS<3>)를 발생시키게 된다.
- <47> 또한, 상기 서브 셀 어레이 선택수단(400)은 상기 로오 어드레스의 일부가 되는 ax<2> 및 /ax<2>와 상기 컬럼 어드레스의 일부가 되는 ay<2> 및 /ay<2>를 조합하여 4가지 조합상태를 각각 입력받는 낸드 게이트와, 상기 낸드 게이트의 출력단에 각각 연결된 인버터로 구성된다.
- <48> 도 3은 도 2에 도시된 반도체 메모리장치의 동작 타이밍도를 나타낸 것으로, 이하 동 도면을

참조하며 본 발명에 따른 반도체 메모리장치의 센싱전류 감소방법을 자세히 살펴보기로 한다.

- <49> 우선, 외부로부터 로오 액티브명령이 들어오기 전(t1시점이 되기 전)까지는 ax<0:2>, /ax<0:2>의 여섯개 신호 모두가 로우레벨로 존재하다가, 로오 액티브 명령이 들어오면 ax<0:2>신호와 /ax<0:2>신호가 로오 어드레스에 따라 상반되는 전위레벨로 정해져 래치되어진다.
- <50> 한편, 컬럼 어드레스 역시 컬럼 액티브 명령이 들어오기 전(t2시점이 되기 전)까지는 ay<0:2>, /ay<0:2>의 여섯개 신호 모두가 로우레벨로 존재하다가, 컬럼 액티브 명령이 들어오면 일단 ay<2>과 /ay<2>는 컬럼 어드레스 2번에 의해 상반되는 전위레벨로 만들어진다.
- <51> 그리고, ay<0:1>과 /ay<0:1>는 컬럼 어드레스 0번과 1번에 의해 입력주소가 '하이'이면 ay<0:1>로는 하이펄스가 발생되고, /ay<0:1>는 변화없이 로우레벨 전위를 유지하게 되며, 반대로 입력주소가 '로우'일 경우에는 ay<0:1>가 변화없이 로우레벨을 유지하게 되며, /ay<0:1>로는 하이펄스가 발생되어진다.
- <52> 이때, 상기 펄스신호들(ay<0:1>, /ay<0:1>)은 센싱이 완전히 끝난 후(t3시점 이후)에 발생하도록 타이밍이 맞추어지게 된다.
- <53> 이 상태에서, 로오 디코더(100)는 로오 어드레스의 일부가 되는 ax<0:1>, /ax<0:1>를 입력받아 글로벌 워드라인 선택신호(GWL<0>~GWL<3>)를 만들게 되며, 상기 서브 셀 어레이 선택수단(400)은 로오 어드레스의 일부로 ax<2>과 /ax<2>를 받아들이고 컬럼 어드레스의 일부로 ay<2>과 /ay<2>를 입력받아 이들 신호를 디코딩하여 4개의 서브 셀 어레이 선택신호(SCAS<0>~SCAS<3>)를 발생시킨다.
- <54> 이때, 서브 로오 디코더(310_1~310_4)는 상기 4개의 서브 셀 어레이 선택신호(SCAS<0>~SCAS<3>)의 전위레벨에 따라 선택된 하나의 서브 셀 어레이만 글로벌 워드라인에 대응하는 서브 워드라인(동 도면의 경우, SWL3가 됨)을 활성화시키게 되며, 동시에 상기 선택된 서브 셀 어레이만 서브 센스앰프 인에이블신호(SSAE<3>)가 활성화되어 해당 센스앰프를 작동시키게 된다.
- <55> 한편, 컬럼 디코더(200)에서는 컬럼 어드레스의 일부로서 ay<0:1>과 /ay<0:1>를 입력받아 글로벌 컬럼 선택신호(GCS<0:3>)를 발생시키게 되는데, 이때 상기 글로벌 컬럼 선택신호(GCS<0>~GCS<3>)가 발생되면 비트라인 센스앰프에 의해 센싱된 데이터가 데이터 버스라인(DB, /DB)에 실리게 되며, 이를 통해 칩의 외부로 나가게 된다.
- <56> 이하, 본 발명에 따른 반도체 메모리장치의 센싱전류 감소방법을 디램의 경우를 예로들어 각 과정별로 상세히 설명하기로 한다.
- <57> 먼저, 외부의 칩-셋(chip-set)으로부터 로오 액티브 명령(/RAS, /CAS, /WE 등의 신호의 조합)신호 및 로오 어드레스신호를 입력받아 이들 신호를 디코딩한 후, 적정위치(예를들어, 메인 로오 디코더나 메인 컬럼 디코더와 같이 셀에 가까운 곳)에 래치시켜 두게 된다(제1 과정).
- <58> 또한, 외부에서 리드(read) 또는 라이트(write) 명령(/RAS, /CAS, /WE 등의 신호의 조합)신호와 컬럼 어드레스신호를 입력받아 디램칩 내부의 디코딩을 거쳐 셀에 가까운 곳(코어 지역)에 전달하게 된다(제2 과정).
- <59> 그런 다음, 상기 컬럼 어드레스신호가 코어(core) 지역에 도달하면, 상기 제1 과정을 거쳐 저장된 로오 어드레스와 함께 사용하여 설계자가 원하는 만큼의 워드라인을 활성화시키므로써, 메모리 셀 어레이를 이루는 다수개의 서브 셀 어레이 중 일부를 선택할 수 있도록 제어하는 선택신호를 발생시키게 된다(제3 과정).
- <60> 상기한 과정을 거쳐 선택된 서브 셀 어레이가 활성화되어 소정의 딜레이시간(전하분할이 완료되기 위해 요구되는 소정의 시간을 나타냄) 이후 비트라인 센스앰프가 동작된다(제4 과정).
- <61> 그리고, 상기 비트라인 센스앰프의 센싱동작이 완료되면, 컬럼 디코더의 출력신호를 사용하여 데이터를 데이터 버스라인에 실게 되고, 상기 데이터 버스상의 데이터를 디램칩 내부의 가공단계를 거쳐 외부로 출력하게 된다(제5 과정).
- <62> 상기 과정을 통해 이루어지는 본 발명에 따른 반도체 메모리장치의 센싱전류 감소방법은 컬럼 어드레스를 인가받은 후 비트라인 센스앰프를 동작시키도록 제어하므로써, 디램 동작시 필요한 전류 중 가장 많은 부분을 차지하는 센싱전류를 대폭 감소시킬 수 있게 되는 것이다.
- <63> 또한, 본 발명에 따른 반도체 메모리장치의 센싱전류 감소방법은 디램소자 뿐만 아니라, 이.디.오.디램(E.D.O. DRAM : Extended Data DRAM) 및 동기식 디램(Synchronous DRAM) 등에도 적용가능한 방법이라 할 수 있겠다.
- <64> 단, 상기 동기식 디램(Synchronous DRAM)의 경우, 로오 어드레스신호 및 컬럼 어드레스신호를 내부로 입력받을 때나, 메모리 셀내의 데이터 센싱동작 후 소자 외부로 출력시킬 때 시스템 클럭에 동기되도록 제어하기만 하면 된다.

발명의 효과

- <65> 이상에서 설명한 바와같이 본 발명에 따른 반도체 메모리장치 및 이의 센싱전류 감소방법에 의하면, 컬럼 어드레스를 인가받은 후 비트라인 센스앰프를 동작시키도록 제어하므로써, 디램 동작시 필요한 전류 중 가장 많은 부분을 차지하는 센싱전류를 줄여 소자전체의 동작전류를 대폭 감소시킬 수 있는 매우 뛰어난 효과가 있다.
- <66> 또한, 로오 어드레스의 인가 후 특별히 시간이 요구되는 동작을 수행하지 않게 되므로 로오 어드레스신호의 래치 이후 컬럼 어드레스신호를 인가받기까지의 시간 간격(trCD)를 대폭 줄일 수 있게 되어 액세스시간 감소시켜 고속화를 실현할 수 있는 매우 뛰어난 효과가 있다.
- <67> 아울러 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 본 발명

의 사상과 범위 안에서 다양한 수정, 변경, 부가 등이 가능할 것이며, 이러한 수정 변경 등은 이하의 특허청구의 범위에 속하는 것으로 보아야 할 것이다.

(57) 청구의 범위

청구항 1

외부로부터 로오 어드레스신호를 입력받아 이를 디코딩하여 워드라인 선택신호를 발생시키는 로오 디코더와;

외부로부터 컬럼 어드레스신호를 입력받아 이를 디코딩하여 컬럼 선택신호를 발생시키는 컬럼 디코더와;

다수개의 서브 셀 어레이로 이루어지는 메모리 셀 어레이와;

상기 로오 어드레스신호 및 컬럼 어드레스신호를 입력받아 이들 신호의 조합에 의해 상기 다수개의 서브 셀 어레이 중 하나를 선택하는 서브 셀 어레이 선택신호를 발생시키는 선택수단을 구비하는 것을 특징으로 하는 반도체 메모리장치.

청구항 2

외부로부터 로오 액티브 명령신호 및 로오 어드레스신호를 입력받아 저장하는 제1 과정과;

외부로부터 동작 명령신호 및 컬럼 어드레스신호를 입력받아 이를 셀의 코아로 전달하는 제2 과정과;

상기 로오 어드레스신호와 상기 컬럼 어드레스신호를 입력받아 이를 조합하여 메모리 셀 어레이 내 다수개의 서브 셀 어레이 중 하나를 선택할 수 있도록 제어하는 서브 셀 어레이 선택신호를 발생시키는 제3 과정과;

상기 선택된 서브 셀 어레이가 활성화되면 소정의 딜레이시간 이후 비트라인 센스앰프를 동작시키는 제4 과정과;

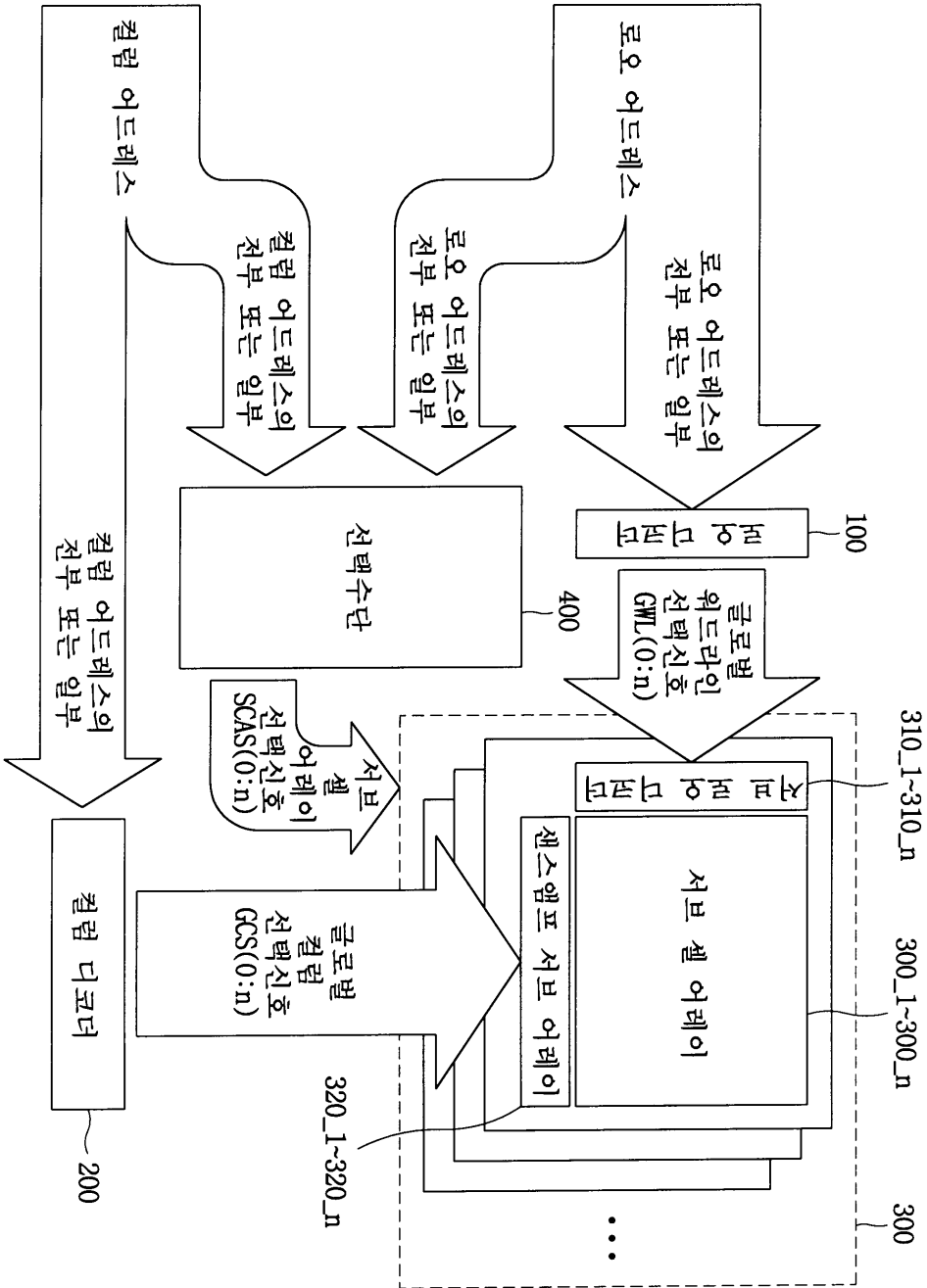
상기 비트라인 센스앰프의 센싱동작의 완료 후, 컬럼 디코더의 출력신호를 사용하여 데이터를 데이터 버斯拉인에 실어 외부로 출력하는 제5 과정을 구비하여 수행하는 것을 특징으로 하는 반도체 메모리장치의 센싱전류 감소방법.

청구항 3

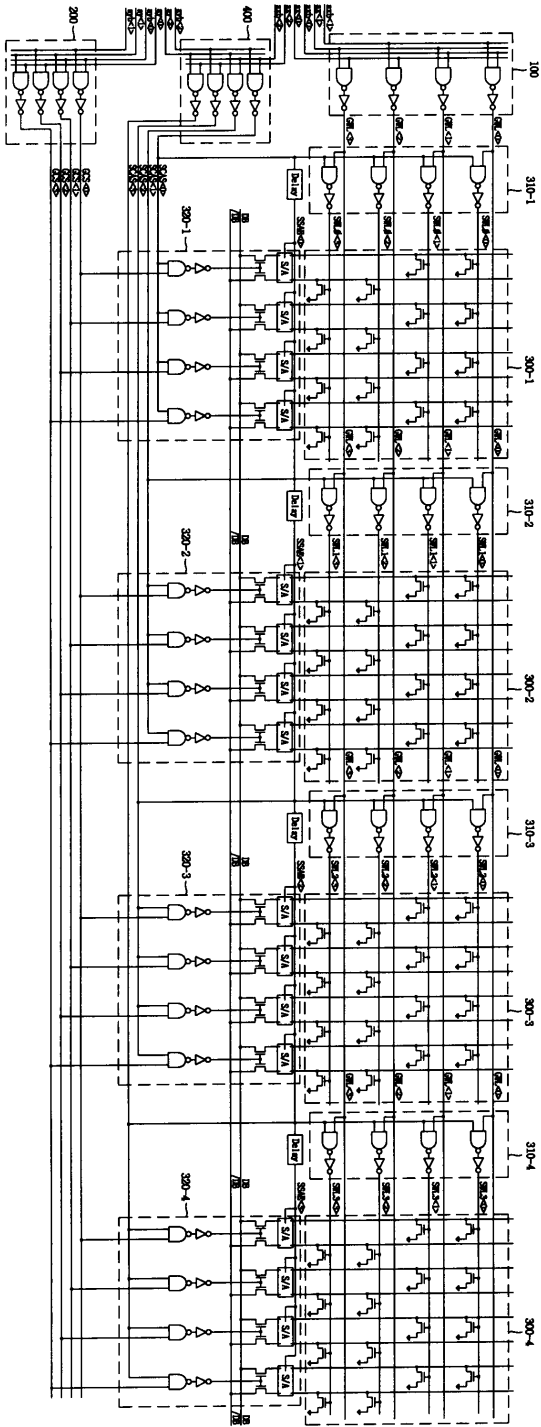
제 2 항에 있어서,

상기 제4 과정에서 요구되는 소정의 딜레이시간은 활성화된 워드라인에 의해 셀이 열리면서 전하 분할(charge sharing)이 완료되기까지 요구되는 시간이 되는 것을 특징으로 하는 반도체 메모리장치의 센싱전류 감소방법.

도면



도면2



도면3

