



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H01L 23/02 (2006.01)
H01L 23/29 (2006.01)
H01L 23/29 (2006.01)

(11) 공개번호 10-2007-0021200
(43) 공개일자 2007년02월22일

(21) 출원번호 10-2006-7023768

(22) 출원일자 2006년11월13일

심사청구일자 없음

번역문 제출일자 2006년11월13일

(86) 국제출원번호 PCT/US2005/012373

(87) 국제공개번호 WO 2005/101494

국제출원일자 2005년04월12일

국제공개일자 2005년10월27일

(30) 우선권주장 60/561,847 2004년04월13일 미국(US)

(71) 출원인 버티칼 서킷, 인크.
미국, 캘리포니아 95066, 스콧 벨리, 빅터 스퀘어 10

(72) 발명자 엘, 빈다시어스
미국, 캘리포니아, 사라토가
마크, 로빈슨
미국, 캘리포니아, 산 조세

(74) 대리인 강명구

전체 청구항 수 : 총 7 항

(54) 삼차원 6 면 정각 다이 코팅 방법

(57) 요약

반도체 다이(die)는 실리콘으로 만들어진 반도체 웨이퍼 또는 슬라이스 상에 노광 장치(photolithographic means)를 통해 영상된 큰 그룹의 집적회로 다이로서 제조된다. 이와 같이 제조된 후에, 상기 실리콘 웨이퍼가 기계적 수단에 의해 얇아지게 되며, 상기 웨이퍼는 개별 다이(10)를 만들기 위해 다이아몬드 톱으로 절단된다. 상기 결과의 개별 집적 회로는 6개의 노출 면을 가진다. 상기 다이의 상측면은 회로 영상을 포함하며 웨이퍼 생산 중에 층으로 가해진 보호막 층들을 갖는다. 본 발명은 다이(10) 모든 6 개 표면을 보호하고 절연하여, 파손을 줄이고, 이들 층들에 대한 전기적 절연을 제공하며, 그리고 한 반도체 다이를 또 다른 반도체 다이에 접촉시키어 상호 연결된 모듈 또는 컴포넌트로서 다이(10)를 쌓아 올리기 위해 사용될 수 있는 물리적 표면을 제공하도록 하기 위한 방법을 제공하는 것이다.

대표도

도 5

특허청구의 범위

청구항 1.

반도체 웨이퍼로부터 단일 다이로 만들어진, 6개 표면을 포함하며, 상기 다이가 6 개면에서 모든 표면에 적용된 전기 절연 재로 커버되며; 상기 절연 재가 표면이 상기 실리콘 다이가 조각으로 나거나 부숴지는 것을 막기 위해 기계적 보호 작용을 할 수 있도록 함을 특징으로 하는 개별 실리콘 다이.

청구항 2.

제 1 항에 있어서, 상기 다이 코팅 절연 재가 폴리머임을 특징으로 하는 다이.

청구항 3.

제 2 항에 있어서, 상기 절연 재가 파릴렌(parylene)임을 특징으로 하는 다이.

청구항 4.

제 1 항에 있어서, 상기 절연 재 내 오프닝을 포함하며, 상기 절연 재가 제거되어, 상기 절연 재 아래에서 특수한 층 또는 특징을 나타내도록 함을 특징으로 하는 다이.

청구항 5.

제 4 항에 있어서, 상기 오프닝이 상기 집적 회로 상측 표면 회로 위 상기 전기적 연결 패드임을 특징으로 하는 다이.

청구항 6.

제 4 항에 있어서, 상기 오프닝이 상기 재료 상측 표면 광학적 에미터 또는 센서임을 특징으로 하는 다이.

청구항 7.

제 4 항에 있어서, 상기 오프닝이 상기 특정 층 또는 특징으로부터 상기 폴리머 재료를 제거하도록 레이저를 사용하여 형성됨을 특징으로 하는 다이.

명세서

기술분야

본 발명은 2004년 4월 13일 출원된 미국 특허 출원 제 60/561,847호를 우선권 주장의 기초로 하는 “삼차원 6 면 정각 다이 코팅 방법”에 대한 것이다.

발명의 상세한 설명

반도체 다이(die)는 실리콘으로 만들어진 반도체 웨이퍼 또는 슬라이스 상에 노광 장치(photolithographic means)를 통해 영상된 큰 그룹의 집적회로 다이로서 제조된다. 이와 같이 제조된 후에, 상기 실리콘 웨이퍼가 기계적 수단에 의해 얇아지게 되며, 상기 웨이퍼는 개별 다이(10)를 만들기 위해 다이아몬드 톱으로 절단된다. 상기 결과의 개별 집적 회로는 6개의

노출 면을 가진다. 상기 다이의 상측면은 회로 영상을 포함하며 웨이퍼 생산 중에 층으로 가해진 보호막 층들을 갖는다. 본 발명은 다이(10) 모든 6 개 표면을 보호하고 절연하여, 파손을 줄이고, 이들 층들에 대한 전기적 절연을 제공하며, 그리고 한 반도체 다이를 또 다른 반도체 다이에 접촉시키어 상호 연결된 모듈 또는 컴포넌트로서 다이(10)를 쌓아 올리기 위해 사용될 수 있는 물리적 표면을 제공하도록 하기 위한 방법을 제공하는 것이다.

본 발명은 반도체 번인(burn-in), 테스트, 조립 공정과 같은 다이 처리 및 처리 작업 중에 다이를 조각 내거나 깨지도록 하거나 또는 물리적 손상이 발생하는 것을 줄이는 장점을 제공한다. 본 발명은 메모리 칩을 포함하는 어떠한 종류의 반도체 칩에도 사용될 수 있다.

실시예

도 1에서, 반도체 다이(10)는 본래의 연결 패드(60)를 가지며, 한 절연 층이 아직 웨이퍼 형태로 함께 연결되어 있는 모든 다이 상측 표면(30)으로 적용된다. 한 금속 층이 노광을 이용하여 증착되고 만들어지며, 상기 다이의 가장 자리에서 상기 본래의 연결 패드(60)로부터 새로운 위치로 전기 신호의 경로를 변경시키도록 한다. 한 추가 층의 절연 재가 선택적으로 상기 금속 층 위로 선택적으로 적용되며, 상기 반도체 다이의 가장자리 상기 재 위치 패드 위치에서 오프닝이 절연 재의 상부 층 내에 만들어진다.

도 2에서, 상기 반도체 다이(10)는 그라인딩 또는 랩핑에 의해 얇게 만들어지며, 상기 반도체 웨이퍼로부터 개별 다이로 만들어지며, 상기 반도체 다이는 정각 절연 코팅(20)으로 코팅 되었다.

도 3에서, 오프닝이 반도체 다이(10)의 본래 연결 패드(60) 위 상기 코팅(20) 내에 만들어진다. 이 같은 설명에서 상기 전기적 연결 패드가 상기 다이의 상측 표면 중앙으로 연장된다.

도 4에서, 도면은 반도체 다이(70)를 설명하며, 연결 패드(80)가 상기 다이 상측 표면 주변 둘레에 위치하게 된다.

도 5는 전기적 연결이 다이 표면 가장자리에 위치하는, 반도체 다이 위 위치(90)에서 정각 코팅 재 내 오프닝을 도시한 도면이다. 상기 전기적 연결 포인트는 상기 다이 표면 어느 곳에도 위치할 수 있으며, 그러나 대개 상기 다이의 상측 표면에 위치하며, 상기 상측 표면 주변 가장자리 또는 상기 상측 표면 중앙 아래에 위치하기도 한다.

도면의 간단한 설명

도 1은 단일의 반도체 다이를 도시하는 도면으로서, 본래의 연결 패드가 상기 다이의 중앙으로 연장되고, 상기 본래 연결 패드를 연결시키는 라인들을 상기 다이의 중앙에서 다시 경로를 정하도록 하며 새로운 패드가 다이의 가장자리에 위치하여지도록 함을 도시한 도면.

도 2는 다이가 정각의 절연 코팅으로 코팅됨을 도시하는 반도체 다이의 단면을 도시한 도면.

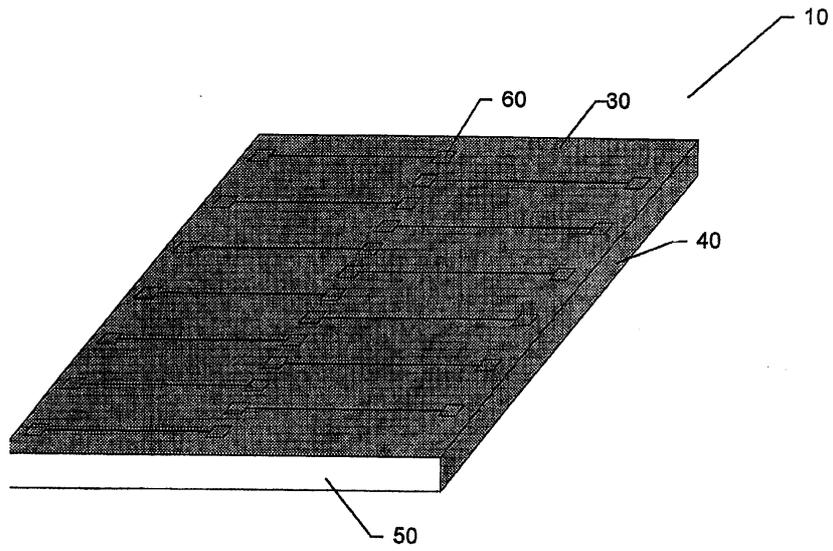
도 3은 반도체 다이의 중앙으로 연장되는 본래 연결 패드 위 정각 코팅 내 정각 코팅 및 오프닝을 도시하는 반도체 다이 단면을 설명하는 도면.

도 4는 상기 다이 주변 둘레 연결 패트를 갖는 반도체 다이를 도시한 도면.

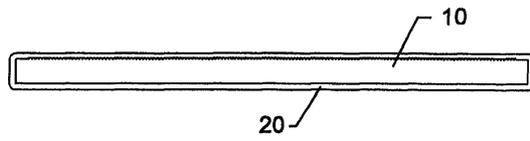
도 5는 본래의 또는 재 배치된 주변 패드가 정각 절연 코팅으로 코팅되고, 주변에 위치한 전기 연결 패드 위에 위치한 절연 코팅 내 오프닝을 갖는 반도체 다이를 도시한 도면.

도면

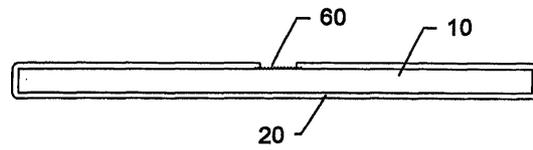
도면1



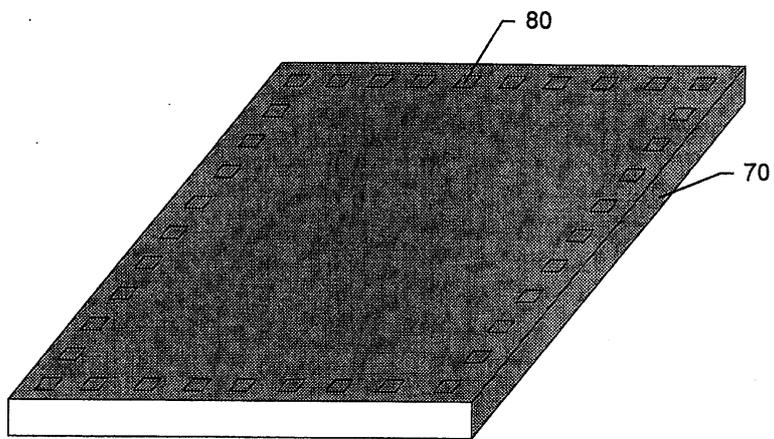
도면2



도면3



도면4



도면5

