



(21) 申請案號：112120454 (22) 申請日：中華民國 101 (2012) 年 08 月 17 日
 (51) Int. Cl. : *G11C19/28 (2006.01)* *H01L29/772 (2006.01)*
G02F1/133 (2006.01) *G09G3/30 (2006.01)*
 (30) 優先權：2011/08/29 日本 2011-185614
 (71) 申請人：日商半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
 LABORATORY CO., LTD. (JP)
 日本
 (72) 發明人：小山潤 KOYAMA, JUN (JP)
 (74) 代理人：林志剛
 申請實體審查：有 申請專利範圍項數：5 項 圖式數：15 共 80 頁

(54) 名稱

半導體裝置

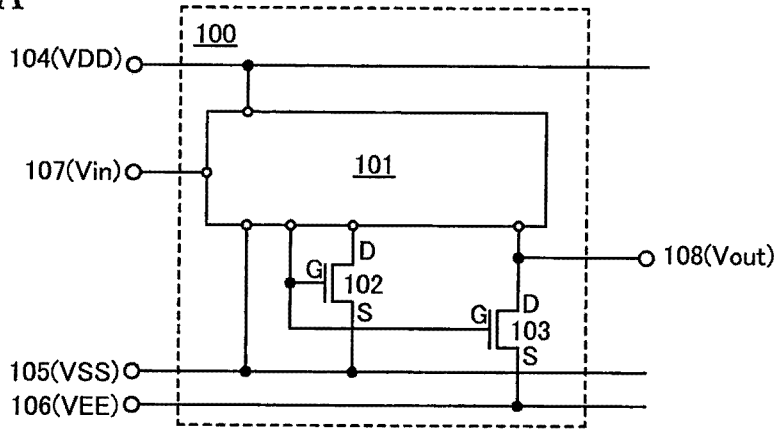
(57) 摘要

本發明的目的是提供一種耗電量低且能夠防止輸出的電位的幅度變小的使用單極性電晶體的半導體裝置。一種半導體裝置，包括：具有第一電位的第一佈線；具有第二電位的第二佈線；具有第三電位的第三佈線；極性相同的第一電晶體及第二電晶體；以及選擇是對第一電晶體及第二電晶體的閘極提供第一電位還是對第一電晶體及第二電晶體的閘極提供第三電位以及選擇是否對第一電晶體及第二電晶體的汲極端子提供第一電位的多個第三電晶體。其中，第一電晶體的源極端子與第二佈線連接，並且第二電晶體的源極端子與第三佈線連接。

A semiconductor device that includes transistors having the same polarity consumes less power and can prevent a decrease in amplitude of a potential output. The semiconductor device includes a first wiring having a first potential, a second wiring having a second potential, a third wiring having a third potential, a first transistor and a second transistor having the same polarity, and a plurality of third transistors for selecting supply of the first potential to gates of the first transistor and the second transistor or supply of the third potential to the gates of the first transistor and the second transistor and for selecting whether to supply one potential to drain terminals of the first transistor and the second transistor. A source terminal of the first transistor is connected to the second wiring, and a source terminal of the second transistor is connected to the third wiring.

指定代表圖：

圖 1A



符號簡單說明：

100:半導體裝置

101:電路

102:電晶體

103:電晶體

104:佈線電位 VDD

105:佈線電位 VSS

106:佈線電位 VEE

107:佈線電位 Vin

108:佈線電位 Vout

【發明摘要】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【中文】

本發明的目的是提供一種耗電量低且能夠防止輸出的電位的幅度變小的使用單極性電晶體的半導體裝置。一種半導體裝置，包括：具有第一電位的第一佈線；具有第二電位的第二佈線；具有第三電位的第三佈線；極性相同的第一電晶體及第二電晶體；以及選擇是對第一電晶體及第二電晶體的閘極提供第一電位還是對第一電晶體及第二電晶體的閘極提供第三電位以及選擇是否對第一電晶體及第二電晶體的汲極端子提供第一電位的多個第三電晶體。其中，第一電晶體的源極端子與第二佈線連接，並且第二電晶體的源極端子與第三佈線連接。

【英文】

A semiconductor device that includes transistors having the same polarity consumes less power and can prevent a decrease in amplitude of a potential output. The semiconductor device includes a first wiring having a first potential, a second wiring having a second potential, a third wiring having a third potential, a first transistor and a second transistor having the same polarity, and a plurality of third transistors for selecting supply of the first potential to gates of the first transistor and the second transistor or supply of the third potential to the gates of the first transistor and the second transistor and for selecting whether to supply one potential to drain terminals of the first transistor and the second transistor. A source terminal of the first transistor is connected to the second wiring, and a source terminal of the second transistor is connected to the third wiring.

【代表圖】

【本案指定代表圖】：圖 1A

【本代表圖之符號簡單說明】：

- 100：半導體裝置
- 101：電路
- 102：電晶體
- 103：電晶體
- 104：佈線電位 VDD
- 105：佈線電位 VSS
- 106：佈線電位 VEE
- 107：佈線電位 V_{in}
- 108：佈線電位 V_{out}

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

【發明說明書】

【中文發明名稱】

半導體裝置

【英文發明名稱】

SEMICONDUCTOR DEVICE

【技術領域】

本發明關於一種諸如使用單極性電晶體的電路、使用上述電路的半導體顯示裝置等的半導體裝置。

【先前技術】

作為液晶顯示裝置、EL 顯示裝置等的半導體顯示裝置，為了降低底板(電路基板)的成本，與 CMOS 相比，較佳為由單極性半導體構成。下記專利文獻 1 及專利文獻 2 公開了一種由單極性電晶體構成用於半導體顯示裝置的驅動電路的反相器、移位暫存器等各種電路的技術。

[專利文獻 1]日本專利申請公開第 2001-325798 號公報

[專利文獻 2]日本專利申請公開第 2010-277652 號公報

由於由包括非晶矽或氧化物半導體的電晶體構成的半導體顯示裝置能夠對應第五代(寬 1200mm×長 1300mm)以上的玻璃基板，因此具有生產率高且成本低的優點。但

是，包括非晶矽或氧化物半導體的電晶體通常為單極性並容易變為常導通(normally-on)。並且，在由單極性電晶體構成的電路中，當電晶體為常導通時會發生耗電量增大或被輸出的電位的幅度變小等問題。

例如，在專利文獻 2 的圖 10 所記載的電路中，電晶體 Q2 的源極端子被固定為低電位 VSS。在電晶體 Q2 為常截止(normally-off)的情況下，當電晶體 Q2 的閘極被施加低電位 VSS 時電晶體 Q2 變為非導通狀態(截止)。但是，當電晶體 Q2 為常導通時，即使電晶體 Q2 的閘極被施加低電位 VSS，以源極端子的電位為基準的閘極與源極端子間的電壓，即，閘極電壓仍高於電晶體 Q2 的臨界電壓。因此，電晶體 Q2 不會變為截止而變為導通狀態(導通)。

當電晶體 Q2 在應該為截止時變為導通時，電路中流過不需要的電流而導致消耗電流增大。並且，由於上述不需要的電流，用來對電路提供電位(例如，專利文獻 2 的圖 10 中的低位準的電位 VSS 或時脈信號 CLK_A 的高位準電位 VDD 及低位準電位 VSS)的佈線中流過的電流增加。並且，由於上述佈線的電阻，被提供電位 VDD 的佈線的電位下降，而被提供電位 VSS 的佈線的電位上升。其結果，從電路輸出的電位的幅度小於電位 VDD 與電位 VSS 的電位差(理想的電位差)。

尤其是，在半導體顯示裝置的像素部中，當對諸如掃描線或信號線等與多個像素連接的被稱為匯流排的佈線提

供從電路輸出的電位時，要求控制從電路輸出電位的電晶體(例如，專利文獻 2 的圖 10 中的電晶體 Q2)具有較大的電流供給能力。因此，大部分情況下，該電晶體的通道寬度 W 的值大於電路內其他的電晶體的通道寬度 W 。但是，電晶體的汲極電流與通道寬度 W 成正比。因此，當增大常導通電晶體的通道寬度 W 時，在應該處於截止時該電晶體中流過的電流比其他的電晶體的電流大。因此，電路中流過的不需要的電流增大而容易引起耗電量增大或輸出的電位的幅度變小等現象。

【發明內容】

鑒於上述技術背景，本發明的目的之一是提供一種低耗電量的半導體裝置。或者，本發明的目的之一是提供一種能夠防止輸出的電位的幅度變小的半導體裝置。

根據本發明的一個方式的半導體裝置是一種電路，該電路具有多個電晶體，並且藉由使上述多個電晶體分別為導通或截止來選擇高電位和低電位中的任一方的電位進行輸出。並且，在本發明的一個方式中，上述多個電晶體中的對輸出側的電晶體的源極端子提供電位的佈線與對其他的電晶體的源極端子提供電位的佈線不同。並且，當從對其他的電晶體的源極端子提供電位的佈線藉由上述其他的電晶體向輸出側的電晶體的閘極提供電位時，輸出側的電晶體變成截止。

藉由採用上述結構，可以使輸出側的電晶體的閘極與

源極端子電分離。因此，即使在輸出側的電晶體為常導通而使用來對該電晶體的源極端子提供電位的佈線的電位發生變化的情況下，用來對該電晶體的閘極提供電位的佈線的電位也不會受上述變化的影響。因此，根據輸出側的電晶體的汲極電流，可以使該電晶體的閘極電壓隨著該電晶體的源極端子的電位變化而逐漸趨近於臨界電壓，即，能夠進行負反饋。因此，即使輸出側的電晶體為常導通，也可以在該電晶體應該為截止的時候使其截止。

本發明的一個方式可以提供一種低耗電量的使用單極性電晶體的半導體裝置。或者，本發明的一個方式可以提供一種能夠防止輸出的電位的幅度變小的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1A 和 1B 是示出半導體裝置的結構的圖；

圖 2 是示出脈衝發生電路的構成的圖；

圖 3 是脈衝發生電路的時序圖；

圖 4 是示出移位暫存器的結構的圖；

圖 5 是移位暫存器的時序圖；

圖 6 是第 j 脈衝發生電路 200_j 的示意圖；

圖 7A 和 7B 是說明比較例的脈衝發生電路的結構與電位 GROUT 的波形的圖；

圖 8A 和 8B 是示出脈衝發生電路的結構的圖；

圖 9A 和 9B 是示出脈衝發生電路的結構的圖；

圖 10 是示出脈衝發生電路的結構的圖；

圖 11 是示出反相器的結構的圖；

圖 12 是驅動電路與像素的剖面圖；

圖 13A 至 13D 是電晶體的剖面圖；

圖 14 是示出面板的結構的圖；

圖 15A 至 15E 是電子裝置的圖。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式及詳細內容在不脫離本發明的宗旨及其範圍的情況下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定於以下所示的實施方式的記載內容中。

另外，本發明可以用來製造如微處理器、影像處理電路、DSP(Digital Signal Processor：數位信號處理器)、微控制器等的積體電路、RF 標籤、半導體顯示裝置等任何種類的半導體裝置。液晶顯示裝置、在各像素中具有以有機發光元件(OLED)為代表的發光元件的 EL 顯示裝置、電子紙、DMD(Digital Micromirror Device：數位微鏡裝置)、PDP(Plasma Display Panel：電漿顯示面板)及 FED(Field Emission Display：場致發射顯示器)等以及在驅動電路中具有利用半導體膜的電路元件的其他半導體顯示裝置都包括於半導體顯示裝置的範疇內。

另外，在本說明書中半導體顯示裝置還包括各像素中形成有液晶元件或發光元件等顯示元件的面板以及對該面板安裝了包括控制器的 IC 等的模組。

實施方式 1

圖 1A 示出根據本發明的一個方式的半導體裝置的電路結構的一個例子。圖 1A 所示的半導體裝置 100 包括由多個電晶體構成的電路 101、電晶體 102 及電晶體 103。在圖 1A 所示的半導體裝置 100 中，至少電晶體 102 與電晶體 103 具有相同的極性。圖 1A 示出電晶體 102 與電晶體 103 都為 n 通道型時的例子。

電路 101 藉由佈線 104 及佈線 105 被提供高位準電位 VDD 或低位準電位 VSS。圖 1A 示出藉由佈線 104 電位 VDD 被提供到電路 101，藉由佈線 105 電位 VSS 被提供到電路 101 時的例子。另外，藉由佈線 107 對電路 101 提供信號電位 V_{in} 。

電晶體 102 的閘極和汲極端子與電路 101 連接。電路 101 根據電位 V_{in} 選擇電位 VDD 和電位 VSS 中的一方並將其提供到電晶體 102 的閘極或汲極端子。佈線 105 的電位 VSS 被提供到電晶體 102 的源極端子。

另外，電晶體的源極端子是指作為活性層的一部分的源極區或者與活性層連接的源極電極。同樣地，電晶體的汲極端子是指作為活性層的一部分的汲極區或者與活性層連接的汲極電極。

另外，電晶體 103 的閘極和汲極端子與電路 101 連接。電路 101 根據電位 V_{in} 選擇電位 VDD 和電位 VSS 中的一方並將其提供到電晶體 103 的閘極或汲極端子。電晶體 103 的源極端子藉由佈線 106 被提供電位 VEE。電位 VEE 是低於電位 VDD 的低位準電位。並且，較佳為電位 VEE 為與電位 VSS 相同的電位或者為高於電位 VSS 的電位。

此外，關於電晶體所具有的源極端子與汲極端子，其名稱根據電晶體的極性及各電極被提供的電位的高低而調換。一般而言，在 n 通道型電晶體中，將被提供低電位的電極稱為源極端子，而將被提供高電位的電極稱為汲極端子。另外，在 p 通道型電晶體中，將被提供低電位的電極稱為汲極端子，而將被提供高電位的電極稱為源極端子。在本說明書中，雖然有時為了方便起見假設源極端子和汲極端子為固定端子來對電晶體的連接關係進行說明，但實際上源極端子和汲極端子的名稱根據上述電位關係而調換。

注意，在本說明書中，連接是指電連接，即，能夠提供或傳送電流、電壓或電位的狀態。因此，連接狀態不一定必須是指直接連接的狀態，還包括以能夠提供或傳送電流、電壓或電位的方式藉由佈線、導電膜、電阻器、二極體、電晶體等的元件間接連接的狀態。

此外，即使在電路圖上獨立的構成要素彼此連接，而在實際上，有時一個導電膜兼具多個構成要素的功能，例

如佈線的一部分用作電極的情況等。本說明書中的連接也包括上述一個導電膜兼具多個構成要素的功能的情況。

另外，使從電路 101 向電晶體 102 的閘極提供的電位與從電路 101 向電晶體 103 的閘極提供的電位相等。圖 1A 示出電晶體 102 的閘極與電晶體 103 的閘極連接時的例子。

圖 1A 所示的半導體裝置 100 根據上述信號電位 V_{in} 分別使電路 101 內的多個電晶體、電晶體 102 及電晶體 103 導通或截止，選擇電位 V_{DD} 和電位 V_{EE} 中的一方並將其作為電位 V_{out} 向佈線 108 輸出。具體地，當藉由電路 101 佈線 104 與佈線 108 連接時，佈線 104 的電位被作為電位 V_{out} 輸出。另外，當藉由電晶體 103 佈線 106 與佈線 108 連接時，佈線 106 的電位被作為電位 V_{out} 輸出。

當對與多個像素連接的被稱為匯流排的佈線，例如掃描線或信號線等提供從上述半導體裝置 100 輸出的電位 V_{out} 時，要求控制上述電位 V_{out} 的輸出的電晶體 103 具有較大的電流供給能力。因此，較佳的是該電晶體 103 的通道寬度 W 是比電路 101 內的電晶體或電晶體 102 的通道寬度 W 大的值。

另外，當電晶體 102 為 n 通道型時，當從電路 101 向電晶體 102 的閘極提供電位 V_{DD} 時，電晶體 102 變為導通。另外，當從電路 101 向電晶體 102 的閘極提供電位 V_{SS} 時，閘極電壓 V_{gs} 變為 $0V$ 。因此，當電晶體 102 為

常截止，即臨界電壓 V_{th} 高於 $0V$ 時，電晶體 102 變成截止。但是，當電晶體 102 為常導通，即臨界電壓 V_{th} 為 $0V$ 以下時，電晶體 102 不變為截止而變成導通。

電晶體 103 與電晶體 102 進行同樣的工作。具體地，當電晶體 103 為 n 通道型時，當從電路 101 向電晶體 103 的閘極提供電位 V_{DD} 時，電晶體 103 變為導通。另外，當從電路 101 向電晶體 103 的閘極提供電位 V_{SS} 時，閘極電壓 $V_{gs}=V_{SS}-V_{EE}$ ，由此閘極電壓 V_{gs} 變為 $0V$ 以下。因此，當電晶體 103 為常截止，即臨界電壓 V_{th} 高於 $0V$ 時，電晶體 103 變成截止。但是，當電晶體 103 為常導通，即臨界電壓 V_{th} 為 $0V$ 以下時，有時電晶體 103 不變為截止而變成導通。

下面，對電晶體 102 及電晶體 103 為常導通時的圖 1A 中示出的半導體裝置 100 的工作進行詳細說明。

當 $V_{SS}-V_{EE}>V_{th}$ 時，當電晶體 103 的閘極被提供電位 V_{SS} 時，電晶體 103 的閘極電壓 V_{gs} 成為 $V_{gs}=V_{SS}-V_{EE}>V_{th}$ 。因此，電晶體 103 變為導通。另外，如上所述，當電晶體 102 的閘極被提供電位 V_{SS} 時，電晶體 102 不受電位 V_{EE} 的值的影響變為導通。

並且，在電晶體 102 及電晶體 103 在應該為截止時變為導通的情況下，當從電路 101 向電晶體 102 及電晶體 103 的汲極端子提供電位 V_{DD} 時，藉由電晶體 102 佈線 105 中流過電流，並且藉由電晶體 103 佈線 106 中流過電流。因此，佈線 105 的電位從電位 V_{SS} 上升至電位

$V_{SS}+V_{\alpha}$ 。另外，同樣地，佈線 106 的電位也從電位 V_{EE} 上升至電位 $V_{EE}+V_{\beta}$ 。

另外，如上所述，當電晶體 103 的通道寬度 W 大於電晶體 102 的通道寬度 W 時，即使在閘極電壓 V_{gs} 相同的情況下，藉由電晶體 103 流過佈線 106 的電流大於藉由電晶體 102 流過佈線 105 的電流。因此，當電晶體 103 的通道寬度 W 大於電晶體 102 的通道寬度 W 時，佈線 106 的電位比佈線 105 的電位上升得大，其結果電位 $V_{SS}+V_{\alpha}=\text{電位 } V_{EE}+V_{\beta}+V_{th}$ 。由此，電晶體 103 的閘極電壓 V_{gs} 降至臨界電壓 V_{th} ，電晶體 103 變為接近於截止的狀態。因此，即使在電晶體 103 為常導通的情況下，也可以在該電晶體 103 應該為截止時使其變為接近於截止的狀態。

另一方面，當 $V_{SS}-V_{EE}\leq V_{th}$ 時，當電晶體 103 的閘極被提供電位 V_{SS} 時，閘極電壓 $V_{gs}=V_{SS}-V_{EE}\leq V_{th}$ 。因此，在該情況下，即使電晶體 103 為常導通的情況下也可以使其變為截止。

另外，當電晶體 102 的閘極被提供電位 V_{SS} 時，電晶體 102 變為導通而不受電位 V_{EE} 的值的影響。因此，佈線 105 的電位從電位 V_{SS} 上升至電位 $V_{SS}+V_{\alpha}$ 。由於佈線 105 的電位藉由電路 101 被提供到電晶體 103 的閘極，因此由於佈線 105 的電位上升被提供到電晶體 103 的閘極的電位也從電位 V_{SS} 上升至電位 $V_{SS}+V_{\alpha}$ 。

即使被提供到電晶體 103 的閘極的電位上升，只要閘

極電壓 $V_{gs}=V_{SS}+V_{\alpha}-V_{EE}\leq V_{th}$ ，則電晶體 103 保持截止狀態。當閘極電壓 $V_{gs}=V_{SS}+V_{\alpha}-V_{EE}>V_{th}$ 時，電晶體 103 變為導通。但是，在這種情況下，藉由經過電晶體 103 使電流流過佈線 106，佈線 106 的電位上升，其結果電位 $V_{SS}+V_{\alpha}=\text{電位 } V_{EE}+V_{\gamma}+V_{th}$ 。因此，由於電晶體 103 的閘極電壓 V_{gs} 降至臨界電壓 V_{th} ，電晶體 103 變為接近於截止的狀態。

如此，在根據本發明的一個方式的半導體裝置 100 中，藉由使對位於輸出側的電晶體 103 的源極端子提供電位的佈線 106 與對電晶體 103 以外的電晶體(例如電晶體 102)的源極端子提供電位的佈線 105 的結構不同，可以在電晶體 103 的汲極電流較大時使電晶體 103 的閘極電壓趨近於臨界電壓，即能夠進行負反饋。由此，即使在電晶體 103 為常導通的情況下，也可以使電晶體 103 變為截止。因此，即使由於各佈線所具有的電阻而使佈線 104 的電位下降並使佈線 105 的電位上升，也可以降低半導體裝置 100 的耗電量。此外，可以防止從半導體裝置 100 輸出的電位 V_{out} 的幅度變小。

另外，雖然圖 1A 示出電晶體 102 與電晶體 103 都為 n 通道型時的例子，但是電晶體 102 與電晶體 103 也可以都為 p 通道型。但是，在上述情況下，與佈線 104 相比，與電晶體 102 的源極端子連接的佈線 105 及與電晶體 103 的源極端子連接的佈線 106 被提供更高的電位。

另外，在圖 1A 所示的半導體裝置中，對控制輸出佈

線 106 所具有的電位的輸出側的電晶體 103 為常導通的情況進行了說明。但是，在本發明的一個方式中，即使在控制輸出佈線 104 所具有的電位的輸出側的電晶體為常導通的情況下，也可以在該電晶體應該為截止時使其變為截止。下面，針對控制輸出佈線 104 所具有的電位的輸出側的電晶體，對根據本發明的一個方式的半導體裝置的工作進行說明。

圖 1B 示出根據本發明的一個方式的半導體裝置的電路結構的另一個例子。圖 1B 所示的半導體裝置 100 包括由多個電晶體構成的電路 101、電晶體 102、電晶體 103、電晶體 109 及電容元件 110。在半導體裝置 100 中，至少電晶體 102、電晶體 103 及電晶體 109 具有相同極性。圖 1B 示出電晶體 102、電晶體 103 及電晶體 109 都為 n 通道型時的例子。

並且，與圖 1A 不同，在圖 1B 所示的半導體裝置 100 中，電晶體 103 的閘極與電路 101 連接，電晶體 103 的汲極端子與電晶體 109 的源極端子及佈線 108 連接。另外，電晶體 109 的閘極與電路 101 連接。電路 101 根據電位 V_{in} 將電位 VDD 和電位 VSS 中的一方提供到電晶體 103 的閘極，而將另一方提供到電晶體 109 的閘極。電晶體 103 的源極端子藉由佈線 106 被提供電位 VEE。電晶體 109 的汲極端子藉由佈線 104 被提供電位 VDD。

電容元件 110 具有保持電晶體 109 的閘極電壓的功能。但是，當電晶體 109 的閘極所具有的寄生電容大時等

情況下，即使不設置電容元件 110 也能保持其閘極電壓，在該情況下，沒有必要必須設置電容元件 110。

接著，對電晶體 102、電晶體 103 及電晶體 109 為常導通時的半導體裝置 100 的工作進行詳細說明。

在 $VSS-VEE > V_{th}$ 的情況下，當電晶體 102 及電晶體 103 的閘極被提供電位 VDD 時，電晶體 102 及電晶體 103 變為導通。另一方面，當電晶體 102 及電晶體 103 的閘極被提供電位 VDD 時，電晶體 109 的閘極被提供電位 VSS 。因此，電晶體 109 的閘極電壓 V_{gs} 變為 $V_{gs} = VSS - VEE > V_{th}$ ，而本來應該為截止的電晶體 109 變為導通。因此，藉由電晶體 109 及電晶體 103 佈線 106 與佈線 104 之間流過電流，佈線 104 的電位下降而佈線 105 的電位上升。

但是，在本發明的一個方式中，藉由使佈線 106 的電位從電位 VEE 上升至電位 $VEE + V\alpha$ ，電晶體 109 的閘極電壓 V_{gs} 降至臨界電壓 V_{th} ，其結果電晶體 109 變為接近於截止的狀態。具體地，當電位 $VSS = 電位 VEE + V\alpha + V_{th}$ 時，電晶體 109 變為截止。由此，即使在電晶體 109 為常導通的狀態下，也可以在該電晶體 109 應該為截止時使其變為接近於截止的狀態。

另一方面，在 $VSS-VEE \leq V_{th}$ 的情況下，當電晶體 109 的閘極被提供電位 VSS 時，閘極電壓 $V_{gs} = VSS - VEE \leq V_{th}$ 。因此，在這種情況下，即使電晶體 109 為常導通的情況下也可以使其變為截止。

如此，在根據本發明的一個方式的半導體裝置 100 中，藉由使對位於輸出側的電晶體 103 的源極端子提供電位的佈線 106 與對電晶體 103 以外的電晶體(例如電晶體 102)的源極端子提供電位的佈線 105 的結構不同，可以在電晶體 109 的汲極電流較大時使電晶體 109 的閘極電壓趨近於臨界電壓，即能夠進行負反饋。由此，即使在電晶體 109 為常導通的情況下，也可以使電晶體 109 變為截止。因此，即使由於各佈線所具有的電阻而使佈線 104 的電位下降並使佈線 105 的電位上升，也可以降低半導體裝置 100 的耗電量。此外，可以防止從半導體裝置 100 輸出的電位 V_{out} 的幅度變小。

另外，雖然圖 1B 示出電晶體 102、電晶體 103 及電晶體 109 都為 n 通道型時的例子，但是電晶體 102、電晶體 103 及電晶體 109 也可以都為 p 通道型。但是，在這種情況下，與佈線 104 相比，與電晶體 102 的源極端子連接的佈線 105 及與電晶體 103 的源極端子連接的佈線 106 被提供更高的電位。

接著，對根據本發明的一個方式的半導體裝置之一的脈衝發生電路進行說明。圖 2 示出根據本發明的一個方式的脈衝發生電路的一個例子。

圖 2 所示的脈衝發生電路 200 包括電路 201、電晶體 202 至電晶體 204。電路 201 相當於圖 1A 所示的電路 101。電晶體 202 及電晶體 203 相當於圖 1A 所示的電晶體 102。電晶體 204 相當於圖 1A 所示的電晶體 103。另外，

脈衝發生電路 200 從佈線 205 至佈線 212 被提供各種電位並對佈線 213 及佈線 214 輸出電位。

藉由多級連接上述脈衝發生電路 200 可以構成移位暫存器。

當電晶體 202 及電晶體 203 為 n 通道型時，具體地，佈線 205 被提供電位 VDD，佈線 206 被提供電位 VSS，佈線 207 被提供電位 VEE。另外，佈線 208 被提供電位 LIN，佈線 209 被提供電位 RIN。電位 LIN 及電位 RIN 相當於圖 1A 所示的半導體裝置 100 中的電位 V_{in} 。

另外，佈線 210 至佈線 212 分別被提供時脈信號 CL1 至時脈信號 CL4 中的任三個時脈信號的電位。圖 2 示出對佈線 210 提供時脈信號 CL1 的電位，對佈線 211 提供時脈信號 CL2 的電位，對佈線 212 提供時脈信號 CL3 的電位時的例子。

電晶體 202 的閘極與電晶體 203 及電晶體 204 的閘極連接，源極端子與佈線 206 連接，汲極端子與電路 201 連接。電晶體 203 的源極端子與佈線 206 連接，汲極端子與電路 201 連接。電晶體 204 的源極端子與佈線 207 連接，汲極端子與電路 201 及佈線 213 連接。

另外，電路 201 包括電晶體 215 至電晶體 223、電容元件 224 及電容元件 225。具體地，電晶體 215 的閘極與佈線 208 連接，源極端子與電晶體 202 的汲極端子連接，汲極端子與佈線 205 連接。電晶體 216 的閘極與佈線 211 連接，源極端子與電晶體 218 的汲極端子連接，汲極端子

與佈線 205 連接。電晶體 217 的閘極與佈線 209 連接，源極端子與電晶體 202、電晶體 203 及電晶體 204 的閘極連接，汲極端子與佈線 205 連接。電晶體 218 的閘極與佈線 212 連接，源極端子與電晶體 202、電晶體 203 及電晶體 204 的閘極連接。電晶體 219 的閘極與佈線 208 連接，源極端子與佈線 206 連接，汲極端子與電晶體 202、電晶體 203 及電晶體 204 的閘極連接。電晶體 220 的閘極與佈線 205 連接，源極端子和汲極端子中的一方與電晶體 215 的源極端子及電晶體 202 的汲極端子連接，源極端子和汲極端子中的另一方與電晶體 221 的閘極連接。電晶體 221 的源極端子與佈線 214 連接，汲極端子與佈線 210 連接。電晶體 222 的閘極與佈線 205 連接，源極端子和汲極端子中的一方與電晶體 215 的源極端子及電晶體 202 的汲極端子連接，源極端子和汲極端子中的另一方與電晶體 223 的閘極連接。電晶體 223 的源極端子與佈線 213 連接，汲極端子與佈線 210 連接。電容元件 224 的一個電極與電晶體 221 的閘極連接，另一個電極與佈線 214 連接。電容元件 225 的一個電極與電晶體 223 的閘極連接，另一個電極與佈線 213 連接。

使用圖 3 中示出的時序圖對圖 2 所示的脈衝發生電路 200 的工作進行說明。

如圖 3 所示，在期間 t_1 中，被提供到佈線 210 的時脈信號 CL1 的電位變為低位準，被提供到佈線 211 的時脈信號 CL2 的電位變為高位準，被提供到佈線 212 的時

脈信號 CL3 的電位變為高位準，被提供到佈線 208 的電位 LIN 變為低位準，被提供到佈線 209 的電位 RIN 變為低位準。

因此，在期間 t1 中，在脈衝發生電路 200 中，電晶體 202 至電晶體 204、電晶體 216、電晶體 218、電晶體 220、電晶體 222 變為導通。另外，電晶體 215、電晶體 217、電晶體 219、電晶體 221、電晶體 223 變為截止。因此，佈線 207 的電位被作為電位 GOUT 從佈線 213 輸出。另外，佈線 206 的電位被作為電位 SROUT 從佈線 214 輸出。

接著，如圖 3 所示，在期間 t2 中，被提供到佈線 210 的時脈信號 CL1 的電位變為低位準，被提供到佈線 211 的時脈信號 CL2 的電位變為低位準，被提供到佈線 212 的時脈信號 CL3 的電位變為高位準，被提供到佈線 208 的電位 LIN 變為高位準，被提供到佈線 209 的電位 RIN 變為低位準。

因此，在期間 t2 中，在脈衝發生電路 200 中，電晶體 215、電晶體 218 至電晶體 223 變為導通。另外，電晶體 202 至電晶體 204、電晶體 216 及電晶體 217 變為截止。由此，佈線 210 的電位被作為電位 GOUT 從佈線 213 輸出並被作為電位 SROUT 從佈線 214 輸出。

接著，如圖 3 所示，在期間 t3 中，被提供到佈線 210 的時脈信號 CL1 的電位變為高位準，被提供到佈線 211 的時脈信號 CL2 的電位變為低位準，被提供到佈線 212

的時脈信號 CL3 的電位變為低位準，被提供到佈線 208 的電位 LIN 變為高位準，被提供到佈線 209 的電位 RIN 變為低位準。

因此，在期間 t3 中，在脈衝發生電路 200 中，電晶體 215、電晶體 219、電晶體 221、電晶體 223 變為導通。另外，電晶體 202 至電晶體 204、電晶體 216 至電晶體 218、電晶體 220、電晶體 222 變為截止。由此，佈線 210 的電位被作為電位 GOUT 從佈線 213 輸出，並被作為電位 SROUT 從佈線 214 輸出。

接著，如圖 3 所示，在期間 t4 中，被提供到佈線 210 的時脈信號 CL1 的電位變為高位準，被提供到佈線 211 的時脈信號 CL2 的電位變為高位準，被提供到佈線 212 的時脈信號 CL3 的電位變為低位準，被提供到佈線 208 的電位 LIN 變為低位準，被提供到佈線 209 的電位 RIN 變為低位準。

因此，在期間 t4 中，在脈衝發生電路 200 中，電晶體 216、電晶體 221、電晶體 223 變為導通。另外，電晶體 202 至電晶體 204、電晶體 215、電晶體 217 至電晶體 220、電晶體 222 變為截止。因此，佈線 210 的電位被作為電位 GOUT 從佈線 213 輸出，並作為電位 SROUT 從佈線 214 輸出。

接著，如圖 3 所示，在期間 t5 中，被提供到佈線 210 的時脈信號 CL1 的電位變為低位準，被提供到佈線 211 的時脈信號 CL2 的電位變為高位準，被提供到佈線 212

的時脈信號 CL3 的電位變為高位準，被提供到佈線 208 的電位 LIN 變為低位準，被提供到佈線 209 的電位 RIN 變為高位準。

因此，在期間 t5 中，在脈衝發生電路 200 中，電晶體 202 至電晶體 204、電晶體 216 至電晶體 218、電晶體 220、電晶體 222 變為導通。另外，電晶體 215、電晶體 219、電晶體 221、電晶體 223 變為截止。由此，佈線 207 的電位被作為電位 GOUT 從佈線 213 輸出。另外，佈線 206 的電位被作為電位 SROUT 從佈線 214 輸出。

另外，在上述工作中，電晶體 204 在期間 t2 至期間 t4 中變為截止。尤其是在期間 t3 及期間 t4 中，由於被提供到佈線 210 的時脈信號 CL1 的電位為高位準，當電晶體 204 為導通時，藉由電晶體 204 及電晶體 223 佈線 210 與佈線 207 之間流過電流。但是，在本發明的一個方式中，電晶體 204 的閘極與源極端子彼此電分離。具體地，當電晶體 204 為截止時，可以對電晶體 204 的閘極提供佈線 206 的電位，對電晶體 204 的源極端子提供佈線 207 的電位。因此，即使佈線 210 與佈線 207 之間流過電流，由於該電流佈線 207 的電位上升而使電晶體 204 的閘極電壓 V_{gs} 趨近於臨界電壓 V_{th} ，其結果可以使電晶體 204 變為截止。

圖 4 示出藉由多級連接上述脈衝發生電路 200 構成的移位暫存器的例子。

圖 4 所示的移位暫存器包括脈衝發生電路 200_1 至脈

衝發生電路 200_y。脈衝發生電路 200₁ 至脈衝發生電路 200_y 分別具有與圖 2 所示的脈衝發生電路 200 相同的結構。但是，圖 2 所示的佈線 210 至佈線 212 分別被提供時脈信號 CL1 至 CL4 中的任三個時脈信號的電位。

具體地，在脈衝發生電路 200_{4m+1} 中，佈線 210 被提供時脈信號 CL1，佈線 211 被提供時脈信號 CL2，佈線 212 被提供時脈信號 CL3。在脈衝發生電路 200_{4m+2} 中，佈線 210 被提供時脈信號 CL2，佈線 211 被提供時脈信號 CL3，佈線 212 被提供時脈信號 CL4。在脈衝發生電路 200_{4m+3} 中，佈線 210 被提供時脈信號 CL3，佈線 211 被提供時脈信號 CL4，佈線 212 被提供時脈信號 CL1。在脈衝發生電路 200_{4m+4} 中，佈線 210 被提供時脈信號 CL4，佈線 211 被提供時脈信號 CL1，佈線 212 被提供時脈信號 CL2。但是， m 是滿足脈衝發生電路 200 的總數為 y 的任意整數。

另外，在圖 6 的示意圖中示出圖 4 中示出的移位暫存器中的脈衝發生電路 200_j (j 為 y 以下的自然數) 所具有的佈線 208 至佈線 214 的位置。由圖 4 和圖 6 可知，從前級的脈衝發生電路 200_{j-1} 的佈線 214 輸出的電位 SROUT_{j-1} 被作為電位 LIN 提供到脈衝發生電路 200_j 的佈線 208。但是，第一級的脈衝發生電路 200₁ 的佈線 208 被提供起始脈衝信號 SP 的電位。

另外，從兩級後的脈衝發生電路 200_{j+2} 的佈線 214 輸出的電位 SROUT_{j+2} 被作為電位 RIN 提供到脈衝發生電

路 200_j 的佈線 209。但是，第 $y-1$ 級的脈衝發生電路 200_{y-1} 的佈線 208 被提供電位 RIN_{y-1} ，第 y 級的脈衝發生電路 200_y 的佈線 208 被提供電位 RIN_y 。電位 RIN_{y-1} 是在假設存在脈衝發生電路 200_{y+1} 的情況下的從該脈衝發生電路 200_{y+1} 輸出的電位 $SROUT_{y+1}$ 。另外，電位 RIN_y 是在假設存在脈衝發生電路 200_{y+2} 的情況下的從該脈衝發生電路 200_{y+2} 輸出的電位 $SROUT_{y+2}$ 。

從脈衝發生電路 200_j 的佈線 213 輸出電位 $GOUT_j$ 。

圖 5 示出時脈信號 CL_1 至時脈信號 CL_4 的電位、起始脈衝信號 SP 的電位、電位 $GOUT_1$ 至電位 $GOUT_3$ 的時序圖。時脈信號 CL_1 至時脈信號 CL_4 呈現電位上升時序以四分之一週期向後推移的波形。圖 4 所示的移位暫存器根據上述信號進行工作，並輸出電位 $GOUT_1$ 至電位 $GOUT_y$ ，該電位 $GOUT_1$ 至電位 $GOUT_y$ 的脈衝寬度為上述時脈信號的二分之一週期且電位 $GOUT_1$ 至電位 $GOUT_y$ 呈現脈衝以上述時脈信號的四分之一週期向後推移的波形。

例如，當使用圖 4 所示的移位暫存器對半導體顯示裝置的被稱為匯流排的佈線，例如掃描線或信號線等提供電位 $GOUT_1$ 至電位 $GOUT_y$ 時，要求脈衝發生電路 200₁ 至脈衝發生電路 200_y 分別具有的輸出側的電晶體 204 具有較大的電流供給能力。因此，一般，電晶體 204 的通道寬度 W 的值大於電晶體 204 以外的電晶體的通道寬度 W

的值。因此，當電晶體 204 為常導通時，容易引起移位暫存器的耗電量增大或輸出的電位 GOUT1 至電位 GOUTy 的幅度變小等現象。但是，在本發明的一個方式中，即使在脈衝發生電路 200_1 至脈衝發生電路 200_y 分別具有的輸出側的電晶體 204 為常導通的情況下，也可以在該電晶體 204 應該為截止時使其變為截止。

因此，根據本發明的一個方式的上述移位暫存器可以將耗電量抑制得較小，從而可以防止輸出的電位 GOUT1 至電位 GOUTy 的幅度變小。並且，使用了上述移位暫存器的根據本發明的一個方式的半導體顯示裝置的耗電量低，由此可以防止因對匯流排提供的信號的幅度小而引起的顯示故障。

作為比較例，對圖 2 所示的脈衝發生電路 200 中的佈線 206 與佈線 207 電連接時的情況進行考察。圖 7A 示出比較例的脈衝發生電路所具有的電晶體 204、電晶體 222、電晶體 223、電容元件 225、佈線 205、佈線 207、佈線 210 的連接關係。在比較例的脈衝發生電路中，佈線 207 與佈線 206(未圖示)連接並被提供電位 VSS。

另外，在圖 7A 中將佈線 207 所具有的佈線電阻顯示為電阻 230。另外，將佈線 210 所具有的佈線電阻顯示為電阻 231。

另外，使用非晶矽或氧化物半導體的電晶體有時像上述那樣變為常導通。例如，當電晶體的通道長度 L 為 $6\mu\text{m}$ 、通道寬度 W 為 $10\mu\text{m}$ 時，閘極電壓 V_{gs} 為 0V 時流

過的電流為 $0.5\mu\text{A}$ 。為了提供電晶體的電流供給能力，一般將電晶體的通道寬度 W 設定為 $1000\mu\text{m}$ 左右，但是當將具有上述電流電壓特性的電晶體的通道寬度從 $10\mu\text{m}$ 增寬至 $1000\mu\text{m}$ 時，閘極電壓 V_{gs} 為 0V 時流過的電流變為 100 倍，即 0.05mA 。

假設在各脈衝發生電路中白白消耗 0.05mA 的電流，當移位暫存器所具有的脈衝發生電路的級數為 960 級時，整個移位暫存器流過的電流大約為 50mA 。

另外，假設電阻 230 為 100Ω ，電阻 231 為 100Ω 。並且，假設電晶體 204 為常導通，在上述那樣當閘極電壓 V_{gs} 為 0V 時流過的電流為 0.05mA 。當將電晶體 223 的汲極端子與佈線 210 的連接部分稱為節點 A，並將電晶體 204 的源極端子與佈線 207 的連接部分稱為節點 B 時，藉由使電晶體 204 流過電流，節點 A 的電位下降，節點 B 的電位上升。佈線 207 中的電位上升量相當於電晶體 204 中流過的電流與電阻 230 的電阻值與移位暫存器的級數的積。另外，佈線 210 中的電位下降量相當於電晶體 204 中流過的電流與電阻 231 的電阻值與移位暫存器的級數的積。因此，電位下降量與電位上升量分別最大為 5V 。

圖 7B 中以實線 232 示出從佈線 213 輸出的電位 GOUT 的理想波形。理想電位 GOUT 的脈衝電位差相當於電位 VSS 與電位 VDD 的差。另外，圖 7B 中以實線 233 示出當佈線 207 的電位上升而佈線 210 中的電位下降時的從佈線 213 輸出的電位 GOUT 的波形。以實線 233 示出的

電位 G_{OUT} 的脈衝電位差相當於電位 $V_{SS}+\Delta V_1$ 與電位 $V_{DD}-\Delta V_2$ 的差。 ΔV_1 與 ΔV_2 在上述例子中成為 5V 左右，由此可知與比原來的幅度相比有大幅度的縮小。

但是，在本發明的一個方式中，即使在輸出側的電晶體 204 為常導通的情況下，也可以使電晶體 204 變為截止。由此，可以防止被輸出的電位 G_{OUT} 的幅度變小，由此可以降低耗電量。

實施方式 2

下面，對根據本發明的一個方式的脈衝發生電路的結構例進行說明。

圖 8A 所示的脈衝發生電路 300 包括電路 301、電晶體 302 至電晶體 304。電路 301 相當於圖 1A 所示的電路 101。電晶體 302 及電晶體 303 相當於圖 1A 所示的電晶體 102。電晶體 304 相當於圖 1A 所示的電晶體 103。

藉由多級連接上述脈衝發生電路 300 可以構成移位暫存器。

電晶體 302 的閘極與電晶體 303 及電晶體 304 的閘極連接，源極端子與佈線 306 連接，汲極端子與電路 301 連接。電晶體 303 的源極端子與佈線 306 連接，汲極端子與電路 301 及佈線 314 連接。電晶體 304 的源極端子與佈線 307 連接，汲極端子與電路 301 及佈線 313 連接。

另外，電路 301 包括電晶體 315 至電晶體 320。具體地，電晶體 315 的閘極與佈線 308 連接，源極端子與電晶

體 302 的汲極端子連接，汲極端子與佈線 305 連接。電晶體 316 的閘極與佈線 309 連接，源極端子與電晶體 302、電晶體 303 及電晶體 304 的汲極端子連接，汲極端子與佈線 305 連接。電晶體 317 的閘極與佈線 310 連接，源極端子與電晶體 302、電晶體 303 及電晶體 304 的閘極連接，汲極端子與佈線 305 連接。電晶體 318 的閘極與佈線 308 連接，源極端子與佈線 306 連接，汲極端子與電晶體 302、電晶體 303 及電晶體 304 的閘極連接。電晶體 319 的閘極與電晶體 315 的源極端子及電晶體 302 的汲極端子連接，源極端子與佈線 314 連接，汲極端子與佈線 311 連接。電晶體 320 的閘極與電晶體 315 的源極端子及電晶體 302 的汲極端子連接，源極端子與佈線 313 連接，汲極端子與佈線 312 連接。

當電晶體 302 至電晶體 304 為 n 通道型時，具體地，佈線 305 被提供電位 VDD，佈線 306 被提供電位 VSS，佈線 307 被提供電位 VEE。另外，佈線 308 至佈線 312 除了被提供圖 1A 所示的半導體裝置 100 的電位 V_{in} 之外還被提供時脈信號等的各種信號電位。並且，從佈線 313 輸出電位 GOUT，從佈線 314 輸出電位 SROUT。

圖 8A 所示的脈衝發生電路 300 藉由採用上述結構可以使輸出側的電晶體 304 的閘極與源極端子電分離。因此，即使電晶體 304 為常導通而使用來對該電晶體 304 的源極端子提供電位的佈線 307 的電位上升，也可以在電晶體 304 應該為截止時使其變為截止。

圖 8B 所示的脈衝發生電路 330 包括電路 331、電晶體 332 至電晶體 334。電路 331 相當於圖 1A 所示的電路 101。電晶體 332 及電晶體 333 相當於圖 1A 所示的電晶體 102。電晶體 334 相當於圖 1A 所示的電晶體 103。

藉由多級連接上述脈衝發生電路 330 可以構成移位暫存器。

電晶體 332 的閘極與電晶體 333 及電晶體 334 的閘極連接，源極端子與佈線 336 連接，汲極端子與電路 331 連接。電晶體 333 的源極端子與佈線 336 連接，汲極端子與電路 331 及佈線 345 連接。電晶體 334 的源極端子與佈線 337 連接，汲極端子與電路 331 及佈線 344 連接。

另外，電路 331 包括電晶體 346 至電晶體 352。具體地，電晶體 346 的閘極與佈線 338 連接，源極端子與電晶體 332 的汲極端子連接，汲極端子與佈線 335 連接。電晶體 347 的閘極與佈線 339 連接，源極端子與電晶體 332、電晶體 333 及電晶體 334 的閘極連接，汲極端子與佈線 335 連接。電晶體 348 的閘極與佈線 340 連接，源極端子與電晶體 332、電晶體 333 及電晶體 334 的閘極連接，汲極端子與佈線 335 連接。電晶體 349 的閘極與佈線 338 連接，源極端子與佈線 336 連接，汲極端子與電晶體 332、電晶體 333 及電晶體 334 的閘極連接。電晶體 350 的閘極與佈線 341 連接，源極端子與電晶體 332、電晶體 333 及電晶體 334 的閘極連接，汲極端子與佈線 335 連接。電晶體 351 的閘極與電晶體 346 的源極端子及電晶體 332 的汲

極端子連接，源極端子與佈線 345 連接，汲極端子與佈線 342 連接。電晶體 352 的閘極與電晶體 346 的源極端子及電晶體 332 的汲極端子連接，源極端子與佈線 344 連接，汲極端子與佈線 343 連接。

當電晶體 332 至電晶體 334 為 n 通道型時，具體地，佈線 335 被提供電位 VDD，佈線 336 被提供電位 VSS，佈線 337 被提供電位 VEE。另外，佈線 338 至佈線 343 除了被提供圖 1A 所示的半導體裝置 100 的電位 V_{in} 之外還被提供時脈信號等的各種信號電位。並且，從佈線 344 輸出電位 GOUT，從佈線 345 輸出電位 SROUT。

圖 8B 所示的脈衝發生電路 330 藉由採用上述結構可以使輸出側的電晶體 334 的閘極與源極端子電分離。因此，即使電晶體 334 為常導通而使用來對該電晶體 334 的源極端子提供電位的佈線 337 的電位上升，也可以在電晶體 334 應該為截止時使其變為截止。

圖 9A 所示的脈衝發生電路 360 包括電路 361、電晶體 362 至電晶體 364。電路 361 相當於圖 1A 所示的電路 101。電晶體 362 及電晶體 363 相當於圖 1A 所示的電晶體 102。電晶體 364 相當於圖 1A 所示的電晶體 103。

藉由多級連接上述脈衝發生電路 360 可以構成移位暫存器。

電晶體 362 的閘極與電晶體 363 及電晶體 364 的閘極連接，源極端子與佈線 366 連接，汲極端子與電路 361 連接。電晶體 363 的源極端子與佈線 366 連接，汲極端子與

電路 361 及佈線 375 連接。電晶體 364 的源極端子與佈線 367 連接，汲極端子與電路 361 及佈線 374 連接。

另外，電路 361 包括電晶體 376 至電晶體 382。具體地，電晶體 376 的閘極與佈線 368 連接，源極端子與電晶體 362 的汲極端子連接，汲極端子與佈線 365 連接。電晶體 377 的閘極與佈線 365 連接，源極端子和汲極端子中的一方與電晶體 376 的源極端子及電晶體 362 的汲極端子連接，源極端子和汲極端子中的另一方與電晶體 381 及電晶體 382 的閘極連接。電晶體 378 的閘極與佈線 369 連接，源極端子與電晶體 362、電晶體 363 及電晶體 364 的閘極連接，汲極端子與佈線 365 連接。電晶體 379 的閘極與佈線 368 連接，源極端子與佈線 366 連接，汲極端子與電晶體 362、電晶體 363 及電晶體 364 的閘極連接。電晶體 380 的閘極與佈線 370 連接，源極端子與電晶體 362、電晶體 363 及電晶體 364 的閘極連接，汲極端子與佈線 365 連接。電晶體 381 的源極端子與佈線 375 連接，汲極端子與佈線 371 連接。電晶體 382 的源極端子與佈線 374 連接，汲極端子與佈線 372 連接。

當電晶體 362 至電晶體 364 為 n 通道型時，具體地，佈線 365 被提供電位 VDD，佈線 366 被提供電位 VSS，佈線 367 被提供電位 VEE。另外，佈線 368 至佈線 372 除了被提供圖 1A 所示的半導體裝置 100 的電位 V_{in} 之外還被提供時脈信號等的各種信號電位。並且，從佈線 374 輸出電位 GOUT，從佈線 375 輸出電位 SROUT。

圖 9A 所示的脈衝發生電路 360 藉由採用上述結構可以使輸出側的電晶體 364 的閘極與源極端子電分離。因此，即使電晶體 364 為常導通而使用來對該電晶體 364 的源極端子提供電位的佈線 367 的電位上升，也可以在電晶體 364 應該為截止時使其變為截止。

圖 9B 所示的脈衝發生電路 400 包括電路 401、電晶體 402 至電晶體 404。電路 401 相當於圖 1A 所示的電路 101。電晶體 402 及電晶體 403 相當於圖 1A 所示的電晶體 102。電晶體 404 相當於圖 1A 所示的電晶體 103。

藉由多級連接上述脈衝發生電路 400 可以構成移位暫存器。

電晶體 402 的閘極與電晶體 403 及電晶體 404 的閘極連接，源極端子與佈線 406 連接，汲極端子與電路 401 連接。電晶體 403 的源極端子與佈線 406 連接，汲極端子與電路 401 及佈線 415 連接。電晶體 404 的源極端子與佈線 407 連接，汲極端子與電路 401 及佈線 414 連接。

另外，電路 401 包括電晶體 416 至電晶體 423。具體地，電晶體 416 的閘極與佈線 408 連接，源極端子與電晶體 402 的汲極端子連接，汲極端子與佈線 405 連接。電晶體 417 的閘極與佈線 405 連接，源極端子和汲極端子中的一方與電晶體 416 的源極端子及電晶體 402 的汲極端子連接，源極端子和汲極端子中的另一方與電晶體 421 的閘極連接。電晶體 418 的閘極與佈線 409 連接，源極端子與電晶體 402、電晶體 403 及電晶體 404 的閘極連接，汲極端

子與佈線 405 連接。電晶體 419 的閘極與佈線 408 連接，源極端子與佈線 406 連接，汲極端子與電晶體 402、電晶體 403 及電晶體 404 的閘極連接。電晶體 420 的閘極與佈線 410 連接，源極端子與電晶體 402、電晶體 403 及電晶體 404 的閘極連接，汲極端子與佈線 405 連接。電晶體 421 的源極端子與佈線 415 連接，汲極端子與佈線 411 連接。電晶體 422 的閘極與佈線 405 連接，源極端子和汲極端子中的一方與電晶體 421 的閘極連接，源極端子和汲極端子中的另一方與電晶體 423 的閘極連接。電晶體 423 的源極端子與佈線 414 連接，汲極端子與佈線 412 連接。

當電晶體 402 至電晶體 404 為 n 通道型時，具體地，佈線 405 被提供電位 VDD，佈線 406 被提供電位 VSS，佈線 407 被提供電位 VEE。另外，佈線 408 至佈線 412 除了被提供圖 1A 所示的半導體裝置 100 的電位 V_{in} 之外還被提供時脈信號等的各種信號電位。並且，從佈線 414 輸出電位 GOUT，從佈線 415 輸出電位 SROUT。

圖 9B 所示的脈衝發生電路 400 藉由採用上述結構可以使輸出側的電晶體 404 的閘極與源極端子電分離。因此，即使電晶體 404 為常導通而使用來對該電晶體 404 的源極端子提供電位的佈線 407 的電位上升，也可以在電晶體 404 應該為截止時使其變為截止。

圖 10 所示的脈衝發生電路 430 包括電路 431、電晶體 432 至電晶體 434。電路 431 相當於圖 1A 所示的電路 101。電晶體 432 及電晶體 433 相當於圖 1A 所示的電晶體

102。電晶體 434 相當於圖 1A 所示的電晶體 103。

藉由多級連接上述脈衝發生電路 430 可以構成移位暫存器。

電晶體 432 的閘極與電晶體 433 及電晶體 434 的閘極連接，源極端子與佈線 436 連接，汲極端子與電路 431 連接。電晶體 433 的源極端子與佈線 436 連接，汲極端子與電路 431 及佈線 445 連接。電晶體 434 的源極端子與佈線 437 連接，汲極端子與電路 431 及佈線 444 連接。

另外，電路 431 包括電晶體 446 至電晶體 453。具體地，電晶體 446 的閘極與佈線 438 連接，源極端子與電晶體 432 的汲極端子連接，汲極端子與佈線 435 連接。電晶體 447 的閘極與佈線 439 連接，源極端子與電晶體 432、電晶體 433 及電晶體 434 的閘極連接，汲極端子與佈線 435 連接。電晶體 448 的閘極與佈線 440 連接，源極端子與電晶體 432、電晶體 433 及電晶體 434 的閘極連接，汲極端子與佈線 435 連接。電晶體 449 的閘極與佈線 438 連接，源極端子與佈線 436 連接，汲極端子與電晶體 432、電晶體 433 及電晶體 434 的閘極連接。電晶體 450 的閘極與佈線 435 連接，源極端子和汲極端子中的一方與電晶體 446 的源極端子及電晶體 432 的汲極端子連接，源極端子和汲極端子中的另一方與電晶體 451 的閘極連接。電晶體 451 的源極端子與佈線 445 連接，汲極端子與佈線 441 連接。電晶體 452 的閘極與佈線 435 連接，源極端子和汲極端子中的一方與電晶體 446 的源極端子及電晶體 432 的汲

極端子連接，源極端子和汲極端子中的另一方與電晶體 453 的閘極連接。電晶體 453 的源極端子與佈線 444 連接，汲極端子與佈線 442 連接。

當電晶體 432 至電晶體 434 為 n 通道型時，具體地，佈線 435 被提供電位 VDD，佈線 436 被提供電位 VSS，佈線 437 被提供電位 VEE。另外，佈線 438 至佈線 442 除了被提供圖 1A 所示的半導體裝置 100 的電位 V_{in} 之外還被提供時脈信號等的各種信號電位。並且，從佈線 444 輸出電位 GOUT，從佈線 445 輸出電位 SROUT。

圖 10 所示的脈衝發生電路 430 藉由採用上述結構可以使輸出側的電晶體 434 的閘極與源極端子電分離。因此，即使電晶體 434 為常導通而使用來對該電晶體 434 的源極端子提供電位的佈線 437 的電位上升，也可以在電晶體 434 應該為截止時使其變為截止。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 3

下面，對根據本發明的一個方式的半導體裝置之一的反相器的結構例進行說明。

圖 11 示出根據本發明的一個方式的反相器的一個例子。圖 11 所示的反相器 500 包括電路 501、電晶體 502 及電晶體 503。電路 501 相當於圖 1A 中示出的電路 101。電晶體 502 相當於圖 1A 中示出的電晶體 102。電晶體 503 相當於圖 1A 中示出的電晶體 103。

電晶體 502 的閘極與佈線 509 連接，源極端子與佈線 505 連接，汲極端子與電路 501 連接。電晶體 503 的閘極與佈線 509 連接，源極端子與佈線 506 連接，汲極端子與電路 501 及佈線 508 連接。

另外，電路 501 包括電晶體 510 至電晶體 512 及電容元件 513。具體地，電晶體 510 的閘極與佈線 507 連接，源極端子與電晶體 502 的汲極端子連接，汲極端子與佈線 504 連接。電晶體 511 的閘極與佈線 504 連接，源極端子和汲極端子中的一方與電晶體 510 的源極端子及電晶體 502 的汲極端子連接，源極端子和汲極端子中的另一方與電晶體 512 的閘極連接。電晶體 512 的源極端子與電晶體 503 的汲極端子及佈線 508 連接，汲極端子與佈線 504 連接。電容元件 513 的一個電極與電晶體 512 的閘極連接，另一個電極與佈線 508 連接。

當電晶體 502 及電晶體 503 為 n 通道型時，具體地，佈線 504 被提供電位 V_{DD} ，佈線 505 被提供電位 V_{SS} ，佈線 506 被提供電位 V_{EE} 。另外，佈線 507 被提供時脈信號電位，佈線 509 被提供圖 1A 中示出的半導體裝置 100 中的電位 V_{in} 。圖 11 示出電位 V_{in} 為從圖 2 所示的脈衝發生電路 200 的佈線 214 輸出的電位 S_{ROUT} 時的例子。並且，從佈線 508 輸出藉由反轉電位 S_{ROUT} 的極性得到的電位 S_{ROUTb} 。

圖 11 所示的反相器 500 藉由採用上述結構可以使輸出側的電晶體 503 的閘極與源極端子電分離。因此，即使

電晶體 503 為常導通而使用來對該電晶體 503 的源極端子提供電位的佈線 506 的電位上升，也可以在電晶體 503 應該為截止時使其變為截止。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 4

使用圖 12 以 EL 顯示裝置為例對根據本發明的一個方式的半導體顯示裝置的像素和驅動電路的剖面結構進行說明。圖 12 示出像素 840 和驅動電路 841 的剖面圖的一個例子。

在圖 12 中，像素 840 包括發光元件 832 以及控制對發光元件 832 提供電流的電晶體 831。像素 840 除了包括上述發光元件 832 及電晶體 831 之外，還可以包括控制對像素 840 輸入影像信號的電晶體、用來保持影像信號的電位的電容元件等各種各樣的半導體元件。

另外，在圖 12 中，驅動電路 841 包括電晶體 830 以及用來保持電晶體 830 的閘極電壓的電容元件 833。具體地，電晶體 830 相當於與驅動電路 841 的一部分相當的移位暫存器所具有的輸出側的電晶體。驅動電路 841 除了包括上述電晶體 830 及電容元件 833 之外，還可以包括電晶體、電容元件等各種各樣的半導體元件。

電晶體 831 在具有絕緣表面的基板 800 上包括：用作閘極的導電膜 816；導電膜 816 上的閘極絕緣膜 802；在與導電膜 816 重疊的位置位於閘極絕緣膜 802 上的半導體

膜 817；用作源極端子或汲極端子的位於半導體膜 817 上的導電膜 815 及導電膜 818。導電膜 816 也用作掃描線。

電晶體 830 在具有絕緣表面的基板 800 上包括：用作閘極的導電膜 812；導電膜 812 上的閘極絕緣膜 802；在與導電膜 812 重疊的位置位於閘極絕緣膜 802 上的半導體膜 813；用作源極端子或汲極端子的位於半導體膜 813 上的導電膜 814 及導電膜 819。

電容元件 833 在具有絕緣表面的基板 800 上包括：導電膜 812；導電膜 812 上的閘極絕緣膜 802；在與導電膜 812 重疊的位置位於閘極絕緣膜 802 上的導電膜 819。

另外，在導電膜 814、導電膜 815、導電膜 818、導電膜 819 上依次層疊有絕緣膜 820 及絕緣膜 821。並且，在絕緣膜 821 上設置有用作陽極的導電膜 822。導電膜 822 藉由形成於絕緣膜 820 及絕緣膜 821 中的接觸孔 823 與導電膜 818 連接。

另外，具有使導電膜 822 的一部分露出的開口部的絕緣膜 824 設置在絕緣膜 821 上。導電膜 822 的一部分及絕緣膜 824 上依次層疊有 EL 層 825 及用作陰極的導電膜 826。導電膜 822、EL 層 825 及導電膜 826 彼此重疊的區域相當於發光元件 832。

另外，在本發明的一個方式中，電晶體 830 及電晶體 831 既可以使用為非晶、微晶、多晶或單晶的矽或鍺等半導體作為半導體膜，也可以使用如氧化物半導體等的寬能隙半導體作為半導體膜。

當作為電晶體 830 及電晶體 831 的半導體膜使用為非晶、微晶、多晶或單晶的矽或鍺等的半導體時，對上述半導體膜添加賦予一種導電性的雜質元素來形成用作源極端子或汲極端子的雜質區。例如，藉由對上述半導體膜添加磷或砷，可以形成具有 n 型導電性的雜質區。另外，例如，藉由對上述半導體膜添加硼，可以形成具有 p 型導電性的雜質區。

當作為電晶體 830 及電晶體 831 的半導體膜使用氧化物半導體時，可以對上述半導體膜添加摻雜劑來形成用作源極端子或汲極端子的雜質區。可以使用離子植入法添加摻雜劑。作為摻雜劑，例如可以使用氦、氬、氙等稀有氣體或氮、磷、砷、銻等第 15 族原子等。例如，在將氮用作摻雜劑的情況下，較佳為雜質區中的氮原子的濃度為 $5 \times 10^{19}/\text{cm}^3$ 以上且 $1 \times 10^{22}/\text{cm}^3$ 以下。

另外，作為矽半導體可以使用：藉由電漿 CVD 法等的氣相生長法或濺射法形成的非晶矽；藉由雷射退火法等處理使非晶矽結晶化而得到的多晶矽；藉由對單晶矽晶片注入氬離子等而使表層部剝離的單晶矽等。

另外，作為氧化物半導體，較佳為至少包含銦(In)或鋅(Zn)。尤其是較佳為包含 In 及 Zn。另外，作為用來減小使用該氧化物半導體的電晶體的電特性偏差的穩定劑(stabilizer)，較佳為除了上述元素以外還包含鎵(Ga)。此外，作為穩定劑較佳為包含錫(Sn)。另外，作為穩定劑較佳為包含鈦(Hf)。此外，作為穩定劑較佳為包含鋁(Al)。

另外，作為其他穩定劑，也可以包含鑷系元素的鑷 (La)、鈰 (Ce)、鐳 (Pr)、釹 (Nd)、釷 (Sm)、鎳 (Eu)、釷 (Gd)、鐳 (Tb)、鐳 (Dy)、釹 (Ho)、鉺 (Er)、鐳 (Tm)、鐳 (Yb)、鐳 (Lu)中的一種或多種。

例如，作為氧化物半導體可以使用：氧化銦；氧化錫；氧化鋅；二元金屬氧化物如 In-Zn 類氧化物、Sn-Zn 類氧化物、Al-Zn 類氧化物、Zn-Mg 類氧化物、Sn-Mg 類氧化物、In-Mg 類氧化物、In-Ga 類氧化物；三元金屬氧化物如 In-Ga-Zn 類氧化物(也稱為 IGZO)、In-Al-Zn 類氧化物、In-Sn-Zn 類氧化物、Sn-Ga-Zn 類氧化物、Al-Ga-Zn 類氧化物、Sn-Al-Zn 類氧化物、In-Hf-Zn 類氧化物、In-La-Zn 類氧化物、In-Ce-Zn 類氧化物、In-Pr-Zn 類氧化物、In-Nd-Zn 類氧化物、In-Sm-Zn 類氧化物、In-Eu-Zn 類氧化物、In-Gd-Zn 類氧化物、In-Tb-Zn 類氧化物、In-Dy-Zn 類氧化物、In-Ho-Zn 類氧化物、In-Er-Zn 類氧化物、In-Tm-Zn 類氧化物、In-Yb-Zn 類氧化物、In-Lu-Zn 類氧化物；以及四元金屬氧化物如 In-Sn-Ga-Zn 類氧化物、In-Hf-Ga-Zn 類氧化物、In-Al-Ga-Zn 類氧化物、In-Sn-Al-Zn 類氧化物、In-Sn-Hf-Zn 類氧化物、In-Hf-Al-Zn 類氧化物。另外，上述氧化物半導體也可以包含矽。

另外，例如，In-Ga-Zn 類氧化物是指包含 In、Ga 和 Zn 的氧化物，而對 In、Ga、Zn 的比率沒有限制。另外，也可以包含 In、Ga、Zn 以外的金屬元素。另外，由於 In-Ga-Zn 類氧化物在無電場時的電阻充分高而能夠充分地降

低截止電流且遷移率也高，所以作為用於半導體裝置的半導體材料十分合適。

例如，可以使用 $\text{In:Ga:Zn}=1:1:1(=1/3:1/3:1/3)$ 或 $\text{In:Ga:Zn}=2:2:1(=2/5:2/5:1/5)$ 的原子比的 In-Ga-Zn 類氧化物或具有近於上述原子比的原子比的氧化物。或者，較佳的是使用 $\text{In:Sn:Zn}=1:1:1(=1/3:1/3:1/3)$ 、 $\text{In:Sn:Zn}=2:1:3(=1/3:1/6:1/2)$ 或 $\text{In:Sn:Zn}=2:1:5(=1/4:1/8:5/8)$ 的原子比的 In-Sn-Zn 類氧化物或具有近於上述原子比的原子比的氧化物。

例如，In-Sn-Zn 類氧化物比較容易得到高遷移率。但是，即使使用 In-Ga-Zn 類氧化物，也可以藉由降低塊體內缺陷密度來提高遷移率。

另外，藉由減少成為電子給體(施體)的水分或氫等雜質且減少氧缺陷被高度純化的氧化物半導體(purified Oxide Semiconductor)成為 i 型(本質半導體)或無限趨近於 i 型。因此，使用上述氧化物半導體的電晶體具有截止電流顯著低的特性。另外，氧化物半導體的能隙為 2eV 以上，較佳為 2.5eV 以上，更佳的是為 3eV 以上。藉由使用藉由充分減少水分或氫等的雜質濃度並減少氧缺陷而被高度純化的氧化物半導體膜，可以降低電晶體的截止電流。

明確而言，根據各種試驗可以證明將被高度純化的氧化物半導體用作半導體膜的電晶體的截止電流低。例如，通道寬度為 $1 \times 10^6 \mu\text{m}$ ，且通道長度為 $10 \mu\text{m}$ 的元件也可以在源極端子與汲極端子之間的電壓(汲極電壓)為 1V 至 10V 的範圍內獲得截止電流為半導體參數分析儀的測量極

限以下，即 $1 \times 10^{-13} \text{A}$ 以下的特性。在此情況下，可知根據電晶體的通道寬度被規格化的截止電流為 $100 \text{zA}/\mu\text{m}$ 以下。此外，藉由使用如下電路來測量截止電流，在該電路中電容元件與電晶體彼此連接且由該電晶體控制流入到電容元件或從電容元件流出的電荷。在該測量時，將被高度純化的氧化物半導體膜用於上述電晶體的通道形成區，並根據電容元件的單位時間的電荷量推移測量該電晶體的截止電流。由該測量可知當電晶體的源極端子與汲極端子之間的電壓為 3V 時，可以獲得為幾十 $\text{yA}/\mu\text{m}$ 的更低的截止電流。因此，將被高度純化的氧化物半導體膜用作通道形成區的電晶體的截止電流顯著地低於使用具有結晶性的矽的電晶體的截止電流。

此外，在沒有特別的說明的情況下，本說明書所述的截止電流在 n 通道型電晶體中是指在使汲極端子的電位高於源極端子及閘極的電位的狀態下，當以源極端子的電位為標準時的閘極的電位為 0V 以下時，流過源極端子與汲極端子之間的電流。或者，本說明書所述的截止電流在 p 通道型電晶體中是指在使汲極端子的電位低於源極端子及閘極的電位的狀態下，當以源極端子的電位為標準時的閘極的電位為 0V 以上時，流過源極端子與汲極端子之間的電流。

此外，例如，氧化物半導體膜可以藉由使用包含 In (銻)、 Ga (鎵)和 Zn (鋅)的靶材的濺射法形成。在藉由濺射法形成 In-Ga-Zn 類氧化物半導體膜的情況下，較佳的

是使用原子數比為 $\text{In:Ga:Zn}=1:1:1$ 、 $4:2:3$ 、 $3:1:2$ 、 $1:1:2$ 、 $2:1:3$ 或 $3:1:4$ 的 In-Ga-Zn 類氧化物的靶材。藉由使用具有上述原子數比的 In-Ga-Zn 類氧化物的靶材形成氧化物半導體膜，容易形成多晶或後述 CAAC-OS 。另外，包含 In 、 Ga 及 Zn 的靶材的填充率為 90%以上且 100%以下，較佳為 95%以上且低於 100%。藉由採用填充率高的靶材，可以形成緻密的氧化物半導體膜。

另外，當作為氧化物半導體使用 In-Zn 類氧化物的材料時，將所使用的靶材中的金屬元素的原子數比設定為 $\text{In:Zn}=50:1$ 至 $1:2$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 至 $1:4$)，較佳為 $\text{In:Zn}=20:1$ 至 $1:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 至 $1:2$)，更佳的是為 $\text{In:Zn}=1.5:1$ 至 $15:1$ (換算為莫耳數比則為 $\text{In}_2\text{O}_3:\text{ZnO}=3:4$ 至 $15:2$)。例如，作為用來形成 In-Zn 類氧化物的氧化物半導體膜的靶材，當原子數比為 $\text{In:Zn:O}=X:Y:Z$ 時，滿足 $Z>1.5X+Y$ 。藉由將 Zn 的比率設定為上述範圍內的值，可以實現遷移率的提高。

並且，具體地，可以藉由將基板放置在保持為減壓狀態的處理室內邊去除處理室內的殘留水分邊導入被去除了氫及水分的濺射氣體，並使用上述靶材形成氧化物半導體膜。在進行成膜時，也可以將基板溫度設定為 100°C 以上且 600°C 以下，較佳為 200°C 以上且 400°C 以下。藉由邊加熱基板邊進行成膜，可以降低形成的氧化物半導體膜中含有的雜質濃度。另外，可以減輕由於濺射帶來的損傷。

為了去除殘留在處理室中的水分，較佳的是使用吸附型真空泵。例如，較佳的是使用低溫泵、離子泵、鈦昇華泵。另外，作為排氣單元，也可以使用配備有冷阱的渦輪泵。在使用低溫泵對處理室進行排氣時，排出例如氫原子、水(H₂O)等的包含氫原子的化合物(更佳的是為包含碳原子的化合物)等，由此可以降低該處理室中形成的氧化物半導體膜所包含的雜質的濃度。

另外，有時在藉由濺射等形成的氧化物半導體膜中包含多量的作為雜質的水分或氫(包括羥基)。由於水分或氫容易形成施體能階，因此對於氧化物半導體來說水分或氫是雜質。於是，在本發明的一個方式中，為了減少氧化物半導體膜中的水分或氫等雜質(脫水化或脫氫化)，較佳的是在減壓氛圍、氮或稀有氣體等惰性氣體氛圍、氧氣氛圍或超乾燥空氣(使用 CRDS(cavity ring-down laser spectroscopy：光腔衰蕩光譜法)方式的露點計進行測定時的水分量是 20ppm(露點換算為 -55℃)以下，較佳的是 1ppm 以下，更佳的是 10ppb 以下的空氣)氛圍下對氧化物半導體膜進行加熱處理。

藉由對氧化物半導體膜進行加熱處理，可以使氧化物半導體膜中的水分或氫脫離。明確而言，可以在 250℃ 以上且 750℃ 以下，較佳為在 400℃ 以上且低於基板的應變點的溫度下進行加熱處理。例如，以 500℃ 進行 3 分鐘以上且 6 分鐘以下左右的加熱處理即可。藉由使用 RTA 法作為加熱處理，可以在短時間內進行脫水化或脫氫化，由

此即使在超過玻璃基板的應變點的溫度下也可以進行處理。

此外，有時由於上述加熱處理，從氧化物半導體膜氧脫離而在氧化物半導體膜內形成氧缺損。由此，在本發明一個方式中，作為接觸於氧化物半導體膜的閘極絕緣膜等的絕緣膜，使用包含氧的絕緣膜。並且，藉由在形成包含氧的絕緣膜之後進行加熱處理，從上述絕緣膜將氧供應到氧化物半導體膜。藉由採用上述結構，可以降低成為施體的氧缺損，而滿足包括在氧化物半導體膜中的氧化物半導體的化學計量成分比。半導體膜較佳為包含超過化學計量成分比的氧。其結果是，可以使氧化物半導體膜趨近於 *i* 型，減輕因氧缺損而導致的電晶體的電特性偏差，從而實現電特性的提高。

在氮、超乾燥空氣或稀有氣體(氬、氦等)的氛圍下較佳的是以 200℃ 以上且 400℃ 以下，例如以 250℃ 以上且 350℃ 以下進行用來將氧供應到氧化物半導體膜的加熱處理。上述氣體的含水量為 20ppm 以下，較佳為 1ppm 以下，更佳的是為 10ppb 以下。

另外，氧化物半導體既可以為非晶(amorphous)，又可以具有結晶性。當採用後者時，氧化物半導體可以是單晶、多晶、其一部分具有結晶性的結構、在非晶中包含具有結晶性的部分的結構或非非晶。作為其一部分具有結晶性的結構的一個例子，也可以使用包含如下結晶的氧化物(CAAC-OS:C-Axis Aligned Crystalline Oxide Semiconductor：

c 軸配向結晶氧化物半導體)，該結晶進行 c 軸配向，並且在從垂直於 ab 面、表面或介面的方向看時具有三角形狀或六角形狀的原子排列，並且在從垂直於 c 軸的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀，而在 ab 面上 a 軸或 b 軸的方向不同(即，以 c 軸為中心回轉)。

從廣義來理解，CAAC-OS 是指非單晶的包括如下相的氧化物，在該相中在從垂直於 ab 面的方向看時具有三角形狀、六角形狀、正三角形狀或正六角形狀的原子排列，並且在從垂直於 c 軸方向的方向看時金屬原子排列為層狀或者金屬原子和氧原子排列為層狀。

CAAC-OS 不是單晶，但是也不只由非晶形成。另外，雖然 CAAC-OS 包括結晶部分，但是有時不能明確辨別一個結晶部分與其他結晶部分的邊界。

也可以用氮取代構成 CAAC-OS 的氧的一部分。另外，構成 CAAC-OS 的各結晶部分的 c 軸也可以在固定的方向(例如，垂直於形成 CAAC-OS 的基板面或 CAAC-OS 的表面等的方向)上一致。或者，構成 CAAC-OS 的各結晶部分的 ab 面的法線也可以朝向固定的方向(例如，垂直於形成 CAAC-OS 的基板面或 CAAC-OS 的表面等的方向)。

CAAC-OS 根據其組成等而具有對可見光的透明性或不具有對可見光的透明性。

作為上述 CAAC-OS 的例子，也可以舉出一種結晶，該結晶被形成為膜狀，並且在從垂直於膜表面或支撐基板

表面的方向觀察時確認到三角形或六角形的原子排列，並且在觀察其膜剖面時確認到金屬原子或金屬原子及氧原子(或氮原子)的層狀排列。

接著，對本發明的半導體裝置所具有的電晶體的具體結構的一個例子進行說明。

圖 13A 所示的電晶體是通道蝕刻結構的底閘極型電晶體。

並且，圖 13A 所示的電晶體包括：形成在絕緣表面上的閘極電極(閘極)1602；閘極電極 1602 上的閘極絕緣膜 1603；在閘極絕緣膜 1603 上與閘極電極 1602 重疊的半導體膜 1604；以及形成在半導體膜 1604 上的導電膜 1605 及導電膜 1606。並且，電晶體還可以包括形成在半導體膜 1604、導電膜 1605 及導電膜 1606 上的絕緣膜 1607。

另外，圖 13A 所示的電晶體還可以包括在與半導體膜 1614 重疊的位置形成在絕緣膜 1607 上的背閘極電極。

圖 13B 所示的電晶體是通道保護結構的底閘極型電晶體。

並且，圖 13B 所示的電晶體包括：形成在絕緣表面上的閘極電極 1612；閘極電極 1612 上的閘極絕緣膜 1613；在閘極絕緣膜 1613 上與閘極電極 1612 重疊的半導體膜 1614；形成在半導體膜 1614 上的通道保護膜 1618；以及形成在半導體膜 1614 上的導電膜 1615 及導電膜 1616。並且，電晶體還可以包括形成在通道保護膜 1618、導電膜 1615 及導電膜 1616 上的絕緣膜 1617。

另外，圖 13B 所示的電晶體還可以包括在與半導體膜 1614 重疊的位置形成在絕緣膜 1617 上的背閘極電極。

藉由設置通道保護膜 1618，可以防止在後面的製程中對半導體膜 1614 中的成為通道形成區的部分造成諸如蝕刻時的電漿或蝕刻劑所導致的膜減少等的損傷。由此，可以提高電晶體的可靠性。

圖 13C 所示的電晶體是底接觸結構的底閘極型電晶體。

並且，圖 13C 所示的電晶體包括：形成在絕緣表面上的閘極電極 1622；閘極電極 1622 上的閘極絕緣膜 1623；閘極絕緣膜 1623 上的導電膜 1625、導電膜 1626；以及在閘極絕緣膜 1623 上與閘極電極 1622 重疊且形成在導電膜 1625、導電膜 1626 上的半導體膜 1624。並且，電晶體還可以包括形成在導電膜 1625、導電膜 1626 及半導體膜 1624 上的絕緣膜 1627。

另外，圖 13C 所示的電晶體還可以包括在與半導體膜 1624 重疊的位置形成在絕緣膜 1627 上的背閘極電極。

圖 13D 所示的電晶體是底接觸結構的底閘極型電晶體。

並且，圖 13D 所示的電晶體包括：形成在絕緣表面上的導電膜 1645 及導電膜 1646；形成在導電膜 1645 及導電膜 1646 上的半導體膜 1644；形成在半導體膜 1644 上的閘極絕緣膜 1643；以及在閘極絕緣膜 1643 上與半導體膜 1644 重疊的閘極電極 1642。並且，電晶體還可以包括

形成在閘極電極 1642 上的絕緣膜 1647。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 5

在圖 14 中說明相當於半導體顯示裝置的一個方式的面板的一個例子。圖 14 所示的面板包括：基板 700；基板 700 上的像素部 701；信號線驅動電路 702；掃描線驅動電路 703；以及端子 704。

像素部 701 包括多個像素，各像素中設置有顯示元件以及控制該顯示元件的工作的一個或多個電晶體。掃描線驅動電路 703 藉由控制對與各像素連接的掃描線的電位提供來選擇像素部 701 所具有的像素。信號線驅動電路 702 控制對藉由掃描線驅動電路 703 被選擇的像素的影像信號的提供。

並且，在圖 14 所示的面板中，作為掃描線驅動電路 703 使用根據本發明的一個方式的移位暫存器。圖 14 示出藉由端子 704 對掃描線驅動電路 703 提供電位 VEE、電位 VSS、電位 VDD 時的例子。

由於掃描線與多個像素連接而需要具有較大的電流供給能力。藉由使用根據本發明的一個方式的移位暫存器對該掃描線提供電位，可以防止提供到掃描線的電位的幅度變小。因此，可以降低因提供到掃描線的信號幅度小而引起的像素部 701 的顯示故障，從而可以顯示高影像品質的影像。

注意，雖然在本實施方式中對將根據本發明的一個方式的移位暫存器用於掃描線驅動電路 703 的情況進行了說明，但是也可以將根據本發明的一個方式的移位暫存器用於信號線驅動電路 702。

本實施方式可以與其他實施方式適當地組合而實施。

實施方式 6

根據本發明的一個方式的半導體裝置可以用於顯示設備、個人電腦、具備儲存介質的影像再現裝置(典型地是，能夠再現如 DVD(Digital Versatile Disc：數位通用磁片)等儲存介質並具有能夠顯示其影像的顯示器的裝置)。此外，作為能夠使用根據本發明的一個方式的半導體裝置的電子裝置，可以舉出行動電話、包括可攜式在內的遊戲機、可攜式資訊終端、電子書閱讀器、例如攝像機和數位相機等影像拍攝裝置、護目鏡型顯示器(頭戴式顯示器)、導航系統、音頻再現裝置(例如，汽車音頻系統和數位音頻播放器等)、影印機、傳真機、印表機、多功能印表機、自動櫃員機(ATM)、自動售貨機等等。圖 15A 至 15E 顯示出這樣的電子裝置的具體示例。

圖 15A 是可攜式遊戲機，其包括外殼 5001、外殼 5002、顯示部 5003、顯示部 5004、麥克風 5005、揚聲器 5006、操作鍵 5007、觸控筆 5008 等。藉由將根據本發明的一個方式的半導體裝置用於可攜式遊戲機的驅動電路，可以提供耗電量低且工作穩定的可攜式遊戲機。藉由將根

據本發明的一個方式的半導體裝置用於顯示部 5003 或顯示部 5004，可以提供高影像品質的可攜式遊戲機。另外，圖 15A 所示的可攜式遊戲機具有顯示部 5003 及顯示部 5004 兩個顯示部，但是可攜式遊戲機所具有的顯示部的數目不侷限於此。

圖 15B 是顯示設備，其包括外殼 5201、顯示部 5202、支架 5203 等。藉由將根據本發明的一個方式的半導體裝置用於顯示設備的驅動電路，可以提供耗電量低且工作穩定的顯示設備。藉由將根據本發明的一個方式的半導體顯示裝置用於顯示部 5202，可以提供高影像品質的顯示設備。注意，顯示裝置包括顯示資訊的所有顯示設備，例如用於個人電腦、電視廣播接收以及廣告顯示等的顯示設備。

圖 15C 是筆記本式個人電腦，其包括外殼 5401、顯示部 5402、鍵盤 5403 及指向裝置 5404 等。藉由將根據本發明的一個方式的半導體裝置用於筆記本式個人電腦的驅動電路，可以提供耗電量低且工作穩定的筆記本式個人電腦。藉由將根據本發明的一個方式的半導體顯示裝置用於顯示部 5402，可以提供高影像品質的筆記本式個人電腦。

圖 15D 是可攜式資訊終端，其包括第一外殼 5601、第二外殼 5602、第一顯示部 5603、第二顯示部 5604、連接部 5605、操作鍵 5606 等。第一顯示部 5603 設置在第一外殼 5601 中，第二顯示部 5604 設置在第二外殼 5602

中。並且，第一外殼 5601 與第二外殼 5602 藉由連接部 5605 連接，第一外殼 5601 與第二外殼 5602 之間的角度可以藉由連接部 5605 改變。第一顯示部 5603 中的影像可以根據由連接部 5605 形成的第一外殼 5601 與第二外殼 5602 之間的角度進行切換。另外，也可以對第一顯示部 5603 和第二顯示部 5604 中的至少一個使用附加有位置輸入裝置的功能的半導體顯示裝置。另外，可以藉由對半導體顯示裝置設置觸摸屏來使其具有位置輸入裝置的功能。或者，也可以藉由在半導體顯示裝置的像素部中設置被稱為光電感測器的光電轉換元件來使其具有位置輸入裝置的功能。藉由將根據本發明的一個方式的半導體裝置用於可攜式資訊終端的驅動電路，可以提供耗電量低且工作穩定的可攜式資訊終端。藉由將根據本發明的一個方式的半導體顯示裝置用於第一顯示部 5603 或第二顯示部 5604，也可以提供高影像品質的可攜式資訊終端。

圖 15E 是行動電話，其包括外殼 5801、顯示部 5802、聲音輸入部 5803、音聲輸出部 5804、操作鍵 5805、光接收部 5806 等。藉由將由光接收部 5806 接收的光轉換為電信號，可以提取外部的影像。藉由將根據本發明的一個方式的半導體裝置用於行動電話的驅動電路，可以提供耗電量低且工作穩定的行動電話。藉由將根據本發明的一個方式的半導體顯示裝置用於顯示部 5802，可以提供高影像品質的行動電話。

本實施方式可以與其他實施方式適當地組合而實施。

【符號說明】

100：半導體裝置

101：電路

102：電晶體

103：電晶體

104：佈線

105：佈線

106：佈線

107：佈線

108：佈線

109：電晶體

110：電容元件

200：脈衝發生電路

200_1 至 200_y：脈衝發生電路

201：電路

202：電晶體

203：電晶體

204：電晶體

205：佈線

206：佈線

207：佈線

208：佈線

209：佈線

- 210 : 佈線
- 211 : 佈線
- 212 : 佈線
- 213 : 佈線
- 214 : 佈線
- 215 : 電晶體
- 216 : 電晶體
- 217 : 電晶體
- 218 : 電晶體
- 219 : 電晶體
- 220 : 電晶體
- 221 : 電晶體
- 222 : 電晶體
- 223 : 電晶體
- 224 : 電容元件
- 225 : 電容元件
- 230 : 電阻
- 231 : 電阻
- 232 : 實線
- 233 : 實線
- 300 : 脈衝發生電路
- 301 : 電路
- 302 : 電晶體
- 303 : 電晶體

- 304：電晶體
- 305：佈線
- 306：佈線
- 307：佈線
- 308：佈線
- 309：佈線
- 310：佈線
- 311：佈線
- 312：佈線
- 313：佈線
- 314：佈線
- 315：電晶體
- 316：電晶體
- 317：電晶體
- 318：電晶體
- 319：電晶體
- 320：電晶體
- 330：脈衝發生電路
- 331：電路
- 332：電晶體
- 333：電晶體
- 334：電晶體
- 335：佈線
- 336：佈線

337：佈線

338：佈線

339：佈線

340：佈線

341：佈線

342：佈線

343：佈線

344：佈線

345：佈線

346：電晶體

347：電晶體

348：電晶體

349：電晶體

350：電晶體

351：電晶體

352：電晶體

360：脈衝發生電路

361：電路

362：電晶體

363：電晶體

364：電晶體

365：佈線

366：佈線

367：佈線

- 368 : 佈線
- 369 : 佈線
- 370 : 佈線
- 371 : 佈線
- 372 : 佈線
- 374 : 佈線
- 375 : 佈線
- 376 : 電晶體
- 377 : 電晶體
- 378 : 電晶體
- 379 : 電晶體
- 380 : 電晶體
- 381 : 電晶體
- 382 : 電晶體
- 400 : 脈衝發生電路
- 401 : 電路
- 402 : 電晶體
- 403 : 電晶體
- 404 : 電晶體
- 405 : 佈線
- 406 : 佈線
- 407 : 佈線
- 408 : 佈線
- 409 : 佈線

- 410：佈線
- 411：佈線
- 412：佈線
- 414：佈線
- 415：佈線
- 416：電晶體
- 417：電晶體
- 418：電晶體
- 419：電晶體
- 420：電晶體
- 421：電晶體
- 422：電晶體
- 423：電晶體
- 430：脈衝發生電路
- 431：電路
- 432：電晶體
- 433：電晶體
- 434：電晶體
- 435：佈線
- 436：佈線
- 437：佈線
- 438：佈線
- 439：佈線
- 440：佈線

- 441：佈線
- 442：佈線
- 444：佈線
- 445：佈線
- 446：電晶體
- 447：電晶體
- 448：電晶體
- 449：電晶體
- 450：電晶體
- 451：電晶體
- 452：電晶體
- 453：電晶體
- 500：反相器
- 501：電路
- 502：電晶體
- 503：電晶體
- 504：佈線
- 505：佈線
- 506：佈線
- 507：佈線
- 508：佈線
- 509：佈線
- 510：電晶體
- 511：電晶體

- 512 : 電晶體
- 513 : 電容元件
- 700 : 基板
- 701 : 像素部
- 702 : 信號線驅動電路
- 703 : 掃描線驅動電路
- 704 : 端子
- 800 : 基板
- 802 : 閘極絕緣膜
- 812 : 導電膜
- 813 : 半導體膜
- 814 : 導電膜
- 815 : 導電膜
- 816 : 導電膜
- 817 : 半導體膜
- 818 : 導電膜
- 819 : 導電膜
- 820 : 絕緣膜
- 821 : 絕緣膜
- 822 : 導電膜
- 823 : 接觸孔
- 824 : 絕緣膜
- 825 : EL 層
- 826 : 導電膜

- 830：電晶體
- 831：電晶體
- 832：發光元件
- 833：電容元件
- 840：像素
- 841：驅動電路
- 1602：閘極電極
- 1603：閘極絕緣膜
- 1604：半導體膜
- 1605：導電膜
- 1606：導電膜
- 1607：絕緣膜
- 1612：閘極電極
- 1613：閘極絕緣膜
- 1614：半導體膜
- 1615：導電膜
- 1616：導電膜
- 1617：絕緣膜
- 1618：通道保護膜
- 1622：閘極電極
- 1623：閘極絕緣膜
- 1624：半導體膜
- 1625：導電膜
- 1626：導電膜

1627：絕緣膜
1642：閘極電極
1643：閘極絕緣膜
1644：半導體膜
1645：導電膜
1646：導電膜
1647：絕緣膜
5001：外殼
5002：外殼
5003：顯示部
5004：顯示部
5005：麥克風
5006：揚聲器
5007：操作鍵
5008：觸控筆
5201：外殼
5202：顯示部
5203：支架
5401：外殼
5402：顯示部
5403：鍵盤
5404：指向裝置
5601：第一外殼
5602：第二外殼

5603：第一顯示部

5604：第二顯示部

5605：連接部

5606：操作鍵

5801：外殼

5802：顯示部

5803：聲音輸入部

5804：聲音輸出部

5805：操作鍵

5806：光接收部

【發明申請專利範圍】

【請求項1】一種半導體裝置，包含：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體；

該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體以及該第七電晶體具有相同的通道型；

該第一電晶體的源極或汲極的其中一個，與第一佈線電連接；該第一電晶體的源極或汲極的另外一個，與第二佈線電連接；

該第二電晶體的源極或汲極的其中一個，與該第二佈線電連接；該第二電晶體的源極或汲極的另外一個，與第三佈線電連接；

該第三電晶體的源極或汲極的其中一個，與該第六電晶體的源極或汲極的其中一個電連接；該第三電晶體的源極或汲極的另外一個，與該第一電晶體的閘極電連接；

該第四電晶體的源極或汲極的其中一個，與該第一電晶體的閘極電連接；該第四電晶體的源極或汲極的另外一個，與第四佈線電連接；該第四電晶體的閘極，與第六佈線電連接；

該第五電晶體的源極或汲極的其中一個，與該第二電晶體的閘極電連接；該第五電晶體的源極或汲極的另外一個，與該第七電晶體的源極或汲極的其中一個電連接；該第五電晶體的閘極，與該第四佈線電連接；

該第六電晶體的源極或汲極的另外一個，與該第五電晶體的源極或汲極的另外一個電連接；該第六電晶體的閘極，與該第一電晶體的閘極電連接；

該第七電晶體的閘極，與第五佈線電連接；

第一電位供應給該第一佈線；

該第二佈線具有作為掃描線的功能；

第一時脈訊號供應給該第三佈線；

第二時脈訊號供應給該第六佈線。

【請求項2】如請求項1之半導體裝置，其中，具有脈衝的訊號，輸入至該第三電晶體的閘極。

【請求項3】如請求項1之半導體裝置，其中，該第一電位供應給該第三電晶體的源極或汲極的其中一個、以及該第六電晶體的源極或汲極的其中一個。

【請求項4】如請求項1之半導體裝置，其中，該第七電晶體具有供應第二電位的功能，該第二電位是用來讓該第二電晶體成為導通狀態。

【請求項5】一種半導體裝置，包含：

第一電晶體、第二電晶體、第三電晶體、第四電晶體、第五電晶體、第六電晶體以及第七電晶體；

該第一電晶體、該第二電晶體、該第三電晶體、該第四電晶體、該第五電晶體、該第六電晶體以及該第七電晶體具有相同的通道型。

【發明圖式】

圖 1A

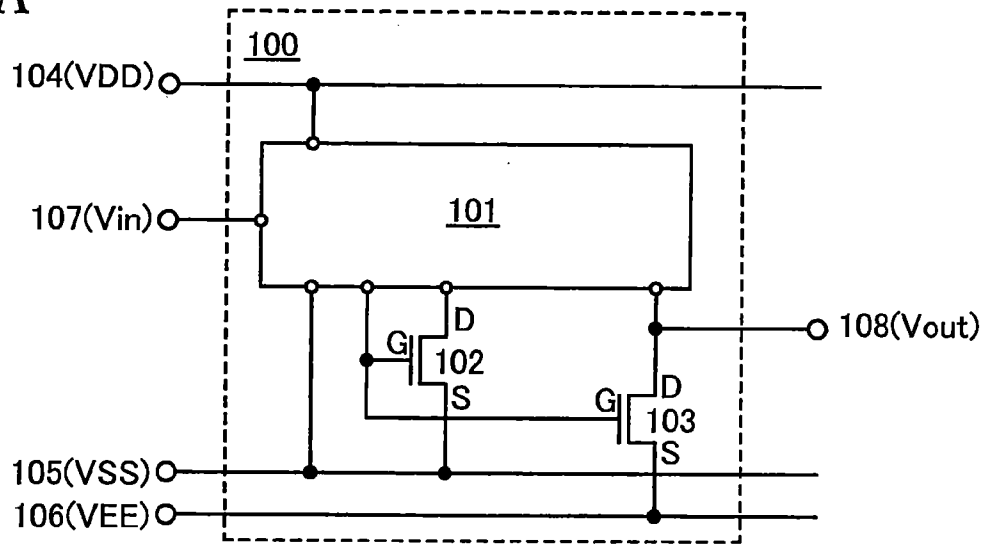
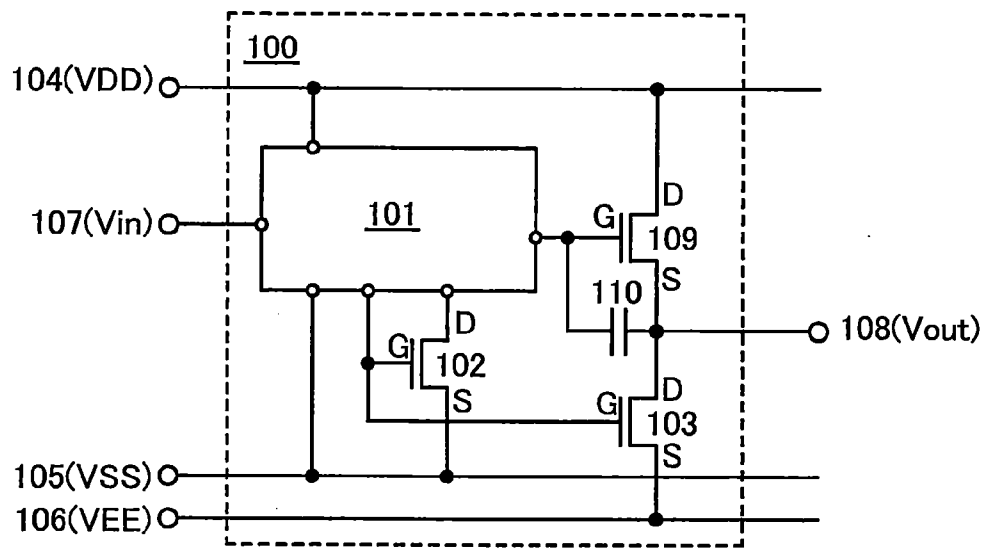


圖 1B



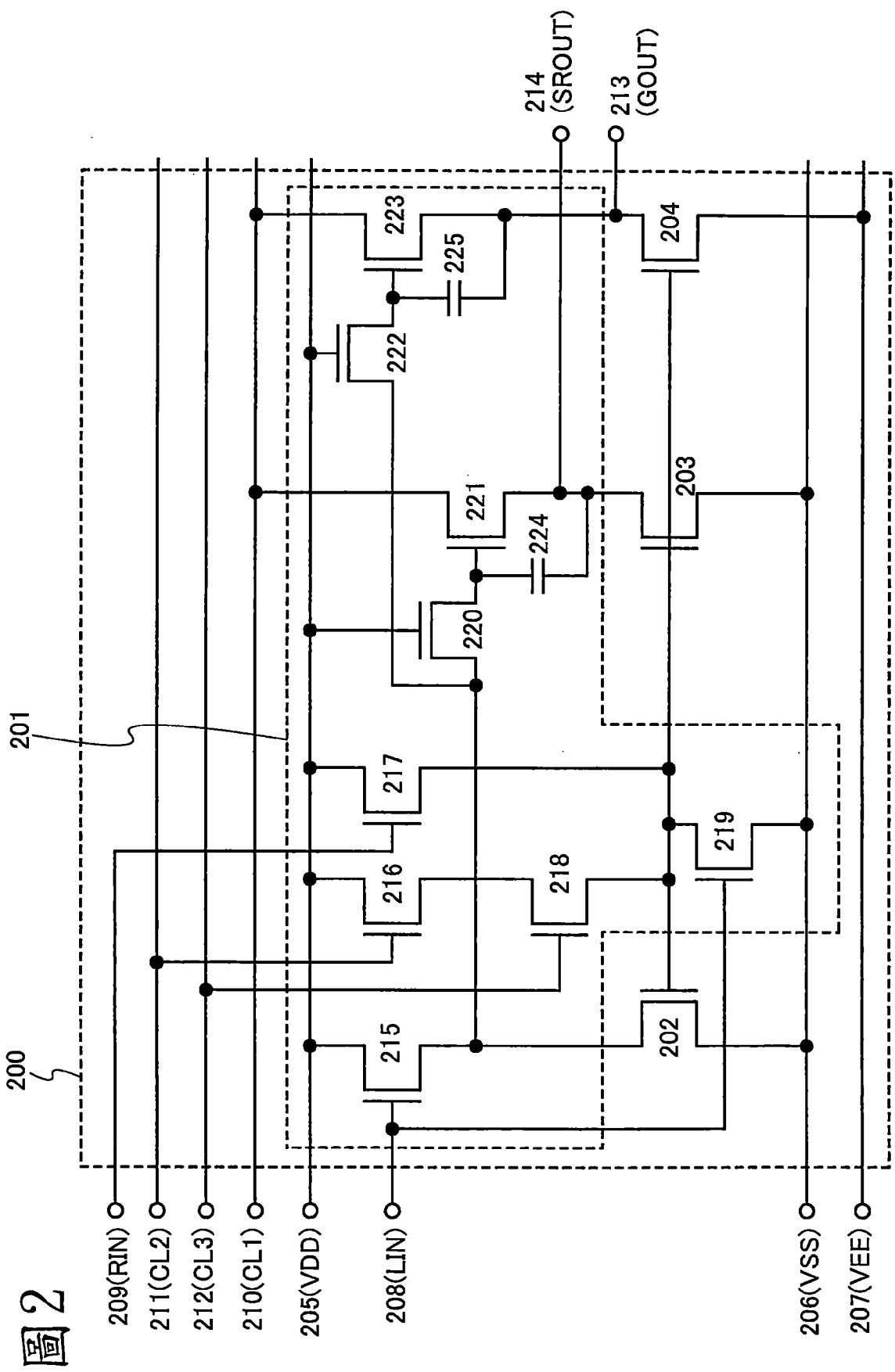


圖 2

圖 3

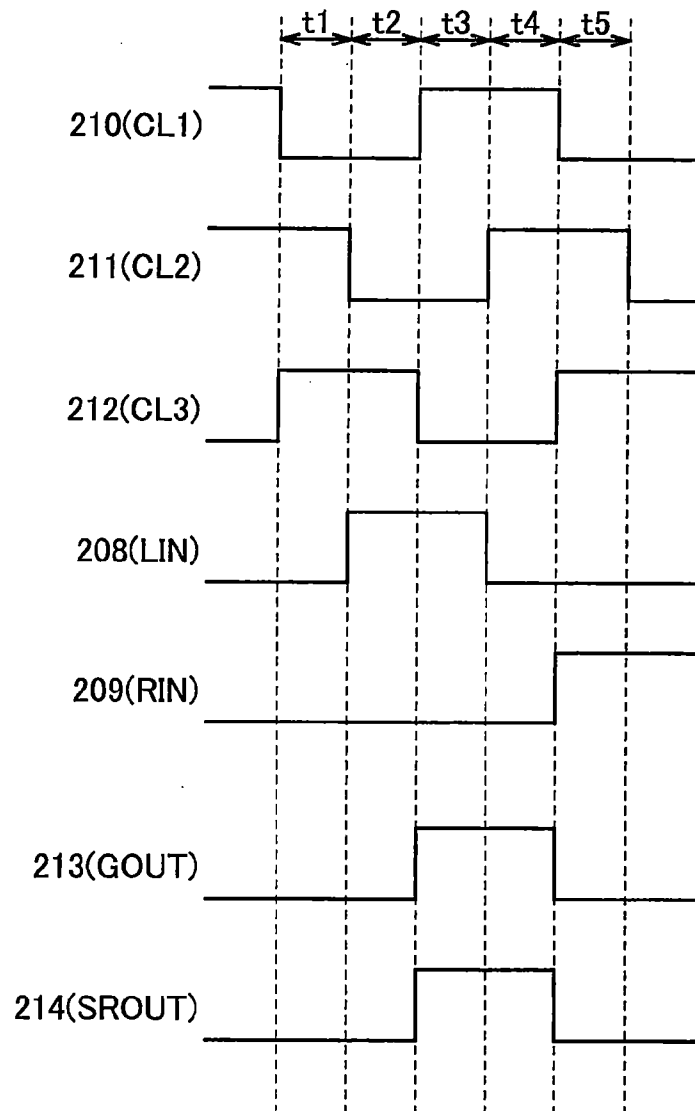


圖4

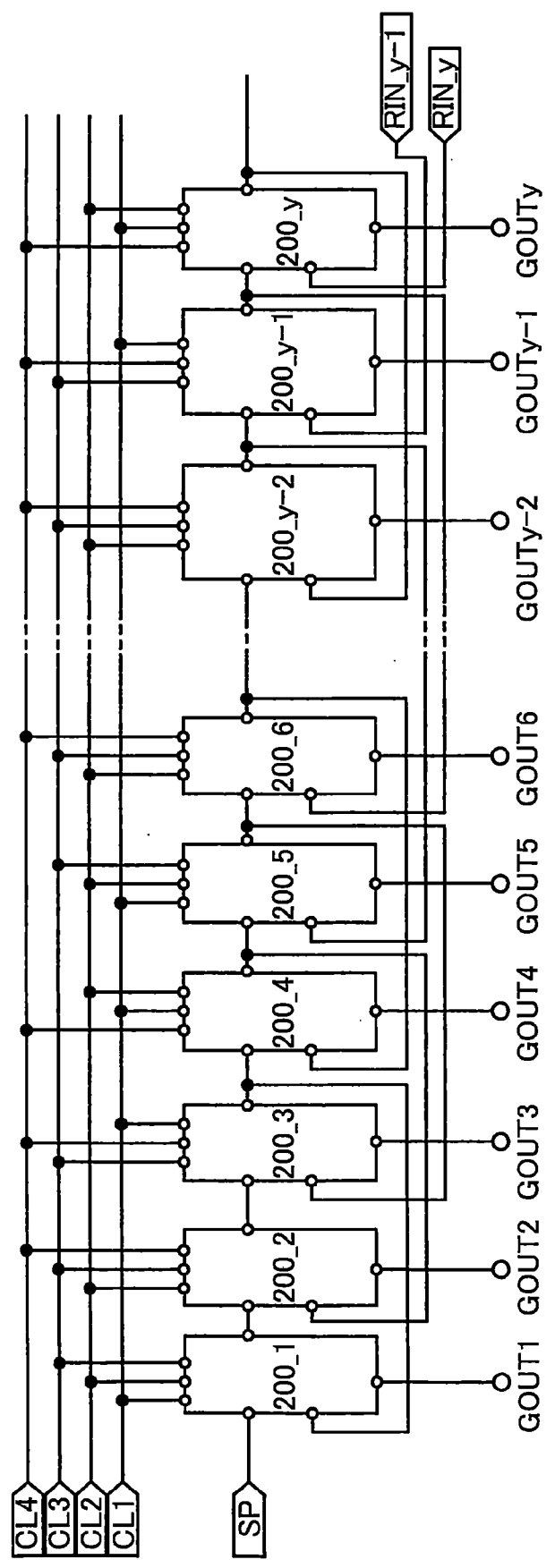


圖5

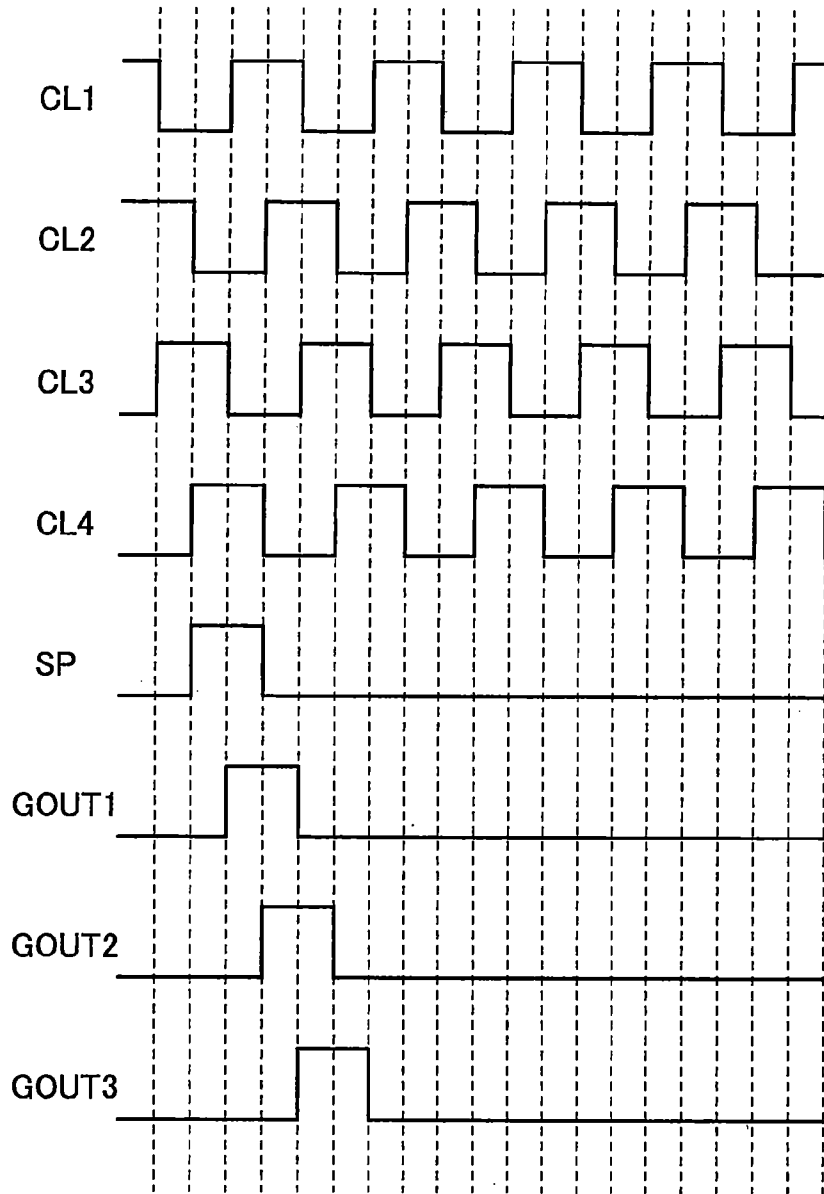


圖6

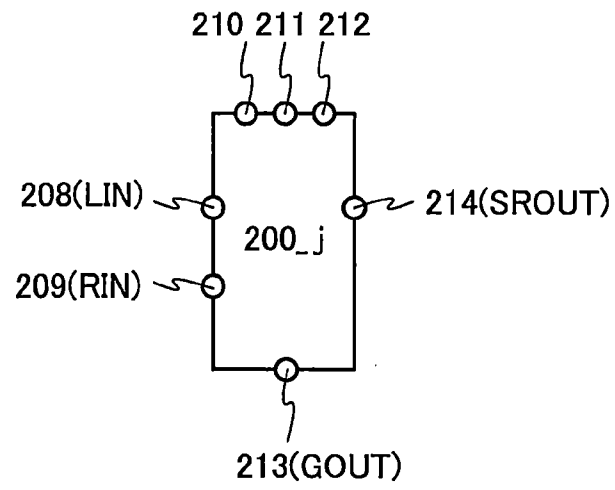


圖 7A

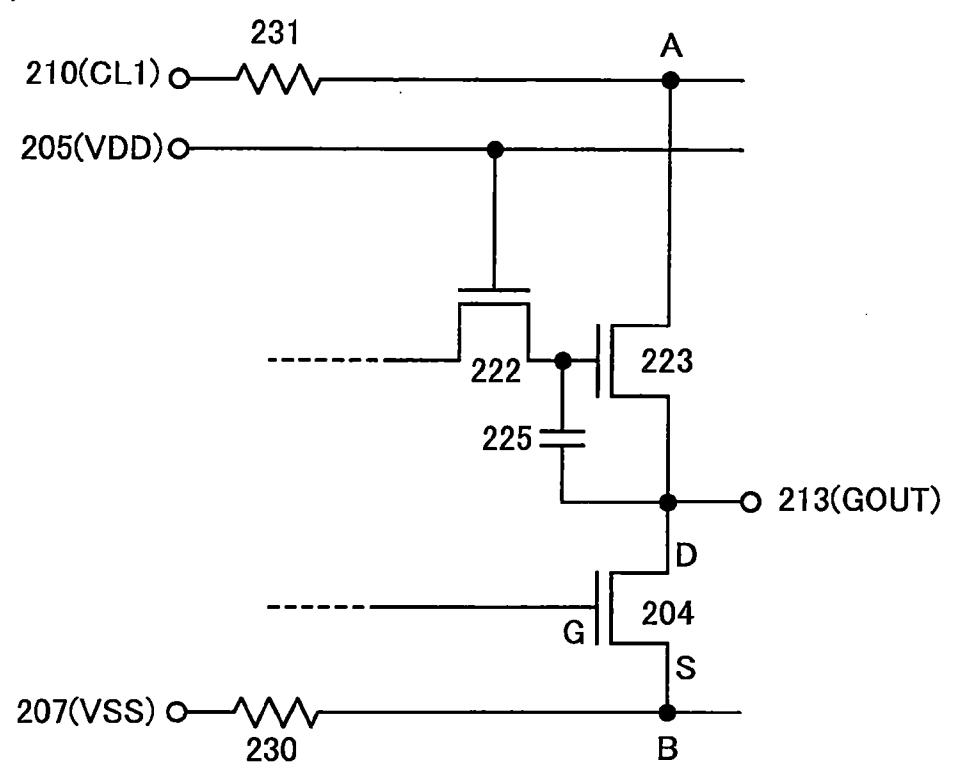


圖 7B

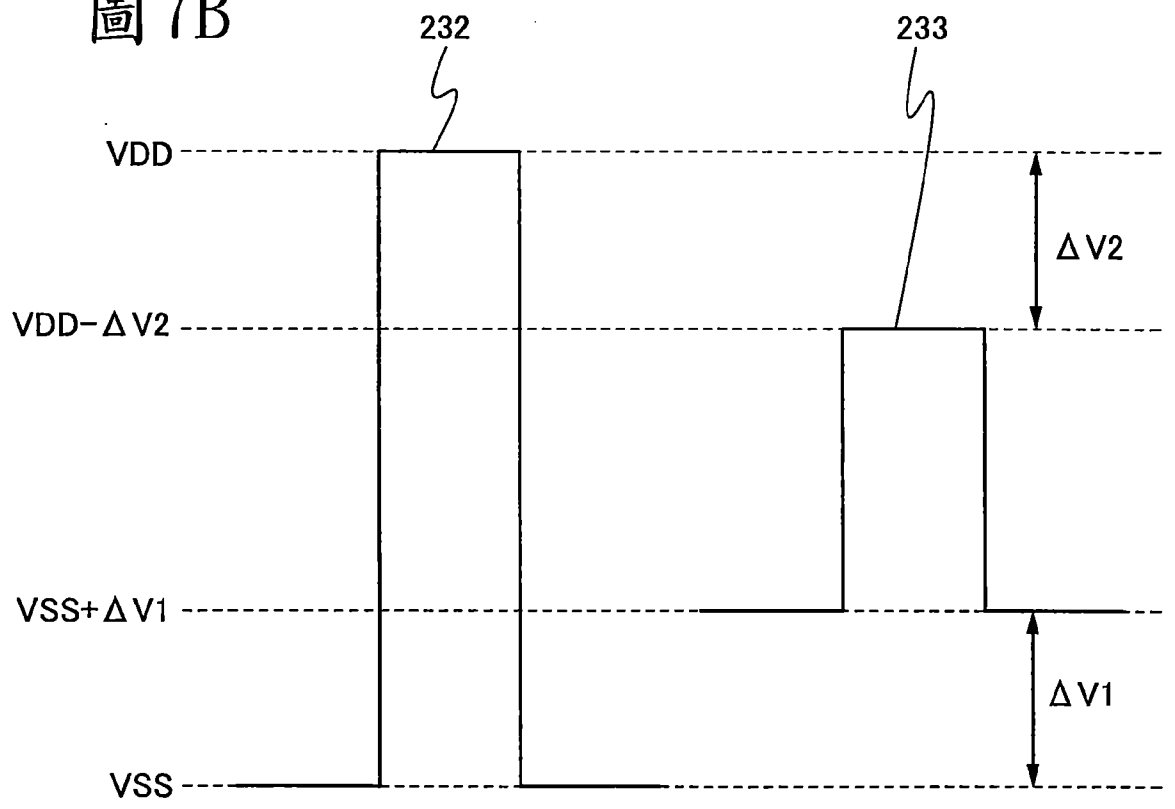


圖 8A

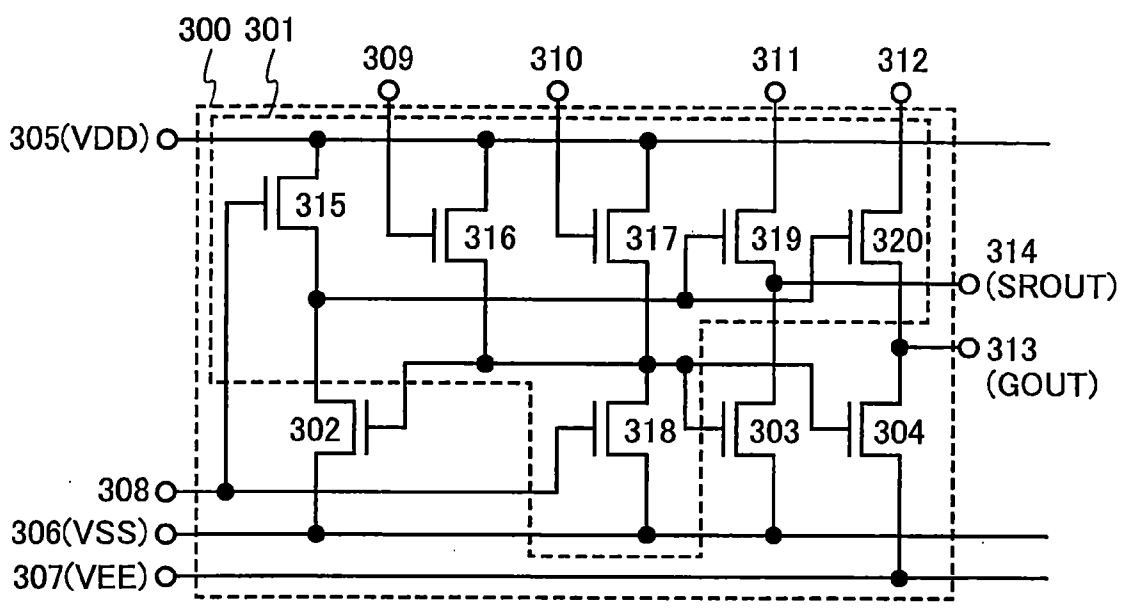


圖 8B

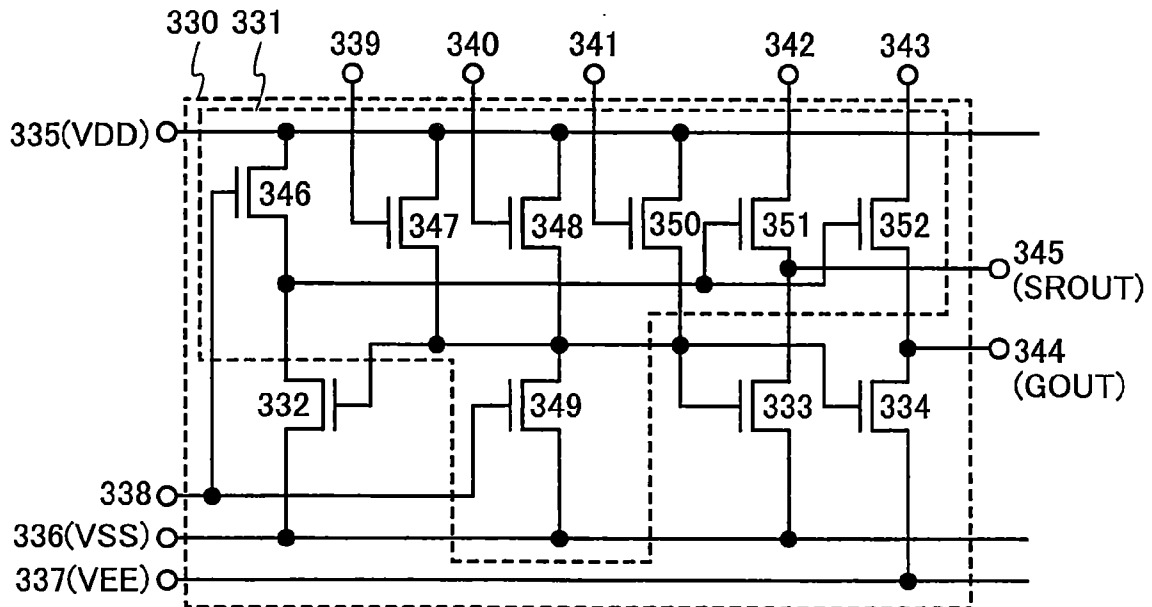


圖 9A

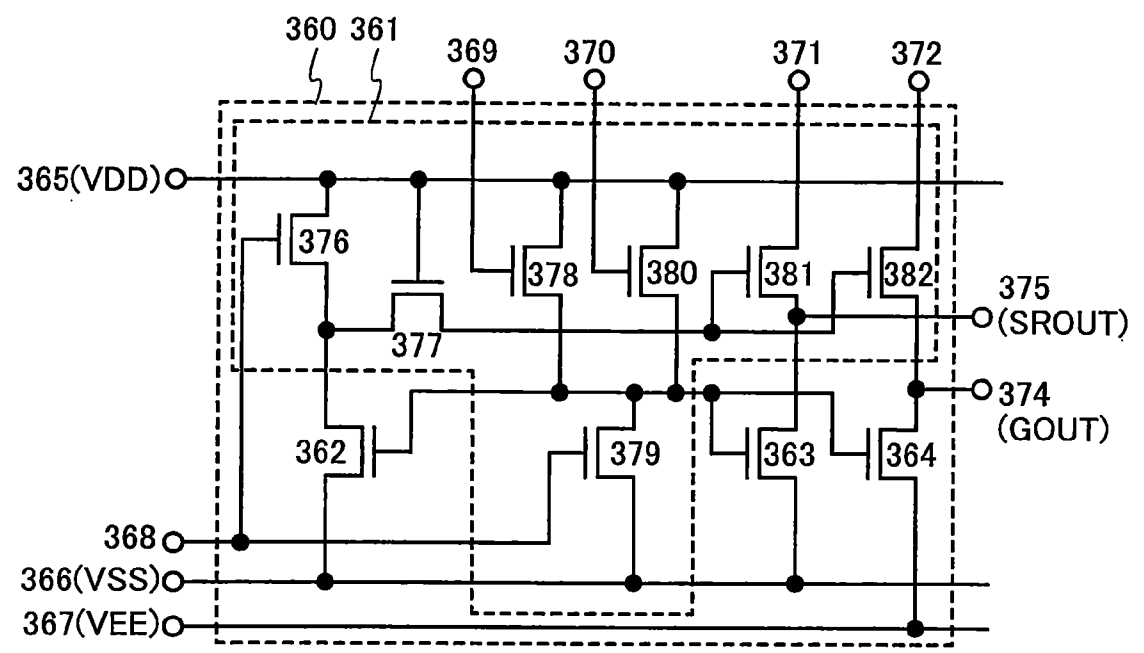


圖 9B

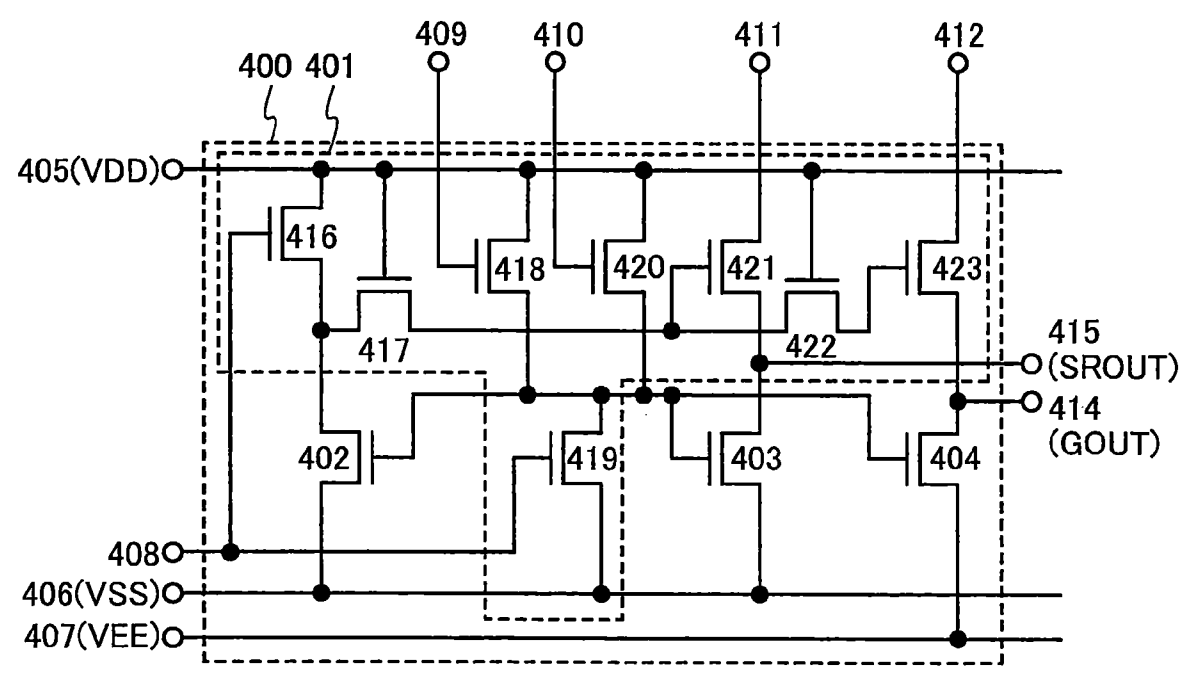


圖 10

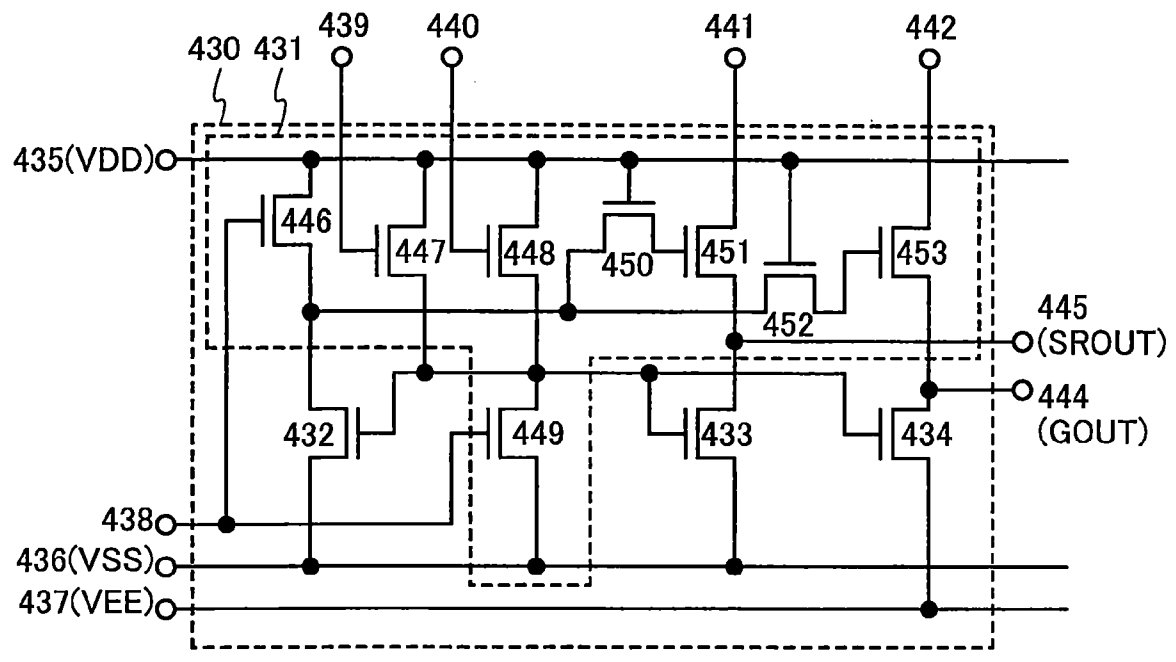


圖 11

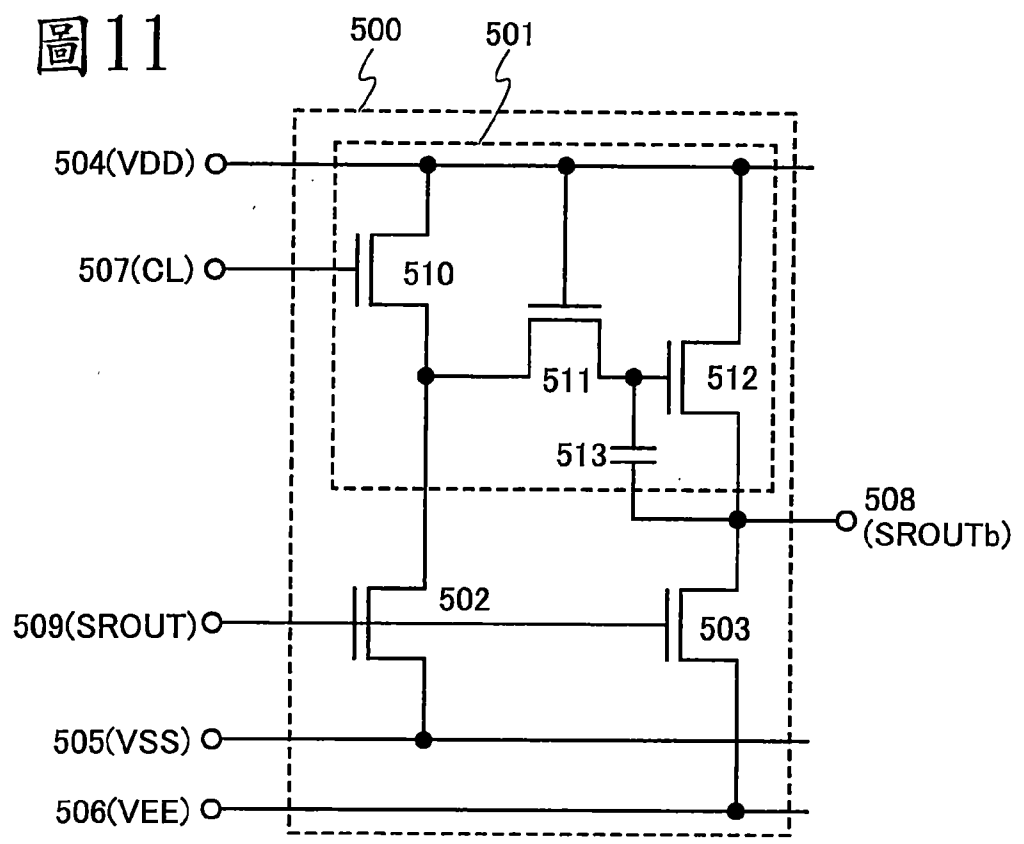


圖12

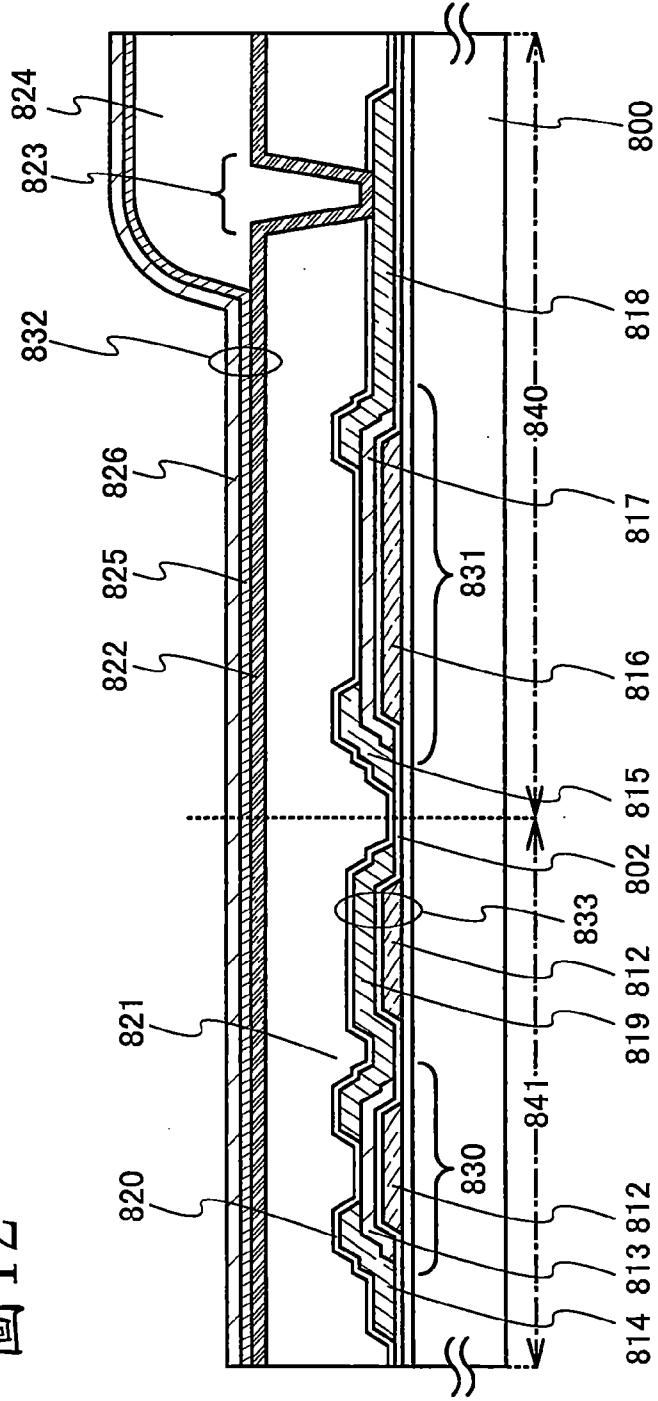


圖 13A

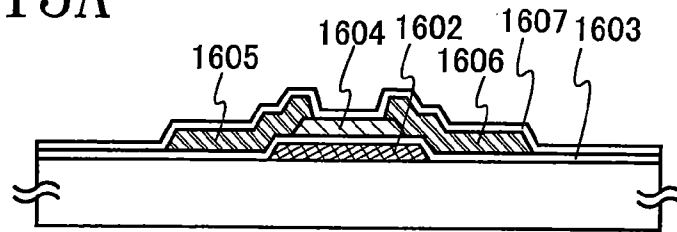


圖 13B

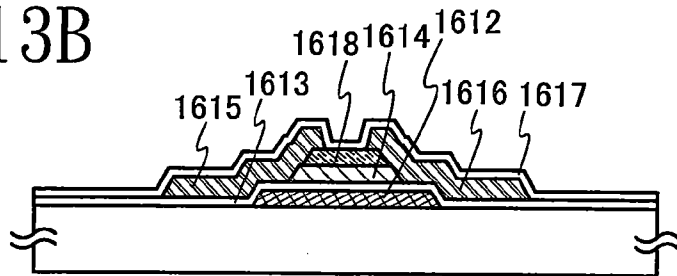


圖 13C

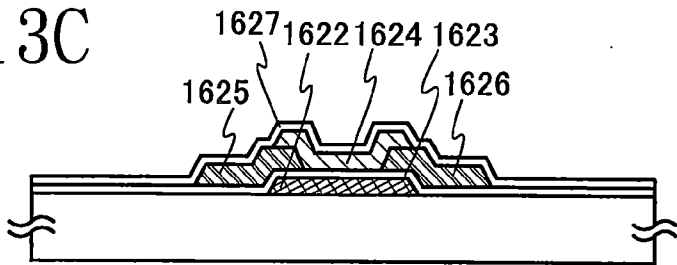


圖 13D

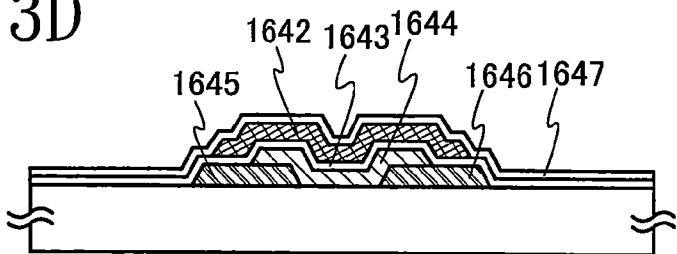


圖 14

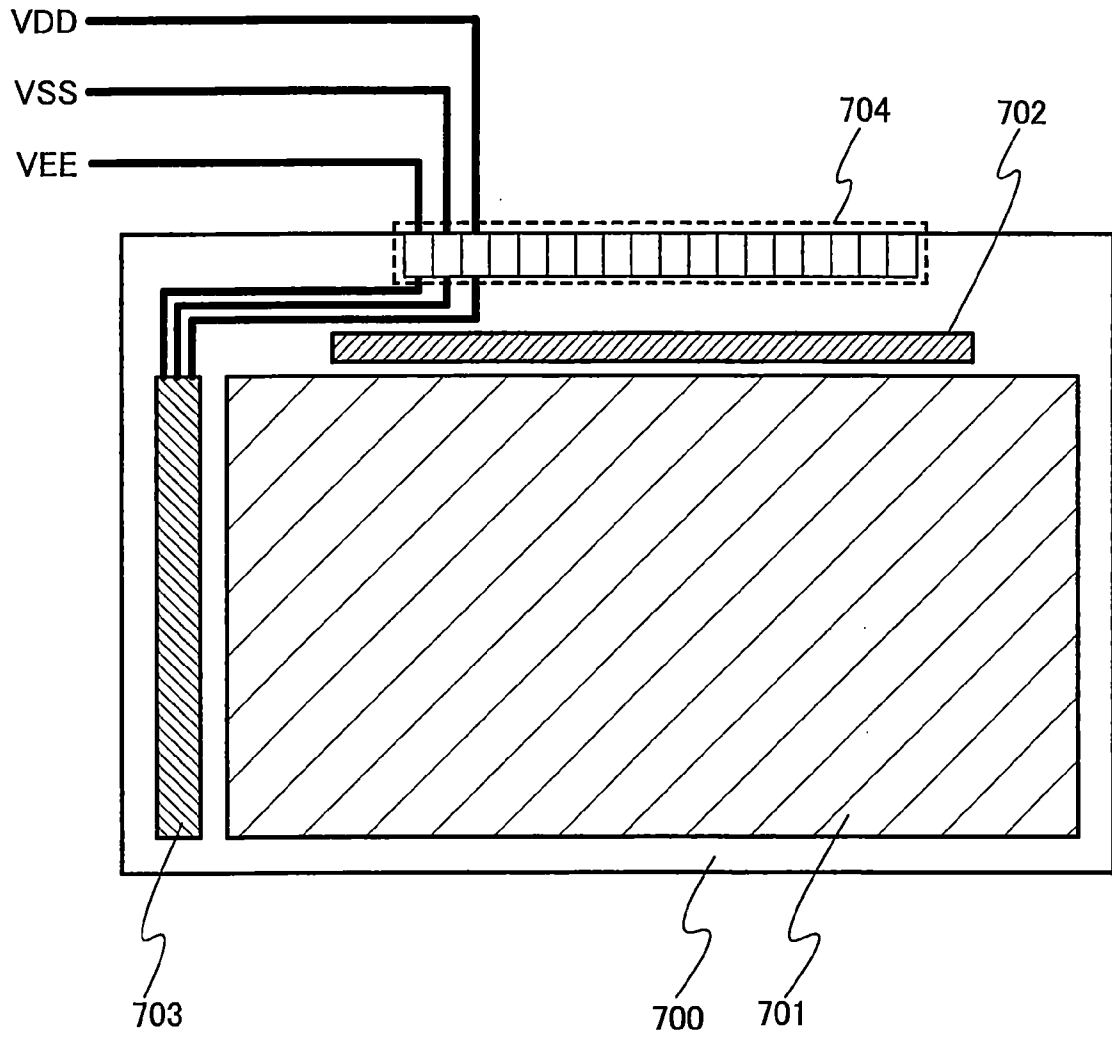


圖 15A

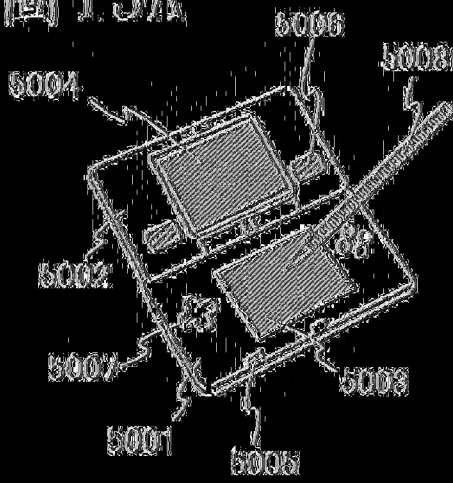


圖 15B

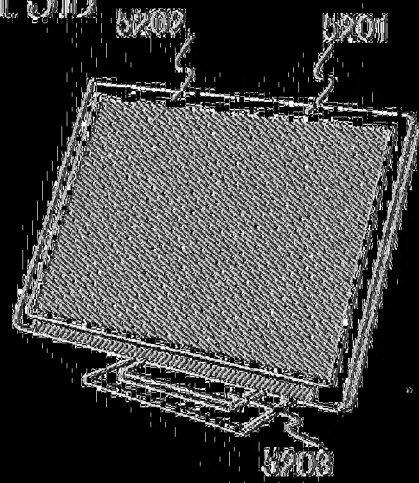


圖 15C

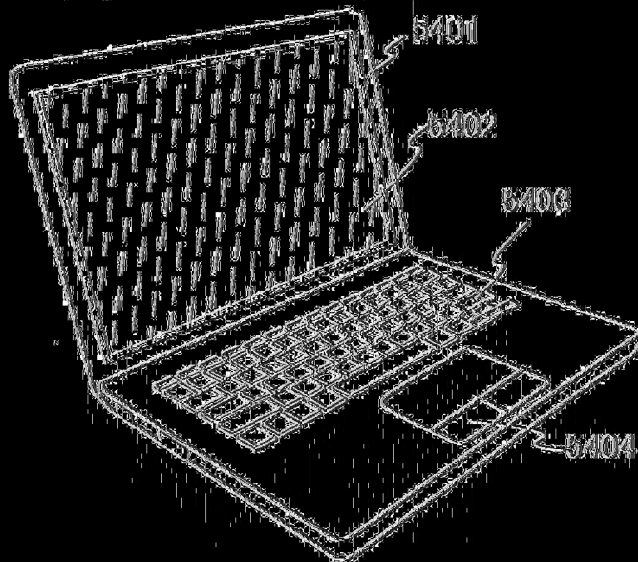


圖 15D

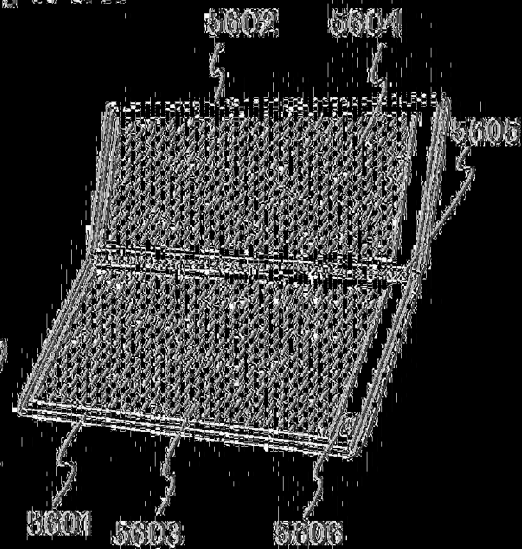


圖 15E

