



(21)申請案號：102124907

(22)申請日：中華民國 100 (2011) 年 01 月 28 日

(51)Int. Cl. : H01L29/78 (2006.01)
H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2010/02/05 日本

2010-024385

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：9 項 圖式數：11 共 74 頁

(54)名稱

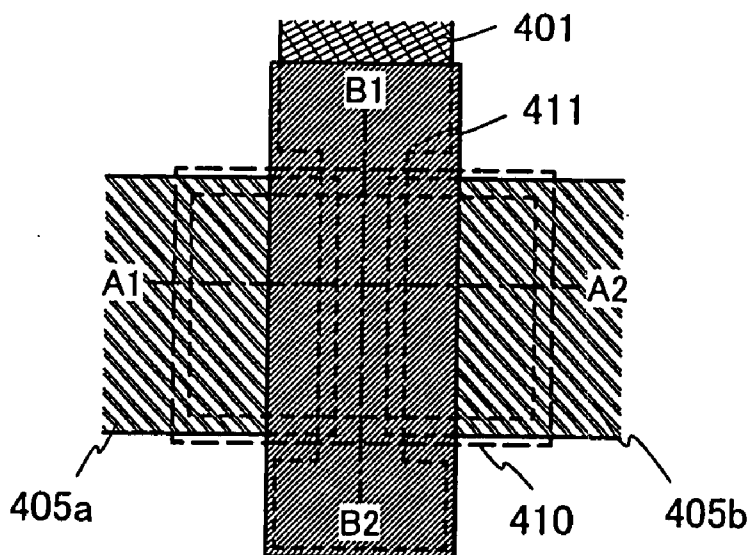
半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

提供一種更加方便及高度可靠的半導體裝置，其具有包括用於各種應用之具更高耐衝擊性之氧化物半導體的電晶體。半導體裝置具有：於基板上包括閘極電極層、閘極絕緣層及氧化物半導體層之底閘電晶體；該電晶體上之絕緣層；及該絕緣層上之導電層。該絕緣層覆蓋該氧化物半導體層及接觸該閘極絕緣層。沿該氧化物半導體層之通道寬度方向，該閘極絕緣層之端部及該絕緣層之端部於該閘極電極層之上彼此對齊，及該導電層覆蓋該氧化物半導體層之通道形成區、該閘極絕緣層之該端部及該絕緣層之該端部，並接觸該閘極電極層。

圖 1A



- 400：基板
- 401：閘極電極層
- 402：閘極絕緣層
- 403：氧化物半導體層
- 405a：源極電極層
- 405b：汲極電極層
- 407：絕緣層
- 410：電晶體
- 411：導電層
- 445：箭頭

圖 1B

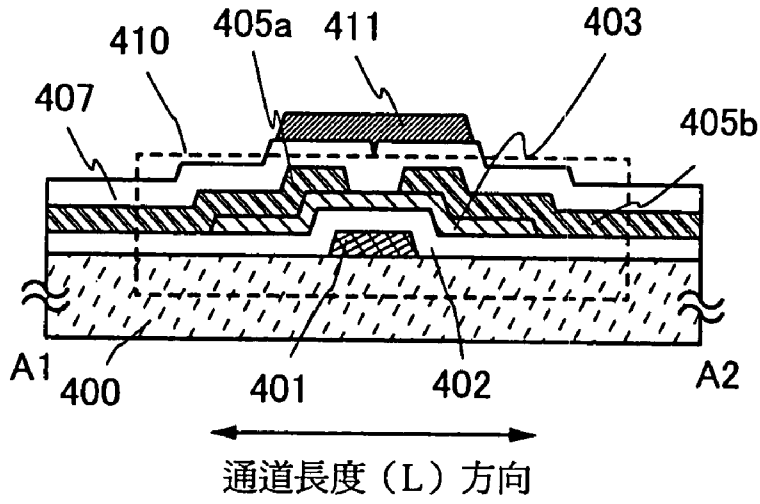
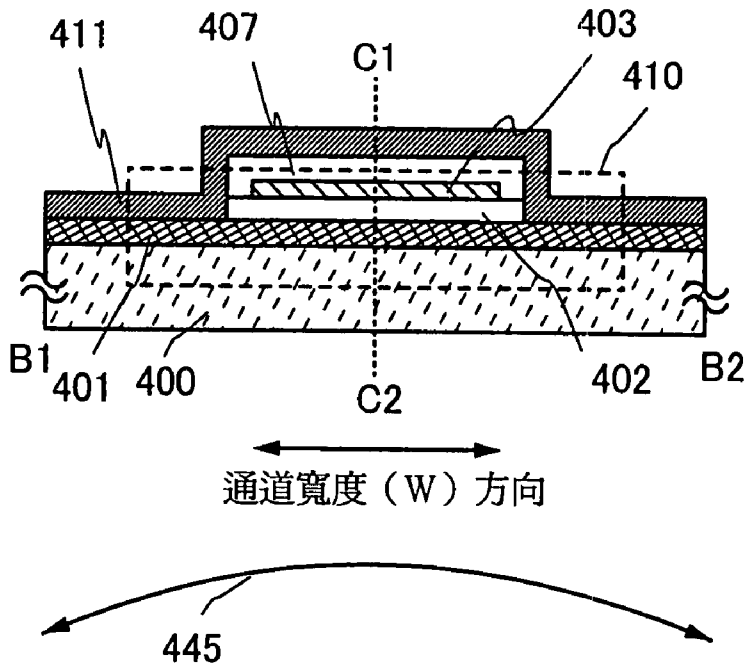


圖 1C





(21)申請案號：102124907

(22)申請日：中華民國 100 (2011) 年 01 月 28 日

(51)Int. Cl. : H01L29/78 (2006.01)
H01L21/28 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2010/02/05 日本

2010-024385

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

申請實體審查：有 申請專利範圍項數：9 項 圖式數：11 共 74 頁

(54)名稱

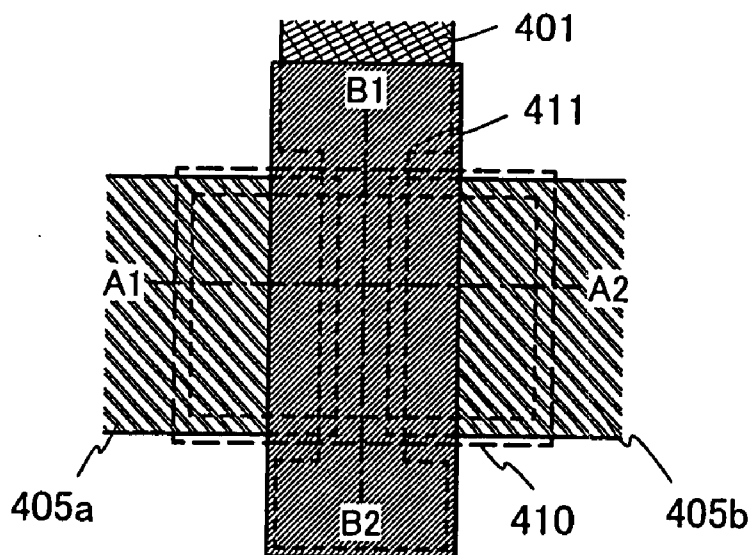
半導體裝置及其製造方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57)摘要

提供一種更加方便及高度可靠的半導體裝置，其具有包括用於各種應用之具更高耐衝擊性之氧化物半導體的電晶體。半導體裝置具有：於基板上包括閘極電極層、閘極絕緣層及氧化物半導體層之底閘電晶體；該電晶體上之絕緣層；及該絕緣層上之導電層。該絕緣層覆蓋該氧化物半導體層及接觸該閘極絕緣層。沿該氧化物半導體層之通道寬度方向，該閘極絕緣層之端部及該絕緣層之端部於該閘極電極層之上彼此對齊，及該導電層覆蓋該氧化物半導體層之通道形成區、該閘極絕緣層之該端部及該絕緣層之該端部，並接觸該閘極電極層。

圖 1A



- 400：基板
- 401：閘極電極層
- 402：閘極絕緣層
- 403：氧化物半導體層
- 405a：源極電極層
- 405b：汲極電極層
- 407：絕緣層
- 410：電晶體
- 411：導電層
- 445：箭頭

發明摘要

※申請案號：102124907 (由100103428分割)

※申請日：100年01月28日

※IPC分類：H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【中文】

提供一種更加方便及高度可靠的半導體裝置，其具有包括用於各種應用之具更高耐衝擊性之氧化物半導體的電晶體。半導體裝置具有：於基板上包括閘極電極層、閘極絕緣層及氧化物半導體層之底閘電晶體；該電晶體上之絕緣層；及該絕緣層上之導電層。該絕緣層覆蓋該氧化物半導體層及接觸該閘極絕緣層。沿該氧化物半導體層之通道寬度方向，該閘極絕緣層之端部及該絕緣層之端部於該閘極電極層之上彼此對齊，及該導電層覆蓋該氧化物半導體層之通道形成區、該閘極絕緣層之該端部及該絕緣層之該端部，並接觸該閘極電極層。

【英文】

A more convenient and highly reliable semiconductor device which has a transistor including an oxide semiconductor with higher impact resistance used for a variety of applications is provided. A semiconductor device has a bottom-gate transistor including a gate electrode layer, a gate insulating layer, and an oxide semiconductor layer over a substrate, an insulating layer over the transistor, and a conductive layer over the insulating layer. The insulating layer covers the oxide semiconductor layer and is in contact with the gate insulating layer. In a channel width direction of the oxide semiconductor layer, end portions of the gate insulating layer and the insulating layer are aligned with each other over the gate electrode layer, and the conductive layer covers a channel formation region of the oxide semiconductor layer and the end portions of the gate insulating layer and the insulating layer and is in contact with the gate electrode layer.

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

400：基板	401：閘極電極層
402：閘極絕緣層	403：氧化物半導體層
405a：源極電極層	405b：汲極電極層
407：絕緣層	410：電晶體
411：導電層	445：箭頭

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and method for manufacturing the same

【技術領域】

本發明關於半導體裝置及製造半導體裝置之方法。

在本說明書中，半導體裝置一般表示可藉由利用半導體特性而做動之裝置，且光電裝置、半導體電路、及電子裝置均為半導體裝置。

【先前技術】

一種使用形成於具有絕緣表面之基板上之半導體薄膜而形成薄膜電晶體(TFT)之技術已引起注意。薄膜電晶體應用於廣泛的電子裝置，諸如積體電路(IC)或影像顯示裝置(顯示裝置)。

有關具有半導體特性適於薄膜電晶體之材料，金屬氧化物已引起注意，已知薄膜電晶體其中使用該等具有半導體特性之金屬氧化物形成通道形成區(詳專利文獻1及2)。

此外，使用薄膜電晶體之電子裝置已廣泛用於各種應用，因而需具有各種特性及形狀，諸如輕、薄及耐撞擊。因此，電子裝置具有用於服務其所欲之已開發目的的功

能。

例如，有關提供用於娛樂機器之半導體裝置，已揭發一種顯示器其顯示表面彎曲使得播放器可有立體效果（例如，詳專利文獻 3）。

〔參考文獻〕

〔專利文獻〕

〔專利文獻 1〕日本公開專利申請案 No. 2007-123861

〔專利文獻 2〕日本公開專利申請案 No. 2007-096055

〔專利文獻 3〕日本公開專利申請案 No. H7-114347

【發明內容】

當半導體裝置如上述具有各種形狀時，半導體裝置對於外部撞擊需具有高耐受性。

鑒於上述，本發明之實施例之目標為提供包括其中使用氧化物半導體之電晶體的更高度耐撞擊半導體裝置。

此外，本發明之實施例之目標為提供可用於各種應用之更加方便及高度可靠的半導體裝置。

依據本說明書中所揭露之本發明的實施例，半導體裝置包括底閘電晶體，其包括閘極電極層、閘極絕緣層及基板上之氧化物半導體層；底閘電晶體上之絕緣層；及絕緣層上之導電層。絕緣層經提供以便覆蓋氧化物半導體層並接觸閘極絕緣層。沿氧化物半導體層之通道寬度方向，閘極絕緣層之端部及絕緣層之端部於閘極電極層上彼此對齊，及提供導電層以便覆蓋氧化物半導體層之通道形成

區、閘極絕緣層之端部、及絕緣層之端部，並接觸閘極電極層。

依據本說明書中所揭露之本發明的實施例，半導體裝置包括驅動電路部，其包括用於驅動電路之底閘電晶體；及像素部，其包括用於一基板上之像素的電晶體。用於驅動電路之底閘電晶體包括閘極電極層、閘極絕緣層及氧化物半導體層，絕緣層係提供於氧化物半導體層之上，及導電層係提供於絕緣層之上。絕緣層經提供以便覆蓋氧化物半導體層及接觸閘極絕緣層。沿氧化物半導體層之通道寬度方向，閘極絕緣層之端部及絕緣層之端部於閘極電極層上彼此對齊，及導電層經提供以便覆蓋氧化物半導體層之通道形成區、閘極絕緣層之端部、及絕緣層之端部，並接觸閘極電極層。

在上述結構中，源極電極層及汲極電極層可提供於氧化物半導體層與絕緣層之間，或閘極絕緣層與氧化物半導體層之間。

在上述結構中，沿通道寬度方向，氧化物半導體層之通道形成區係藉由閘極絕緣層圍繞，及堆疊於氧化物半導體層以下或之上的絕緣層亦藉由閘極電極層及導電層圍繞；因而，半導體裝置高度耐撞及藉由使用軟性基板做為基板而可具有各種形狀。

當包括氧化物半導體層之電晶體提供於軟性基板之上時，可製造軟性半導體裝置。

包括氧化物半導體層之電晶體可直接形成於軟性基板

之上。另一方面，包括氧化物半導體層之電晶體可形成於製造基板之上，接著電晶體可分離並轉移至軟性基板。請注意，為使電晶體從製造基板分離並轉移至軟性基板，製造基板與包括氧化物半導體層之電晶體之間可提供分離層。

依據本說明書中所揭露之本發明的實施例，半導體裝置之製造方法包括：於軟性基板上形成閘極電極層、於閘極電極層上形成閘極絕緣層、於閘極絕緣層上形成氧化物半導體層、形成絕緣層以便覆蓋氧化物半導體層、於閘極絕緣層及絕緣層中形成開口以便暴露閘極電極層、及形成導電層以便覆蓋包括閘極絕緣層及絕緣層之堆疊的頂部及覆蓋包括閘極絕緣層及絕緣層之堆疊的端部並於開口接觸閘極電極層。

依據本說明書中所揭露之本發明的實施例，半導體裝置之製造方法包括：於製造基板之上形成分離層、於分離層之上形成閘極電極層、於閘極電極層之上形成閘極絕緣層、於閘極絕緣層之上形成氧化物半導體層、形成絕緣層以便覆蓋氧化物半導體層、於閘極絕緣層及絕緣層中形成開口以便暴露閘極電極層、形成導電層以便覆蓋包括閘極絕緣層及絕緣層之堆疊的頂部及覆蓋包括閘極絕緣層及絕緣層之堆疊的端部並於開口接觸閘極電極層以形成電晶體、藉由使用分離層將電晶體從製造基板轉移至支撐基板、及將轉移至支撐基板之電晶體轉移至軟性基板。

請注意，本說明書中諸如「第一」及「第二」之序數

係為方便而使用，並非標示步驟順序及層之堆疊順序。此外，在本說明書中，序數並非標示指明本發明之特定名稱。

依據本發明之實施例，沿通道寬度方向，氧化物半導體層之通道形成區係藉由堆疊之閘極絕緣層及絕緣層圍繞，亦藉由閘極電極層及導電層圍繞；因而半導體裝置可耐撞。

依據本發明之實施例，藉由形成為軟性，半導體裝置可用於各種應用，及可提供更方便及高度可靠之半導體裝置。

【圖式簡單說明】

圖 1A 至 1C 描繪半導體裝置之實施例。

圖 2A 及 2B 描繪半導體裝置之實施例。

圖 3A1 至 3E2 描繪半導體裝置之製造方法實施例。

圖 4A 至 4D 描繪半導體裝置之製造方法實施例。

圖 5A 至 5C 描繪半導體裝置之實施例。

圖 6A 及 6B 各描繪半導體裝置之實施例。

圖 7 描繪半導體裝置之實施例。

圖 8 描繪半導體裝置之實施例。

圖 9 描繪半導體裝置之實施例。

圖 10A 及 10B 描繪電子裝置。

圖 11 描繪電子裝置。

【實施方式】

以下，將參照所附圖式詳細說明本發明之實施例。然而，本發明並不侷限於以下說明，熟悉本技藝之人士輕易理解其模式及細節可以各種方式修改。因此，本發明並不解譯為侷限於以下實施例之說明。

(實施例 1)

在本實施例中，將參照圖 1A 至 1C 及圖 3A1 至 3E2 說明半導體裝置及半導體裝置之製造方法實施例。在本實施例中，將以電晶體做為說明半導體裝置之範例。請注意，氧化物半導體層較佳地用做本說明書中所揭露之半導體裝置中半導體層。

如圖 1A 至 1C 中所描繪，電晶體 410 中氧化物半導體層 403 之通道形成區具有通道長度 (L) 方向及通道寬度 (W) 方向。

圖 1A 為電晶體 410 之平面圖，圖 1B 為沿通道長度 (L) 方向之線 A1-A2 的圖 1A 中所描繪之電晶體 410 的截面圖，及圖 1C 為沿通道寬度 (W) 方向之線 B1-B2 的截面圖。

如圖 1A 至 1C 中所描繪，於具有絕緣表面之基板 400 上，電晶體 410 包括閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、源極電極層 405a、及汲極電極層 405b。絕緣層 407 及導電層 411 依序堆疊於電晶體 410 上。

在圖 1C 之通道寬度方向的截面圖中，絕緣層 407 及閘極絕緣層 402 覆蓋氧化物半導體層 403 之頂部、底部及端部，以便圍繞氧化物半導體層 403 及彼此於氧化物半導體層 403 之相對端部接觸。閘極電極層 401 係提供於閘極絕緣層 402 以下，及導電層 411 係提供於絕緣層 407 之上以便覆蓋氧化物半導體層 403、閘極絕緣層 402、及絕緣層 407 之頂部，及閘極絕緣層 402 及絕緣層 407 之相對端部。再者，導電層 411 與閘極電極層 401 接觸。

以上述方式，沿通道寬度方向，氧化物半導體層 403 係藉由閘極絕緣層 402 及絕緣層 407 圍繞，及亦藉由閘極電極層 401 及導電層 411 圍繞。

基於上述結構其中氧化物半導體層 403 之周邊藉由包括閘極電極層、閘極絕緣層、絕緣層及導電層之堆疊保護，甚至當藉由圖 1C 中箭頭 445 表示之力（外力）沿通道寬度（W）方向施加時，厚堆疊結構不可能彎曲，使得施加於堆疊中心之氧化物半導體層 403 的力可減少。因此，氧化物半導體層 403 可避免因外部撞擊而破裂。

此外，使閘極電極層 401 廣泛暴露之開口係形成於閘極絕緣層 402 及絕緣層 407 中，且閘極電極層 401 及導電層 411 於開口彼此接觸。藉由使用對於每一閘極電極層 401 及導電層 411 具高黏著之導電膜，閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、絕緣層 407 及導電層 411 可避免因藉由箭頭 445 所表示之力而於其介面剝落。

為增加閘極電極層 401 與導電層 411 之間的黏著，二層彼此接觸之區域較佳地大。如圖 1A 中所描繪，閘極電極層 401 及導電層 411 沿氧化物半導體層 403 之通道長度方向彼此接觸之區域的長度，較佳地長於氧化物半導體層 403 之通道長度。

氧化物半導體層 403 係提供於中心，閘極絕緣層 402 及絕緣層 407 藉由彼此於相對端部接觸而密封氧化物半導體層 403，此外，閘極電極層 401 及導電層 411 藉由彼此於相對端部接觸而密封上述堆疊，藉此可獲得相對於線 C1-C2 對稱之結構。基於上述結構，藉由箭頭 445 表示之力可均勻地分散，藉此可避免對於氧化物半導體層 403 之大力之局部施加。

因此，在電晶體 410 中，沿氧化物半導體層 403 之通道寬度方向的耐彎性改進，因而電晶體 410 可耐撞。

在驅動電路中，較佳的是電晶體具有長通道寬度使得較大電流量可流動。然而，當電晶體具有長通道寬度時，沿通道寬度方向之外力的影響增加。因此，如本實施例中說明，將具有沿通道寬度方向耐彎性之電晶體應用於驅動電路以達成高度耐撞及高度可靠半導體裝置是有效的。

由電晶體耐撞，藉由將軟性基板用於基板 400，而可應用於軟性半導體裝置，可提供可用於各種應用之更方便及高度可靠的半導體裝置。

由於本說明書中所揭露之電晶體於沿氧化物半導體層之通道寬度方向的耐彎性特別卓越，於半導體裝置之製造

中，較佳的是形成電晶體使其通道寬度方向與半導體裝置可能彎曲之方向（半導體裝置頻繁彎曲之方向）匹配。

圖 3A1 至 3E2 描繪電晶體 410 之製造方法的範例。請注意，圖 3A1、3B1、3C1、3D1 及 3E1 相應於圖 1B，反之，圖 3A2、3B2、3C2、3D2 及 3E2 相應於圖 1C。

首先，導電膜係形成於具有絕緣表面之基板 400 上，接著藉由第一光刻步驟形成閘極電極層 401。請注意，可藉由噴墨法形成抗蝕罩。藉由噴墨法形成抗蝕罩不需光罩；因而可降低製造成本。

對具有絕緣表面之基板 400 而言，可使用軟性基板。例如，較佳地使用諸如聚對苯二甲酸乙二醇酯（PET）或聚萘二甲酸乙二醇酯（PEN）之聚酯樹脂、聚丙烯腈樹脂、聚醯亞胺樹脂、聚甲基丙烯酸甲酯樹脂、聚碳酸酯（PC）樹脂、聚醚砜（PES）樹脂、聚醯胺樹脂、環烯烴樹脂、聚苯乙烯樹脂、聚醯胺醯亞胺樹脂、或氟聚乙炔樹脂。亦可使用纖維體浸漬有機樹脂（所謂預浸材料）之結構體做為軟性基板。此外，在基板 400 上，可預先形成具有低滲透性之保護膜，其範例包括：包含氮及矽之膜，諸如氮化矽膜或氧氮化矽膜；及包含氮及鋁之膜，諸如氮化鋁膜等。

若纖維體包含於基板 400 之材料中，有機化合物或無機化合物之高強度纖維用做纖維體。高強度纖維具體地為具彈性之高張力模量的纖維或具高楊氏模量的纖維。有關高強度纖維之典型範例，可提供聚乙烯醇基纖維、聚酯基

纖維、聚醯胺基纖維、聚乙烯基纖維、醯胺基纖維、聚對苯撐苯並雙噁唑纖維、玻璃纖維、或碳纖維。有關玻璃纖維，存在使用 E 玻璃、S 玻璃、D 玻璃、Q 玻璃等之玻璃纖維。該些纖維可用於無紡布或非無紡布之狀態，及其中該等纖維體以有機樹脂浸漬且有機樹脂固化之結構體可用做基板 400。包括纖維體及有機樹脂之結構體較佳地用做基板 400，因為對於因局部壓力之彎曲或損壞的可靠性可增加。

另一方面，可使用被薄化以便具有彈性之玻璃基板（諸如鋇硼矽酸鹽玻璃或鋁硼矽酸鹽玻璃之基板）或被處理為膜之金屬基板。用於形成金屬基板之材料並不侷限於特定材料，但較佳地使用鋁、銅、鎳、諸如鋁合金或不鏽鋼之金屬合金等。

為製造軟性半導體裝置，包括氧化物半導體層 403 之電晶體 410 可直接形成於軟性基板之上。另一方面，包括氧化物半導體層 403 之電晶體 410 可形成於製造基板之上，接著電晶體 410 可被分離及轉移至軟性基板。請注意，為將電晶體從製造基板分離並轉移至軟性基板，可於製造基板與包括氧化物半導體層之電晶體之間提供分離層。

做為基膜之絕緣膜可提供於基板 400 與閘極電極層 401 之間。基膜具有避免雜質元素從基板 400 擴散之功能，並可使用氮化矽膜、氧化矽膜、氮氧化矽膜、及氧氮化矽膜之一或多項而形成具有單層結構或堆疊結構。

閘極電極層 401 可使用諸如鉬、鈦、鉭、鎢、鋁、銅、鈹、或鈦之金屬材料，或包含任一該些材料做為主要成分之合金材料而形成具有單層結構或堆疊結構。

其次，閘極絕緣層 402 係形成於閘極電極層 401 之上。閘極絕緣層 402 可使用氧化矽層、氮化矽層、氧氮化矽層、氮氧化矽層、氧化鋁層、氮化鋁層、氧氮化鋁層、氮氧化鋁層、及氧化鉛層之一或多項，藉由電漿 CVD 法、濺鍍法等而形成具有單層結構或堆疊結構。

本實施例中氧化物半導體為雜質移除之本質（i 型）或實質上本質（i 型）氧化物半導體，且其高度純化以便包含盡可能少之做為載子供體及非氧化物半導體主要成分之物質的雜質。

高度純化氧化物半導體層包含極少載子（接近零），其載子濃度為低於 $1 \times 10^{14}/\text{cm}^3$ ，較佳地為低於 $1 \times 10^{12}/\text{cm}^3$ ，更佳地為低於 $1 \times 10^{11}/\text{cm}^3$ 。

由於氧化物半導體層中存在極少載子，電晶體之關閉狀態電流可為小。較佳的是關閉狀態電流盡可能為小。

該等高度純化氧化物半導體對於介面狀態及介面電荷高度敏感；因而氧化物半導體層與閘極絕緣層之間的介面是重要的。為此原因，與高度純化氧化物半導體接觸之閘極絕緣層需具有高品質。

例如，較佳地採用使用微波（例如具 2.45 GHz 頻率）之高密度電漿 CVD，因為所形成之絕緣層可為密集及具有高耐受電壓及高品質。當高度純化氧化物半導體及

高品質閘極絕緣層彼此緊密接觸時，可降低介面狀態密度而獲得有利的介面特性。

不用說，可使用其他膜形成方法諸如濺鍍法或電漿 CVD 法，只要該方法可形成做為閘極絕緣層之良好品質絕緣層。再者，於可使用之形成之後，藉由執行熱處理，可改進做為閘極絕緣層之絕緣層的膜品質及與氧化物半導體之介面特性。在任何狀況下，可使用任一絕緣層，其具有降低的介面狀態密度及可形成與氧化物半導體之有利的介面，以及具有做為閘極絕緣層之良好膜品質。

此外，為使氫、烴基及濕氣盡可能少包含於閘極絕緣層 402 及氧化物半導體膜 440 中，較佳的是於氧化物半導體膜 440 形成之前之預處理，其上形成直至包括閘極電極層 401 之層的基板 400 及其上形成直至包括閘極絕緣層 402 之層的基板 400 於濺鍍設備之預熱室中預熱，使得吸附至基板 400 之諸如氫及濕氣的雜質被排除及移除。有關預熱室中所提供之排空單元，低溫泵較佳。請注意，本預熱處理可省略。此外，本預熱亦可於絕緣層 407 形成之前，於其上形成直至包括源極電極層 405a 及汲極電極層 405b 之層的基板 400 上執行。

其次，在閘極絕緣層 402 之上，形成氧化物半導體膜 440 具大於或等於 2 nm 及小於或等於 200 nm 之厚度，較佳地為大於或等於 5 nm 及小於或等於 30 nm（詳圖 3A1 及 3A2）。

請注意，在藉由濺鍍法形成氧化物半導體膜 440 之

前，附著於閘極絕緣層 402 表面之粉狀物質（亦稱為粒子或灰塵）較佳地藉由導入氬氣及產生電漿之反向濺鍍移除。反向濺鍍係指一種方法，其中未施加電壓至靶材側，RF 電源於氬氣中用於施加電壓至基板側以於基板附近產生電漿及修改表面。請注意，除了氬氣以外，可使用氮氣、氦氣、氧氣等。

有關用於氧化物半導體膜 440 之氧化物半導體，可使用任一下列氧化物半導體：四成分金屬氧化物諸如 In-Sn-Ga-Zn-O 基氧化物半導體；三成分金屬氧化物諸如 In-Ga-Zn-O 基氧化物半導體、In-Sn-Zn-O 基氧化物半導體、In-Al-Zn-O 基氧化物半導體、Sn-Ga-Zn-O 基氧化物半導體、Al-Ga-Zn-O 基氧化物半導體、或 Sn-Al-Zn-O 基氧化物半導體；二成分金屬氧化物諸如 In-Zn-O 基氧化物半導體、Sn-Zn-O 基氧化物半導體、Al-Zn-O 基氧化物半導體、Zn-Mg-O 基氧化物半導體、Sn-Mg-O 基氧化物半導體、或 In-Mg-O 基氧化物半導體；或 In-O 基氧化物半導體、Sn-O 基氧化物半導體、或 Zn-O 基氧化物半導體等。SiO₂ 可包含於上述氧化物半導體中。請注意，在本說明書中，例如，In-Ga-Zn-O 基氧化物半導體膜表示包含銦（In），鎵（Ga），及鋅（Zn）之氧化物膜，且對於化學計量比例並無特別限制。In-Ga-Zn-O 基氧化物半導體膜可包含 In、Ga 及 Zn 以外之元素。

此外，對於氧化物半導體膜 440 而言，可使用以化學式 InMO₃ (ZnO)_m (m>0) 代表之材料的薄膜。此處，M

代表一或多項選自 Ga、Al、Mn 及 Co 之金屬元素。例如，M 可為 Ga、Ga 及 Al、Ga 及 Mn、Ga 及 Co 等。

在本實施例中，使用 In-Ga-Zn-O 基氧化物半導體靶材及藉由濺鍍法形成氧化物半導體膜 440。此外，可藉由濺鍍法於稀有氣體（典型為氬）、氧氣、或包含稀有氣體及氧氣之混合氣體中形成氧化物半導體膜 440。

有關藉由濺鍍法形成氧化物半導體膜 440 之靶材，例如，使用包含 1 : 1 : 1 之組成比（摩爾比）的 In_2O_3 、 Ga_2O_3 及 ZnO 氧化物靶材，及使用該靶材形成 In-Ga-Zn-O 膜。對於上述靶材之材料及組成並無限制，例如，可使用包含 1 : 1 : 2 [摩爾比] 之 In_2O_3 、 Ga_2O_3 及 ZnO 氧化物靶材。

氧化物靶材之填充率為高於或等於 90% 及低於或等於 100%，較佳地為高於或等於 95% 及低於或等於 99.9%。使用具高填充率之金屬氧化物靶材可形成密集氧化物半導體膜。

較佳的是諸如氬、水、烴基或氫化物之雜質被移除的高純度氣體用做用於形成氧化物半導體膜 440 之濺鍍氣體。

基板保持於減壓之沉積室中，基板溫度設定為高於或等於 100°C 及低於或等於 600°C ，較佳地為高於或等於 200°C 及低於或等於 400°C 。藉由以基板加熱之狀態形成氧化物半導體膜，可降低所形成之氧化物半導體膜中雜質之濃度。此外，可降低藉由濺鍍之損壞。接著，移除沉積

室中剩餘濕氣，導入氫及濕氣移除之濺鍍氣體，及使用上述靶材，使得於基板 400 之上形成氧化物半導體膜 440。為從沉積室移除剩餘濕氣，較佳地使用截留真空泵，例如低溫泵、離子泵或鈦昇華泵。此外，排空單元可為具冷阱之渦輪泵（渦輪分子泵）。從例如以低溫泵排空之沉積室，移除氫原子、諸如水（ H_2O ）之包含氫原子的化合物（更佳地連同包含碳原子之化合物）等，藉此可降低形成於沉積室中氧化物半導體膜之雜質濃度。

有關沉積狀況之一範例，基板與靶材之間的距離為 100 mm，壓力為 0.6 Pa，直流（DC）電源之電力為 0.5 kW，及氣體為氧氣（氧氣流率之比例為 100%）。請注意，脈衝直流電源較佳，因為膜形成中所產生之粉狀物質（亦稱為粒子或灰塵）可降低，及膜厚度可均勻。

其次，藉由第二光刻步驟，氧化物半導體膜 440 被處理為島形氧化物半導體層。藉由噴墨法可形成用於形成島形氧化物半導體層之抗蝕罩。藉由噴墨法形成抗蝕罩不需光罩；因而，可降低製造成本。

若於閘極絕緣層 402 中形成接觸孔，可與氧化物半導體膜 440 之處理同時執行形成接觸孔之步驟。

請注意，此處氧化物半導體膜 440 之蝕刻可藉由乾式蝕刻、濕式蝕刻、或乾式蝕刻及濕式蝕刻二者執行。例如，有關用於氧化物半導體膜 440 之濕式蝕刻的蝕刻劑，可使用藉由混合磷酸、乙酸、及硝酸所獲得之溶液、過氧化氫（過氧化氫 31 重量%：氨水 28 重量%：水=5：2：

2) 等。此外，可使用 ITO07N (KANTO CHEMICAL CO., INC. 製造)。

其次，氧化物半導體層接受第一熱處理。氧化物半導體層可藉由此第一熱處理而脫水或脫氫。第一熱處理之溫度設定為高於或等於 400°C 及低於或等於 750°C，或高於或等於 400°C 及低於基板之應變點。在本實施例中，基板被置入電熔爐，其為一種熱處理設備，且熱處理可於氮氣中以 450°C 在氧化物半導體層上執行達一小時，接著避免水及氫進入氧化物半導體層，且氧化物半導體層未暴露於空氣。以此方式，獲得氧化物半導體層 441 (詳圖 3B1 及 3B2)。

熱處理設備並不侷限於電熔爐，可使用藉由來自諸如電阻加熱元件之加熱元件的熱傳導或熱輻射而加熱將處理之目標的裝置。例如，可使用快速熱降火 (RTA) 設備，諸如氣體快速熱降火 (GRTA) 設備或燈快速熱降火 (LRTA) 設備。LRTA 設備為一種設備，用於藉由自諸如鹵素燈、金屬鹵化物燈、氬弧燈、碳弧燈、高壓鈉燈或高壓水銀燈之燈所發射光的輻射 (電磁波) 而加熱將處理之目標。GRTA 設備為用於使用高溫氣體而熱處理之設備。對高溫氣體而言，係使用未藉由熱處理而與將處理之目標反應之惰性氣體，諸如氮，或諸如氫之稀有氣體。

例如，有關第一熱處理，可執行 GRTA 如下：基板被轉移及置入加熱至 650°C 至 700°C 高溫之惰性氣體，加熱達若干分鐘，並轉移及取出加熱至高溫之惰性氣體。

請注意，在第一熱處理中，較佳的是氮或諸如氦、氖或氬之稀有氣體中未包含水、氫等。另一方面，被導入熱處理設備之氮或諸如氦、氖或氬之稀有氣體具有高於或等於 6N (99.9999%) 之純度，較佳地為高於或等於 7N (99.99999%) (即，雜質之濃度為低於或等於 1 ppm，較佳地為低於或等於 0.1 ppm)。

此外，在氧化物半導體層於第一熱處理中加熱之後，高純度氧氣、高純度 N_2O 氣體或極乾燥空氣 (露點為低於或等於 $-40^\circ C$ ，較佳地為低於或等於 $-60^\circ C$) 可導入相同熔爐。較佳的是氧氣或 N_2O 氣體不包含水、氫等。另一方面，導入熱處理設備之氧氣或 N_2O 氣體具有高於或等於 6N 之純度，較佳地為高於或等於 7N (即，氧氣或 N_2O 氣體中雜質濃度為低於或等於 1 ppm，較佳地為低於或等於 0.1 ppm)。藉由氧氣或 N_2O 氣體之動作而供應氧氣，其為氧化物半導體之主要成分並於藉由脫水或脫氫而移除雜質之步驟的同時降低，使得氧化物半導體層可高度純化及為電氣 i 型 (本質) 氧化物半導體層。

在被處理為島形氧化物半導體層之前，氧化物半導體層之第一熱處理可於氧化物半導體膜 440 上執行。在此狀況下，基板於第一熱處理之後被取出熱處理設備，接著執行光刻步驟。

請注意，除了上述以外，第一熱處理可於任一下列時機執行，只要是在氧化物半導體層形成之後即可；在源極電極層及汲極電極層形成於氧化物半導體層上之後；及在

絕緣層形成於源極電極層及汲極電極層上之後。

此外，可在第一熱處理於氧化物半導體膜 440 上執行之前或之後，執行於閘極絕緣層 402 中形成接觸孔之步驟。

此外，有關氧化物半導體層，具有大厚度之結晶區（單晶區）的氧化物半導體層，即，c 軸對齊垂直於表面的結晶區可藉由執行沉積兩次及熱處理兩次而予形成，無關乎基底成分之材料諸如氧化物、氮化物或金屬。例如，沉積第一氧化物半導體膜具大於或等於 3 nm 及小於或等於 15 nm 之厚度，及以高於或等於 450°C 及低於或等於 850°C，較佳地為高於或等於 550°C 及低於或等於 750°C，於氮、氧、稀有氣體、或乾燥空氣中執行第一熱處理，使得於包括表面之區域中形成具有結晶區（包括板狀結晶）之第一氧化物半導體膜。接著，形成具有較第一氧化物半導體膜更大厚度的第二氧化物半導體膜，及以高於或等於 450°C 及低於或等於 850°C，較佳地為高於或等於 600°C 及低於或等於 700°C，執行第二熱處理，使得使用第一氧化物半導體膜做為晶體成長之晶種而晶體向上成長，整個第二氧化物半導體膜被結晶化。以該等方式，可形成具有大厚度之氧化物半導體層。

其次，將成為源極電極層及汲極電極層（包括形成於與源極電極層及汲極電極層相同層之佈線）之導電膜係形成於閘極絕緣層 402 及氧化物半導體層 441 之上。有關用於源極電極層及汲極電極層之導電膜，可使用例如包含選

自 Al、Cr、Cu、Ta、Ti、Mo 及 W 之元素的金屬膜、包含任一上述元素做為其成分之金屬氮化物膜（氮化鈦膜、氮化鉬膜、或氮化鎢膜）等。另一方面，高熔點金屬諸如 Ti、Mo 或 W 之膜，或任一該些元件之金屬氮化物膜（氮化鈦膜、氮化鉬膜、或氮化鎢膜）可堆疊於諸如 Al 或 Cu 之金屬膜的下側或上側之一或二者。另一方面，可使用導電金屬氧化物形成用於源極電極層及汲極電極層之導電膜。有關導電金屬氧化物，可使用氧化銦（ In_2O_3 ）、氧化錫（ SnO_2 ）、氧化鋅（ ZnO ）、氧化銦-氧化錫合金（ $\text{In}_2\text{O}_3\text{-SnO}_2$ ，有時縮寫為 ITO）、氧化銦-氧化鋅合金（ $\text{In}_2\text{O}_3\text{-ZnO}$ ）、或其中包含氧化矽之任一該些金屬氧化物材料。

藉由第三光刻步驟而於導電膜之上形成抗蝕罩。選擇性執行蝕刻，使得以形成源極電極層 405a 及汲極電極層 405b。接著，移除抗蝕罩。

藉由第三光刻步驟形成抗蝕罩時之曝光，可使用紫外光、KrF 雷射光、或 ArF 雷射光執行。之後完成之電晶體的通道長度 L 係藉由氧化物半導體層 441 上彼此相鄰的源極電極層底端與汲極電極層底端之間的距離決定。若執行短於 25 nm 之通道長度 L 的曝光，第三光刻步驟中抗蝕罩形成時之曝光可使用具有數奈米至數十奈米之極短波長的遠紫外光執行。在使用遠紫外光之曝光中，解析度高且聚焦深度大。為該些原因，之後完成之電晶體的通道長度 L 亦可長於或等於 10 nm 及短於或等於 1000 nm，並可以更

高速度操作電路。

為降低光罩數量及光刻步驟數量，可使用以多色調遮罩形成之抗蝕罩執行蝕刻步驟，多色調遮罩為曝光遮罩，經此光透射而具有複數強度。使用多色調遮罩形成之抗蝕罩具有複數厚度，進一步可藉由蝕刻而改變形狀；因此，抗蝕罩可用於複數蝕刻步驟而處理為不同型樣。因此，藉由使用一多色調遮罩可形成相應於至少兩種不同型樣之抗蝕罩。因而，可降低曝光遮罩之數量，亦可降低相應光刻步驟之數量，藉此可體現程序簡化。

請注意，較佳的是蝕刻狀況最佳化以便當蝕刻導電膜時不致蝕刻及劃分氧化物半導體層 441。然而，難以獲得僅蝕刻導電膜而完全未蝕刻氧化物半導體層 441 之蝕刻狀況。有時當蝕刻導電膜時，僅部分氧化物半導體層 441 蝕刻為具有槽部（凹部）之氧化物半導體層。

在本實施例中，由於 Ti 膜用做導電膜及 In-Ga-Zn-O 基氧化物半導體用做氧化物半導體層 441，過氧化氫（氫、水及過氧化氫之混合物）用做蝕刻劑。

其次，藉由使用諸如 N_2O 、 N_2 或 Ar 之氣體的電漿處理，可移除吸附於氧化物半導體層之暴露部分表面的水等。若執行電漿處理，形成接觸部分氧化物半導體層之絕緣層 407 而未暴露於空氣。

可適當使用一種方法，諸如濺鍍法，使諸如水或氫之雜質未進入絕緣層 407 而形成至少 1 nm 厚度之絕緣層 407。當絕緣層 407 中包含氫時，造成氫進入氧化物半導

體層或因氫而從氧化物半導體層提取氧氣，藉此使氧化物半導體層之反向通道的電阻低（使反向通道具有 n 型傳導性），使得可形成寄生通道。因此，重要的是使用其中未使用氫之膜形成方法，以形成包含盡可能少之氫的絕緣層 407。

有關絕緣層 407，可典型地使用無機絕緣膜，諸如氧化矽膜、氧氮化矽膜、氧化鋁膜、或氧氮化鋁膜。

在本實施例中，藉由濺鍍法形成 200-nm-厚氧化矽膜之絕緣層 407。膜形成中基板溫度可高於或等於室溫及低於或等於 300°C，本實施例中為 100°C。可藉由濺鍍法於稀有氣體（典型為氬）、氧氣、或包含稀有氣體及氧氣之混合氣體中形成氧化矽膜。有關靶材，可使用氧化矽靶材或矽靶材。例如，可使用矽靶材藉由濺鍍法於包含氧氣之氣體中形成氧化矽膜。有關經形成而接觸氧化物半導體層之絕緣層 407，使用無機絕緣膜，其不包含諸如濕氣、氫離子、及 OH⁻之雜質，並阻擋其從外部進入。典型地，使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜等。

為以類似於氧化物半導體膜 440 之沉積的方式從絕緣層 407 之沉積室移除剩餘濕氣，較佳地使用截留真空泵（諸如低溫泵）。當絕緣層 407 於使用低溫泵排空之沉積室中沉積時，可降低絕緣層 407 之雜質濃度。此外，有關用於從絕緣層 407 之沉積室移除剩餘濕氣之排空單元，可使用具冷阱之渦輪泵（渦輪分子泵）。

較佳的是當形成絕緣層 407 時，使用諸如氬、水、烴

基或氫化物之雜質移除的高純度氣體做為濺鍍氣體。

其次，於惰性氣體或氧氣（較佳地以高於或等於 200°C 及低於或等於 400°C 的溫度，例如，高於或等於 250°C 及低於或等於 350°C）中執行第二熱處理。例如，於氮氣中以 250°C 執行第二熱處理達一小時。在第二熱處理中，部分氧化物半導體層（通道形成區）加熱同時接觸絕緣層 407。

經由上述程序，於氧化物半導體膜上執行第一熱處理，使得諸如氫、濕氣、烴基或氫化物（亦稱為氫化合物）之雜質刻意從氧化物半導體層移除。此外，可供應氧氣，其為氧化物半導體之主要成分之一，並於移除雜質的步驟中同步降低。因此，氧化物半導體層被高度純化並製成電氣 i 型（本質）氧化物半導體層。

經由上述步驟，形成電晶體 410（詳圖 3C1 及 3C2）。

當具有大量缺陷之氧化矽層用做絕緣層 407 時，基於在氧化矽層形成之後執行之熱處理，氧化物半導體層中所包含之諸如氫、濕氣、烴基或氫化物之雜質可擴散進入氧化矽層，使得氧化物半導體層中雜質可進一步降低。

可於絕緣層 407 之上形成保護絕緣層。例如，藉由 RF 濺鍍法形成氮化矽膜。RF 濺鍍法在大規模生產方面具有優勢，因而為形成保護絕緣層之較佳方法。有關保護絕緣層，使用諸如氮化矽膜或氮化鋁膜之無機絕緣膜，其不包含諸如濕氣之雜質，並阻擋其從外部進入。

在保護絕緣層形成之後，可進一步於空氣中以高於或等於 100°C 及低於或等於 200°C 執行熱處理，達長於或等於 1 小時及短於或等於 30 小時。此熱處理可以固定加熱溫度執行。另一方面，下列加熱溫度改變可重複實施複數次：加熱溫度從室溫增加至高於或等於 100°C 及低於或等於 200°C 之溫度，接著降至室溫。

其次，選擇性移除閘極絕緣層 402 及絕緣層 407，使得形成暴露閘極電極層 401 之開口 412a 及開口 412b（詳圖 3D1 及 3D2）。如圖 3D2 中所描繪，於閘極絕緣層 402 及絕緣層 407 中形成開口 412a 及開口 412b，使得閘極絕緣層 402 及絕緣層 407 圍繞及密封沿氧化物半導體層 403 之通道寬度方向提供於中心的氧化物半導體層 403。在本實施例中，使用相同遮罩蝕刻閘極絕緣層 402 及絕緣層 407，因而其端部實質上彼此對齊。

接著，導電膜係形成於絕緣層 407 之上，並藉由光刻步驟蝕刻，藉此形成導電層 411（圖 3E1 及 3E2）。形成導電層 411 以便覆蓋至少氧化物半導體層 403 之通道形成區。

如圖 3E2 中所描繪，形成導電層 411 以便覆蓋閘極絕緣層 402 及絕緣層 407 之頂部及相對端部，閘極絕緣層 402 及絕緣層 407 圍繞提供於閘極電極層 401 上並於開口與暴露之閘極電極層 401 接觸的氧化物半導體層 403。導電層 411 接觸閘極電極層 401，因而具有與閘極電極層 401 相同電位。

藉由提供具有與閘極電極層 401 相同電位之導電層 411，可避免於電晶體 410 之反向通道中形成因洩漏電流之寄生通道。

此外，導電層 411 用以阻擋外部電場（尤其是阻擋靜電），即避免外部電場作用於內側（包括電晶體之電路部）。導電層 411 的該等阻擋功能可避免因諸如靜電之外部電場的影響造成電晶體 410 的電氣特性改變。

在依據本實施例形成之包括高度純化氧化物半導體層 403 的電晶體 410 中，關閉狀態之電流值（關閉狀態電流值）可降低為 $1\mu\text{m}$ 通道寬度之低於 $10\text{ zA}/\mu\text{m}$ 之值（ 85°C 下低於 $100\text{ zA}/\mu\text{m}$ 之值）。

此外，包括氧化物半導體層 403 之電晶體 410 可以高速操作，因為其可達成相對高之場效移動性。因此，藉由使用液晶顯示裝置之像素部中電晶體，可提供高品質影像。此外，藉由使用包括高度純化氧化物半導體層之電晶體，由於可於一基板上形成驅動電路部及像素部，可降低半導體裝置之組件數量。

如上述，氧化物半導體層之通道形成區係藉由堆疊之閘極絕緣層及絕緣層圍繞，亦藉由沿通道寬度方向之閘極電極層及導電層圍繞；因而，半導體裝置可耐撞。

此外，藉由形成為軟性，半導體裝置可用於各種應用，可提供更加方便及高度可靠之半導體裝置。

（實施例 2）

在本實施例中，將參照圖 2A 及 2B 說明半導體裝置之另一實施例。在本實施例中，將說明電晶體做為半導體裝置之範例。與實施例 1 中相同部分，具有類似於實施例 1 中功能之部分，與實施例 1 中相同步驟，及類似於實施例 1 中步驟，可如實施例 1 中處理，且重複說明省略。此外，相同部分之詳細說明未重複。

圖 2A 及 2B 描繪並聯連接之電晶體 420a、420b 及 420c。藉由複數電晶體 420a、420b 及 420c 之並聯連接，可獲得與寬通道寬度之實質上相同效果，及可流動較大量電流。當複數電晶體並聯配置以便共用通道寬度等之該等結構組合使用時，電路可更自由地設計。包括電晶體 420a、420b 及 420c 而更大量電流可流動之結構較佳地用於驅動電路部中驅動電路之電晶體。

電晶體 420a、420b 及 420c 之每一氧化物半導體層 423a、423b 及 423c 的通道形成區分別具有通道長度 (L) 方向及通道寬度 (W) 方向。

圖 2A 為電晶體 420a、420b 及 420c 之平面圖，及圖 2B 為沿圖 2A 中所描繪之電晶體 420a、420b 及 420c 之通道寬度 (W) 方向之線 B3-B4 的截面圖。

如圖 2A 及 2B 中所描繪，電晶體 420a、420b 及 420c 於具有絕緣表面之基板 400 上包括閘極電極層 421、閘極絕緣層 422 (閘極絕緣層 422a、422b 及 422c)、氧化物半導體層 423a、423b 及 423c、源極電極層 425a、及汲極電極層 425b。絕緣層 427 (絕緣層 427a、427b 及 427c)

及導電層 431 係依序堆疊於電晶體 420a、420b 及 420c 之上。

電晶體 420a、420b 及 420c 並聯連接及共同具有閘極電極層 421、源極電極層 425a 及汲極電極層 425b。

在圖 2B 沿通道寬度方向之截面圖中，閘極絕緣層 422a、422b 及 422c 及絕緣層 427a、427b 及 427c 覆蓋氧化物半導體層 423a、423b 及 423c 之頂部、底部及端部，以便分別圍繞氧化物半導體層 423a、423b 及 423c，及分別於氧化物半導體層 423a、423b 及 423c 之相對端部彼此接觸。閘極電極層 421 係配置於閘極絕緣層 422a、422b 及 422c 以下，及導電層 431 係配置於絕緣層 427a、427b 及 427c 之上，以便覆蓋氧化物半導體層 423a、423b 及 423c、閘極絕緣層 422a、422b 及 422c、及絕緣層 427a、427b 及 427c 之頂部，及閘極絕緣層 422a、422b 及 422c 及絕緣層 427a、427b 及 427c 之相對端部。再者，導電層 431 接觸閘極電極層 421。

以上述方式，氧化物半導體層 423a、423b 及 423c 分別藉由閘極絕緣層 422a、422b 及 422c 及絕緣層 427a、427b 及 427c 圍繞，及亦藉由沿通道寬度方向之閘極電極層 421 及導電層 431 圍繞。

基於上述結構，其中氧化物半導體層 423a、423b 及 423c 之周邊係藉由包括閘極電極層、閘極絕緣層、絕緣層及導電層之堆疊保護，甚至當沿通道寬度方向施加力時，厚堆疊結構仍不可能彎曲，使得施加於位於堆疊中心

之氧化物半導體層 423a、423b 及 423c 之力可降低。因此，氧化物半導體層 423a、423b 及 423c 可避免因外部撞擊而破裂。

此外，閘極電極層 421 廣泛暴露之開口係形成於閘極絕緣層 422（閘極絕緣層 422a、422b 及 422c）及絕緣層 427（絕緣層 427a、427b 及 427c）中，且閘極電極層 421 及導電層 431 於開口彼此接觸。藉由使用對每一閘極電極層 421 及導電層 431 具高黏著之導電膜，閘極電極層 421、閘極絕緣層 422a、422b 及 422c、氧化物半導體層 423a、423b 及 423c、絕緣層 427a、427b 及 427c、及導電層 431 可避免因外力而於其介面剝落。

為增加閘極電極層 421 與導電層 431 之間的黏著，各層彼此接觸之區域較佳地為大。如圖 2A 中所描繪，閘極電極層 421 及導電層 431 沿氧化物半導體層 423a、423b 及 423c 之通道長度方向彼此接觸之區域的長度，較佳地長於氧化物半導體層 423a、423b 及 423c 之通道長度。

在電晶體 420a、420b 及 420c 中，氧化物半導體層 423a、423b 及 423c 係配置於中心，閘極絕緣層 422a、422b 及 422c 及絕緣層 427a、427b 及 427c 藉由於相對端部彼此接觸而密封氧化物半導體層 423a、423b 及 423c，及進一步閘極電極層 421 及導電層 431 藉由於相對端部彼此接觸而密封上述堆疊，藉此可獲得對稱之結構。基於上述結構，外部力可均勻地分散，藉此可避免大力局部施加於氧化物半導體層 423a、423b 及 423c。

因此，在電晶體 420a、420b 及 420c 中，沿氧化物半導體層 423a、423b 及 423c 之通道寬度方向的耐彎性改進，因而電晶體 420a、420b 及 420c 可耐撞。

由於電晶體耐撞，藉由將軟性基板用於基板 400 而可應用於軟性半導體裝置，及可提供可用於各種應用之更方便及高度可靠之半導體裝置。

如上述，氧化物半導體層之通道形成區係藉由堆疊之閘極絕緣層及絕緣層圍繞，及亦藉由沿通道寬度方向之閘極電極層及導電層圍繞；因而，半導體裝置可耐撞。

此外，藉由經形成為軟性，半導體裝置可用於各種應用，及可提供更加方便及高度可靠之半導體裝置。

本實施例可藉由適當與任一其他實施例組合而予實施。

(實施例 3)

在本實施例中，將參照圖 5A 至 5C 說明半導體裝置之另一實施例。在本實施例中，將說明電晶體做為半導體裝置之範例。將說明一範例其中源極電極層及汲極電極層之形成步驟及結構不同於實施例 1 中所說明之電晶體的。因此，與實施例 1 中相同部分，具有類似於實施例 1 中功能之部分，與實施例 1 中相同步驟，及類似於實施例 1 中步驟，可如實施例 1 中處理，且重複說明省略。此外，相同部分之詳細說明未重複。

在實施例 1 及 2 中，源極電極層 405a 及汲極電極層

405b 係配置於氧化物半導體層 403 與絕緣層 407 之間。在本實施例中，源極電極層 405a 及汲極電極層 405b 係配置於閘極絕緣層 402 及氧化物半導體層 403 之間。

圖 5A 為電晶體 430 之平面圖，圖 5B 為沿圖 5A 中所描繪之電晶體 430 通道長度 (L) 方向之線 A5-A6 的截面圖，及圖 5C 為沿通道寬度 (W) 方向之線 B5-B6 的截面圖。

圖 5A 至 5C 中所描繪之電晶體 430 為底閘電晶體，於基板 400 之上包括閘極電極層 401、閘極絕緣層 402、源極電極層 405a、汲極電極層 405b、及氧化物半導體層 403。此外，配置絕緣層 407，其覆蓋電晶體 430 並與氧化物半導體層 403 接觸。

在電晶體 430 中，閘極絕緣層 402 係配置於基板 400 及閘極電極層 401 之上並與其接觸，及源極電極層 405a 及汲極電極層 405b 係配置於閘極絕緣層 402 之上並與其接觸。此外，氧化物半導體層 403 係配置於閘極絕緣層 402、源極電極層 405a 及汲極電極層 405b 之上。

在圖 5C 沿通道寬度方向之截面圖中，閘極絕緣層 402 及絕緣層 407 覆蓋氧化物半導體層 403 之頂部、底部及端部，以便圍繞氧化物半導體層 403，且於氧化物半導體層 403 之相對端部彼此接觸。閘極電極層 401 係配置於閘極絕緣層 402 以下，及導電層 411 係配置於絕緣層 407 之上，以便覆蓋氧化物半導體層 403、閘極絕緣層 402 及絕緣層 407 之頂部，及閘極絕緣層 402 及絕緣層 407 之相

對端部。再者，導電層 411 接觸閘極電極層 401。

以上述方式，氧化物半導體層 403 係藉由閘極絕緣層 402 及絕緣層 407 圍繞，及亦藉由閘極電極層 401 及導電層 411 沿通道寬度方向圍繞。

基於上述結構，其中氧化物半導體層 403 之周邊係藉由包括閘極電極層、閘極絕緣層、絕緣層及導電層之堆疊保護，甚至當沿通道寬度（W）方向之力（外力）施加時，厚堆疊結構不可能彎曲，使得施加於位於堆疊中心之氧化物半導體層 403 的力可降低。因此，氧化物半導體層 403 可避免因外部撞擊而破裂。

此外，使閘極電極層 401 廣泛暴露之開口形成於閘極絕緣層 402 及絕緣層 407 中，及閘極電極層 401 及導電層 411 於開口彼此接觸。藉由使用對每一閘極電極層 401 及導電層 411 具高黏著之導電膜，閘極電極層 401、閘極絕緣層 402、氧化物半導體層 403、絕緣層 407、及導電層 411 可避免因外力而於其介面剝落。

為增加閘極電極層 401 與導電層 411 之間的黏著，彼此接觸之層的區域較佳地為大。如圖 5A 中所描繪，閘極電極層 401 及導電層 411 沿氧化物半導體層 403 之通道長度方向彼此接觸之區域的長度，較佳地長於氧化物半導體層 403 之通道長度。

氧化物半導體層 403 係配置於中心，閘極絕緣層 402 及絕緣層 407 藉由於相對端部彼此接觸而密封氧化物半導體層 403，及進一步閘極電極層 401 及導電層 411 藉由於

相對端部彼此接觸而密封上述堆疊，藉此可獲得對稱之結構。基於上述結構，外力可均勻地分散，藉此可避免大力局部施加於氧化物半導體層 403。

因此，在電晶體 430 中，氧化物半導體層 403 之通道寬度方向的耐彎性改進，因而電晶體 430 可耐撞。

由於電晶體耐撞，藉由將軟性基板用於基板 400 而可應用於軟性半導體裝置，可提供可用於各種應用之更方便及高度可靠之半導體裝置。

本實施例可藉由適當與任一其他實施例組合而予實施。

(實施例 4)

在本實施例中，將說明藉由將電晶體從製造基板分離及將電晶體轉移至軟性基板之半導體裝置的製造方法範例。將參照圖 4A 至 4D 說明依據本發明之實施例的半導體裝置。請注意，除了部分程序以外，本實施例與實施例 1 相同；因而，相同部分標示相同代號，及相同部分之詳細說明省略。

將參照圖 4A 至 4D 詳細說明半導體裝置之製造方法範例。

分離層 302 係形成於第一製造基板 300 之上，及第一絕緣層 301 係形成於分離層 302 之上。較佳地，第一絕緣層 301 係接續形成而未將所形成之分離層 302 暴露於空氣。此接續形成避免灰塵或雜質進入分離層 302 與第一絕

緣層 301 之間的介面。

有關第一製造基板 300，可使用玻璃基板、石英基板、藍寶石基板、陶瓷基板、金屬基板等。有關玻璃基板，可使用鋇硼矽酸鹽玻璃、鋁硼矽酸鹽玻璃等。另一方面，可使用對於本實施例之處理溫度具有耐熱性的塑料基板。在半導體裝置之製造程序中，可依據程序而適當選擇製造基板。

請注意，在本程序中，分離層 302 係形成於第一製造基板 300 的整個表面上；然而，在分離層 302 形成於第一製造基板 300 的整個表面上之後，可視需要而選擇性移除分離層 302，使得分離層可僅形成於所欲區域之上。此外，儘管圖 4A 及 4B 中分離層 302 經形成而接觸第一製造基板 300，諸如氧化矽層、氧氮化矽層、氮化矽層、或氮氧化矽層之絕緣層可視需要而形成於第一製造基板 300 與分離層 302 之間。

分離層 302 可使用選自鎢 (W)、鉬 (Mo)、鈦 (Ti)、鉭 (Ta)、鈮 (Nb)、鎳 (Ni)、鈷 (Co)、鋯 (Zr)、鈦 (Ru)、銻 (Rh)、鈀 (Pd)、銱 (Os)、銱 (Ir) 及矽 (Si) 之元素；包含任一元素做為主要成分之合金材料；或包含任一元素做為主要成分之化合物材料，而具有單層結構或堆疊結構。包含矽之層的結晶結構可為非結晶、微晶或多晶。

分離層 302 可藉由濺鍍法、電漿 CVD 法、塗層法、印刷法等予以形成。請注意，塗層法包括旋塗法、液低釋

放法及滴塗法。

若分離層 302 具有單層結構，較佳的是形成鎢層、鉬層、或包含鎢及鉬的混合物之層。另一方面，形成包含鎢之氧化物或氧氮化物之層、包含鉬之氧化物或氧氮化物之層、或包含鎢及鉬的混合物之氧化物或氧氮化物之層。請注意，鎢及鉬的混合物相應於例如鎢及鉬之合金。

若分離層 302 具有堆疊結構，鎢層、鉬層、或包含鎢及鉬的混合物之層較佳地形成做為第一層。鎢、鉬、或鎢及鉬的混合物之氧化物；鎢、鉬、或鎢及鉬的混合物之氮化物；鎢、鉬、或鎢及鉬的混合物之氧氮化物；或鎢、鉬、或鎢及鉬的混合物之氮氧化物較佳地形成做為第二層。

若包含鎢之層及包含鎢之氧化物之層的堆疊結構經形成做為分離層 302，首先可形成包含鎢之層，之後使用包含鎢之層上之氧化物而形成之絕緣層，使得於包含鎢之層與絕緣層之間的介面形成包含鎢之氧化物之層。

此外，若電晶體係形成於製造基板之上且分離層插於其間，分離層便藉由用於氧化物半導體層之脫水或脫氫的熱處理而加熱。因而，當於之後程序執行電晶體從製造基板分離並轉移至支撐基板時，可於分離層之介面輕易地執行分離。

另一方面，可藉由於包含鎢之層的表面上執行熱氧化處理、氧電漿處理、以諸如臭氧水之高度氧化溶液處理等，而形成包含鎢之氧化物之層。電漿處理及熱處理可於

氧、氮、或僅氧化亞氮或任何該些氣體及其他氣體之混合氣體之氣體中執行。相同的狀況可應用於形成包含鎢之氮化物、氧氮化物、或氮氧化物之層。在包含鎢之層形成之後，可於其上形成氮化矽層、氧氮化矽層、或氮氧化矽層。

將分離之層 304 係形成於分離層 302 之上（詳圖 4A）。將分離之層 304 包括第一絕緣層 301 及電晶體 410。

首先，第一絕緣層 301 係形成於分離層 302 之上。第一絕緣層 301 較佳地使用包含氮及矽之絕緣膜，諸如氮化矽、氧氮化矽或氮氧化矽，而形成具單層或多層。

此外，第一絕緣層 301 可藉由濺鍍法、電漿 CVD 法、塗層法、印刷法等予以形成。例如，第一絕緣層 301 係藉由電漿 CVD 法於 250°C 至 400°C 之溫度予以形成，藉此可獲得具有極低水滲透性之密集膜。請注意，第一絕緣層 301 經形成為大於或等於 10 nm 及小於或等於 1000 nm 之厚度，較佳地為大於或等於 100 nm 及小於或等於 700 nm。

藉由形成第一絕緣層 301，可輕易地於之後分離程序中執行將分離之層 304 與分離層 302 之間的介面之分離。此外，半導體元件或佈線可避免於之後分離程序中破裂或損壞。第一絕緣層 301 做為半導體裝置之保護層。

電晶體 410 係形成於第一絕緣層 301 之上，使得以形成將分離之層 304。將分離之層 304 可使用實施例 1 中所

說明之方法予以形成；因此，其詳細說明此處省略。

在本實施例中，說明保護絕緣層 409 堆疊於絕緣層 407 之上的範例。在本實施例中，有關保護絕緣層 409，氮化矽膜係以下列方式形成：其上形成直至包括絕緣層 407 之層的基板 400 加熱至 100°C 至 400°C 之溫度，導入氫及濕氣移除且包含高純度氮之濺鍍氣體，及使用矽半導體之靶材（詳圖 4A）。在本狀況下，以類似於絕緣層 407 之方式，較佳地形成保護絕緣層 409 同時移除留在處理室中濕氣。

可於電晶體 410 之上形成平坦化絕緣膜，以便降低電晶體造成之表面粗糙度。有關平坦化絕緣膜，可使用有機材料諸如聚醯亞胺、丙烯酸、或苯並環丁烯。除了該等有機材料之外，亦可使用低 k 常數材料（低 k 材料）等。請注意，藉由堆疊從該些材料形成之複數絕緣膜，可形成平坦化絕緣膜。

其次，第二製造基板 306 使用可移除之黏合層 305 而暫時附著至將分離之層 304。藉由將第二製造基板 306 附著至將分離之層 304，將分離之層 304 可輕易地從分離層 302 分離。此外，可降低於分離程序中添加至將分離之層 304 的壓力，而可保護電晶體。此外，由於使用可移除之黏合層 305，第二製造基板 306 可於不再需要時輕易移除。

有關可移除之黏合層 305，例如可使用水溶性樹脂。藉由施加水溶性樹脂而降低將分離之層 304 的不平坦，使

得將分離之層 304 可輕易地附著至第二製造基板 306。此外，有關可移除之黏合層 305，可使用藉由光或熱而可分離之水溶性樹脂及黏合劑的堆疊。

其次，將分離之層 304 從第一製造基板 300 分離（詳圖 4B）。有關分離方法，可使用各種方法。

例如，當金屬氧化物膜於接觸第一絕緣層 301 之側形成做為分離層 302 時，藉由結晶化而使金屬氧化物膜變弱，將分離之層 304 可從第一製造基板 300 分離。此外，在金屬氧化物膜藉由結晶化而變弱之後，藉由使用溶液或鹵素氟化物氣體蝕刻，諸如 NF_3 、 BrF_3 、或 ClF_3 ，可移除部分分離層 302，及可於弱化金屬氧化物膜執行分離。

當包含氮、氧、氫等之膜（例如，包含氫之非結晶矽膜、包含氫之合金膜、或包含氧之合金膜）用做分離層 302，及具有透光屬性之基板用做第一製造基板 300 時，可使用下列方法：以雷射光經由第一製造基板 300 輻照分離層 302，及蒸發分離層中所包含之氮、氧或氫，使得可於第一製造基板 300 與分離層 302 之間發生分離。

此外，藉由蝕刻移除分離層 302，將分離之層 304 可從第一製造基板 300 分離。

亦可使用藉由機械拋光之方法而移除第一製造基板 300，藉由使用諸如 NF_3 、 BrF_3 、 ClF_3 或 HF 之鹵素氟化物氣體蝕刻之方法而移除第一製造基板 300 等。在本狀況下，不一定使用分離層 302。

再者，將分離之層 304 可以下列方式從第一製造基板

300 分離：藉由雷射光輻照，藉由使用氣體、溶液等蝕刻，或以銳利刀片或小刀而形成槽以暴露分離層 302，使得以槽做為觸發器而沿分離層 302 與做為保護層之第一絕緣層 301 之間的介面發生分離。

例如，有關分離方法，可使用機械力（以人手或以夾具分離處理、藉由滾子旋轉分離處理等）。另一方面，液體可滴入槽以允許液體滲入分離層 302 與第一絕緣層 301 之間的介面，之後將分離之層 304 從分離層 302 分離。再另一方面，可使用一種方法其中將諸如 NF_3 、 BrF_3 或 ClF_3 之氟化物氣體導入槽，藉由使用氟化物氣體蝕刻使得將分離之層 304 從具有絕緣表面之第一製造基板 300 分離而移除分離層 302。此外，執行分離同時於分離期間傾注諸如水之液體。

有關另一分離方法，若使用鎢形成分離層 302，可執行分離同時藉由使用氨水及過氧化氫之混合溶液蝕刻分離層。

其次，使用樹脂層 307 使基板 400 附著至將分離之層 304（詳圖 4C）。

有關基板 400，可使用實施例 1 中所說明之軟性基板。

有關樹脂層 307，可使用各種可固化黏合劑，例如，諸如 UV 固化黏合劑之光固化黏合劑、反應性固化黏合劑、熱固化黏合劑、及厭氧黏合劑。有關黏合劑之材料，可使用環氧樹脂、丙烯酸樹脂、矽樹脂、苯酚樹脂等。

請注意，若預浸材料用做基板 400，將分離之層 304 及基板 400 藉由壓力黏合而未使用黏合劑，彼此直接附著。此時，有關用於結構體之有機樹脂，較佳地使用反應性固化樹脂、熱固化樹脂、UV 固化樹脂等，其藉由附加處理而較佳固化。

在配置基板 400 之後，移除第二製造基板 306 及可移除之黏合層 305，藉此電晶體 410 暴露（詳圖 4D）。

經由上述程序，電晶體 410 可藉由轉移程序而形成於基板 400 之上。

請注意，本實施例顯示一方法範例，其中配置直至包括電晶體之組件做為將分離之層；然而，本說明書中所揭露之本發明不侷限於此。在顯示元件（例如發光元件）形成之後可執行分離及轉移。

依據本實施例，使用具有高耐熱性之基板製造之電晶體可轉移至薄及輕之軟性基板。因此，可形成軟性半導體裝置而未受限於基板之耐熱性。

本實施例可藉由適當與任一其他實施例組合而予實施。

（實施例 5）

可使用任一實施例 1 至 4 中所說明之範例的電晶體製造具顯示功能之半導體裝置（亦稱為顯示裝置）。任一實施例 1 至 4 中所說明之範例的電晶體更有效地用於驅動電路部。此外，藉由使用電晶體，部分或全部驅動電路可形

成於相同基板之上做爲像素部，藉此可獲得面板系統。

在圖 6A 及 6B 中，配置密封劑 4005 以便圍繞配置於第一基板 4001 上之像素部 4002 及掃描線驅動電路 4004。第二基板 4006 係配置於像素部 4002 及掃描線驅動電路 4004 之上。因此，像素部 4002 及掃描線驅動電路 4004 以及顯示元件係藉由第一基板 4001、密封劑 4005 及第二基板 4006 密封。在圖 6A 及 6B 中，於使用單晶半導體膜或單晶半導體膜個別準備之基板上形成之信號線驅動電路 4003，係安裝於與第一基板 4001 上密封劑 4005 所圍繞之區域不同的區域中。在圖 6A 及 6B 中，各種信號及電位供應至個別形成之信號線驅動電路 4003、掃描線驅動電路 4004、及來自 FPC 4018 之像素部 4002。

儘管圖 6A 及 6B 各描繪個別形成信號線驅動電路 4003 並安裝於第一基板 4001 上之範例，本發明並不侷限於此結構。掃描線驅動電路可個別形成及接著安裝，或僅部分信號線驅動電路或部分掃描線驅動電路可個別形成及接著安裝。

請注意，個別形成之驅動電路的連接方法未侷限於特定方法，可使用將晶片安裝於玻璃（COG）法、線路黏合法、磁帶自動黏接（TAB）法等。圖 6A 描繪信號線驅動電路 4003 係藉由 COG 法安裝之範例。圖 6B 描繪信號線驅動電路 4003 係藉由 TAB 法安裝之範例。

此外，顯示裝置於其分類包括面板其中密封顯示元件，及模組其中包括控制器之 IC 等係安裝於面板上。

請注意，本說明書中顯示裝置表示影像顯示裝置、顯示裝置或光源（包括發光裝置）。此外，顯示裝置於其分類亦包括下列模組：附著諸如 FPC、TAB 磁帶或 TCP 之連接器的模組；於頂端配置印刷線路板之具有 TAB 磁帶或 TCP 的模組；積體電路（IC）藉由 COG 法而直接安裝於顯示元件上的模組。

此外，配置於第一基板上之像素部及掃描線驅動電路各包括複數電晶體，及任一實施例 1 至 4 中所說明之範例的電晶體可用做掃描線驅動電路 4004 之電晶體。

有關顯示裝置中所配置之顯示元件，可使用液晶元件（亦稱為液晶顯示元件）或發光元件（亦稱為發光顯示元件）。發光元件於其分類包括其亮度受電流或電壓控制之元件，及具體地於其分類包括無機電致發光（EL）元件、有機 EL 元件等。此外，可使用藉由電效應而改變對比之顯示媒體，諸如電子墨水。

將參照圖 7、圖 8 及圖 9 說明半導體裝置之實施例。圖 7、圖 8 及圖 9 各相應於沿圖 6A 中 M-N 之截面圖。

如圖 7、圖 8 及圖 9 中所描繪，半導體裝置包括連接終端電極 4015 及終端電極 4016，連接終端電極 4015 及終端電極 4016 經由非等向性導電膜 4019 而電性連接 FPC 4018 中所包括之端子。

連接終端電極 4015 係使用與第一電極層 4030 相同導電膜形成，終端電極 4016 係使用與電晶體 4010 及 4011 之源極及汲極電極層的相同導電膜形成。

配置於第一基板 4001 上之每一像素部 4002 及掃描線驅動電路 4004 包括複數電晶體。在圖 7、圖 8 及圖 9 中，描繪像素部 4002 中所包括之電晶體 4010 及掃描線驅動電路 4004 中所包括之電晶體 4011 做為範例。在圖 7 中，絕緣層 4020 係配置於電晶體 4010 及 4011 之上，及在圖 8 及圖 9 中，絕緣層 4021 係配置於絕緣層 4020 之上。請注意，絕緣膜 4023 為做為基膜之絕緣膜。

在本實施例中，對掃描線驅動電路 4004 中所包括之電晶體 4011 而言，使用實施例 1 中所說明之範例的電晶體。在電晶體 4011 中，氧化物半導體層之通道形成區係藉由閘極電極層、閘極絕緣層、絕緣層、及沿通道寬度方向配置於氧化物半導體層以下及之上的導電層圍繞。在驅動電路中，較佳的是電晶體具有長通道寬度使得可流動較大量電流。因此，使用電晶體其具有如任一實施例 1 至 4 中所說明之沿通道寬度方向的耐彎性，可獲得高度耐撞及高度可靠之半導體裝置。

像素部 4002 中所包括之電晶體 4010 電性連接顯示元件以形成顯示面板。只要可執行顯示，可使用各種顯示元件做為顯示元件。

圖 7 描繪使用用於顯示元件之液晶元件的液晶顯示裝置範例。在圖 7 中，為顯示元件之液晶元件 4013 包括第一電極層 4030、第二電極層 4031 及液晶層 4008。配置做為校準膜之絕緣膜 4032 及 4033，使得液晶層 4008 插於其間。第二電極層 4031 係配置於第二基板 4006 側，及第

一電極層 4030 及第二電極層 4031 堆疊，且液晶層 4008 插於其間。

代號 4035 表示藉由選擇性蝕刻絕緣膜而形成之柱間隔器。配置柱間隔器 4035 以控制液晶層 4008 之厚度（格間隙）。另一方面，可使用球間隔器。

若液晶元件用做顯示元件，可使用熱致液晶、低分子液晶、高分子液晶、聚合物分散型液晶、鐵電液晶、反鐵電液晶等。該等液晶材料依據狀況而展現膽固醇相位、近晶相位、立方相位、手徵向列相位、各向同性相位等。

另一方面，可使用不需校準膜之展現藍相的液晶。藍相為一種液晶相位，其係就在膽固醇相位改變為各向同性相位同時膽固醇液晶之溫度增加之前產生。由於藍相僅出現於窄溫度範圍，包含高於或等於 5 重量%之手性材料的液晶組成用於液晶層，以便改進溫度範圍。包含展現藍相及手性劑之液晶的液晶組成具有短於或等於 1 毫秒之短反應時間，具有光學各向同性而不需要校準程序，及具有小視角相依性。此外，由於不需配置校準膜，因而不必要研磨處理，本製造程序可避免藉由研磨處理造成之靜電放電損壞，及可降低液晶顯示裝置之缺陷及損壞。因而，可增加液晶顯示裝置之生產率。包括氧化物半導體層之電晶體尤其具有藉由靜電影響而電晶體之電氣特性顯著地波動並偏離設計範圍之可能性。因此，使用用於包括具氧化物半導體層之電晶體的液晶顯示裝置的藍相液晶材料更加有效。

液晶材料之具體電阻係數為高於或等於 $1 \times 10^9 \Omega \cdot \text{cm}$ ，較佳地為高於或等於 $1 \times 10^{11} \Omega \cdot \text{cm}$ ，更佳地為高於或等於 $1 \times 10^{12} \Omega \cdot \text{cm}$ 。請注意，本說明書中具體電阻係數係以 20°C 測量。

液晶顯示裝置中所形成之儲存電容器的尺寸係考量像素部等中所配置之電晶體的洩漏電流而予設定，使得電荷可保持達預定期間。儲存電容器之尺寸可考量電晶體等之關閉狀態電流而予設定。藉由使用包括高純度氧化物半導體層之電晶體，足以提供具有小於或等於每一像素之液晶電容的 $1/3$ 之電容的儲存電容器，較佳地為小於或等於其 $1/5$ 。

對液晶顯示裝置而言，可使用扭轉向列（TN）模式、平面方向切換（IPS）模式、邊緣場切換（FFS）模式、軸對稱排列微型格（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、反電液晶（AFLC）模式等。

此外，液晶顯示裝置可為正常黑液晶顯示裝置，諸如利用垂直調整（VA）模式之透射液晶顯示裝置。提供一些垂直調整模式之範例；例如，可使用多區域垂直排列（MVA）模式、圖像垂直調整（PVA）模式、ASV 模式等。此外，本實施例可應用於 VA 液晶顯示裝置。VA 液晶顯示裝置具有一種形式，其中液晶顯示面板之液晶分子的調整受控制如下。在 VA 液晶顯示裝置中，當無電壓施加時，液晶分子係以垂直於面板表面之方向對齊。再者，

可使用稱為域倍增或多域設計之方法，其中像素被劃分為一些區域（子像素），且分子係以不同區域中不同方向對齊。

此外，在顯示裝置中適當配置黑矩陣（阻光層）、諸如偏光構件、延遲構件或抗反射構件之光學構件（光學基板）等。例如，可使用藉由使用偏光基板及延遲基板而獲得的圓偏光。此外，背光、側燈等可用做光源。

有關像素部之顯示法，可使用前進法、交錯法等。此外，像素中所控制用於色彩顯示之色彩成分不侷限於三種顏色之組合：R、G 及 B（R、G 及 B 分別相應於紅色、綠色及藍色）。例如，可使用 R、G、B 及 W 之組合（W 相應於白色）；R、G、B 及黃色、青色、紫紅色等等之一或更多種顏色之組合。此外，依據色彩成分之點，顯示區域的尺寸可為不同。本發明不侷限於彩色顯示裝置，並可為單色顯示裝置。

此外，顯示裝置中所包括之顯示元件，可使用利用電致發光之發光元件。利用電致發光之發光元件依據發光材料為有機化合物或無機化合物而予分類。通常，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

有關有機 EL 元件，藉由施加電壓於發光元件，電子及電洞分別從一對電極注入包含發光有機化合物之層，及電流流動。載子（電子及電洞）重新組合，因而，激勵發光有機化合物。發光有機化合物從激勵狀態返回至接地狀態，藉此發光。由於該等機制，此發光元件稱為電流激勵

發光元件。

無機 EL 元件依據其元件結構而區分為分散型無機 EL 元件及薄膜無機 EL 元件。分散型無機 EL 元件具有發光層，其中發光材料之粒子分散於黏合劑中，且其發光機制為使用供體位準及受體位準之供體-受體重組型發光。薄膜無機 EL 元件具有一結構，其中發光層夾於電介質層之間，電介質層進一步夾於電極之間，且其發光機制為使用金屬離子之內殼層電子躍遷的侷限型發光。請注意，此處說明有機 EL 元件之範例做為發光元件。

為提取從發光元件發射之光，至少一對電極可為透光。電晶體及發光元件係形成於基板之上。發光元件可具有頂部發射結構，其中係經由相對於基板之表面提取發光；底部發射結構其中係經由基板側表面提取發光；或雙重發射結構其中係經由相對於基板之表面及基板側表面提取發光，並可使用具有任何該些發射結構之發光元件。

圖 8 描繪發光元件用做顯示元件之發光裝置的範例。發光元件 4513 為顯示元件，電性連接像素部 4002 中所配置之電晶體 4010。請注意，發光元件 4513 之結構為但不侷限於堆疊結構，其包括第一電極層 4030、電致發光層 4511、及第二電極層 4031。發光元件 4513 之結構可依據從發光元件 4513 提取光之方向等而適當改變。

分割壁 4510 可使用有機絕緣材料或無機絕緣材料予以形成。尤其較佳的是，分割壁 4510 係使用光敏樹脂材料形成而於第一電極層 4030 之上具有開口，使得開口之

側壁經形成為具連續曲率之傾斜表面。

電致發光層 4511 可使用單層或複數層堆疊予以形成。

保護膜可形成於第二電極層 4031 及分割壁 4510 之上，以避免氧、氫、濕氣、二氧化碳等進入發光元件 4513。有關保護膜，可形成氮化矽膜、氮氧化矽膜、DLC 膜等。此外，在經形成而具第一基板 4001、第二基板 4006 及密封劑 4005 之空間中，配置填充劑 4514 進行密封。較佳的是發光裝置以保護膜（諸如層壓膜或紫外線固化樹脂膜）或具高氣密性及低漏氣之覆蓋材料分封（密封），以此方式使得發光裝置不暴露於外部空氣。

有關填充劑 4514，可使用紫外線固化樹脂或熱固性樹脂以及諸如氮或氫之惰性氣體。例如，可使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯醇縮丁醛（PVB）或乙烯醋酸乙烯酯（EVA）。例如，氮用做填充劑。

此外，當需要時，諸如偏光板、圓偏光板（包括橢圓偏光板）、延遲板（四分之一波板或半波板）之光學膜或濾色器，可適當地配置於發光元件之發光表面。此外，偏光板或圓偏光板可配置具防反射膜。例如，可執行防眩光處理，藉此反射光可藉由投影而擴散及分散於表面以便降低反射。

此外，其中驅動電子墨水之電子紙可提供做為顯示裝置。電子紙亦稱為電泳顯示裝置（電泳顯示），有利的是

其具有與普通紙相同的可讀性程度，具有較其他顯示裝置為低的電力消耗，並可製成形薄質輕。

電泳顯示裝置可具有各式模式。電泳顯示裝置包含分散於溶劑或溶解物的複數微膠囊，每一微膠囊包含正向充電的第一粒子及負向充電的第二粒子。藉由施加電場於微膠囊，微膠囊中第一及第二粒子便以相對方向彼此移動，且僅顯示聚集在一側之粒子顏色。請注意，第一粒子或第二粒子各包含色素，且無電場時不會移動。再者，第一粒子及第二粒子彼此具有不同顏色（可為無色）。

因而，電泳顯示裝置利用所謂介電泳效應，藉此具有高介電常數之物質移至高電場區。

其中上述微膠囊分散於溶劑中之溶液稱為電子墨水。電子墨水可印刷於玻璃、塑料、布料、紙等表面。此外，藉由使用濾色器或具有色素之粒子可達成顏色顯示。

請注意，微膠囊中第一粒子及第二粒子可各由單一下列材料形成：導電材料、絕緣材料、半導體材料、磁性材料、液晶材料、鐵電材料、電致發光材料、電致變色材料、磁泳材料，或其複合材料。

此外，有關電子紙，可使用其中使用扭球顯示系統之顯示裝置。扭球顯示系統係指一種方法，其中染成黑色及白色的每一球形粒子配置於用做顯示元件之電極層的第一電極層與第二電極層之間，並於第一電極層與第二電極層之間產生電位差，以控制球形粒子之方向，而執行顯示。

圖 9 描繪主動式矩陣電子紙，做為半導體裝置之實施

例。圖 9 中電子紙為使用扭球顯示系統之顯示裝置範例。

在連接配置於第二基板 4006 上之電晶體 4010 及第二電極層 4031 的第一電極層 4030 之間配置球形粒子 4613，各包括黑色區域 4615a、白色區域 4615b、及填充液體環繞黑色區域 4615a 及白色區域 4615b 之腔 4612。環繞球形粒子 4613 之空間填充填充劑 4614，諸如樹脂。第二電極層 4031 相應於共同電極（相對電極）。第二電極層 4031 電性連接共同電位線。

在圖 7、圖 8 及圖 9 中，有關第一基板 4001 及第二基板 4006，可使用軟性基板，例如具有透光屬性之塑料基板。有關塑料，可使用強化玻璃纖維塑料（FRP）板、聚氯乙烯（PVF）膜、聚脂膜或丙烯酸樹脂膜。此外，可使用薄片，其具一結構其中鋁箔夾於 PVF 膜或聚脂膜之間。

絕緣層 4020 做為電晶體之保護膜。

請注意，配置保護膜以避免諸如空氣中所包含之有機物質、金屬或水蒸汽之污染雜質進入，並較佳地為密集膜。保護膜可使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鋁膜、氮化鋁膜、氧氮化鋁膜、及氮氧化鋁膜之一或多項藉由濺鍍法而形成單層或堆疊。

做為平坦化絕緣膜之絕緣層 4021 可使用具有耐熱性之有機材料予以形成，諸如丙烯酸、聚醯亞胺、苯並環丁烯、聚醯胺、或環氧樹脂。除了該等有機材料外，亦可使用低 k 常數材料（低 k 材料）、矽氧基樹脂、磷矽酸玻璃

(PSG)、摻雜硼磷的矽玻璃(BPSG)等。絕緣層可藉由堆疊以該些材料形成之複數絕緣膜予以形成。

對於形成絕緣層 4020 及 4021 之方法並無特別限制，依據材料，絕緣層 4020 及 4021 可藉由下列方法或裝置予以形成：方法諸如濺鍍法、SOG 法、旋塗法、浸漬法、噴塗法或液低釋放法（例如噴墨法、網印或膠印），或工具（設備）諸如刮膠刀、擠膠滾筒、簾式塗料器、或刮刀塗布機。

顯示裝置藉由從光源或顯示元件傳送光而顯示影像。因此，基板及諸如配置用於傳送光之像素部的絕緣膜及導電膜之薄膜相對於可見光波長範圍內之光而具有透光屬性。

依據光提取之方向、電極層配置之位置、及電極層之型樣結構，用於施加電壓於顯示元件之第一電極層及第二電極層（亦稱為像素電極層、共同電極層、相對電極層等）可具有透光屬性或反射光屬性。

第一電極層 4030 及第二電極層 4031 可使用透光導電材料予以形成，諸如包含氧化鎢之氧化銦、包含氧化鎢之氧化銦鋅、包含鈦氧化物之氧化銦、包含鈦氧化物之氧化銦錫、氧化銦錫（以下亦稱為 ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫。

可各使用選自下列金屬之一種或複數種材料形成第一電極層 4030 及第二電極層 4031，諸如鎢（W）、鉬（Mo）、鋯（Zr）、鈦（Hf）、釩（V）、鈮（Nb）、鉭

(Ta) 、 鉻 (Cr) 、 鈷 (Co) 、 鎳 (Ni) 、 鈦 (Ti) 、 鉑 (Pt) 、 鋁 (Al) 、 銅 (Cu) 或 銀 (Ag) ； 其 合 金 ； 及 其 金 屬 氮 化 物 。

包 含 導 電 高 分 子 (亦 稱 為 導 電 聚 合 物) 之 導 電 成 分 可 用 於 第 一 電 極 層 4030 及 第 二 電 極 層 4031 。 有 關 導 電 高 分 子 ， 可 使 用 所 謂 π -電 子 共 軛 導 電 聚 合 物 。 可 提 供 例 如 聚 苯 胺 及 其 衍 生 物 ， 聚 吡 咯 及 其 衍 生 物 ， 聚 噻 吩 及 其 衍 生 物 ， 二 或 更 多 苯 胺 、 吡 咯 及 噻 吩 或 其 衍 生 物 之 共 聚 物 等 。

由 於 電 晶 體 易 因 靜 電 等 而 破 裂 ， 較 佳 地 配 置 用 於 保 護 驅 動 電 路 之 保 護 電 路 。 保 護 電 路 較 佳 地 使 用 非 線 性 元 件 形 成 。

藉 由 使 用 任 一 上 述 實 施 例 1 至 4 中 所 說 明 之 電 晶 體 ， 顯 示 裝 置 可 具 有 各 種 功 能 。

本 實 施 例 可 藉 由 適 當 與 任 一 其 他 實 施 例 組 合 而 予 實 施 。

(實 施 例 6)

本 說 明 書 中 所 揭 露 之 半 導 體 裝 置 可 應 用 於 各 種 電 子 裝 置 (包 括 遊 戲 機) 。 電 子 裝 置 之 範 例 包 括 電 視 機 (亦 稱 為 電 視 或 電 視 接 收 器) 、 電 腦 等 之 螢 幕 、 諸 如 數 位 相 機 或 數 位 攝 影 機 之 相 機 、 數 位 相 框 、 行 動 電 話 手 機 (亦 稱 為 行 動 電 話 或 行 動 電 話 裝 置) 、 可 攜 式 遊 戲 機 、 可 攜 式 資 訊 終 端 機 、 音 頻 再 生 裝 置 、 及 諸 如 彈 珠 台 之 大 型 遊 戲 機 。

圖 10A 及 10B 描 繪 應 用 依 據 任 一 上 述 實 施 例 所 形 成

之軟性半導體裝置的電子書閱讀器之範例。圖 10A 描繪開啓之電子書閱讀器，及圖 10B 描繪關閉之電子書閱讀器。依據任一上述實施例所形成之軟性半導體裝置可用於第一顯示面板 4311、第二顯示面板 4312 及第三顯示面板 4313。

第一外殼 4305 具有包括第一顯示部 4301 之第一顯示面板 4311，第二外殼 4306 具有包括作業部 4304 及第二顯示部 4307 之第二顯示面板 4312。第三顯示面板 4313 爲雙重顯示面板，具有第三顯示部 4302 及第四顯示部 4310。第三顯示面板 4313 插於第一顯示面板 4311 與第二顯示面板 4312 之間。第一外殼 4305、第一顯示面板 4311、第三顯示面板 4313、第二顯示面板 4312 及第二外殼 4306 彼此相連具其中形成驅動電路之結合部 4308。圖 10A 及 10B 之電子書閱讀器包括四個顯示螢幕：第一顯示部 4301、第二顯示部 4307、第三顯示部 4302 及第四顯示部 4310。

第一外殼 4305、第一顯示面板 4311、第三顯示面板 4313、第二顯示面板 4312 及第二外殼 4306 爲軟性，及電子書閱讀器之彈性高。此外，當塑料基板用於每一第一外殼 4305 及第二外殼 4306，及薄膜用於第三顯示面板 4313 時，可獲得薄電子書閱讀器。

第三顯示面板 4313 爲包括第三顯示部 4302 及第四顯示部 4310 之雙重顯示面板。對第三顯示面板 4313 而言，可使用彼此附著之雙重發射型顯示面板或單側發射型顯示

面板。

圖 11 描繪依據任一上述實施例中所形成之半導體裝置用於室內發光裝置 3001 之範例。由於任一上述實施例中所說明之半導體裝置可增加面積，半導體裝置可用於具有大面積之發光裝置。此外，任一上述實施例中所說明之半導體裝置可用於桌燈 3000。請注意，除了天花板燈及桌燈以外，發光裝置於其分類包括壁燈、車內燈、疏散燈等。

以該等方式，任一實施例 1 至 5 中所說明之半導體裝置可應用於上述各種電子裝置，及可提供高度可靠的電子裝置。

本申請案係依據 2010 年 2 月 5 日向日本專利局提出申請之序號 2010-024385 日本專利申請案，其整個內容係以提及方式併入本文。

【符號說明】

300、306：製造基板

301、407、427、427a、427b、427c：絕緣層

302：分離層

304：將分離之層

305：黏合層

307：樹脂層

400、4001、4006：基板

401、421：閘極電極層

- 402、422、422a、422b、422c：閘極絕緣層
- 403、423a、423b、423c、441：氧化物半導體層
- 405a、425a：源極電極層
- 405b、425b：汲極電極層
- 409：保護絕緣層
- 410、420a、420b、420c、430、4010、4011：電晶體
- 411、431：導電層
- 412a、412b：開口
- 440：氧化物半導體膜
- 445：箭頭
- 3000：桌燈
- 3001：室內發光裝置
- 4002：像素部
- 4003：信號線驅動電路
- 4004：掃描線驅動電路
- 4005：密封劑
- 4008：液晶層
- 4013：液晶元件
- 4015：連接終端電極
- 4016：終端電極
- 4018：軟性印刷電路（FPC）
- 4019：非等向性導電膜
- 4020、4021：絕緣層
- 4023、4032：絕緣膜

- 4030、4031：電極層
- 4301、4302、4307、4310：顯示部
- 4304：作業部
- 4305、4306：外殼
- 4308：結合部
- 4311、4312、4313：顯示面板
- 4510：分割壁
- 4511：電致發光層
- 4513：發光元件
- 4514、4614：填充劑
- 4612：腔
- 4613：球形粒子
- 4615a：黑色區域
- 4615b：白色區域

申請專利範圍

1. 一種半導體裝置，包含電晶體，該電晶體包含：
閘極電極；
該閘極電極上之第一絕緣層；
該閘極電極上之氧化物半導體層，該第一絕緣層設置於該閘極電極與該氧化物半導體層之間；
該氧化物半導體層上之第二絕緣層；及
該氧化物半導體層上之導電層，該第二絕緣層設置於該氧化物半導體層與該導電層之間，其中該導電層重疊該閘極電極及電性連接該閘極電極，
其中該閘極電極及該導電層的每一個沿著該電晶體的通道寬度方向，延伸超過該氧化物半導體層的兩側邊緣，
及
其中該電晶體之通道形成區域包含結晶區域，該結晶區域為 c 軸對齊垂直於該氧化物半導體層之表面。
2. 一種半導體裝置，包含電晶體，該電晶體包含：
閘極電極；
該閘極電極上之第一絕緣層；
該閘極電極上之氧化物半導體層，該第一絕緣層設置於該閘極電極與該氧化物半導體層之間；
該氧化物半導體層上之第二絕緣層；及
該氧化物半導體層上之導電層，該第二絕緣層設置於該氧化物半導體層與該導電層之間，其中該導電層重疊該閘極電極及電性連接該閘極電極，

其中該閘極電極及該導電層的每一個沿著該電晶體的通道寬度方向，延伸超過該氧化物半導體層的兩側邊緣，使得該氧化物半導體層被該閘極電極、該第一絕緣層、該第二絕緣層及該導電層所圍繞，及

其中該電晶體之通道形成區域包含結晶區域，該結晶區域為c軸對齊垂直於該氧化物半導體層之表面。

3. 一種半導體裝置，包含電晶體，該電晶體包含：

閘極電極；

該閘極電極上之第一絕緣層；

該閘極電極上之氧化物半導體層，該第一絕緣層設置於該閘極電極與該氧化物半導體層之間；

該氧化物半導體層上之第二絕緣層；及

該氧化物半導體層上之導電層，該第二絕緣層設置於該氧化物半導體層與該導電層之間，其中該導電層重疊該閘極電極及電性連接該閘極電極，

其中該第二絕緣層包含第一開口及第二開口，該第一開口及該第二開口以該氧化物半導體層位在該第一開口及該第二開口之間的方式沿著該電晶體之通道寬度方向排列，

其中該閘極電極及該導電層的每一個沿著該電晶體的該通道寬度方向，延伸超過該氧化物半導體層的兩側邊緣，使得該導電層之部份形成在該第一開口及該第二開口之中，及

其中該電晶體之通道形成區域包含結晶區域，該結晶

區域為 c 軸對齊垂直於該氧化物半導體層之表面。

4. 如申請專利範圍第 1 項到第 3 項中任一項之半導體裝置，

其中該閘極電極與該導電層沿著該電晶體的該通道寬度方向於該氧化物半導體層之兩側彼此接觸。

5. 如申請專利範圍第 1 項到第 3 項中任一項之半導體裝置，其中該氧化物半導體層包含銮、鋅、氧以及金屬元素。

6. 如申請專利範圍第 1 項到第 3 項中任一項之半導體裝置，其中該半導體裝置是一顯示器裝置。

7. 如申請專利範圍第 1 項到第 3 項中任一項之半導體裝置，其中該電晶體包含於驅動電路中。

8. 如申請專利範圍第 1 項到第 3 項中任一項之半導體裝置，其中該電晶體通道形成區域之載子濃度係低於 $1 \times 10^{11}/\text{cm}^3$ 。

9. 如申請專利範圍第 1 項到第 3 項中任一項之半導體裝置，另外包含：

源極電極，在該氧化物半導體層上且電性連接於該氧化物半導體層；及

汲極電極，在該氧化物半導體層上且電性連接於該氧化物半導體層。

圖式

圖 1A

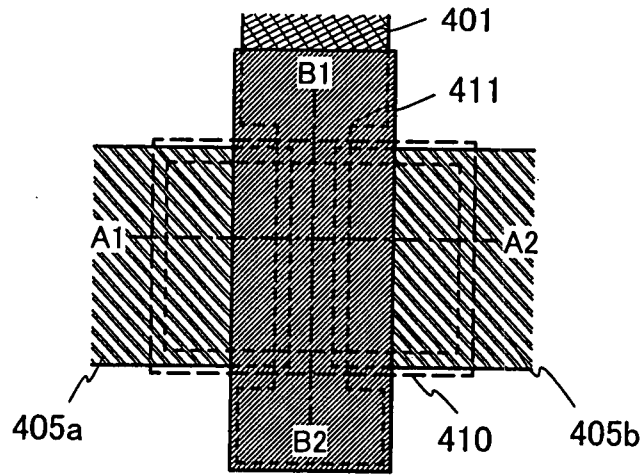


圖 1B

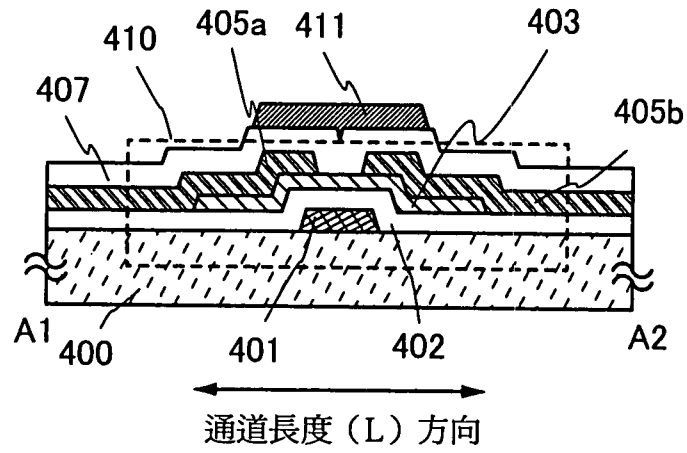


圖 1C

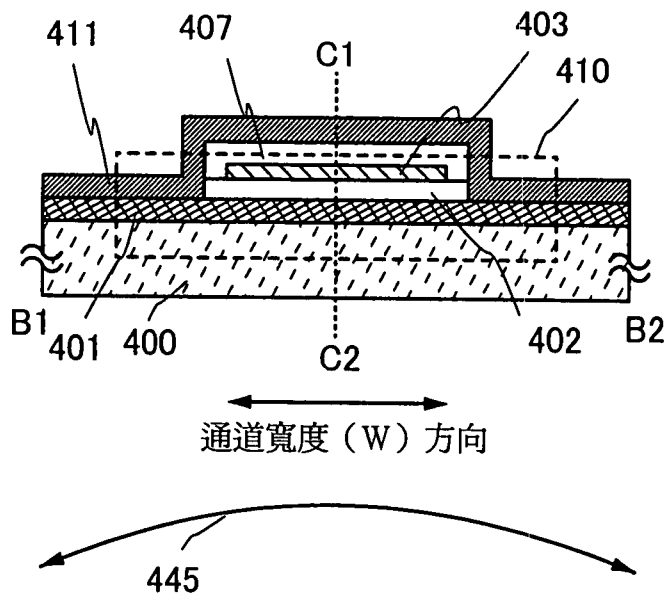


圖 2A

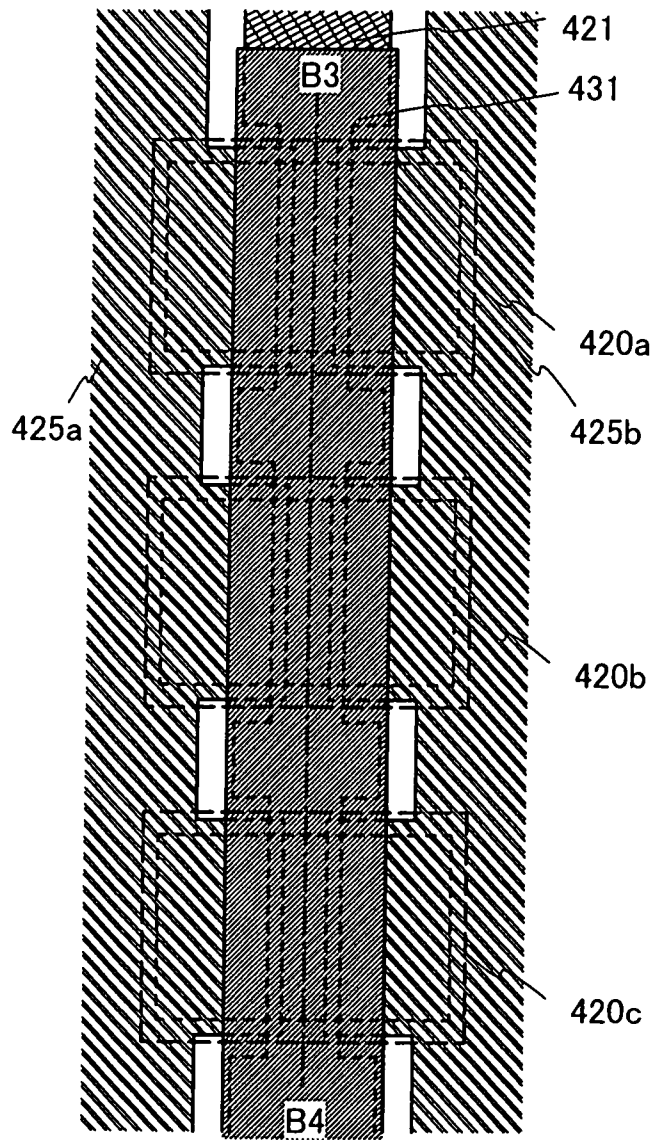


圖 2B

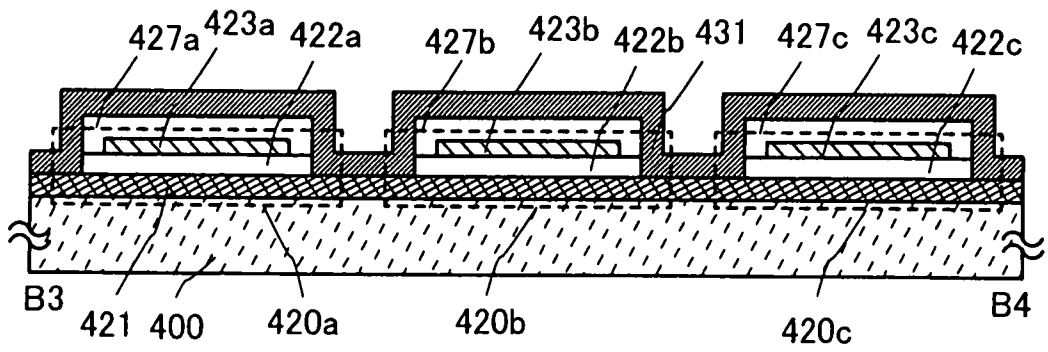


圖 3A1

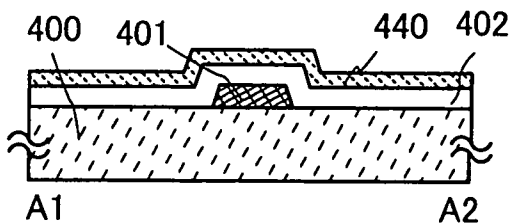


圖 3A2

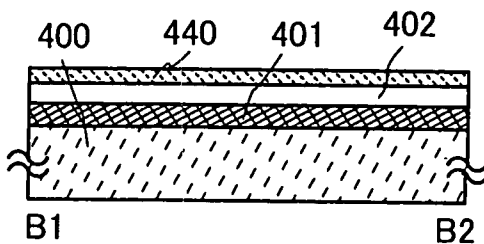


圖 3B1

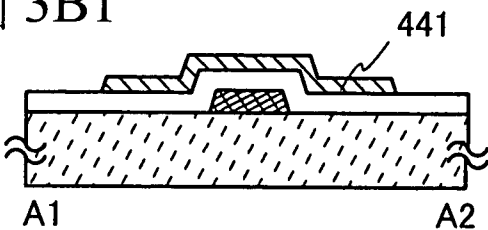


圖 3B2

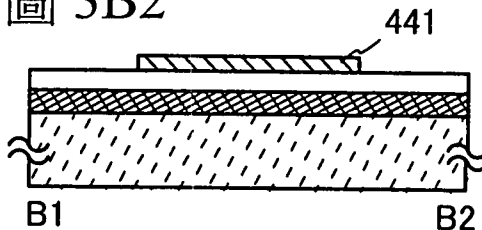


圖 3C1

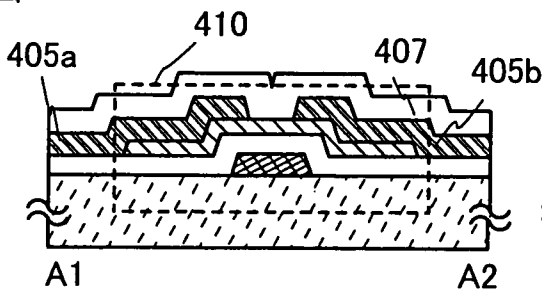


圖 3C2

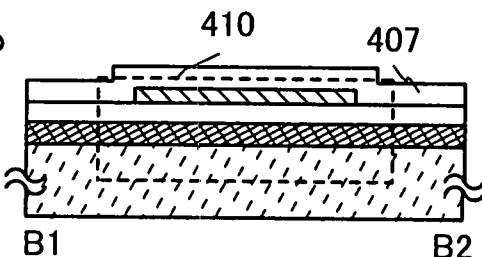


圖 3D1

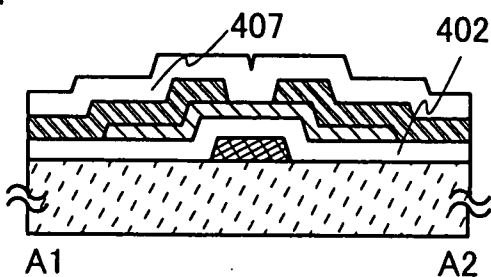


圖 3D2

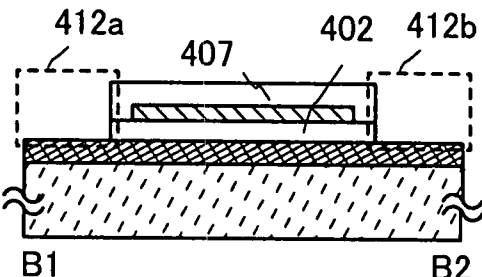


圖 3E1

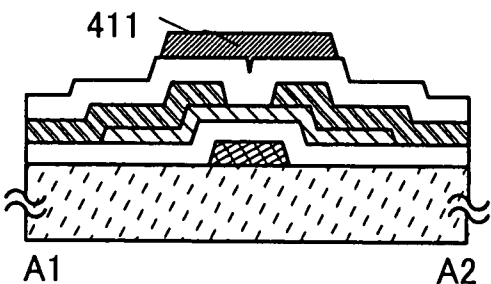


圖 3E2

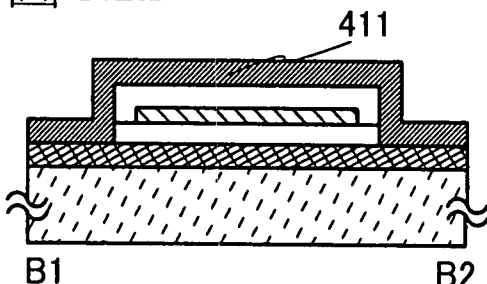


圖 4A

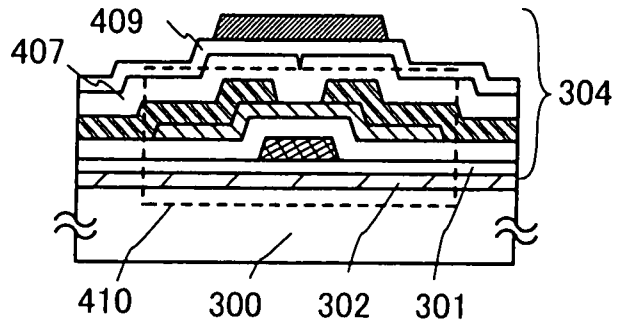


圖 4B

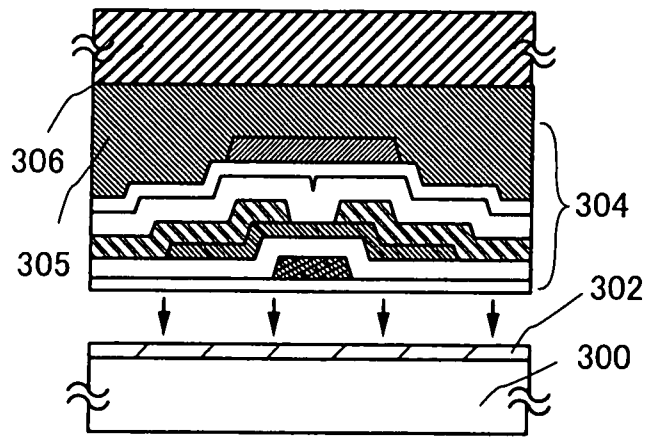


圖 4C

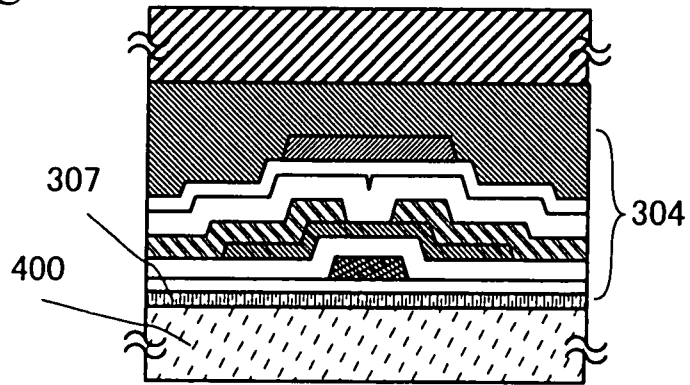


圖 4D

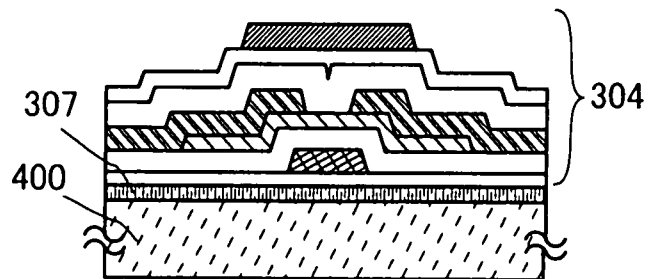


圖 5A

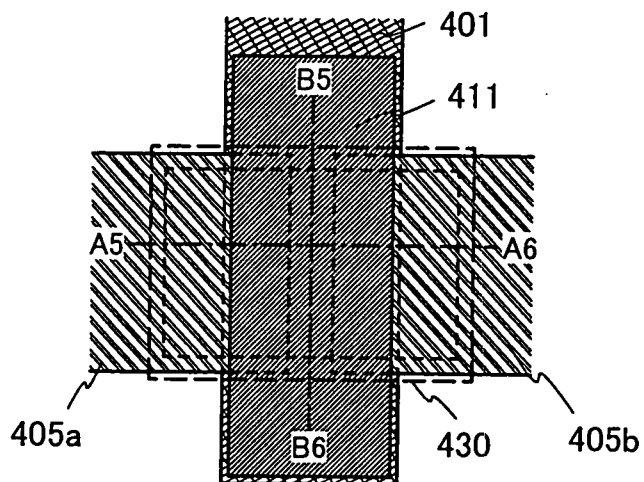


圖 5B

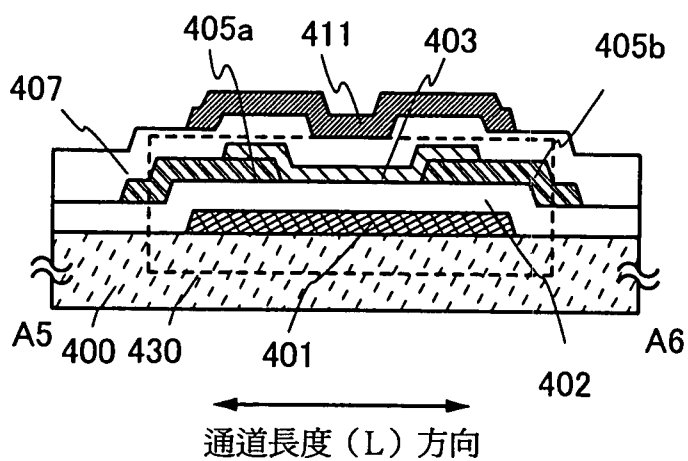


圖 5C

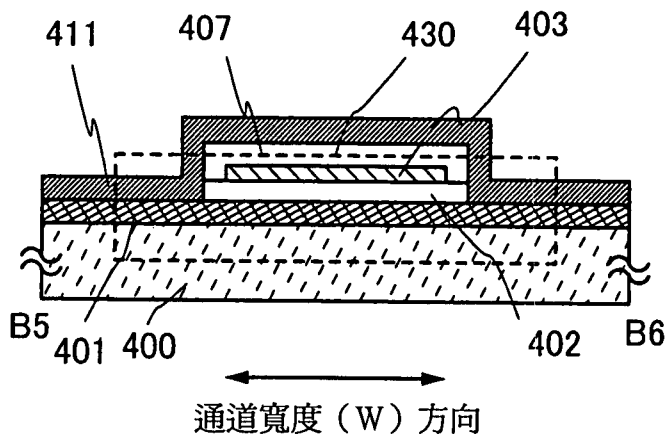


圖6A

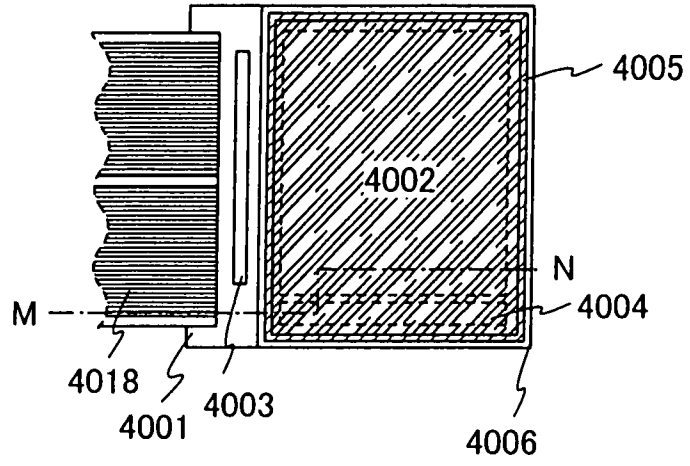


圖6B

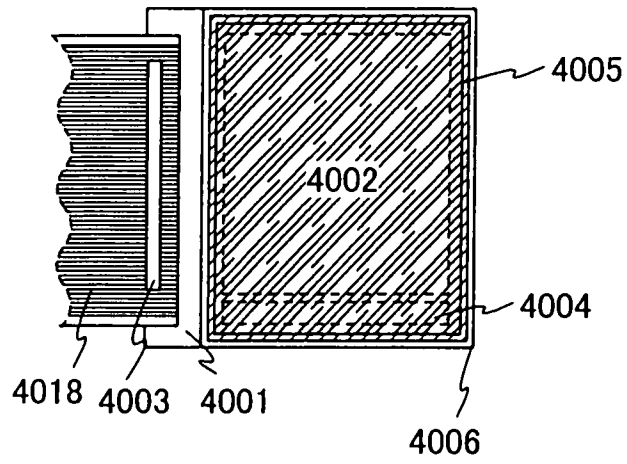


圖 7

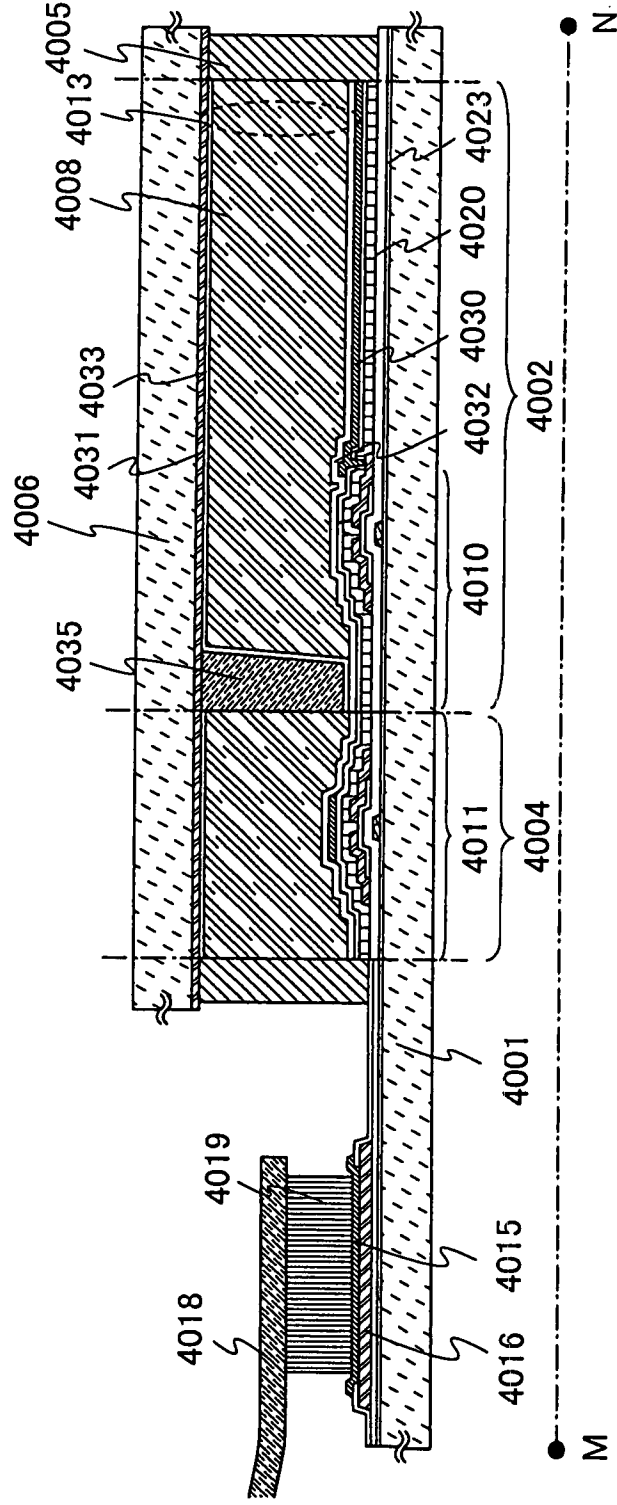


圖 8

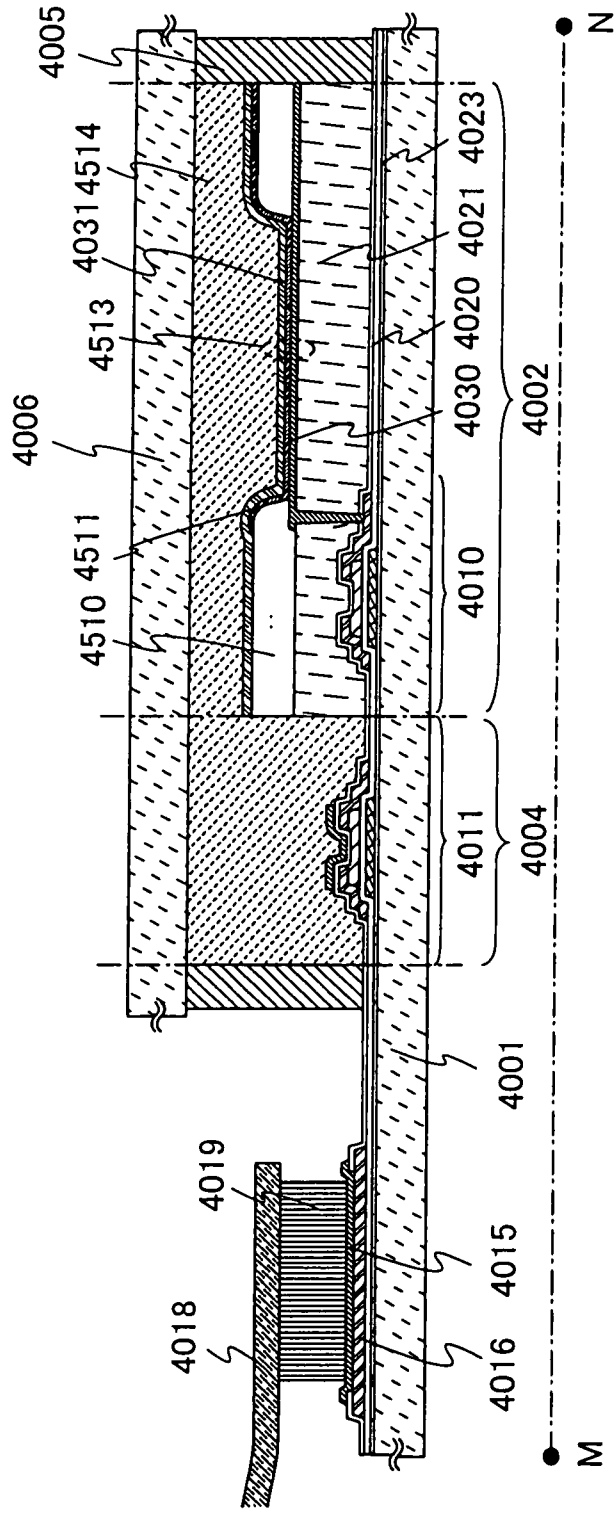


圖 9

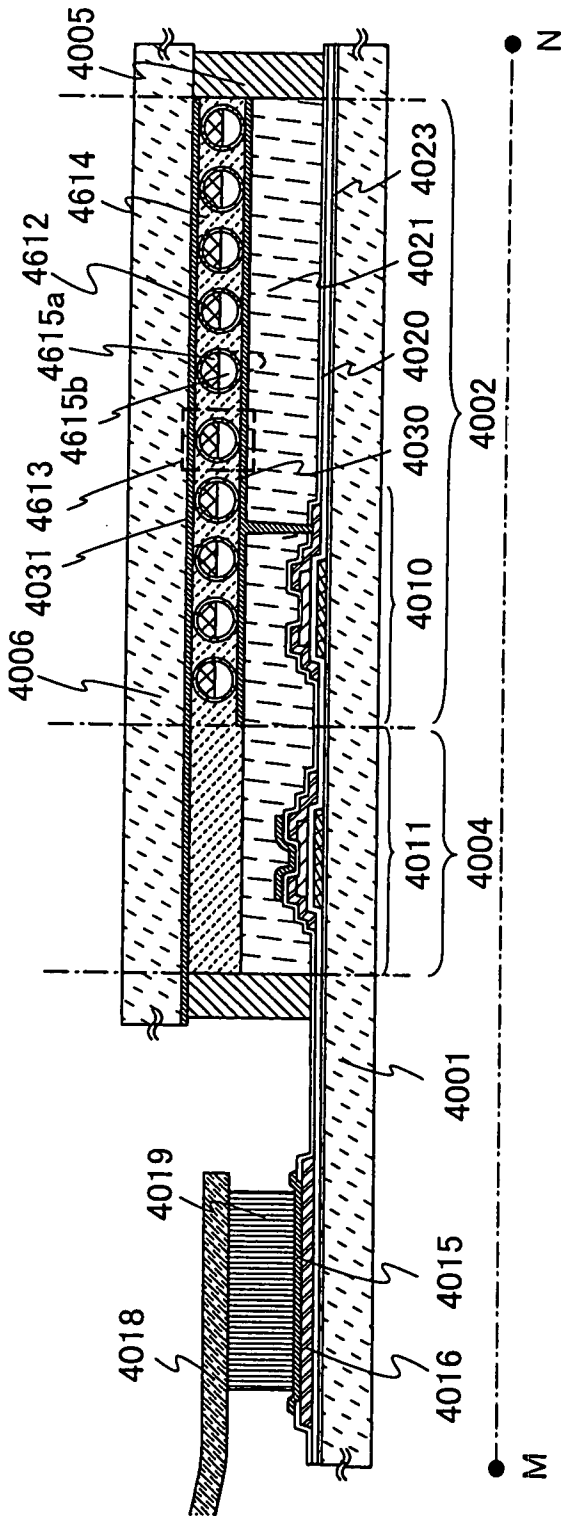


圖 10 A

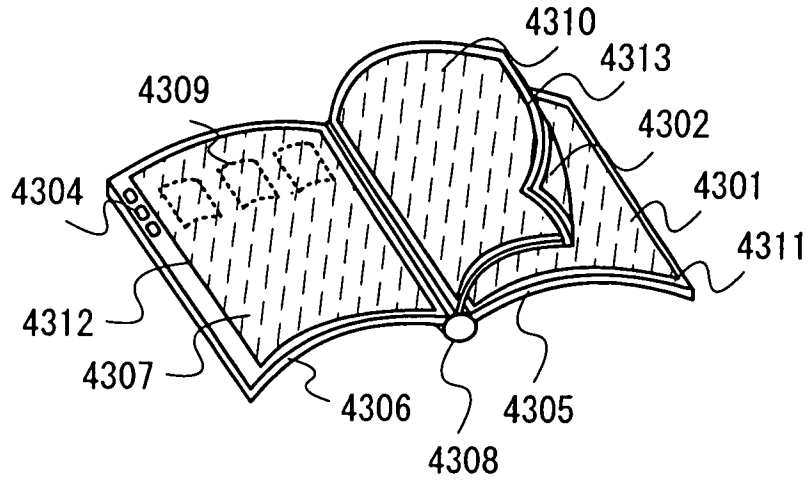


圖 10B

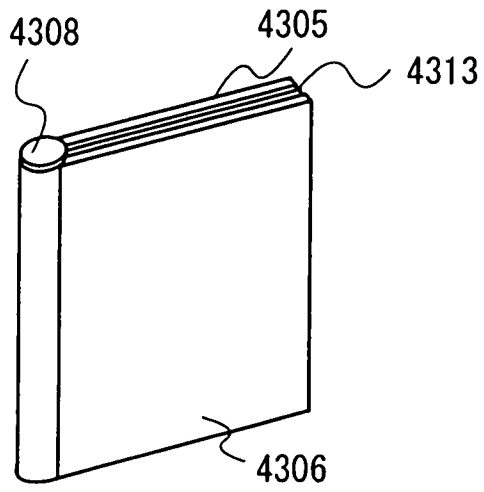


圖 11

