

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-347993
(P2004-347993A)

(43) 公開日 平成16年12月9日(2004.12.9)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
G09G 3/30	G09G 3/30 J	3K007
G09G 3/20	G09G 3/20 624B	5C080
H01L 21/8234	G09G 3/20 641D	5F048
H01L 27/06	G09G 3/20 642A	5F110
H01L 27/088	G09G 3/20 670J	5J055

審査請求 有 請求項の数 20 O L (全 47 頁) 最終頁に続く

(21) 出願番号	特願2003-146758 (P2003-146758)	(71) 出願人	000002185 ソニー株式会社 東京都品川区北品川6丁目7番35号
(22) 出願日	平成15年5月23日 (2003.5.23)	(74) 代理人	100094053 弁理士 佐藤 隆久
		(72) 発明者	内野 勝秀 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山下 淳一 東京都品川区北品川6丁目7番35号 ソニー株式会社内
		(72) 発明者	山本 哲郎 東京都品川区北品川6丁目7番35号 ソニー株式会社内

最終頁に続く

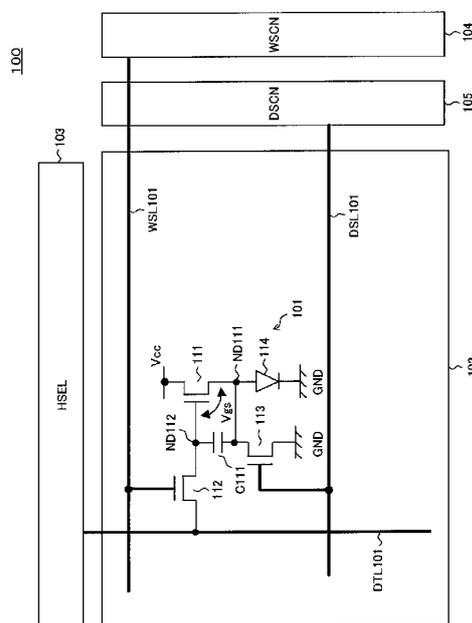
(54) 【発明の名称】 画素回路、表示装置、および画素回路の駆動方法

(57) 【要約】

【課題】 発光素子の電流 - 電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをELの駆動素子として用いることができる画素回路、表示装置、および画素回路の駆動方法を提供する。

【解決手段】 駆動トランジスタとしてのTFT111のソースが発光素子114のアノードに接続され、ドレインが電源電位VCCに接続され、TFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT113に介して固定電位に接続する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

流れる電流によって輝度が増加する電気光学素子を駆動する画素回路であって、
輝度情報に応じたデータ信号が供給されるデータ線と、
第 1 の制御線と、
第 1 および第 2 のノードと、
第 1 および第 2 の基準電位と、
第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、
上記データ線と上記画素容量素子の第 1 端子または第 2 端子のいずれかとの間に接続され、
上記第 1 の制御線により導通制御される第 1 のスイッチと、
上記電気光学素子が非発光期間に上記第 1 のノードの電位を固定電位に遷移させるための第 1 の回路と、を有し、
上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、
上記第 1 のノード、および上記電気光学素子が直列に接続されている
画素回路。

10

【請求項 2】

第 2 の制御線をさらに有し、
上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第 1 のノードに接続され、
ドレインが上記第 1 の基準電位または第 2 の基準電位に接続され、ゲートが上記第 2 のノードに接続され、
上記第 1 の回路は、上記第 1 ノードと固定電位との間に接続され、上記第 2 の制御線により導通制御される第 2 のスイッチを含む
請求項 1 記載の画素回路。

20

【請求項 3】

上記電気光学素子を駆動する場合、
第 1 ステージとして、上記第 1 の制御線により上記第 1 のスイッチが非導通状態に保持された状態で、
上記第 2 の制御線により上記第 2 のスイッチが導通状態に保持されて、
上記第 1 のノードが固定電位に接続させられ、
第 2 ステージとして、上記第 1 の制御線により上記第 1 のスイッチが導通状態に保持されて
上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、
上記第 1 のスイッチが非導通状態に保持され、
第 3 ステージとして、上記第 2 の制御線により上記第 2 のスイッチが非導通状態に保持される
請求項 2 記載の画素回路。

30

【請求項 4】

第 2 の制御線をさらに有し、
上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第 1 の基準電位または第 2 の基準電位に接続され、
ゲートが上記第 2 のノードに接続され、
上記第 1 の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、
上記第 2 の制御線により導通制御される第 2 のスイッチを含む
請求項 1 記載の画素回路。

40

【請求項 5】

上記電気光学素子を駆動する場合、
第 1 ステージとして、上記第 1 の制御線により上記第 1 のスイッチが非導通状態に保持され、
上記第 2 の制御線により上記第 2 のスイッチが非導通状態に保持され、
第 2 ステージとして、上記第 1 の制御線により上記第 1 のスイッチが導通状態に保持されて
上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、
上記第 1 のスイッチが非導通状態に保持され、

50

第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持される

請求項4記載の画素回路。

【請求項6】

第2の制御線をさらに有し、

上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、

上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む

10

請求項1記載の画素回路。

【請求項7】

上記電気光学素子を駆動する場合、

第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、

第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、

第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持される

20

請求項6記載の画素回路。

【請求項8】

上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路を、有する

請求項1記載の画素回路。

【請求項9】

第2および第3の制御線と、

電圧源と、をさらに有し、

上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、

30

上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、

上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含む

請求項8記載の画素回路。

【請求項10】

上記電気光学素子を駆動する場合、

第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、

40

第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、

第3ステージとして、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される

請求項9記載の画素回路。

【請求項11】

第2および第3の制御線と、

50

電圧源と、をさらに有し、

上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、

上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、

上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含む

請求項8記載の画素回路。

【請求項12】

上記電気光学素子を駆動する場合、

第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、

第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、

第3ステージとして、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される

請求項11記載の画素回路。

【請求項13】

上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第2のノードを固定電位に保持させる第2の回路を、有する

請求項1記載の画素回路。

【請求項14】

上記固定電位は、上記第1の基準電位または第2の基準電位である

請求項13記載の画素回路。

【請求項15】

第2、第3、および第4の制御線、をさらに有し、

上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、

上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチと、上記電界効果トランジスタのソースと上記第1のノードとの間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、

上記第2の回路は、上記第1のノードと上記固定電位との間に接続され、上記第4の制御線により導通制御される第4のスイッチを含む

請求項13記載の画素回路。

【請求項16】

上記電気光学素子を駆動する場合、

第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第4の制御線により上記第3のスイッチが非導通状態に保持され、

第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第4の制御線により上記第4のスイッチが導通状態に保持されて、上記第2のノードが固定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子

10

20

30

40

50

に書き込まれた後、上記第 1 の制御線により上記第 1 のスイッチが非導通状態に保持され、上記第 4 の制御線により上記第 4 のスイッチが非導通状態の保持され、第 3 ステージとして、上記第 2 の制御線により上記第 2 のスイッチが導通状態に保持され、上記第 3 の制御線により上記第 3 のスイッチが導通状態に保持される請求項 15 記載の画素回路。

【請求項 17】

マトリクス状に複数配列された画素回路と、
 上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、
 上記画素回路のマトリクス配列に対して行毎に配線された第 1 の制御線と、
 第 1 および第 2 の基準電位と、を有し、
 上記画素回路は、
 流れる電流によって輝度が変わる電気光学素子と、
 第 1 および第 2 のノードと、
 第 1 端子と第 2 端子間で電流供給ラインを形成し、上記第 2 のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、
 上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、
 上記データ線と上記画素容量素子の第 1 端子または第 2 端子のいずれかとの間に接続され、
 上記第 1 の制御線により導通制御される第 1 のスイッチと、
 上記電気光学素子が非発光期間に上記第 1 のノードの電位を固定電位に遷移させるための第 1 の回路と、を有し、
 上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、
 上記第 1 のノード、および上記電気光学素子が直列に接続されている表示装置。

【請求項 18】

上記第 1 のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第 1 のノードを所定電位に保持させる第 2 の回路を、有する請求項 17 記載の表示装置。

【請求項 19】

上記第 1 のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第 2 のノードを固定電位に保持させる第 2 の回路を、有する請求項 17 記載の表示装置。

【請求項 20】

流れる電流によって輝度が変わる電気光学素子と、
 輝度情報に応じたデータ信号が供給されるデータ線と、
 第 1 および第 2 のノードと、
 第 1 および第 2 の基準電位と、
 ドレインが上記第 1 の基準電位または第 2 の基準電位に接続され、ソースが上記第 1 のノードに接続され、ゲートが上記第 2 のノードに接続された電界効果トランジスタと、
 上記第 1 のノードと上記第 2 のノードとの間に接続された画素容量素子と、
 上記データ線と上記画素容量素子の第 1 端子または第 2 端子のいずれかとの間に接続された第 1 のスイッチと、
 上記第 1 のノードの電位を固定電位に遷移させるための第 1 の回路と、を有し、
 上記第 1 の基準電位と第 2 の基準電位との間に、上記駆動トランジスタの電流供給ライン、
 上記第 1 のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、
 上記第 1 のスイッチが非導通状態を保持した状態で、上記第 1 の回路により上記第 1 のノードの電位を固定電位に遷移させ、
 上記第 1 のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記画素容量素子に書き込んだ後、上記第 1 のスイッチを非導通状態に保持し、

上記第1の回路の上記第1のノードの電位を固定電位に遷移させる動作を停止させる画素回路の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL (Electroluminescence) ディスプレイなどの、電流値によって輝度が制御される電気光学素子を有する画素回路、およびこの画素回路がマトリクス状に配列された画像表示装置のうち、特に各画素回路内部に設けられた絶縁ゲート型電界効果トランジスタによって電気光学素子に流れる電流値が制御される、いわゆるアクティブマトリクス型画像表示装置、並びに画素回路の駆動方法に関するものである。

10

【0002】

【従来の技術】

画像表示装置、たとえば液晶ディスプレイなどでは、多数の画素をマトリクス状に並べ、表示すべき画像情報に応じて画素毎に光強度を制御することによって画像を表示する。これは有機ELディスプレイなどにおいても同様であるが、有機ELディスプレイは各画素回路に発光素子を有する、いわゆる自発光型のディスプレイであり、液晶ディスプレイに比べて画像の視認性が高い、バックライトが不要、応答速度が速い、等の利点を有する。

また、各発光素子の輝度はそれに流れる電流値によって制御することによって発色の階調を得る、すなわち発光素子が電流制御型であるという点で液晶ディスプレイなどとは大きく異なる。

20

【0003】

有機ELディスプレイにおいては、液晶ディスプレイと同様、その駆動方式として単純マトリクス方式とアクティブマトリクス方式とが可能であるが、前者は構造が単純であるものの、大型かつ高精細のディスプレイの実現が難しいなどの問題があるため、各画素回路内部の発光素子に流れる電流を、画素回路内部に設けた能動素子、一般にはTFT (Thin Film Transistor、薄膜トランジスタ) によって制御する、アクティブマトリクス方式の開発が盛んに行われている。

【0004】

図34は、一般的な有機EL表示装置の構成を示すブロック図である。

この表示装置1は、図34に示すように、画素回路(PXLC)2aがm×nのマトリクス状に配列された画素アレイ部2、水平セレクタ(HSEL)3、ライトスキャナ(WSCN)4、水平セレクタ3により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL1~DTLn、およびライトスキャナ4により選択駆動される走査線WSL1~WSLmを有する。

なお、水平セレクタ3はライトスキャナ4に関しては、多結晶シリコン上に形成する場合や、MOSIC等で画素の周辺に形成することもある。

【0005】

図35は、図34の画素回路2aの一構成例を示す回路図である(たとえば特許文献1、2参照)。

40

図35の画素回路は、多数提案されている回路のうちで最も単純な回路構成であり、いわゆる2トランジスタ駆動方式の回路である。

【0006】

図35の画素回路2aは、pチャネル薄膜電界効果トランジスタ(以下、TFTという)11およびTFT12、キャパシタC11、発光素子である有機EL素子(OLED)13を有する。また、図35において、DTLはデータ線を、WSLは走査線をそれぞれ示している。

有機EL素子は多くの場合整流性があるため、OLED (Organic Light Emitting Diode) と呼ばれることがあり、図35その他では発光素子とし

50

てダイオードの記号を用いているが、以下の説明においてO L E Dには必ずしも整流性を要求するものではない。

図35ではT F T 1 1のソースが電源電位V C Cに接続され、発光素子13のカソード(陰極)は接地電位G N Dに接続されている。図35の画素回路2aの動作は以下の通りである。

【0007】

ステップS T 1 :

走査線W S Lを選択状態(ここでは低レベル)とし、データ線D T Lに書き込み電位V d a t aを印加すると、T F T 1 2が導通してキャパシタC 1 1が充電または放電され、T F T 1 1のゲート電位はV d a t aとなる。

10

【0008】

ステップS T 2 :

走査線W S Lを非選択状態(ここでは高レベル)とすると、データ線D T LとT F T 1 1とは電氣的に切り離されるが、T F T 1 1のゲート電位はキャパシタC 1 1によって安定に保持される。

【0009】

ステップS T 3 :

T F T 1 1および発光素子13に流れる電流は、T F T 1 1のゲート・ソース間電圧V g sに応じた値となり、発光素子13はその電流値に応じた輝度で発光し続ける。

上記ステップS T 1のように、走査線W S Lを選択してデータ線に与えられた輝度情報を画素内部に伝える操作を、以下「書き込み」と呼ぶ。

20

上述のように、図35の画素回路2aでは、一度V d a t aの書き込みを行えば、次に書き換えられるまでの間、発光素子13は一定の輝度で発光を継続する。

【0010】

上述したように、画素回路2aでは、ドライブトランジスタであるT F T 1 1のゲート印加電圧を変化させることで、E L発光素子13に流れる電流値を制御している。

このとき、pチャンネルのドライブトランジスタのソースは電源電位V C Cに接続されており、このT F T 1 1は常に飽和領域で動作している。よって、下記の式1に示した値を持つ定電流源となっている。

【0011】

30

【数1】

$$I_{ds} = 1/2 \cdot \mu (W/L) C_{ox} (V_{gs} - |V_{th}|)^2 \quad \dots (1)$$

【0012】

単純マトリクス型画像表示装置では、各発光素子は、選択された瞬間にのみ発光するのに対し、アクティブマトリクスでは、上述したように、書き込み終了後も発光素子が発光を継続するため、単純マトリクスに比べて発光素子のピーク輝度、ピーク電流を下げられるなどの点で、とりわけ大型・高精細のディスプレイでは有利となる。

【0013】

図36は、有機E L素子の電流 - 電圧(I - V)特性の経時変化を示す図である。図36において、実線で示す曲線が初期状態時の特性を示し、破線で示す曲線が経時変化後の特性を示している。

40

【0014】

一般的に、有機E L素子のI - V特性は、図36に示すように、時間が経過すると劣化してしまう。

しかしながら、図35の2トランジスタ駆動は定電流駆動のために有機E L素子には上述したように定電流が流れ続け、有機E L素子のI - V特性が劣化してもその発光輝度は経時劣化することはない。

【0015】

ところで、図35の画素回路2aは、pチャンネルのT F Tにより構成されているが、nチャンネルのT F Tにより構成することができれば、T F T作成において従来のアモルファス

50

シリコン (a - S i) プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

【 0 0 1 6 】

次に、トランジスタを n チャンネル T F T に置き換えた画素回路について考察する。

【 0 0 1 7 】

図 3 7 は、図 3 5 の回路の p チャンネル T F T を n チャンネル T F T に置き換えた画素回路を示す回路図である。

【 0 0 1 8 】

図 3 7 の画素回路 2 b は、n チャンネル T F T 2 1 および T F T 2 2、キャパシタ C 2 1、発光素子である有機 E L 素子 (O L E D) 2 3 を有する。また、図 3 7 において、D T L はデータ線を、W S L は走査線をそれぞれ示している。 10

【 0 0 1 9 】

この画素回路 2 b では、ドライブトランジスタとして T F T 2 1 のドレイン側が電源電位 V C C に接続され、ソースは E L 素子 2 3 のアノードに接続されており、ソースフォロワー回路を形成している。

【 0 0 2 0 】

図 3 8 は、初期状態におけるドライブトランジスタとしての T F T 2 1 と E L 素子 2 3 の動作点を示す図である。図 3 8 において、横軸は T F T 2 1 のドレイン・ソース間電圧 V_{ds} を、縦軸はドレイン・ソース間電流 I_{ds} をそれぞれ示している。

【 0 0 2 1 】

図 3 8 に示すように、ソース電圧はドライブトランジスタである T F T 2 1 と E L 素子 2 3 との動作点で決まり、その電圧はゲート電圧によって異なる値を持つ。

この T F T 2 1 は飽和領域で駆動されるので、動作点のソース電圧に対する V_{gs} に関して上記式 1 に示した方程式の電流値の電流 I_{ds} を流す。

【 0 0 2 2 】

【 特許文献 1 】

U S P 5 , 6 8 4 , 3 6 5

【 特許文献 2 】

特開平 8 - 2 3 4 6 8 3 号公報

【 0 0 2 3 】

【 発明が解決しようとする課題 】

しかしながら、ここでも同様に E L 素子の I - V 特性は経時劣化してしまう。図 3 9 に示すように、この経時劣化により動作点の変動が変動してしまい、同じゲート電圧を印加していてもそのソース電圧は変動する。

これにより、ドライブトランジスタである T F T 2 1 のゲート・ソース間電圧 V_{gs} は変化してしまい、流れる電流値が変動する。同時に E L 素子 2 3 に流れる電流値も変化するので、E L 素子 2 3 の I - V 特性が劣化すると、図 3 7 のソースフォロワー回路ではその発光輝度は経時変化してしまう。

【 0 0 2 4 】

また、図 4 0 に示すように、ドライブトランジスタとしての n チャンネル T F T 2 1 のソースを接地電位 G N D に接続し、ドレインを E L 素子 2 3 のカソードに接続し、E L 素子 2 3 のアノードを電源電位 V C C に接続する回路構成も考えられる。 40

【 0 0 2 5 】

この方式では、図 3 5 の p チャンネル T F T による駆動と同様に、ソースの電位が固定されており、ドライブトランジスタとして T F T 2 1 は定電流源として動作して、E L 素子の I - V 特性の劣化による輝度変化も防止できる。

【 0 0 2 6 】

しかしながら、この方式ではドライブトランジスタを E L 素子のカソード側に接続する必要があり、このカソード接続は新規にアノード・カソードの電極の開発が必要であり、現状の技術では非常に困難であるとされている。 50

以上より、従来の方式では輝度変化のない、nチャンネルトランジスタ使用の有機EL素子の開発はなされていなかった。

【0027】

本発明は、かかる事情に鑑みてなされたものであり、その目的は、発光素子の電流-電圧特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行え、nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをELの駆動素子として用いることができる画素回路、表示装置、および画素回路の駆動方法を提供することにある。

【0028】

【課題を解決するための手段】

上記目的を達成するため、本発明の第1の観点は、流れる電流によって輝度が増加する電気光学素子を駆動する画素回路であって、輝度情報に応じたデータ信号が供給されるデータ線と、第1の制御線と、第1および第2のノードと、第1および第2の基準電位と、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

10

20

【0029】

好適には、第2の制御線をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1ノードと固定電位との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む。

【0030】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持された状態で、上記第2の制御線により上記第2のスイッチが導通状態に保持されて、上記第1のノードが固定電位に接続させられ、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが非導通状態に保持される。

30

【0031】

好適には、第2の制御線をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む。

40

【0032】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

【0033】

50

好適には、第2の制御線をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含む。

【0034】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持されて上記データ線を伝播されるデータが上記画素容量素子が書き込まれた後、上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

10

【0035】

好適には、上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第1のノードを所定電位に保持させる第2の回路を、有する。

【0036】

好適には、第2および第3の制御線と、電圧源と、をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記電界効果トランジスタのソースと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含む。

20

【0037】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

30

【0038】

好適には、第2および第3の制御線と、電圧源と、をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチを含み、上記第2の回路は、上記第1のノードと上記電圧源との間に接続され、上記第3の制御線により導通制御される第3のスイッチを含む。

40

【0039】

好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持されて、上記第1のノードが所定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、第3ステージとして、上記第3の制御線により上記第3のスイッチが非

50

導通状態に保持され、上記第2の制御線により上記第2のスイッチが導通状態に保持される。

【0040】

好適には、上記第1のスイッチが導通状態に保持されてデータ線を伝播されるデータを書き込むときに、上記第2のノードを固定電位に保持させる第2の回路を、有する。

また、上記固定電位は、上記第1の基準電位または第2の基準電位である。

【0041】

好適には、第2、第3、および第4の制御線、をさらに有し、上記駆動トランジスタが電界効果トランジスタであり、ソースが上記第1のノードに接続され、ドレインが上記第1の基準電位または第2の基準電位に接続され、ゲートが上記第2のノードに接続され、上記第1の回路は、上記第1のノードと上記電気光学素子との間に接続され、上記第2の制御線により導通制御される第2のスイッチと、上記電界効果トランジスタのソースと上記第1のノードとの間に接続され、上記第3の制御線により導通制御される第3のスイッチを含み、上記第2の回路は、上記第1のノードと上記固定電位との間に接続され、上記第4の制御線により導通制御される第4のスイッチを含む。

10

【0042】

また、好適には、上記電気光学素子を駆動する場合、第1ステージとして、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第2の制御線により上記第2のスイッチが非導通状態に保持され、上記第3の制御線により上記第3のスイッチが非導通状態に保持され、上記第4の制御線により上記第3のスイッチが非導通状態に保持され、第2ステージとして、上記第1の制御線により上記第1のスイッチが導通状態に保持され、上記第4の制御線により上記第4のスイッチが導通状態に保持されて、上記第2のノードが固定電位に保持された状態で、上記データ線を伝播されるデータが上記画素容量素子に書き込まれた後、上記第1の制御線により上記第1のスイッチが非導通状態に保持され、上記第4の制御線により上記第4のスイッチが非導通状態に保持され、第3ステージとして、上記第2の制御線により上記第2のスイッチが導通状態に保持され、上記第3の制御線により上記第3のスイッチが導通状態に保持される。

20

【0043】

本発明の第2の観点は、マトリクス状に複数配列された画素回路と、上記画素回路のマトリクス配列に対して列毎に配線され、輝度情報に応じたデータ信号が供給されるデータ線と、上記画素回路のマトリクス配列に対して行毎に配線された第1の制御線と、第1および第2の基準電位と、を有し、上記画素回路は、流れる電流によって輝度に変化する電気光学素子と、第1および第2のノードと、第1端子と第2端子間で電流供給ラインを形成し、上記第2のノードに接続された制御端子の電位に応じて上記電流供給ラインを流れる電流を制御する駆動トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続され、上記第1の制御線により導通制御される第1のスイッチと、上記電気光学素子が非発光期間に上記第1のノードの電位を固定電位に遷移させるための第1の回路と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている。

30

40

【0044】

本発明の第3の観点は、流れる電流によって輝度に変化する電気光学素子と、輝度情報に応じたデータ信号が供給されるデータ線と、第1および第2のノードと、第1および第2の基準電位と、ドレインが上記第1の基準電位または第2の基準電位に接続され、ソースが上記第1のノードに接続され、ゲートが上記第2のノードに接続された電界効果トランジスタと、上記第1のノードと上記第2のノードとの間に接続された画素容量素子と、上記データ線と上記画素容量素子の第1端子または第2端子のいずれかとの間に接続された第1のスイッチと、上記第1のノードの電位を固定電位に遷移させるための第1の回路と、を有し、上記第1の基準電位と第2の基準電位との間に、上記駆動トランジスタの電流

50

供給ライン、上記第1のノード、および上記電気光学素子が直列に接続されている画素回路の駆動方法であって、上記第1のスイッチが非導通状態を保持した状態で、上記第1の回路により上記第1のノードの電位を固定電位に遷移させ、上記第1のスイッチを導通状態に保持し上記データ線を伝播されるデータを上記画素容量素子に書き込んだ後、上記第1のスイッチを非導通状態に保持し、上記第1の回路の上記第1のノードの電位を固定電位に遷移させる動作を停止させる。

【0045】

本発明によれば、たとえば駆動トランジスタのソース電極を、スイッチを介して固定電位に接続し、ドライブトランジスタのゲートとソース間に画素容量を有することから、発光素子のI-V特性の経時劣化による輝度変化が補正される。

10

駆動トランジスタがnチャンネルの場合に、固定電位を接地電位とすることで、発光素子に印加する電位を接地電位にして発光素子の非発光期間が作り出される。

また、ソース電極と接地電位とを接続している第2のスイッチのオフ時間を調節することで、発光素子の発光・非発光の期間を調整し、Duty駆動が行われる。

また、固定電位を接地電位付近もしくはそれ以下の低電位にすること、もしくはゲート電圧を上げることで、固定電位に接続されるスイッチトランジスタのしきい値 V_{th} のバラツキに起因の画質劣化が抑制される。

また、駆動トランジスタがpチャンネルの場合に、固定電位を発光素子のカソード電極に接続されている電源電位とすることで、発光素子に印加する電位を電源電位としEL素子の非発光期間が作り出される。

20

そして、駆動トランジスタの特性をnチャンネルとすることで、ソースフォロワーが可能となり、アノード接続ができる。

また、駆動トランジスタを全てnチャンネル化することが可能となり、一般的なアモルファスシリコンのプロセスを導入することが可能となり、低コスト化が可能となる。

【0046】

また、第2のスイッチングトランジスタが発光素子と駆動トランジスタの間にレイアウトされているために、非発光期間には駆動トランジスタに電流は流れず、パネルの消費電力が抑えられる。

また、接地電位として発光素子のカソード側の電位、たとえば第2の基準電位を用いることで、パネル内部のTFT側にはGND配線を有する必要が無い。

30

また、パネルのTFT基板のGND配線を削除できることで、画素内のレイアウトや周辺回路部のレイアウトが容易になる。

さらに、パネルのTFT基板のGND配線を削除できることで、周辺回路部の電源電位(第1の基準電位)と接地電位(第2の基準電位)とのオーバーラップが必要なく、Vccラインを低抵抗でレイアウトでき、高ユニフォーミティを達成できる。

【0047】

また、たとえば画素容量素子を駆動トランジスタのソースに接続し、非発光期間に容量の一方側を電源まで昇圧することで、パネル内部のTFT側にGND配線を有する必要がなくなる。

また、信号線書き込み時間に電源配線側の第4のスイッチをオンし、低インピーダンスにすることで、画素書き込みに対するカップリングの効果を短時間で補正して、高ユニフォーミティの画質が得られる。

40

また、電源配線の電位をVcc電位と同一にすることで、パネル配線を削減することができる。

【0048】

また、本発明によれば、駆動トランジスタのゲート電極を、スイッチを介して固定電位に接続し、駆動トランジスタのゲートとソース間に画素容量を有することで、発光素子のI-V特性の経時劣化による輝度変化が補正される。

たとえば駆動トランジスタがnチャンネルの場合に、固定電位を駆動トランジスタのドレイン電極が接続されている固定電位とすることで画素内に固定電位は電源電位のみとする。

50

また、駆動トランジスタのゲート側およびソース側に接続されているスイッチングトランジスタのゲート電圧を上げる、若しくはサイズを大きくすることで、スイッチトランジスタのしきい値バラツキに起因する画質劣化が抑制される。

また、駆動トランジスタがpチャンネルの場合に、固定電位を駆動トランジスタのドレイン電極が接続されている固定電位とすることで、画素内に固定電位をGNDのみとする。

そして、駆動トランジスタのゲート側およびソース側に接続されているスイッチングトランジスタのゲート電圧を上げる、若しくはサイズを大きくすることで、スイッチトランジスタのしきい値のバラツキに起因する画質劣化が抑制される。

【0049】

【発明の実施の形態】

以下、本発明の実施形態を添付図面に関連付けて説明する。

【0050】

第1実施形態

図1は、本第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図2は、図1の有機EL表示装置において本第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0051】

この表示装置100は、図1および図2に示すように、画素回路(PXLC)101がm×nのマトリクス状に配列された画素アレイ部102、水平セレクタ(HSEL)103、ライトスキャナ(WSCN)104、ドライブスキャナ(DSCN)105、水平セレクタ103により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL101~DTL10n、ライトスキャナ104により選択駆動される走査線WSL101~WSL10m、およびドライブスキャナ105により選択駆動される駆動線DSL101~DSL10mを有する。

【0052】

なお、画素アレイ部102において、画素回路101はm×nのマトリクス状に配列されるが、図2においては図面の簡単化のために2(=m)×3(=n)のマトリクス状に配列した例を示している。

また、図2においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0053】

本第1の実施形態に係る画素回路101は、図2に示すように、nチャンネルTFT111~TFT113、キャパシタC111、有機EL素子(OLED:電気光学素子)からなる発光素子114、およびノードND111,ND112を有する。

また、図2において、DTL101はデータ線を、WSL101は走査線を、DSL101は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT111が本発明に係る電界効果トランジスタを構成し、TFT112が第1のスイッチを構成し、TFT113が第2のスイッチを構成し、キャパシタC111が本発明に係る画素容量素子を構成している。

また、走査線WSL101が本発明に係る第1の制御線に対応し、駆動線DSL101が第2の制御線に対応する。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0054】

画素回路101において、TFT111のソースと第2の基準電位(本実施形態では接地電位GND)との間に発光素子(OLED)114が接続されている。具体的には、発光素子114のアノードがTFT111のソースに接続され、カソード側が接地電位GNDに接続されている。発光素子114のアノードとTFT111のソースとの接続点によりノードND111が構成されている。

10

20

30

40

50

TFT111のソースがTFT113のドレインおよびキャパシタC111の第1電極に接続され、TFT111のゲートがノードND112に接続されている。

TFT113のソースが固定電位(本実施形態では接地電位GND)に接続され、TFT113のゲートが駆動線DSL101に接続されている。また、キャパシタC111の第2電極がノードND112に接続されている。

データ線DTL101とノードND112に第1のスイッチとしてのTFT112のソース・ドレインがそれぞれ接続されている。そして、TFT112のゲートが走査線WSL101に接続されている。

【0055】

このように、本実施形態に係る画素回路101は、ドライブトランジスタとしてのTFT111のゲート・ソース間にキャパシタC111が接続され、TFT111のソース電位をスイッチトランジスタとしてのTFT113に介して固定電位に接続するよう構成されている。 10

【0056】

次に、上記構成の動作を、画素回路の動作を中心に、図3(A)~(F)および図4(A)~(F)に関連付けて説明する。

なお、図4(A)は画素配列の第1行目の走査線WSL101に印加される走査信号ws[101]を、図4(B)は画素配列の第2行目の走査線WSL102に印加される走査信号ws[102]を、図4(C)は画素配列の第1行目の駆動線DSL101に印加される駆動信号ds[101]を、図4(D)は画素配列の第2行目の駆動線DSL102に印加される駆動信号ds[102]を、図4(E)はTFT111のゲート電位Vgを、図4(F)はTFT111のソース電位Vsをそれぞれ示している。 20

【0057】

まず、通常のEL発光素子114の発光状態時は、図4(A)~(D)に示すように、ライトスキナ104より走査線WSL101, WSL102, ...への走査信号ws[101], ws[102], ...が選択的にローレベルに設定され、ドライブスキナ105により駆動線DSL101, DSL102, ...への駆動信号ds[101], ds[102], ...が選択的にローレベルに設定される。

その結果、画素回路101においては、図3(A)に示すように、TFT112とTFT113がオフした状態に保持される。 30

【0058】

次に、EL発光素子114の非発光期間において、図4(A)~(D)に示すように、ライトスキナ104より走査線WSL101, WSL102, ...への走査信号ws[101], ws[102], ...がローレベルに保持され、ドライブスキナ105により駆動線DSL101, DSL102, ...への駆動信号ds[101], ds[102], ...が選択的にハイレベルに設定される。

その結果、画素回路101においては、図3(B)に示すように、TFT112はオフ状態に保持されたままで、TFT113がオンする。

このとき、TFT113を介して電流が流れ、図4(F)に示すように、TFT111のソース電位Vsは接地電位GNDまで下降する。そのため、EL発光素子114に印加される電圧も0Vとなり、EL発光素子114は非発光となる。 40

【0059】

次に、EL発光素子114の非発光期間において、図4(A)~(D)に示すように、ドライブスキナ105により駆動線DSL101, DSL102, ...への駆動信号ds[101], ds[102], ...がハイレベルに保持されたまま、ライトスキナ104より走査線WSL101, WSL102, ...への走査信号ws[101], ws[102], ...が選択的にハイレベルに設定される。

その結果、画素回路101においては、図3(C)に示すように、TFT113がオン状態に保持されたままで、TFT112がオンする。これにより、水平セレクト103によりデータ線DTL101に伝搬された入力信号(Vin)が画素容量としてのキャパシタ 50

C 1 1 1 に書き込まれる。

このとき、図 4 (F) に示すように、ドライブトランジスタとしての T F T 1 1 1 のソース電位 V_s は接地電位レベル (G N D レベル) にあるため、図 4 (E) , (F) に示すように、T F T 1 1 1 のゲート・ソース間の電位差は入力信号の電圧 V_{in} と等しくなる。

【 0 0 6 0 】

その後、E L 発光素子 1 1 4 の非発光期間において、図 4 (A) ~ (D) に示すように、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 , D S L 1 0 2 , . . . への駆動信号 $d_s [1 0 1]$, $d_s [1 0 2]$, . . . がハイレベルに保持されたまま、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 , W S L 1 0 2 , . . . への走査信号 $w_s [1 0 1]$, $w_s [1 0 2]$, . . . が選択的にローレベルに設定される。

10

その結果、画素回路 1 0 1 においては、図 3 (D) に示すように、T F T 1 1 2 がオフ状態となり、画素容量としてのキャパシタ C 1 1 1 への入力信号の書き込みが終了する。

【 0 0 6 1 】

その後、図 4 (A) ~ (D) に示すように、ライトスキャナ 1 0 4 より走査線 W S L 1 0 1 , W S L 1 0 2 , . . . への走査信号 $w_s [1 0 1]$, $w_s [1 0 2]$, . . . はローレベルに保持され、ドライブスキャナ 1 0 5 により駆動線 D S L 1 0 1 , D S L 1 0 2 , . . . への駆動信号 $d_s [1 0 1]$, $d_s [1 0 2]$, . . . が選択的にローレベルに設定される。

その結果、画素回路 1 0 1 においては、図 3 (E) に示すように、T F T 1 1 3 がオフ状態となる。

20

T F T 1 1 3 がオフすることで、図 4 (F) に示すように、ドライブトランジスタとしての T F T 1 1 1 のソース電位 V_s は上昇し、E L 発光素子 1 1 4 にも電流が流れる。

【 0 0 6 2 】

T F T 1 1 1 のソース電位 V_s は変動するにもかかわらず、T F T 1 1 1 のゲート・ソース間には容量があるために、図 4 (E) , (F) に示すように、ゲート・ソース電位は常に V_{in} にて保たれている。

このとき、ドライブトランジスタとしての T F T 1 1 1 は飽和領域で駆動しているので、この T F T 1 1 1 に流れる電流値 I_{ds} は前述した式 1 で示された値となり、その値は T F T 1 1 1 のゲート・ソース電圧である V_{in} にて決められる。この電流 I_{ds} は E L 発光素子 1 1 4 にも同様に流れ、E L 発光素子 1 1 4 は発光する。

30

E L 発光素子 1 1 4 の等価回路は図 3 (F) に示すようになっているため、このときノード N D 1 1 1 の電位は E L 発光素子 1 1 4 に電流 I_{ds} が流れるゲート電位まで上昇する。

この電位上昇に伴い、キャパシタ 1 1 1 (画素容量 C_s) を介してノード N D 1 1 2 の電位も同様に上昇する。これにより、前述した通り T F T 1 1 1 のゲート・ソース電位は V_{in} に保たれる。

【 0 0 6 3 】

ここで、従来のソースフォロワー方式での問題点について、本発明の回路において考える。本回路においても、E L 発光素子は発光時間が長くなるに従い、その I - V 特性は劣化する。そのため、ドライブトランジスタが同じ電流値を流したとしても、E L 発光素子に

40

印加される電位は変化し、ノード N D 1 1 1 の電位は下降する。しなしながら、本回路ではドライブトランジスタのゲート・ソース間電位が一定に保たれたままノード N D 1 1 1 の電位は下降するので、ドライブトランジスタ (T F T 1 1 1) に流れる電流は変化しない。よって、E L 発光素子に流れる電流も変化せず、E L 発光素子の I - V 特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

【 0 0 6 4 】

以上説明したように、本第 1 の実施形態によれば、ドライブトランジスタとしての T F T 1 1 1 のソースが発光素子 1 1 4 のアノードに接続され、ドレインが電源電位 V_{CC} に接続され、T F T 1 1 1 のゲート・ソース間にキャパシタ C 1 1 1 が接続され、T F T 1 1

50

1のソース電位をスイッチトランジスタとしてのTFT113に介して固定電位に接続するよう構成されていることから、以下の効果を得ることができる。

EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

【0065】

第2実施形態

図5は、本第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図6は、図5の有機EL表示装置において本第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0066】

この表示装置200は、図5および図6に示すように、画素回路(PXLC)201がm×nのマトリクス状に配列された画素アレイ部202、水平セレクタ(HSEL)203、ライトスキャナ(WSCN)204、ドライブスキャナ205(DSCN)、水平セレクタ203により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL201~DTL20n、ライトスキャナ204Aにより選択駆動される走査線WSL201~WSL20m、およびドライブスキャナ205により選択駆動される駆動線DSL201~DSL20mを有する。

【0067】

なお、画素アレイ部202において、画素回路201はm×nのマトリクス状に配列されるが、図12においては図面の簡単化のために2(=m)×3(=n)のマトリクス状に配列した例を示している。

また、図6においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0068】

本第2の実施形態に係る画素回路201は、図6に示すように、nチャネルTFT211~TFT213、キャパシタC211、有機EL素子(OLED:電気光学素子)からなる発光素子214、およびノードND211,ND212を有する。

また、図6において、DTL201はデータ線を、WSL201は走査線を、DSL201は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT211が本発明に係る電界効果トランジスタを構成し、TFT212が第1のスイッチを構成し、TFT213が第2のスイッチを構成し、キャパシタC211が本発明に係る画素容量素子を構成している。

また、走査線WSL201が本発明に係る第1の制御線に対応し、駆動線DSL201が第2の制御線に対応する。

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0069】

画素回路201において、TFT211のソースと発光素子214のアノードとの間に、TFT213のソース・ドレインがそれぞれ接続され、TFT211のドレインが電源電位VCCに接続され、発光素子214のカソードが接地電位GNDに接続されている。すなわち、電源電位VCCと接地電位GNDとの間に、ドライブトランジスタとしてのTFT211、スイッチングトランジスタとしてのTFT213、および発光素子214が直列に接続されている。そして、発光素子214のアノードとTFT213のソースとの接

10

20

30

40

50

続点によりノードND211が構成されている。

TF T 2 1 1のゲートがノードND212に接続されている。そして、ノードND211とND212との間、すなわち、TF T 2 1 1のゲートと発光素子214のアノードとの間に、画素容量CsとしてのキャパシタC211が接続されている。キャパシタC211の第1電極がノードND211に接続され、第2電極がノードND212に接続されている。

TF T 2 1 3のゲートが駆動線DSL201に接続されている。また、データ線DTL201とノードND212に第1のスイッチとしてのTF T 2 1 2のソース・ドレインがそれぞれ接続されている。そして、TF T 2 1 2のゲートが走査線WSL201に接続されている。

10

【0070】

このように、本実施形態に係る画素回路201は、ドライブトランジスタとしてのTF T 2 1 1のソースと発光素子214のアノードとがスイッチングトランジスタとしてのTF T 2 1 3により接続され、TF T 2 1 1のゲートと発光素子214のアノード間にキャパシタC211が接続されている。

【0071】

次に、上記構成の動作を、画素回路の動作を中心に、図7(A)~(E)および図8(A)~(F)に関連付けて説明する。

なお、図8(A)は画素配列の第1行目の走査線WSL201に印加される走査信号ws[201]を、図8(B)は画素配列の第2行目の走査線WSL202に印加される走査信号ws[202]を、図8(C)は画素配列の第1行目の駆動線DSL201に印加される駆動信号ds[201]を、図8(D)は画素配列の第2行目の駆動線DSL202に印加される駆動信号ds[202]を、図8(E)はTF T 2 1 1のゲート電位Vgを、図8(F)はTF T 2 1 1のアノード側電位、すなわちノードND211の電位VND211をそれぞれ示している。

20

【0072】

まず、通常のEL発光素子214の発光状態時は、図8(A)~(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, ...への走査信号ws[201], ws[202], ...が選択的にローレベルに設定され、ドライブスキャナ205により駆動線DSL201, DSL202, ...への駆動信号ds[201], ds[202], ...が選択的にハイレベルに設定される。

30

その結果、画素回路201においては、図7(A)に示すように、TF T 2 1 2がオフ状態に保持され、TF T 2 1 3がオン状態に保持される。

このとき、ドライブトランジスタとしてのTF T 2 1 1とEL発光素子214には電流Idsが流れる。

【0073】

次に、EL発光素子214の非発光期間において、図8(A)~(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, ...への走査信号ws[201], ws[202], ...はローレベルに保持され、ドライブスキャナ205により駆動線DSL201, DSL202, ...への駆動信号ds[201], ds[202], ...が選択的にローレベルに設定される。

40

その結果、画素回路201においては、図7(B)に示すように、TF T 2 1 2はオフ状態に保持されたままで、TF T 2 1 3がオフする。

このとき、EL発光素子214に保持されていた電位は、供給源が無くなるために降下する。この電位はEL発光素子214のしきい電圧Vthまで降下する。しかし、EL発光素子214にもオフ電流が流れるために、さらに非発光期間が続くとその電位はGNDまで降下する。

一方、ドライブトランジスタとしてのTF T 2 1 1は、ゲート電位が高いためにオン状態に保持され、TF T 2 1 1のソース電位は電源電圧Vccまで昇圧される。この昇圧は短時間にて行われ、Vcc昇圧後はTF T 2 1 1には電流は流れない。

50

つまり、以上より本第2の実施形態の画素回路では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【0074】

次に、EL発光素子214の非発光期間において、図8(A)~(D)に示すように、ドライブキャナ205により駆動線DSL201, DSL202, ...への駆動信号 $ds[201]$, $ds[202]$, ...がローレベルに保持されたまま、ライトキャナ204より走査線WSL201, WSL202, ...への走査信号 $ws[201]$, $ws[202]$, ...が選択的にハイレベルに設定される。

その結果、画素回路201においては、図7(C)に示すように、TF T 213がオフ状態に保持されたまま、TF T 212がオンする。これにより、水平セクタ203によりデータ線DTL201に伝搬された入力信号(V_{in})が画素容量 C_s としてのキャパシタ C_{211} に書き込まれる。

このとき、図8(F)に示すように、スイッチングトランジスタとしてのTF T 213のアノード側電位 V_a 、すなわちノードND211の電位 V_{ND211} は接地電位レベル(GNDレベル)にあるため、画素容量 C_s としてのキャパシタ C_{211} には入力信号の電圧 V_{in} と等しい電位が保持される。

【0075】

その後、EL発光素子214の非発光期間において、図8(A)~(D)に示すように、ドライブキャナ205により駆動線DSL201, DSL202, ...への駆動信号 $ds[201]$, $ds[202]$, ...はローレベルに保持されたまま、ライトキャナ204より走査線WSL201, WSL202, ...への走査信号 $ws[201]$, $ws[202]$, ...が選択的にローレベルに設定される。

その結果、画素回路201においては、図7(D)に示すように、TF T 212がオフ状態となり、画素容量としてのキャパシタ C_{211} への入力信号の書き込みが終了する。

【0076】

その後、図8(A)~(D)に示すように、ライトキャナ204より走査線WSL201, WSL202, ...への走査信号 $ws[201]$, $ws[202]$, ...がローレベルに保持されたまま、ドライブキャナ205により駆動線DSL201, DSL202, ...への駆動信号 $ds[201]$, $ds[202]$, ...が選択的にハイレベルに設定される。

その結果、画素回路201において、図7(E)に示すように、TF T 213がオン状態となる。

TF T 213がオンしたことに伴い、EL発光素子214に電流が流れ、TF T 211のソース電位は降下する。このように、ドライブトランジスタとしてのTF T 211のソース電位は変動するにもかかわらず、TF T 211のゲートと発光素子214のアノード間には容量があるために、ゲート・アノード電位は常に V_{in} にて保たれている。このとき、ドライブトランジスタとしてのTF T 211は飽和領域で駆動しているため、このTF T 211に流れる電流値 I_{ds} は前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース電圧 V_{gs} である。

ここで、TF T 213は非飽和領域にて動作しているため、単純な抵抗値とみなされる。よって、TF T 211のゲート・ソース電圧は V_{in} からTF T 213による電圧降下の値を引いたものとなる。つまり、TF T 211を流れる電流量は V_{in} によって決められるといえる。

【0077】

以上より、EL発光素子214は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第2の実施形態の画素回路201では、ドライブトランジスタとしてのTF T 211のゲート・ソース間電位が一定に保たれたままノードND211の電位は下降するので、TF T 211に流れる電流は変化しない。

よって、EL発光素子214に流れる電流も変化せず、EL発光素子214のI-V特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決でき

10

20

30

40

50

る。

加えて、TFT213のゲートのオン電圧を上げることで、TFT213のしきい値 V_{th} のばらつきによる、抵抗値ばらつきを抑制することができる。

【0078】

なお、図6において、発光素子214のカソード電極の電位を接地電位GNDにしているが、これはどのような電位でも構わない。

【0079】

また、図9に示すように、画素回路のトランジスタはnチャネルではなく、pチャネルTFT221~223で画素回路を構成しても構わない。この場合はEL発光素子224のアノード側に電源が接続され、カソード側にドライブトランジスタとしてのTFT221が接続される。 10

【0080】

さらに、スイッチングトランジスタとしてのTFT212, TFT213はドライブトランジスタとしてのTFT211と異なる極性のトランジスタでも構わない。

【0081】

ここで、本第2の実施形態に係る画素回路201と前述した第1の実施形態に係る画素回路101とを比較する。

本第2の実施形態に係る画素回路201と第1の実施形態に係る画素回路101とが基本的に異なる点は、スイッチングトランジスタとしてのTFT213とTFT113との接続位置が異なることにある。 20

【0082】

一般的に有機EL素子のI-V特性は、時間に対して劣化してしまう。しかしながら、第1の実施形態に係る画素回路101では、TFT111のゲート・ソース間の電位差 V_s が常に保持されているために、TFT111を流れる電流が一定であるので、有機EL素子のI-V特性が劣化してもその輝度は保たれる。

第1の実施形態に係る画素回路101では、TFT112がオフしてTFT113がオンしているときに、ドライブトランジスタTFT111のソース電位 V_s は接地電位になり、有機EL素子は発光せず非発光期間となる。同時に画素容量の第1電極(片側)も接地電位GNDとなる。しかし、この非発光期間においても、ゲート・ソース間電圧は保持され続けており、この画素回路101内には電源(V_{cc})からGNDへと電流が流れる 30

。一般的に有機EL素子には発光期間と非発光期間があり、パネルの輝度は発光の強度と発光期間の積にて決められる。通常発光期間が短い程、動画特性は良くなるので、短い発光期間にてパネルを使用することが望ましい。ここで発光期間を短くしたときに同じ輝度を得るには、EL素子の発光強度を上げる必要があり、ドライブトランジスタにはより多くの電流を流す必要がある。

【0083】

ここで、第1の実施形態に係る画素回路101に関してさらに考察する。

第1の実施形態に係る画素回路101では、上述の通り、非発光期間にも電流が流れる。よって、非発光期間を短くし、流れる電流量を上げると、非発光期間においても電流が流れ続けるために、消費電流が増加する。 40

また、第1の実施形態に係る画素回路101では、電源電位 V_{VCC} と接地電位GND配線がパネル内に必要である。そのため、TFT側のパネル内部に二種類の配線をレイアウトする必要がある。 V_{cc} とGNDは電圧降下を防ぐために、低抵抗で配線する必要がある。よって、二種類の配線を行うと、配線によるレイアウト面積を拡大する必要がある。そのため、パネルの高精細化に従い画素ピッチが小さくなると、トランジスタなどの配置が困難になるおそれがある。同時にパネル内部にて V_{CC} 配線とGND配線とのオーバーラップする領域が増えるおそれがあり、歩留まり向上を抑止するおそれがある。

これに対して、第2の実施形態に係る画素回路201によれば、上述した第1の実施形態の効果を得られることはもとより、消費電流、配線の削減、歩留まりが向上する等の効果を 50

得ることができる。

【0084】

本第2の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、第2の実施形態によれば、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

【0085】

第3実施形態

図10は、本第3の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図11は、図10の有機EL表示装置において本第3の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0086】

本第3の実施形態に係る表示装置200Aが第2の実施形態に係る表示装置200と異なる点は、画素回路における画素容量CsとしてのキャパシタC211の接続位置が異なる点にある。

具体的には、第2の実施形態に係る画素回路201では、キャパシタC211をドライブトランジスタとしてのTFT211のゲートとEL発光素子214のアノード側との間に接続している。

これに対して、本第3の実施形態に係る画素回路201Aでは、キャパシタC211をドライブトランジスタとしてのTFT211のゲートとソース間に接続している。具体的には、キャパシタC211の第1電極がTFT211のソースとスイッチングトランジスタとしてのTFT213との接続点(ノードND211A)に接続され、第2電極がノードND212に接続されている。

その他の構成は、上述した第2の実施形態と同様である。

【0087】

次に、上記構成の動作を、画素回路の動作を中心に、図12(A)~(E)および図13(A)~(F)に関連付けて説明する。

【0088】

まず、通常のEL発光素子214の発光状態時は、図13(A)~(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号ws[201], ws[202], …が選択的にローレベルに設定され、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号ds[201], ds[202], …が選択的にハイレベルに設定される。

その結果、画素回路201においては、図12(A)に示すように、TFT212がオフ状態に保持され、TFT213がオン状態に保持される。

このとき、ドライブトランジスタとしてのTFT211とEL発光素子214には電流Idsが流れる。

【0089】

10

20

30

40

50

次に、EL発光素子214の非発光期間において、図13(A)~(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号ws[201], ws[202], …はローレベルに保持され、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号ds[201], ds[202], …が選択的にローレベルに設定される。

その結果、画素回路201においては、図12(B)に示すように、TF T 212はオフ状態に保持されたままで、TF T 213がオフする。

このとき、EL発光素子214に保持されていた電位は、供給源が無くなるために降下する。この電位はEL発光素子214のしきい電圧 V_{th} まで降下する。しかし、EL発光素子214にもオフ電流が流れるために、さらに非発光期間が続くとその電位はGNDまで降下する。

10

一方、ドライブトランジスタとしてのTF T 211は、ゲート電位が高いためにオン状態に保持され、図13(F)に示すように、TF T 211のソース電位 V_s は電源電圧 V_{cc} まで昇圧される。この昇圧は短時間にて行われ、 V_{cc} 昇圧後はTF T 211には電流は流れない。

つまり、以上より本第3の実施形態の画素回路201Aでは、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【0090】

次に、EL発光素子214の非発光期間において、図13(A)~(D)に示すように、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号ds[201], ds[202], …がローレベルに保持されたまま、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号ws[201], ws[202], …が選択的にハイレベルに設定される。

20

その結果、画素回路201においては、図12(C)に示すように、TF T 213がオフ状態に保持されたままで、TF T 212がオンする。これにより、水平セレクト203によりデータ線DTL201に伝搬された入力信号(V_{in})が画素容量 C_s としてのキャパシタC211に書き込まれる。

このとき、図13(F)に示すように、スイッチングトランジスタとしてのTF T 213のソース V_s は電源電位 V_{CC} であるため、画素容量 C_s としてのキャパシタC211には入力信号の電圧 V_{in} に対して、 $(V_{in} - V_{CC})$ と等しい電位が保持される。

30

【0091】

その後、EL発光素子214の非発光期間において、図13(A)~(D)に示すように、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号ds[201], ds[202], …がローレベルに保持されたまま、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号ws[201], ws[202], …が選択的にローレベルに設定される。

その結果、画素回路201においては、図12(D)に示すように、TF T 212がオフ状態となり、画素容量としてのキャパシタC211への入力信号の書き込みが終了する。

【0092】

その後、図13(A)~(D)に示すように、ライトスキャナ204より走査線WSL201, WSL202, …への走査信号ws[201], ws[202], …がローレベルに保持されたまま、ドライブスキャナ205により駆動線DSL201, DSL202, …への駆動信号ds[201], ds[202], …が選択的にハイレベルに設定される。

40

その結果、画素回路201においては、図12(E)に示すように、TF T 213がオン状態となる。

TF T 213がオンしたことに伴い、EL発光素子214に電流が流れ、TF T 211のソース電位は降下する。このように、ドライブトランジスタとしてのTF T 211のソース電位は変動するにもかかわらず、TF T 211のゲートとソース間には容量があり、他のトランジスタなどは接続されていないことから、TF T 211のゲート・ソース間電圧

50

は、常に $(V_{in} - V_{CC})$ にて保たれている。このとき、ドライブトランジスタとしての T F T 2 1 1 は飽和領域で駆動しているため、この T F T 2 1 1 に流れる電流値 I_{ds} は前述した式 1 で示された値となり、それはドライブトランジスタのゲート・ソース間電圧 V_{gs} であり、 $(V_{in} - V_{CC})$ である。

つまり、T F T 2 1 1 を流れる電流量は V_{in} によって決められるといえる。

【0093】

以上より、E L 発光素子 2 1 4 は発光時間が長くなるに従い、その I - V 特性は劣化しても、本第 3 の実施形態の画素回路 2 0 1 A では、ドライブトランジスタとしての T F T 2 1 1 のゲート・ソース間電位が一定に保たれたままノード N D 2 1 1 A の電位は下降するので、T F T 2 1 1 に流れる電流は変化しない。

よって、E L 発光素子 2 1 4 に流れる電流も変化せず、E L 発光素子 2 1 4 の I - V 特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来問題は解決できる。

加えて、T F T 2 1 1 のゲート・ソース間には画素容量 C_s 以外のトランジスタ等は有していないために、従来方式のようにしきい値 V_{th} ばらつきによってドライブトランジスタとしての T F T 2 1 1 のゲート・ソース間電圧 V_{gs} が変化することは全くない。

【0094】

なお、図 1 1 において、発光素子 2 1 4 のカソード電極の電位を接地電位 G N D にしているが、これはどのような電位でも構わない。むしろ、負電源にした方が、 V_{cc} の電位を下げることであり、入力信号電圧の電位も下げることができる。これにより、外部 I C に負担をかけないで設計することが可能である。

また、G N D 配線を必要としないためにパネルへの入力ピン数を削減することができ、画素レイアウトも容易になる。加えて、 V_{CC} と G N D ラインのパネル内部での交差部がなくなるので、歩留まりも向上しやすくなる。

【0095】

また、図 1 4 に示すように、画素回路のトランジスタは n チャネルではなく、p チャネル T F T 2 3 1 ~ 2 3 3 で画素回路を構成しても構わない。この場合は E L 発光素子 2 3 4 のアノード側に電源が接続され、カソード側にドライブトランジスタとしての T F T 2 3 1 が接続される。

【0096】

さらに、スイッチングトランジスタとしての T F T 2 1 2 , T F T 2 1 3 はドライブトランジスタとしての T F T 2 1 1 と異なる極性のトランジスタでも構わない。

【0097】

本第 3 の実施形態によれば、E L 発光素子の I - V 特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

n チャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、n チャネルトランジスタを E L 発光素子の駆動素子として用いることができる。

また、n チャネルのみで画素回路のトランジスタを構成することができ、T F T 作成において a - S i プロセスを用いることができるようになる。これにより、T F T 基板の低コスト化が可能となる。

さらに、第 2 の実施形態によれば、T F T 側の G N D 配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、T F T 側の G N D 配線を削除することができ、T F T 基板の G N D 配線 - V_{CC} 配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、T F T 側の G N D 配線を削除することができ、T F T 基板の G N D 配線 - V_{CC} 配線のオーバーラップをなくせることで、低抵抗で V_{CC} 配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

【0098】

第 4 実施形態

10

20

30

40

50

図15は、本第4の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図16は、図15の有機EL表示装置において本第4の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0099】

この表示装置300は、図15および図16に示すように、画素回路(PXLC)301が $m \times n$ のマトリクス状に配列された画素アレイ部302、水平セレクタ(HSEL)303、第1のライトスキャナ(WSCN1)304、第2のライトスキャナ(WSCN2)305、ドライブスキャナ306(DSCN)、定電圧源(CVS)307、水平セレクタ303により選択され輝度情報に応じたデータ信号が供給されるデータ線DTL301~DTL30n、ライトスキャナ304により選択駆動される走査線WSL301~WSL30m、ライトスキャナ305により選択駆動される走査線WSL311~WSL31m、およびドライブスキャナ306により選択駆動される駆動線DSL301~DSL30mを有する。

10

【0100】

なお、画素アレイ部302において、画素回路301は $m \times n$ のマトリクス状に配列されるが、図15においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図16においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

20

【0101】

本第4の実施形態に係る画素回路301は、図16に示すように、 n チャンネルTFT311~TFT314、キャパシタC311、有機EL素子(OLED:電気光学素子)からなる発光素子315、およびノードND311,ND312を有する。

また、図23において、DTL301はデータ線を、WSL301,WSL311は走査線を、DSL301は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT311が本発明に係る電界効果トランジスタを構成し、TFT312が第1のスイッチを構成し、TFT313が第2のスイッチを構成し、TFT314が第3のスイッチを構成し、キャパシタC311が本発明に係る画素容量素子を構成している。

30

また、走査線WSL301が本発明に係る第1の制御線に対応し、駆動線DSL301が第2の制御線に対応し、走査線WSL311が第3の制御線に対応する。

【0102】

また、電源電圧VCCの供給ライン(電源電位)が第1の基準電位に相当し、接地電位GNDが第2の基準電位に相当している。

【0103】

画素回路301において、TFT311のソースと発光素子315のアノードとの間に、TFT313のソース・ドレインがそれぞれ接続され、TFT311のドレインが電源電位VCCに接続され、発光素子315のカソードが接地電位GNDに接続されている。すなわち、電源電位VCCと接地電位GNDとの間に、ドライブトランジスタとしてのTFT311、スイッチングトランジスタとしてのTFT313、および発光素子315が直列に接続されている。そして、TFT311のソースとTFT313との接続点によりノードND311が構成されている。

40

TFT311のゲートがノードND312に接続されている。そして、ノードND311とND312との間、すなわち、TFT311のゲートとソースとの間に、画素容量CsとしてのキャパシタC311が接続されている。キャパシタC311の第1電極がノードND311に接続され、第2電極がノードND312に接続されている。

TFT313のゲートが駆動線DSL301に接続されている。また、データ線DTL301とノードND312に第1のスイッチとしてのTFT312のソース・ドレインがそれぞれ接続されている。そして、TFT312のゲートが走査線WSL301に接続され

50

ている。

さらに、TFT311のソース(ノードND311)と定電圧源307との間にTFT314のソース・ドレインがそれぞれ接続され、TFT314のゲートが走査線WSL311に接続されている。

【0104】

このように、本実施形態に係る画素回路301は、ドライブトランジスタとしてのTFT311のソースと発光素子315のアノードとがスイッチングトランジスタとしてのTFT313により接続され、TFT311のゲートとソース間にキャパシタC311が接続され、かつ、TFT311のソース電位がTFT314を介して定電圧源307(固定電圧ライン)に接続されて構成されている。

10

【0105】

次に、上記構成の動作を、画素回路の動作を中心に、図17(A)~(E)および図18(A)~(H)に関連付けて説明する。

なお、図18(A)は画素配列の第1行目の走査線WSL301に印加される走査信号 $w_s[301]$ を、図18(B)は画素配列の第2行目の走査線WSL302に印加される走査信号 $w_s[302]$ を、図18(C)は画素配列の第1行目の走査線WSL311に印加される走査信号 $w_s[311]$ を、図18(D)は画素配列の第2行目の走査線WSL312に印加される走査信号 $w_s[312]$ を、図18(E)は画素配列の第1行目の駆動線DSL301に印加される駆動信号 $d_s[301]$ を、図18(F)は画素配列の第2行目の駆動線DSL302に印加される駆動信号 $d_s[302]$ を、図18(G)はTFT311のゲート電位 V_g を、図18(H)はTFT311のアノード側電位、すなわちノードND311の電位 V_{ND311} をそれぞれ示している。

20

【0106】

まず、通常のEL発光素子315の発光状態時は、図18(A)~(F)に示すように、ライトスキャナ304より走査線WSL301, WSL302, ...への走査信号 $w_s[301]$, $w_s[302]$, ...が選択的にローレベルに設定され、ライトスキャナ305よりWSL311, WSL312, ...への走査信号 $w_s[311]$, $w_s[312]$, ...が選択的にローレベルに設定され、ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号 $d_s[301]$, $d_s[302]$, ...が選択的にハイレベルに設定される。

30

その結果、画素回路301においては、図17(A)に示すように、TFT312, 314がオフ状態に保持され、TFT313がオン状態に保持される。

このとき、ドライブトランジスタとしてのTFT311は飽和領域で駆動しているため、そのゲート・ソース間電圧 V_{gs} に対して電流 I_{ds} が、TFT311とEL発光素子315に流れる。

【0107】

次に、EL発光素子315の非発光期間において、図18(A)~(F)に示すように、ライトスキャナ304より走査線WSL301, WSL302, ...への走査信号 $w_s[301]$, $w_s[302]$, ...がローレベルに保持され、ライトスキャナ305よりWSL311, WSL312, ...への走査信号 $w_s[311]$, $w_s[312]$, ...がローレベルに保持され、ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号 $d_s[301]$, $d_s[302]$, ...が選択的にローレベルに設定される。

40

その結果、画素回路301においては、図17(B)に示すように、TFT312, TFT314はオフ状態に保持されたままで、TFT313がオフする。

このとき、EL発光素子315に保持されていた電位は、供給源が無くなるために降下し、EL発光素子315は非発光になる。この電位はEL発光素子315のしきい電圧 V_{th} まで降下する。しかし、EL発光素子315にもオフ電流が流れるために、さらに非発光期間が続くとその電位はGNDまで降下する。

一方、ドライブトランジスタとしてのTFT311は、ゲート電位が高いためにオン状態

50

に保持され、図18(G)に示すように、TFT311のソース電位は電源電圧 V_{cc} まで昇圧される。この昇圧は短時間にて行われ、 V_{cc} 昇圧後はTFT311には電流は流れない。

つまり、以上より本第4の実施形態の画素回路301では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【0108】

次に、EL発光素子315の非発光期間において、図18(A)~(F)に示すように、ドライブキャパ306により駆動線DSL301, DSL302, ...への駆動信号 $ds[301]$, $ds[302]$, ...がローレベルに保持されたまま、ライトキャパ304より走査線WSL301, WSL302, ...への走査信号 $ws[301]$, $ws[302]$, ...が選択的にハイレベルに設定され、ライトキャパ305よりWSL311, WSL312, ...への走査信号 $ws[311]$, $ws[312]$, ...が選択的にハイレベルに設定される。

その結果、画素回路301においては、図17(C)に示すように、TFT313がオフ状態に保持されたままで、TFT312, TFT314がオンする。これにより、水平セクタ303によりデータ線DTL301に伝搬された入力信号(V_{in})が画素容量 C_s としてのキャパシタC311に書き込まれる。

この信号線電圧を書き込むときにTFT314をオンしておくことが重要である。TFT314がない場合には、TFT312がオンして映像信号が画素容量 C_s に書き込まれると、TFT311のソース電位 V_s はカップリングが入る。これに対して、ノードND311を定電圧源307に接続するTFT314をオンすると、低インピーダンスの配線ラインに接続されることになるため、TFT311のソース電位には配線ラインの電圧値が書き込まれる。

このとき、配線ラインの電位を V_o とすると、ドライブトランジスタとしてのTFT311のソース電位は V_o となるため、画素容量 C_s には入力信号の電圧 V_{in} に対して、($V_{in} - V_o$)と等しい電位が保持される。

【0109】

その後、EL発光素子315の非発光期間において、図18(A)~(F)に示すように、ドライブキャパ306により駆動線DSL301, DSL302, ...への駆動信号 $ds[301]$, $ds[302]$, ...がローレベルに保持され、ライトキャパ306により走査線WSL311, WSL312, ...への走査信号 $ws[311]$, $ws[312]$, ...がハイレベルに保持されたまま、ライトキャパ304より走査線WSL301, WSL302, ...への走査信号 $ws[301]$, $ws[302]$, ...が選択的にローレベルに設定される。

その結果、画素回路301においては、図17(D)に示すように、TFT312がオフ状態となり、画素容量としてのキャパシタC311への入力信号の書き込みが終了する。このとき、TFT311のソース電位は低インピーダンスを維持している必要があるので、TFT314はオンしたままである。

【0110】

その後、図18(A)~(F)に示すように、ライトキャパ304より走査線WSL301, WSL302, ...への駆動信号 $ds[301]$, $ds[302]$, ...がローレベルに保持されたまま、ライトキャパ305より走査線WSL311, WSL312, ...への走査信号 $ws[311]$, $ws[312]$, ...がローレベルに設定された後、ドライブキャパ306により駆動線DSL301, DSL302, ...への駆動信号 $ds[301]$, $ds[302]$, ...が選択的にハイレベルに設定される。その結果、画素回路301において、図17(E)に示すように、TFT314がオフした後に、TFT313がオン状態となる。

TFT313がオンしたことに伴い、EL発光素子315に電流が流れ、TFT311のソース電位は降下する。このように、ドライブトランジスタとしてのTFT311のソース電位は変動するにもかかわらず、TFT311のゲートとEL発光素子315のアノー

10

20

30

40

50

ド間には容量があるために、TFT311のゲート・ソース間電圧は、常に($V_{in} - V_o$)にて保たれている。

【0111】

このとき、ドライブトランジスタとしてのTFT311は飽和領域で駆動しているため、このTFT311に流れる電流値 I_{ds} は前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース電圧 V_{gs} であり、($V_{in} - V_o$)である。

つまり、TFT311を流れる電流量は V_{in} によって決められるといえる。

【0112】

このように、信号書き込み期間中にTFT314をオンしてTFT311のソースを低インピーダンスにしておくことで、画素容量のTFT311のソース側を常に固定電位にしておくことができ、信号線書き込み時のカップリングによる画質劣化を考慮する必要が無く、短時間にて信号線電圧を書き込むことができる。また、画素容量を増加させ、リーク特性に対して対策することもできる。

10

【0113】

以上より、EL発光素子315は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第4の実施形態の画素回路301では、ドライブトランジスタとしてのTFT311のゲート・ソース間電位が一定に保たれたままノードND311の電位は下降するので、TFT311に流れる電流は変化しない。

よって、EL発光素子315に流れる電流も変化せず、EL発光素子315のI-V特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

20

加えて、TFT311のゲート・ソース間には画素容量 C_s 以外のトランジスタ等は有していないために、従来方式のようにしきい値 V_{th} ばらつきによってドライブトランジスタとしてのTFT311のゲート・ソース間電圧 V_{gs} が変化することは全くない。

【0114】

なお、TFT314につながれている配線の電位(定電圧源)に関して制約は無いが、図19に示すように、その電位をVCCと同じくすると、信号線の配線を削減することができる。これによって、パネル配線部、画素部のレイアウトが容易に行うことができる。また、パネル入力のパッドを削減することもできる。

一方、ドライブトランジスタとしてのTFT311のゲート・ソース間電圧 V_{gs} は前述したように、 $V_{in} - V_o$ によって決定される。よって、たとえば図20に示すように、 V_o を接地電位GND等の低い電位に設定すると、入力信号電圧 V_{in} はGNDレベル近辺の低電位にて作成することができ、周辺ICの信号の昇圧処理などを必要としない。さらに、スイッチングトランジスタとしてのTFT313のオン電圧を低下させることもでき、外部ICに負担をかけないで設計することが可能となる。

30

【0115】

また、図16において、発光素子315のカソード電極の電位を接地電位GNDにしているが、これはどのような電位でも構わない。むしろ、負電源にした方が、Vccの電位を下げることができ、入力信号電圧の電位も下げることができる。これにより、外部ICに負担をかけないで設計することが可能である。

40

【0116】

また、図21に示すように、画素回路のトランジスタはnチャネルではなく、pチャネルTFT321~324で画素回路を構成しても構わない。この場合はEL発光素子324のアノード側に電源が接続され、カソード側にドライブトランジスタとしてのTFT321が接続される。

【0117】

さらに、スイッチングトランジスタとしてのTFT312, TFT313, TFT314はドライブトランジスタとしてのTFT311と異なる極性のトランジスタでも構わない。

【0118】

50

本第4の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、第4の実施形態によれば、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーミティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

また、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

さらにまた、入力信号電圧をGND近辺にすることができ、外部駆動システムへの負担を軽減することができる。

【0119】

第5実施形態

図22は、本第5の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図23は、図22の有機EL表示装置において本第5の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0120】

本第5の実施形態に係る表示装置300Aが第4の実施形態に係る表示装置300と異なる点は、画素回路における画素容量CsとしてのキャパシタC311の接続位置が異なる点にある。

具体的には、第4実施形態に係る画素回路301では、キャパシタC311をドライブトランジスタとしてのTFT311のゲートとEL発光素子315のアノード側との間に接続している。

これに対して、本第5の実施形態に係る画素回路301Aでは、キャパシタC311をドライブトランジスタとしてのTFT311のゲートとソース間に接続している。具体的には、キャパシタC311の第1電極がTFT311のソースとスイッチングトランジスタとしてのTFT313との接続点(ノードND311A)に接続され、第2電極がノードND312に接続されている。

その他の構成は、上述した第4の実施形態と同様である。

【0121】

次に、上記構成の動作を、画素回路の動作を中心に、図24(A)~(E)および図25(A)~(H)に関連付けて説明する。

【0122】

まず、通常のEL発光素子315の発光状態時は、図25(A)~(F)に示すように、ライトスキャナ304より走査線WSL301, WSL302, ...への走査信号ws[301], ws[302], ...が選択的にローレベルに設定され、ライトスキャナ305よりWSL311, WSL312, ...への走査信号ws[311], ws[312], ...が選択的にローレベルに設定され、ドライブスキャナ306により駆動線DSL301, DSL302, ...への駆動信号ds[301], ds[302], ...が選択的にハイレベルに設定される。

10

20

30

40

50

その結果、画素回路301においては、図24(A)に示すように、TFT312, 314がオフ状態に保持され、TFT313がオン状態に保持される。

このとき、ドライブトランジスタとしてのTFT311は飽和領域で駆動しているため、そのゲート・ソース間電圧 V_{gs} に対して電流 I_{ds} が、TFT311とEL発光素子315に流れる。

【0123】

次に、EL発光素子315の非発光期間において、図25(A)~(F)に示すように、ライトスキャナ304より走査線 WSL_{301} , WSL_{302} , ...への走査信号 $w_s[301]$, $w_s[302]$, ...が選択的にローレベルに保持され、ライトスキャナ305より WSL_{311} , WSL_{312} , ...への走査信号 $w_s[311]$, $w_s[312]$, ...が選択的にローレベルに保持され、ドライブスキャナ306により駆動線 DSL_{301} , DSL_{302} , ...への駆動信号 $d_s[301]$, $d_s[302]$, ...が選択的にローレベルに設定される。

その結果、画素回路301においては、図24(B)に示すように、TFT312, TFT314はオフ状態に保持されたままで、TFT313がオフする。

このとき、EL発光素子315に保持されていた電位は、供給源が無くなるために降下し、EL発光素子315は非発光になる。この電位はEL発光素子315のしきい電圧 V_{th} まで降下する。しかし、EL発光素子315にもオフ電流が流れるために、さらに非発光期間が続くとその電位はGNDまで降下する。

一方、EL発光素子315のアノード側の電圧降下に伴い、ドライブトランジスタとしてのTFT311のゲート電位にもキャパシタ C_{311} を介して低下する。これと並行して、TFT311には電流が流れ、そのソース電位は上昇する。

これにより、TFT311はカットオフ状態になり、TFT311に電流は流れない。

つまり、以上より本第5の実施形態の画素回路301Aでは、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【0124】

次に、EL発光素子315の非発光期間において、図25(A)~(F)に示すように、ドライブスキャナ306により駆動線 DSL_{301} , DSL_{302} , ...への駆動信号 $d_s[301]$, $d_s[302]$, ...がローレベルに保持されたまま、ライトスキャナ304より走査線 WSL_{301} , WSL_{302} , ...への走査信号 $w_s[301]$, $w_s[302]$, ...が選択的にハイレベルに設定され、ライトスキャナ305より WSL_{311} , WSL_{312} , ...への走査信号 $w_s[311]$, $w_s[312]$, ...が選択的にハイレベルに設定される。

その結果、画素回路A301においては、図24(C)に示すように、TFT313がオフ状態に保持されたままで、TFT312, TFT314がオンする。これにより、水平セクタ303によりデータ線 DTL_{301} に伝搬された入力信号(V_{in})が画素容量 C_s としてのキャパシタ C_{311} に書き込まれる。

この信号線電圧を書き込むときにTFT314をオンしておくことが重要である。TFT314がない場合には、TFT312がオンして映像信号が画素容量 C_s に書き込まれると、TFT311のソース電位 V_s はカップリングが入る。これに対して、ノード ND_{311} を定電圧源307に接続するTFT314をオンすると、低インピーダンスの配線ラインに接続されることとなるため、TFT311のソース電位には配線ラインの電圧値が書き込まれる。

このとき、配線ラインの電位を V_o とすると、ドライブトランジスタとしてのTFT311のソース電位は V_o となるため、画素容量 C_s には入力信号の電圧 V_{in} に対して、($V_{in} - V_o$)と等しい電位が保持される。

【0125】

その後、EL発光素子315の非発光期間において、図25(A)~(F)に示すように、ドライブスキャナ306により駆動線 DSL_{301} , DSL_{302} , ...への駆動信号 $d_s[301]$, $d_s[302]$, ...がローレベルに保持され、ライトスキャナ3

10

20

30

40

50

05により走査線 $WSL311$, $WSL312$, \dots への走査信号 $ws[311]$, $ws[312]$, \dots がハイレベルに保持されたまま、ライトスキャナ304より走査線 $WSL301$, $WSL302$, \dots への走査信号 $ws[301]$, $ws[302]$, \dots が選択的にローレベルに設定される。

その結果、画素回路301Aにおいては、図24(D)に示すように、 $TFT312$ がオフ状態となり、画素容量としてのキャパシタ $C311$ への入力信号の書き込みが終了する。

このとき、 $TFT311$ のソース電位は低インピーダンスを維持している必要があるので、 $TFT314$ はオンしたままである。

【0126】

その後、図25(A)~(F)に示すように、ライトスキャナ304より走査線 $WSL301$, $WSL302$, \dots への走査信号 $ws[301]$, $ws[302]$, \dots がローレベルに保持されたまま、ライトスキャナ305より走査線 $WSL311$, $WSL312$, \dots への走査信号 $ws[311]$, $ws[312]$, \dots がローレベルに設定された後、ドライブスキャナ306により駆動線 $DSL301$, $DSL302$, \dots への駆動信号 $ds[301]$, $ds[302]$, \dots が選択的にハイレベルに設定される。その結果、画素回路301において、図24(E)に示すように、 $TFT314$ がオフした後に、 $TFT313$ がオン状態となる。

$TFT313$ がオンしたことに伴い、 EL 発光素子315に電流が流れ、 $TFT311$ のソース電位は降下する。このように、ドライブトランジスタとしての $TFT311$ のソース電位は変動するにもかかわらず、 $TFT311$ のゲートと EL 発光素子315のアノード間には容量があり、 $TFT311$ のゲートと EL 発光素子315のアノード間電圧は、常に $(V_{in} - V_{CC})$ にて保たれている。

【0127】

ここで、 $TFT313$ は非飽和領域にて動作しているため、単純な抵抗値とみなされる。よって、 $TFT311$ のゲート・ソース電圧は $(V_{in} - V_o)$ から $TFT313$ による電圧降下の値を引いたものとなる。つまり、 $TFT311$ を流れる電流量は V_{in} によって決められるといえる。

【0128】

このように、信号書き込み期間中に $TFT314$ をオンして $TFT311$ のソースを低インピーダンスにしておくことで、画素容量の $TFT311$ のソース側を常に固定電位にしておくことができ、信号線書き込み時のカップリングによる画質劣化を考慮する必要が無く、短時間にて信号線電圧を書き込むことができる。また、画素容量を増加させ、リーク特性に対して対策することもできる。

【0129】

このとき、ドライブトランジスタとしての $TFT311$ は飽和領域で駆動しているので、この $TFT311$ に流れる電流値 I_{ds} は前述した式1で示された値となり、それはドライブトランジスタのゲート・ソース電圧 V_{gs} であり、 $(V_{in} - V_{CC})$ である。つまり、 $TFT311$ を流れる電流量は V_{in} によって決められるといえる。

【0130】

以上より、 EL 発光素子315は発光時間が長くなるに従い、その $I - V$ 特性は劣化しても、本第4の実施形態の画素回路301では、ドライブトランジスタとしての $TFT311$ のゲート・ソース間電位が一定に保たれたままノード $ND211$ の電位は下降するので、 $TFT311$ に流れる電流は変化しない。

よって、 EL 発光素子315に流れる電流も変化せず、 EL 発光素子315の $I - V$ 特性が劣化しても、入力電圧 V_{in} に相当した電流が常に流れつづけ、従来の問題は解決できる。

【0131】

なお、 $TFT314$ につながれている配線の電位(定電圧源)に関して制約は無いが、図26に示すように、その電位を V_{CC} と同じくすると、信号線の配線を削減することがで

10

20

30

40

50

きる。これによって、パネル配線部、画素部のレイアウトが容易に行うことができる。また、パネル入力のパッドを削減することもできる。

一方、ドライブトランジスタとしてのTFT311のゲート・ソース間電圧 V_{gs} は前述したように、 $V_{in} - V_o$ によって決定される。よって、たとえば図27に示すように、 V_o を接地電位GND等の低い電位に設定すると、入力信号電圧 V_{in} はGNDレベル近辺の低電位にて作成することができ、周辺ICの信号の昇圧処理などを必要としない。さらに、スイッチングトランジスタとしてのTFT313のオン電圧を低下させることもでき、外部ICに負担をかけないで設計することが可能となる。

【0132】

また、図23において、発光素子315のカソード電極の電位を接地電位GNDにしているが、これはどのような電位でも構わない。むしろ、負電源にした方が、 V_{cc} の電位を下げることができ、入力信号電圧の電位も下げることができる。これにより、外部ICに負担をかけないで設計することが可能である。

【0133】

また、図28に示すように、画素回路のトランジスタはnチャンネルではなく、pチャンネルTFT321~324で画素回路を構成しても構わない。この場合はEL発光素子334のアノード側に電源が接続され、カソード側にドライブトランジスタとしてのTFT331が接続される。

【0134】

さらに、スイッチングトランジスタとしてのTFT312, TFT313, TFT314はドライブトランジスタとしてのTFT311と異なる極性のトランジスタでも構わない。

【0135】

本第5の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタをEL発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、第4の実施形態によれば、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーミティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

また、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

さらにまた、入力信号電圧をGND近辺にすることができ、外部駆動システムへの負担を軽減することができる。

【0136】

第6実施形態

図29は、本第6の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

図30は、図29の有機EL表示装置において本第6の実施形態に係る画素回路の具体的な構成を示す回路図である。

【0137】

この表示装置 400 は、図 29 および図 30 に示すように、画素回路 (PXL) 401 が $m \times n$ のマトリクス状に配列された画素アレイ部 402、水平セクタ (HSEL) 403、ライトスキャナ (WSCN) 404、第 1 のドライブスキャナ (DSCN1) 405、第 2 のドライブスキャナ (DSCN2) 406、第 3 のドライブスキャナ (DSCN3) 407、水平セクタ 403 により選択され輝度情報に応じたデータ信号が供給されるデータ線 DTL 401 ~ DTL 40n、ライトスキャナ 404 により選択駆動される走査線 WSL 401 ~ WSL 40m、第 1 のライトスキャナ 405 により選択駆動される駆動線 DSL 401 ~ DSL 40m、第 2 のライトスキャナ 406 により選択駆動される駆動線 DSL 411 ~ DSL 41m、および第 3 のライトスキャナ 407 により選択駆動される駆動線 DSL 421 ~ DSL 42m を有する。

10

【0138】

なお、画素アレイ部 402 において、画素回路 401 は $m \times n$ のマトリクス状に配列されるが、図 29 においては図面の簡単化のために $2 (= m) \times 3 (= n)$ のマトリクス状に配列した例を示している。

また、図 30 においても、図面の簡単化のために一つの画素回路の具体的な構成を示している。

【0139】

本第 6 の実施形態に係る画素回路 301 は、図 40 に示すように、 n チャンネル TFT 411 ~ TFT 415、キャパシタ C 411、有機 EL 素子 (OLED: 電気光学素子) からなる発光素子 416、およびノード ND 411, ND 412 を有する。

20

また、図 23 において、DTL 401 はデータ線を、WSL 401 は走査線を、DSL 401, DSL 411, DSL 421 は駆動線をそれぞれ示している。

これらの構成要素のうち、TFT 411 が本発明に係る電界効果トランジスタを構成し、TFT 412 が第 1 のスイッチを構成し、TFT 413 が第 2 のスイッチを構成し、TFT 414 が第 3 のスイッチを構成し、TFT 415 が第 4 のスイッチを構成し、キャパシタ C 411 が本発明に係る画素容量素子を構成している。

また、走査線 WSL 401 が本発明に係る第 1 の制御線に対応し、駆動線 DSL 401 が第 2 の制御線に対応し、駆動線 WSL 411 が第 3 の制御線に対応し、駆動線 WSL 421 が第 4 の制御線に対応する。

【0140】

30

また、電源電圧 VCC の供給ライン (電源電位) が第 1 の基準電位に相当し、接地電位 GND が第 2 の基準電位に相当している。

【0141】

画素回路 301 において、TFT 311 のソースとノード ND 411 との間に、TFT 414 のソース・ドレインがそれぞれ接続され、ノード ND 411 と発光素子 315 のアノードとの間に、TFT 413 のソース・ドレインがそれぞれ接続され、TFT 411 のドレインが電源電位 VCC に接続され、発光素子 415 のカソードが接地電位 GND に接続されている。すなわち、電源電位 VCC と接地電位 GND との間に、ドライブトランジスタとしての TFT 411、スイッチングトランジスタとしての TFT 414, TFT 413、および発光素子 416 が直列に接続されている。

40

TFT 411 のゲートがノード ND 412 に接続されている。そして、ノード ND 411 と ND 412 との間、すなわち、TFT 411 のゲートとソース側との間に、画素容量 Cs としてのキャパシタ C 411 が接続されている。キャパシタ C 411 の第 1 電極がノード ND 411 に接続され、第 2 電極がノード ND 412 に接続されれている。

TFT 413 のゲートが駆動線 DSL 401 に接続され、TFT 414 のゲートが駆動線 DSL 411 に接続されている。また、データ線 DTL 401 とノード ND 411 (キャパシタ C 411 の第 1 電極との接続点) との間に第 1 のスイッチとしての TFT 412 のソース・ドレインがそれぞれ接続されている。そして、TFT 412 のゲートが走査線 WSL 401 に接続されている。

さらに、ノード ND 411 と電源電位 VCC との間に TFT 415 のソース・ドレインが

50

それぞれ接続され、TFT415のゲートが駆動線DSL421に接続されている。

【0142】

このように、本実施形態に係る画素回路401は、ドライブトランジスタとしてのTFT411のソースと発光素子416のアノードとがスイッチングトランジスタとしてのTFT414, TFT413により接続され、TFT411のゲートとソース側ノードND411間にキャパシタC411が接続され、かつ、TFT311のゲート(ノードND412)がTFT415を介して電源電位VCC(固定電圧ライン)に接続されて構成されている。

【0143】

次に、上記構成の動作を、画素回路の動作を中心に、図31(A)~(F)、図32、および図33(A)~(H)に関連付けて説明する。

図33(A)は画素配列の第1行目の走査線WSL401に印加される走査信号ws[401]を、図33(B)は画素配列の第2行目の走査線WSL402に印加される走査信号ws[402]を、図33(C)は画素配列の第1行目の駆動線WSL401, WSL411に印加される駆動信号ds[401], ds[411]を、図33(D)は画素配列の第2行目の駆動線WSL402, WSL412に印加される駆動信号ds[402], ds[412]を、図33(E)は画素配列の第1行目の駆動線DSL421に印加される駆動信号ds[421]を、図33(F)は画素配列の第2行目の駆動線DSL421に印加される駆動信号ds[422]を、図33(G)はTFT411のゲート電位Vg、すなわちノードND412の電位VND412を、図33(H)はTFT411のアノード側電位、すなわちノードND411の電位VND411をそれぞれ示している。

なお、TFT413とTFT414とはどちらが先にオン、またはオフしても問題がないことから、図33(C), (D)に示すように駆動線WSL401とWSL411、並びに、駆動線WSL402, WSL412に印加される駆動信号ds[401]とds[411]、駆動信号ds[402]とds[412]を同タイミングとしている。

【0144】

まず、通常のEL発光素子416の発光状態時は、図33(A)~(F)に示すように、ライトスキャナ404より走査線WSL401, WSL402, ...への走査信号ws[401], ws[402], ...が選択的にローレベルに設定され、ドライブスキャナ405により駆動線DSL401, DSL402, ...への駆動信号ds[401], ds[402], ...が選択的にハイレベルに設定され、ドライブスキャナ406により駆動線DSL411, DSL412, ...への駆動信号ds[411], ds[412], ...が選択的にハイレベルに設定され、ドライブスキャナ407により駆動線DSL421, DSL422, ...への駆動信号ds[421], ds[422], ...が選択的にローレベルに設定される。

その結果、画素回路401においては、図31(A)に示すように、TFT414とTFT413がオンした状態に保持され、TFT412とTFT415がオフした状態に保持される。

【0145】

まず、通常のEL発光素子416の非発光状態時は、図33(A)~(F)に示すように、ライトスキャナ404により走査線WSL401, WSL402, ...への走査信号ws[401], ws[402], ...がローレベルに保持され、ドライブスキャナ407により駆動線DSL421, DSL422, ...への駆動信号ds[421], ds[422], ...がローレベルに保持され、ドライブスキャナ405により駆動線DSL401, DSL402, ...への駆動信号ds[401], ds[402], ...が選択的にローレベルに設定され、ドライブスキャナ406により駆動線DSL411, DSL412, ...への駆動信号ds[411], ds[412], ...が選択的にローレベルに設定される。

その結果、画素回路301においては、図31(B)に示すように、TFT412, TF

T 4 1 5 がオフ状態に保持されたままで、T F T 4 1 3 , 4 1 4 がオフする。
このとき、E L 発光素子 4 1 6 に保持されていた電位は、供給源が無くなるために降下し、E L 発光素子 4 1 6 は非発光になる。この電位は E L 発光素子 4 1 6 のしきい電圧 V_{th} まで降下する。しかし、E L 発光素子 4 1 6 にもオフ電流が流れるために、さらに非発光期間が続くとその電位は G N D まで降下する。

一方、ドライブトランジスタとしての T F T 3 1 1 は、ゲート電位が高いためにオン状態に保持され、T F T 4 1 1 のソース電位は電源電圧 V_{cc} まで昇圧する。この昇圧は短時間にて行われ、 V_{cc} 昇圧後は T F T 4 1 1 には電流は流れなくなる。

つまり、以上より本第 6 の実施形態の画素回路 4 0 1 では、非発光期間に画素回路内に電流を流さないで動作させることができ、パネルの消費電力を抑制することができる。

【 0 1 4 6 】

この状態で次に、図 3 3 (A) ~ (F) に示すように、ドライブスキャナ 4 0 5 により駆動線 D S L 4 0 1 , D S L 4 0 2 , … への駆動信号 $d s [4 0 1]$, $d s [4 0 2]$, … がローレベルに保持され、ドライブスキャナ 4 0 6 により駆動線 D S L 4 1 1 , D S L 4 1 2 , … への駆動信号 $d s [4 1 1]$, $d s [4 1 2]$, … がローレベルに保持された状態で、ドライブスキャナ 4 0 7 により駆動線 D S L 4 2 1 , D S L 4 2 2 , … への駆動信号 $d s [4 2 1]$, $d s [4 2 2]$, … が選択的にハイレベルに設定され、ライトスキャナ 4 0 4 より走査線 W S L 4 0 1 , W S L 4 0 2 , … への走査信号 $w s [4 0 1]$, $w s [4 0 2]$, … が選択的にハイレベルに設定される。

その結果、画素回路 4 0 1 においては、図 3 1 (C) に示すように、T F T 4 1 3 , 4 1 4 がオフ状態に保持されたままで、T F T 4 1 2 , T F T 3 5 4 がオンする。これにより、水平セクタ 3 0 3 によりデータ線 D T L 5 0 1 に伝搬された入力信号が画素容量 C_s としてのキャパシタ C 4 1 1 に書き込まれる。

このとき、画素容量 C_s としてのキャパシタ C 4 1 1 には、電源電圧 V_{CC} と入力電圧 V_{in} との差 ($V_{CC} - V_{in}$) と等しい電位が保持される。

【 0 1 4 7 】

その後、E L 発光素子 4 1 6 の非発光期間において、図 3 3 (A) ~ (F) に示すように、ドライブスキャナ 4 0 5 により駆動線 D S L 4 0 1 , D S L 4 0 2 , … への駆動信号 $d s [4 0 1]$, $d s [4 0 2]$, … がローレベルに保持され、ドライブスキャナ 4 0 6 により駆動線 D S L 4 1 1 , D S L 4 1 2 , … への駆動信号 $d s [4 1 1]$, $d s [4 1 2]$, … がローレベルに保持された状態で、ドライブスキャナ 4 0 7 により駆動線 D S L 4 2 1 , D S L 4 2 2 , … への駆動信号 $d s [4 2 1]$, $d s [4 2 2]$, … が選択的にローレベルに設定され、ライトスキャナ 4 0 4 より走査線 W S L 4 0 1 , W S L 4 0 2 , … への走査信号 $w s [4 0 1]$, $w s [4 0 2]$, … が選択的にローレベルに設定される。

その結果、画素回路 4 0 1 においては、図 3 1 (D) に示すように、T F T 4 1 5 , 4 1 2 がオフ状態となり、画素容量としてのキャパシタ C 4 1 1 への入力信号の書き込みが終了する。

このとき、キャパシタ C 4 1 1 には容量端の電位にかかわらず電源電圧 V_{CC} と入力電圧 V_{in} との差 ($V_{CC} - V_{in}$) と等しい電位が保持されている。

【 0 1 4 8 】

その後、図 3 3 (A) ~ (F) に示すように、ドライブスキャナ 4 0 5 により駆動線 D S L 4 0 1 , D S L 4 0 2 , … への駆動信号 $d s [4 0 1]$, $d s [4 0 2]$, … がローレベルに保持され、ドライブスキャナ 4 0 7 により駆動線 D S L 4 2 1 , D S L 4 2 2 , … への駆動信号 $d s [4 2 1]$, $d s [4 2 2]$, … がローレベルに保持され、ライトスキャナ 4 0 4 より走査線 W S L 4 0 1 , W S L 4 0 2 , … への走査信号 $w s [4 0 1]$, $w s [4 0 2]$, … がローレベルに保持された状態で、ドライブスキャナ 4 0 6 により駆動線 D S L 4 1 1 , D S L 4 1 2 , … への駆動信号 $d s [4 1 1]$, $d s [4 1 2]$, … が選択的にハイレベルに設定される。

その結果、画素回路401においては、図31(E)に示すように、T414がオンする。TF T414をオンすることで、ドライブトランジスタT411のゲート・ソース間電位は画素容量としてのキャパシタC411に充電されていた電位差($V_{cc} - V_{in}$)となる。そして、図33(H)に示すように、TF T411のソース電位の値にかかわらず、この電位差を保持したまま、ドライブトランジスタT411のソース電位は V_{cc} まで上昇してゆく。

【0149】

そして、図33(A)~(F)に示すように、ドライブスキャナ407により駆動線DSL421, DSL422, ...への駆動信号 $d_s[421]$, $d_s[422]$, ...がローレベルに保持され、ライトスキャナ404より走査線WSL401, WSL402, ...への走査信号 $w_s[401]$, $w_s[402]$, ...がローレベルに保持され、ドライブスキャナ406により駆動線DSL411, DSL412, ...への駆動信号 $d_s[411]$, $d_s[412]$, ...がハイレベルに保持された状態で、ドライブスキャナ405により駆動線DSL401, DSL402, ...への駆動信号 $d_s[401]$, $d_s[402]$, ...が選択的にハイレベルに保持される。

その結果、画素回路401において、図33(F)に示すように、TF T413がオン状態となる。

TF T413がオンしたことに伴い、TF T411のソース電位は降下する。このように、ドライブトランジスタとしてのTF T311のソース電位は変動するにもかかわらず、TF T411のゲートとEL発光素子416のアノード間には容量があるために、TF T411のゲート・ソース間電圧は、常に($V_{CC} - V_{in}$)にて保たれている。

【0150】

このとき、ドライブトランジスタとしてのTF T411は飽和領域で駆動しているため、このTF T411に流れる電流値 I_{ds} は前述した式1で示された値となり、それはドライブトランジスタTF T411のゲート・ソース電圧 V_{gs} によって決定される。

この電流はEL発光素子416にも流れ、EL発光素子416は電流値に比例した輝度で発光する。

【0151】

EL発光素子の等価回路は図32に示されるようにトランジスタで記述することができるため、図32中、ノードND411の電位は発光素子416に電流 I_{ds} が流れるゲート電位まで上昇して止まる。この電位の変化に伴いノードND412の電位も変化する。最終的なノードND411の電位を V_x とすると、ノードND412の電位は($V_x + V_{cc} - V_{in}$)と記述され、ドライブトランジスタであるTF T411のゲート・ソース間電位は($V_x + V_{cc}$)に保たれる。

【0152】

以上より、EL発光素子416は発光時間が長くなるに従い、そのI-V特性は劣化しても、本第6の実施形態の画素回路401では、ドライブトランジスタとしてのTF T411のゲート・ソース間電位が一定に保たれたままノードND411の電位は下降するので、TF T341に流れる電流は変化しない。

よって、EL発光素子416に流れる電流も変化せず、EL発光素子416のI-V特性が劣化しても、ゲート・ソース間電位($V_{cc} - V_{in}$)に相当する電流が常に流れつづけ、ELの経時劣化に対する従来の問題は解決できる。

また、本発明の回路では画素内に固定電位は電源である V_{cc} しかないため、太く配線せざるを得なかったGNDラインを必要としない。これにより画素面積を小さくすることができる。さらに、非発光期間においてはTF T413, 414はオフしており、回路に電流は流れない。すなわち、非発光時間に回路に電流を流さないことで消費電力の低減も図ることができる。

【0153】

以上説明したように、本第6の実施形態によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタを発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

また、本発明では固定電位に画素電源を使用することができるため、画素面積を小さくすることができる。パネルの高精細化が期待できる。

さらにまた、EL発光素子の非発光時間に回路に電流を流さないことで消費電力の低減が可能となる。

【0154】

【発明の効果】

以上説明したように、本発明によれば、EL発光素子のI-V特性が経時変化しても、輝度劣化の無いソースフォロワー出力が行える。

nチャンネルトランジスタのソースフォロワー回路が可能となり、現状のアノード・カソード電極を用いたままで、nチャンネルトランジスタを発光素子の駆動素子として用いることができる。

また、nチャンネルのみで画素回路のトランジスタを構成することができ、TFT作成においてa-Siプロセスを用いることができるようになる。これにより、TFT基板の低コスト化が可能となる。

さらに、たとえば黒信号でも短時間にて信号線電圧を書き込むことができ、ユニフォーミティの高い画質を得ることができる。同時に信号線容量を増加させ、リーク特性を抑制することができる。

また、TFT側のGND配線を削除することができ、周辺の配線レイアウトや画素レイアウトが容易になる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップを取り除くことができ、歩留まりを向上することができる。

また、TFT側のGND配線を削除することができ、TFT基板のGND配線-VCC配線のオーバーラップをなくせることで、低抵抗でVCC配線をレイアウトすることができ、高ユニフォーミティの画質を得ることができる。

また、本発明では固定電位に画素電源を使用することができるため、画素面積を小さくすることができる。パネルの高精細化が期待できる。

さらにまた、EL発光素子の非発光時間に回路に電流を流さないことで消費電力の低減が可能となる。

さらにまた、入力信号電圧をGND近辺にすることができ、外部駆動システムへの負担を軽減することができる。

【図面の簡単な説明】

【図1】第1の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図2】図1の有機EL表示装置において第1の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図3】図2の回路の動作を説明するための等価回路を示す図である。

【図4】図2の回路の動作を説明するためのタイミングチャートである。

【図5】第2の実施形態に係る画素回路を採用した有機EL表示装置の構成を示すブロック図である。

【図6】図5の有機EL表示装置において第2の実施形態に係る画素回路の具体的な構成を示す回路図である。

【図7】図6の回路の動作を説明するための等価回路を示す図である。

【図8】図6の回路の動作を説明するためのタイミングチャートである。

【図9】第2の実施形態に係る画素回路の他の構成例を示す回路図である。

10

20

30

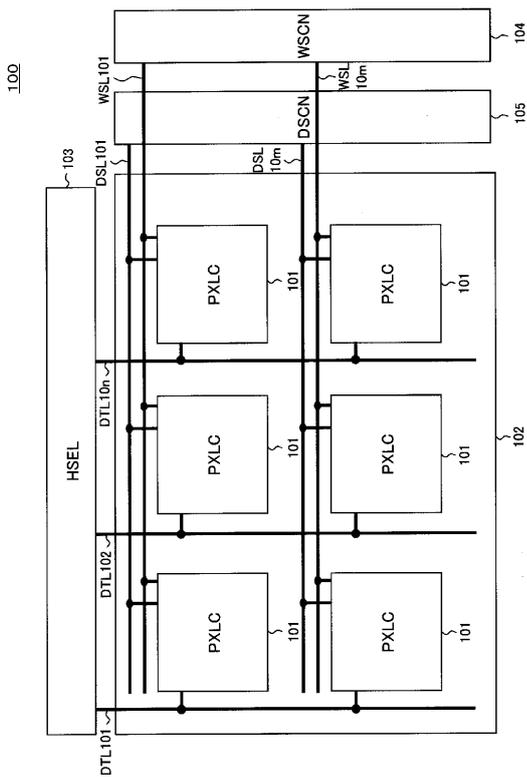
40

50

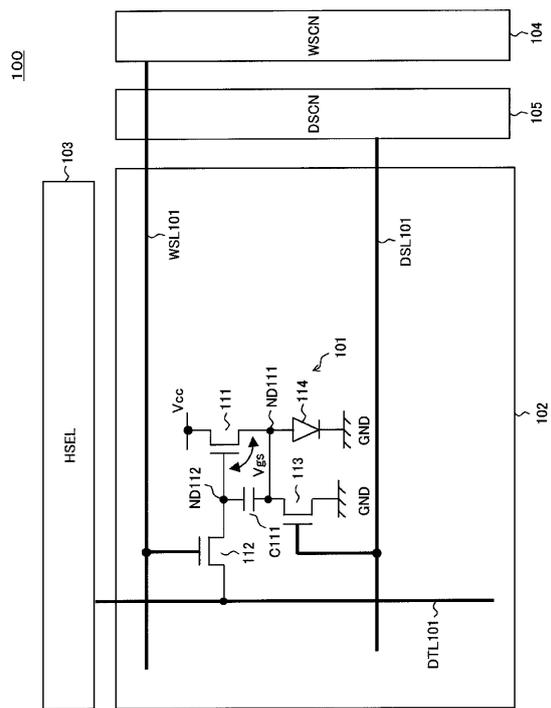
- 【図 10】第 3 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。
- 【図 11】図 10 の有機 E L 表示装置において第 3 の実施形態に係る画素回路の具体的な構成を示す回路図である。
- 【図 12】図 11 の回路の動作を説明するための等価回路を示す図である。
- 【図 13】図 11 の回路の動作を説明するためのタイミングチャートである。
- 【図 14】第 3 の実施形態に係る画素回路の他の構成例を示す回路図である。
- 【図 15】第 4 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。
- 【図 16】図 15 の有機 E L 表示装置において第 4 の実施形態に係る画素回路の具体的な構成を示す回路図である。 10
- 【図 17】図 16 の回路の動作を説明するための等価回路を示す図である。
- 【図 18】図 16 の回路の動作を説明するためのタイミングチャートである。
- 【図 19】固定電圧ラインを電源電位 V C C とした画素回路を示す回路図である。
- 【図 20】固定電圧ラインを接地電位 G N D とした画素回路を示す回路図である。
- 【図 21】第 4 の実施形態に係る画素回路の他の構成例を示す回路図である。
- 【図 22】第 5 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。
- 【図 23】図 22 の有機 E L 表示装置において第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。 20
- 【図 24】図 23 の回路の動作を説明するための等価回路を示す図である。
- 【図 25】図 23 の回路の動作を説明するためのタイミングチャートである。
- 【図 26】固定電圧ラインを電源電位 V C C とした画素回路を示す回路図である。
- 【図 27】固定電圧ラインを接地電位 G N D とした画素回路を示す回路図である。
- 【図 28】第 5 の実施形態に係る画素回路の他の構成例を示す回路図である。
- 【図 29】第 6 の実施形態に係る画素回路を採用した有機 E L 表示装置の構成を示すブロック図である。
- 【図 30】図 29 の有機 E L 表示装置において第 5 の実施形態に係る画素回路の具体的な構成を示す回路図である。
- 【図 31】図 30 の回路の動作を説明するための等価回路を示す図である。 30
- 【図 32】図 30 の回路の動作を説明するための等価回路を示す図である。
- 【図 33】図 30 の回路の動作を説明するためのタイミングチャートである。
- 【図 34】一般的な有機 E L 表示装置の構成を示すブロック図である。
- 【図 35】図 34 の画素回路の一構成例を示す回路図である。
- 【図 36】有機 E L 素子の電流 - 電圧 (I - V) 特性の経時変化を示す図である。
- 【図 37】図 35 の回路の p チャンネル T F T を n チャンネル T F T に置き換えた画素回路を示す回路図である。
- 【図 38】初期状態におけるドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。
- 【図 39】経時変化後のドライブトランジスタとしての T F T と E L 素子の動作点を示す図である。 40
- 【図 40】ドライブトランジスタとしての n チャンネル T F T のソースを接地電位に接続した画素回路を示す回路図である。
- 【符号の説明】
- 100 ... 表示装置、101 ... 画素回路 (P X L C)、102 ... 画素アレイ部、103 ... 水平セレクタ (H S E L)、104 ... ライトスキャナ (W S C N)、105 ... ドライブスキャナ (D S C N)、D T L 101 ~ D T L 10n ... データ線、W S L 101 ~ W S L 10m ... 走査線、D S L 101 ~ D S L 10m ... 駆動線、111 ~ 113 ... T F T、114 ... 発光素子、N D 111, N D 112 ... ノード、200, 200A ... 表示装置、201, 201A ... 画素回路 (P X L C)、202, 202A ... 画素アレイ部、203 ... 水平セレク 50

タ (HSEL)、204...ライトスキャナ (WSCN)、205...ドライブスキャナ (DSCN)、DTL201~DTL20n...データ線、WSL201~WSL20m...走査線、DSL201~DSL20m...駆動線、211~213...TFT、214...発光素子、ND211, ND211A, ND212...ノード、300, 300A...表示装置、301, 301A...画素回路 (PXLC)、302, 302A...画素アレイ部、303...水平セクタ (HSEL)、304, 305...ライトスキャナ (WSCN)、306...ドライブスキャナ (DSCN)、307...定電圧源 (CVS)、DTL301~DTL30n...データ線、WSL301~WSL30m, WSL311~WSL31m...走査線、DSL301~DSL30m...駆動線、311~314...TFT、315...発光素子、ND311, ND311A, ND312...ノード、400...表示装置、401...画素回路 (PXLC)、402...画素アレイ部、403...水平セクタ (HSEL)、304...ライトスキャナ (WSCN)、305~307...ドライブスキャナ (DSCN)、DTL401~DTL40n...データ線、WSL401~WSL40m, DSL301~DSL30m, DSL411~DSL41m, DSL421~DSL42m...駆動線、411~415...TFT、416...発光素子、ND411, ND412...ノード。

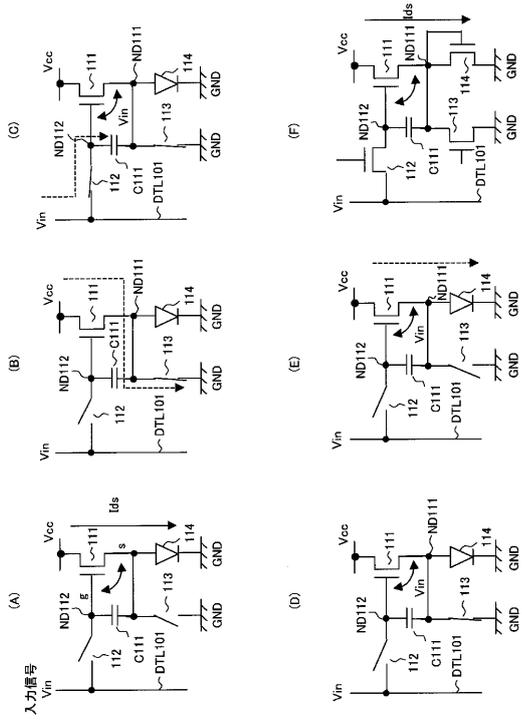
【図1】



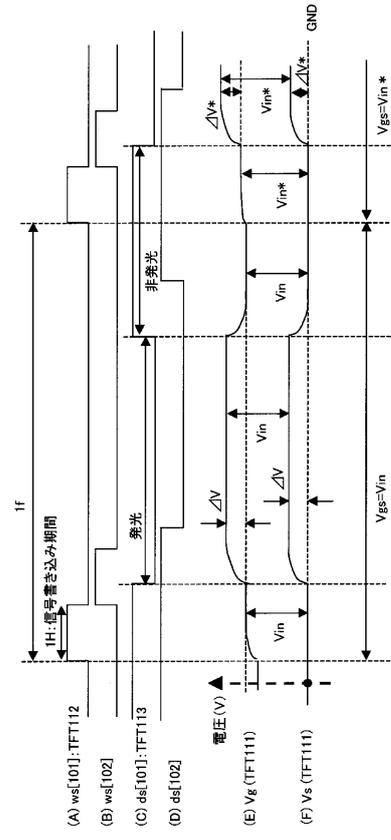
【図2】



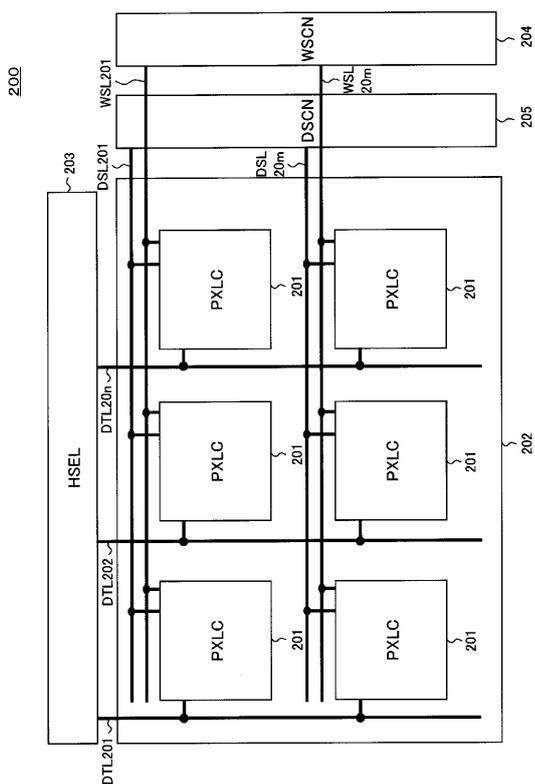
【図3】



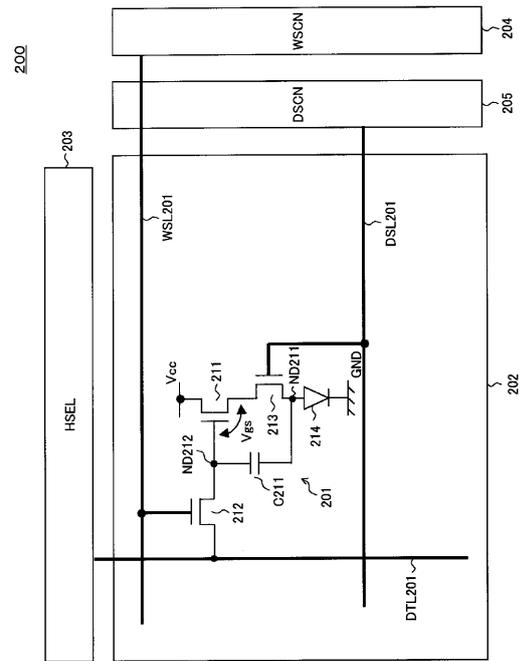
【図4】



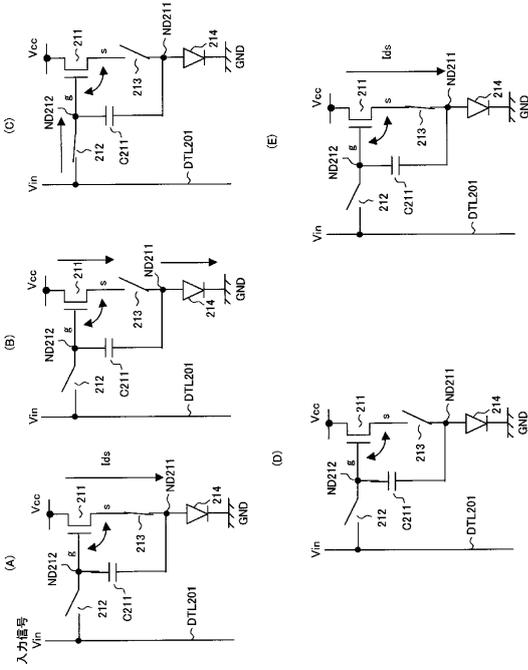
【図5】



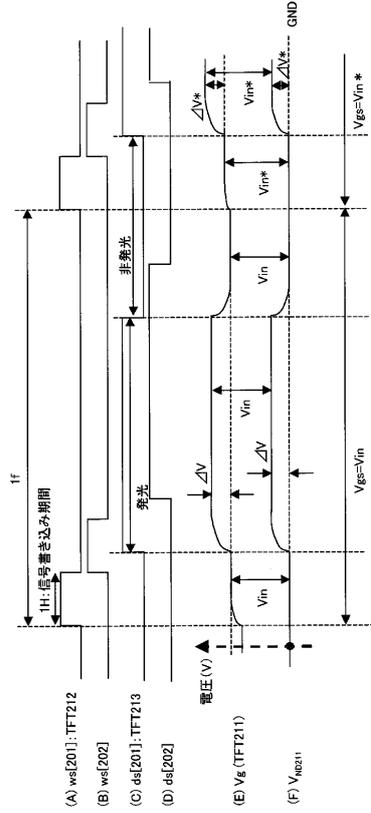
【図6】



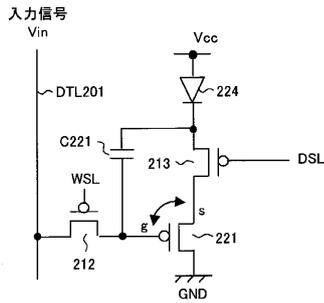
【 図 7 】



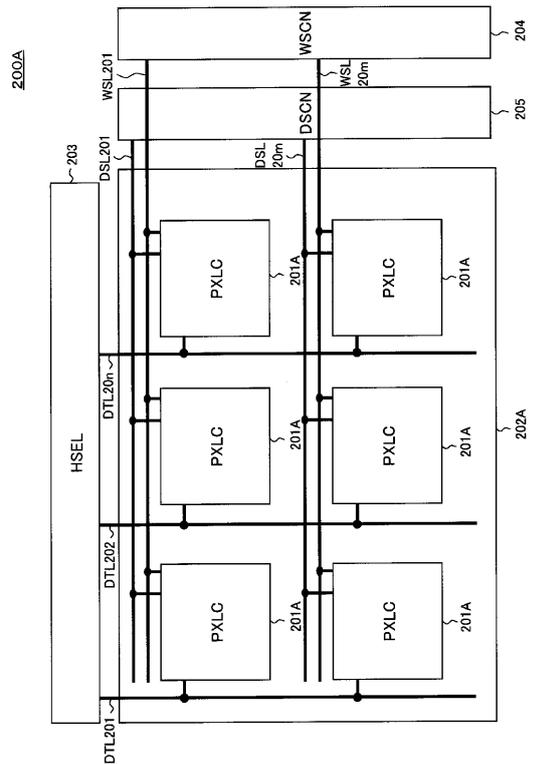
【 図 8 】



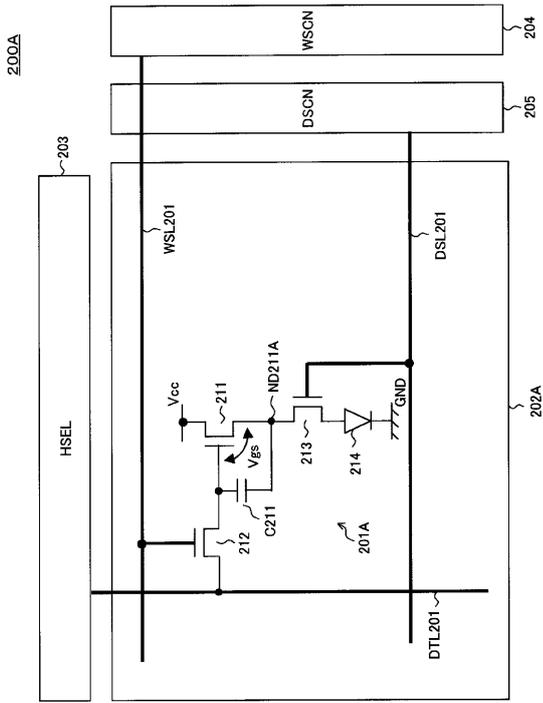
【 図 9 】



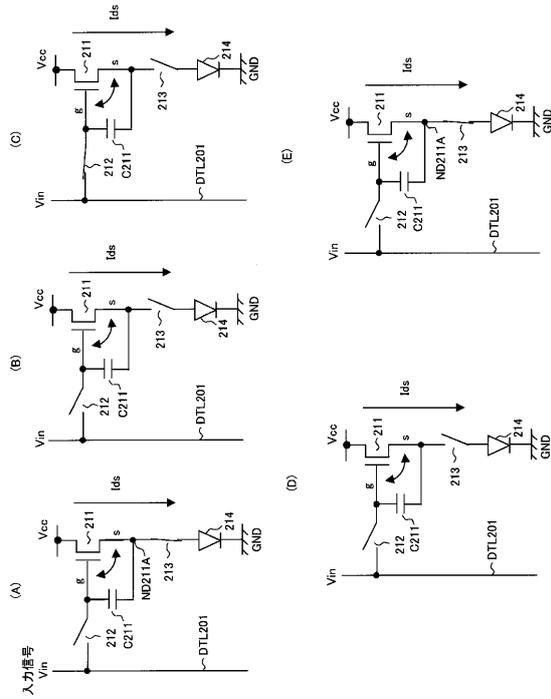
【 図 10 】



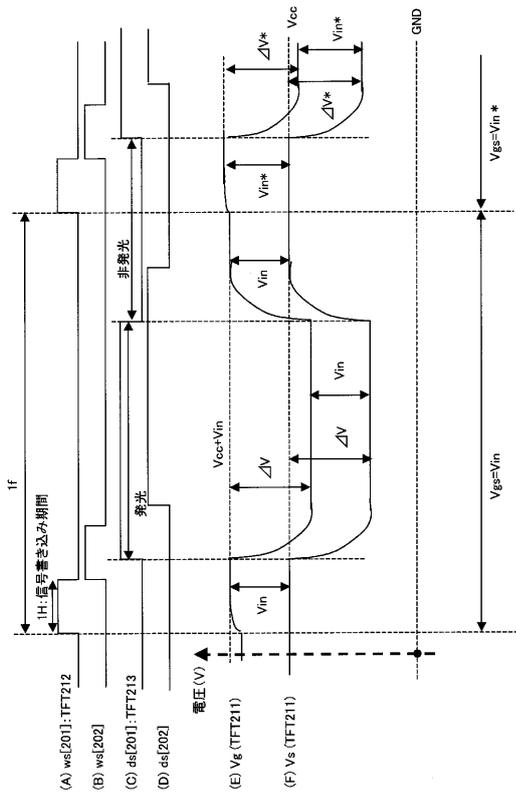
【 図 1 1 】



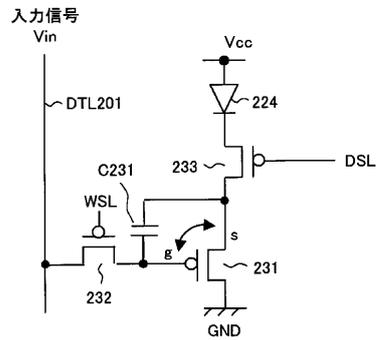
【 図 1 2 】



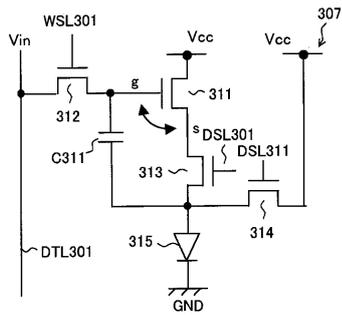
【 図 1 3 】



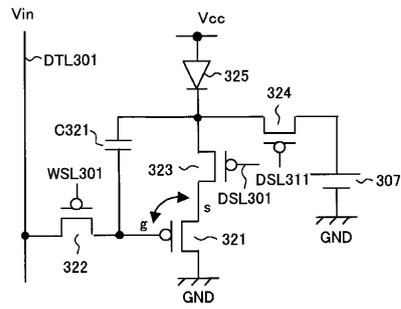
【 図 1 4 】



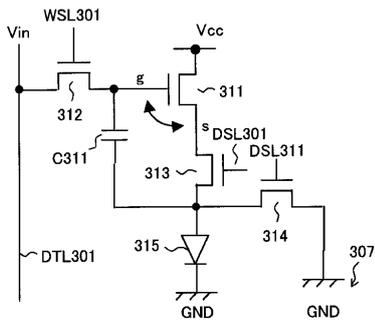
【 図 1 9 】



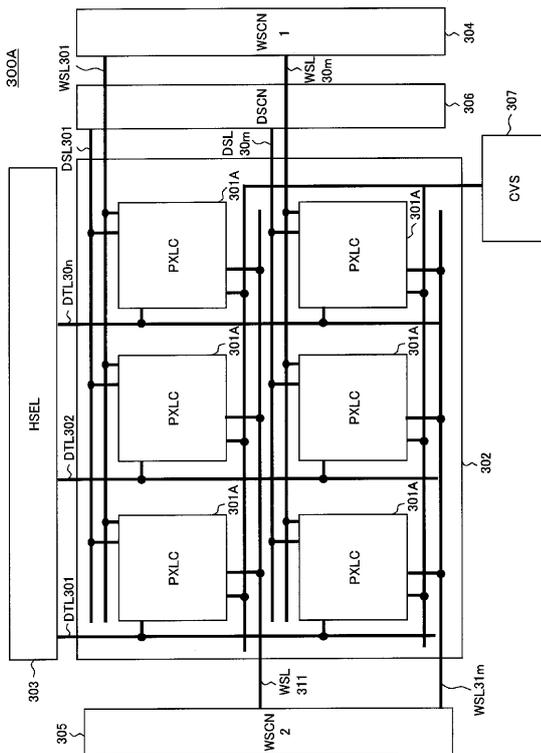
【 図 2 1 】



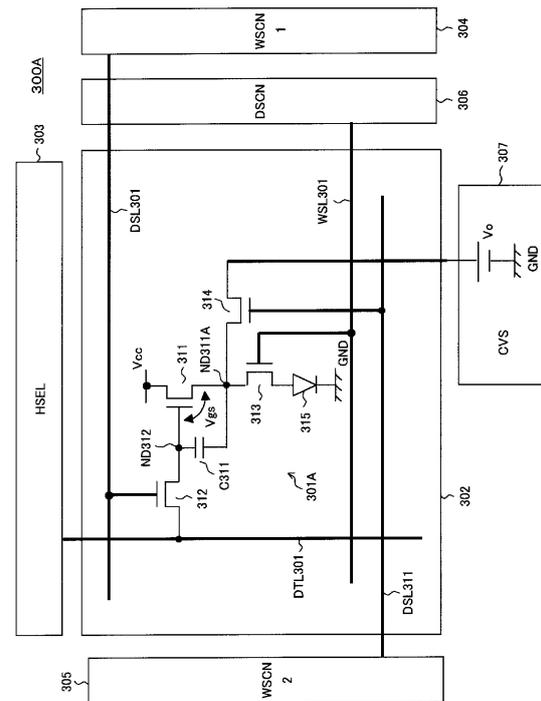
【 図 2 0 】



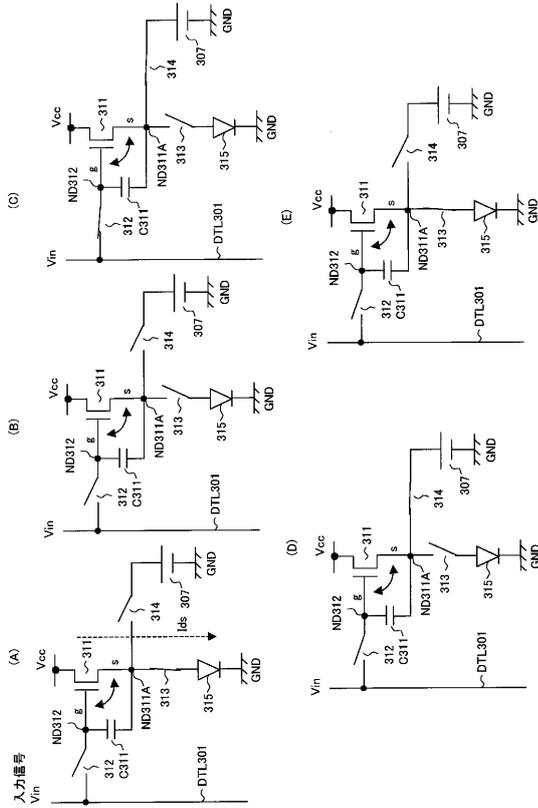
【 図 2 2 】



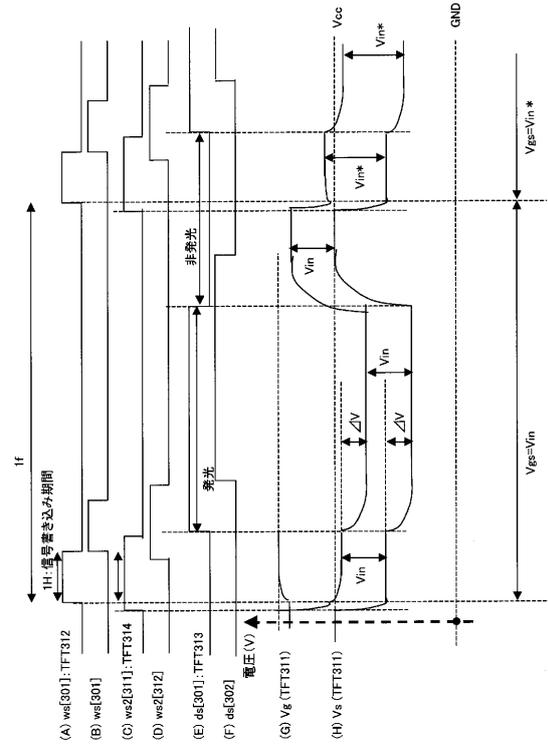
【 図 2 3 】



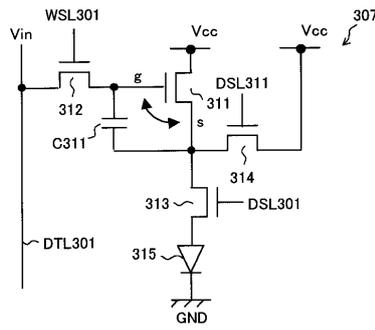
【 2 4 】



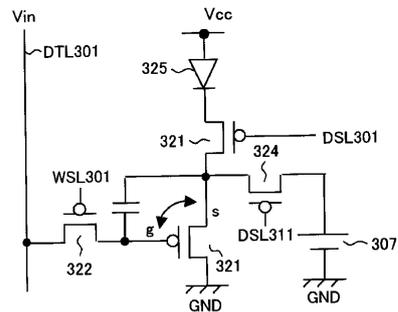
【 2 5 】



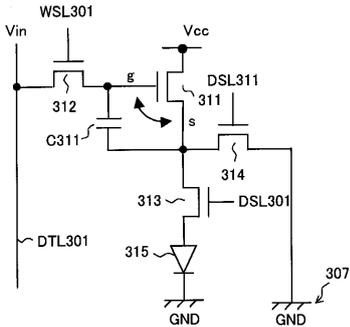
【 2 6 】



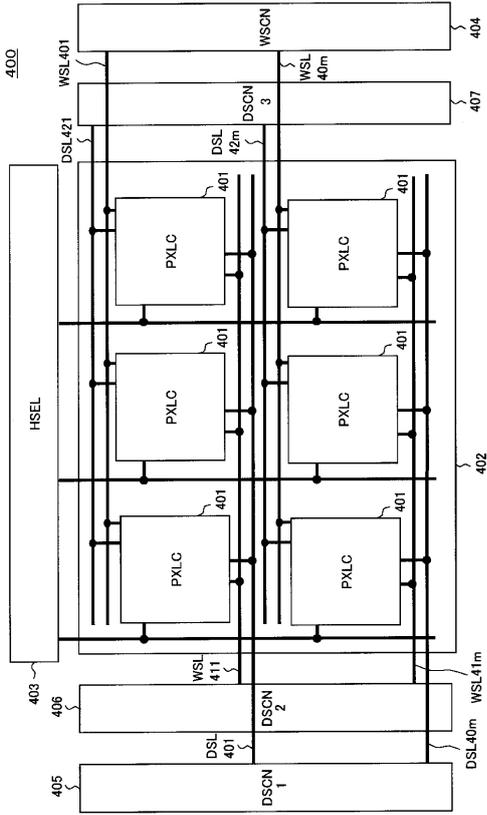
【 2 8 】



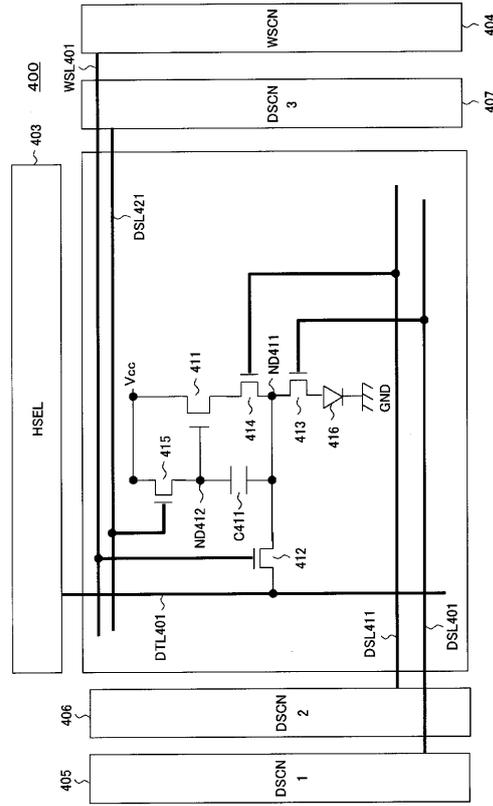
【 2 7 】



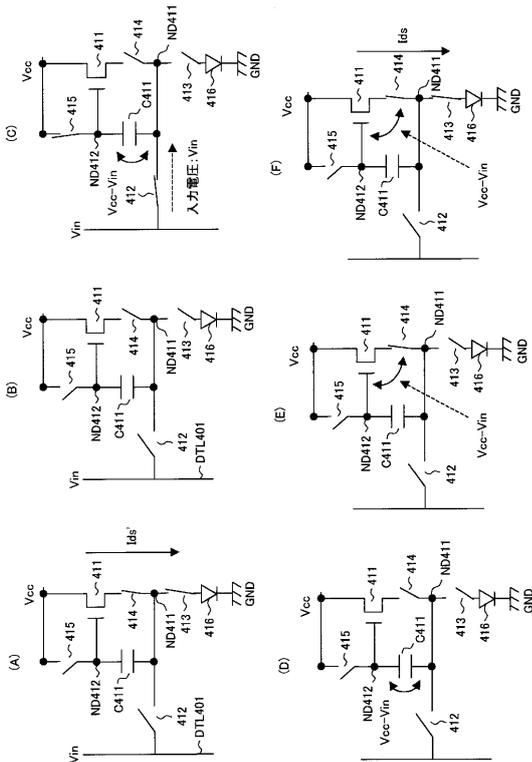
【 図 2 9 】



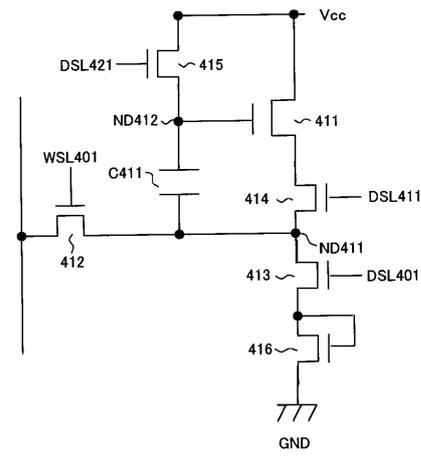
【 図 3 0 】



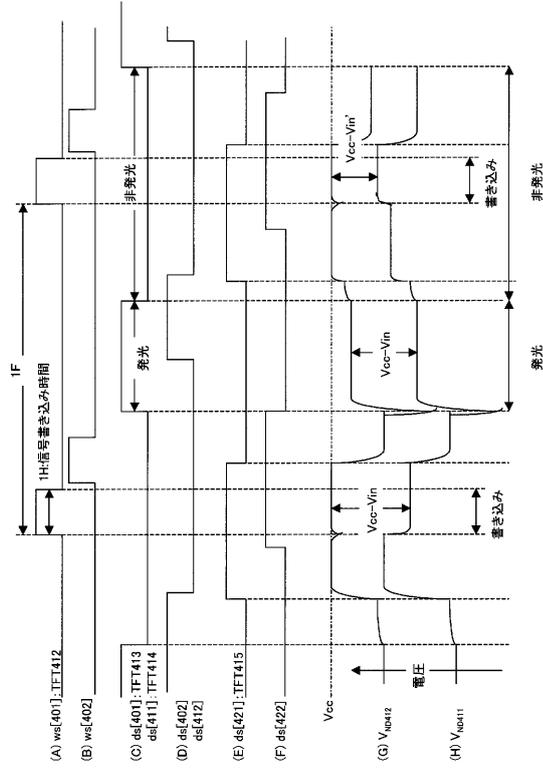
【 図 3 1 】



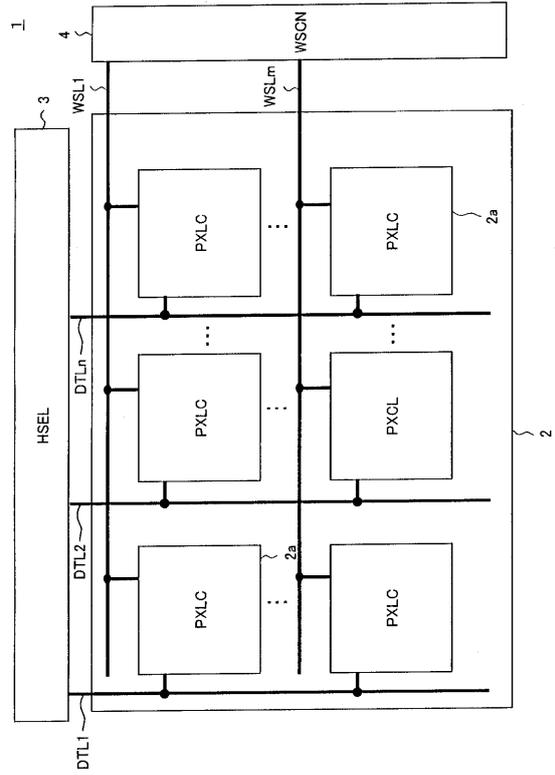
【 図 3 2 】



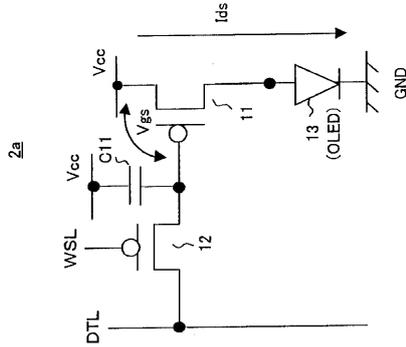
【 図 3 3 】



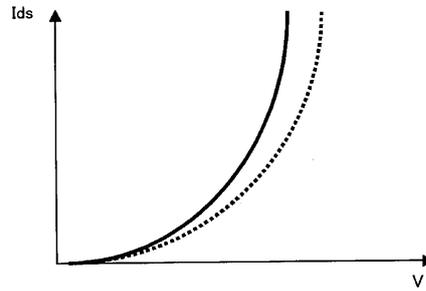
【 図 3 4 】



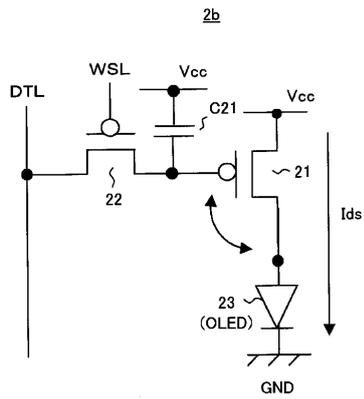
【 図 3 5 】



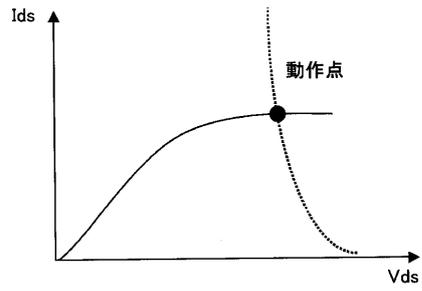
【 図 3 6 】



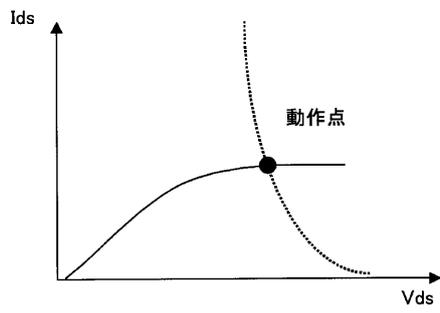
【 図 3 7 】



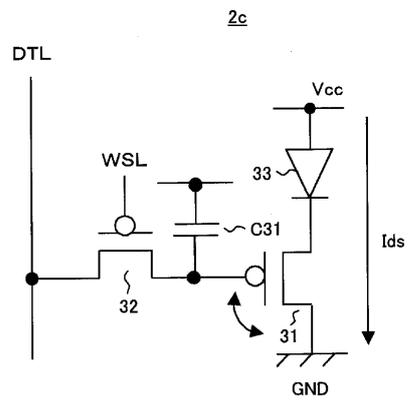
【 図 3 8 】



【 図 3 9 】



【 図 4 0 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
H 0 1 L 29/786	H 0 5 B 33/14	A
H 0 3 K 17/687	H 0 1 L 27/08	1 0 2 J
H 0 5 B 33/14	H 0 1 L 27/06	1 0 2 A
	H 0 1 L 29/78	6 1 4
	H 0 3 K 17/687	G

F ターム(参考)	3K007	AB02	AB03	AB11	AB17	BA06	DB03	GA00	GA04		
	5C080	AA06	BB05	DD05	DD29	EE28	FF11	JJ02	JJ03	JJ04	
	5F048	AB07	AB10	AC04	AC10	BA16					
	5F110	AA14	BB01	NN71	NN73						
	5J055	AX13	AX37	BX09	BX16	BX17	DX22	DX72	DX73	DX83	EX02
		EX07	EY10	EY12	EY21	EZ12	EZ68	FX18	FX37	GX01	GX02
		GX04	GX05	GX06							