

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5204789号  
(P5204789)

(45) 発行日 平成25年6月5日(2013.6.5)

(24) 登録日 平成25年2月22日(2013.2.22)

(51) Int.Cl.		F I			
<b>C 2 5 D</b>	<b>1/00</b>	<b>(2006.01)</b>	C 2 5 D	1/00	3 8 1
<b>H O 1 L</b>	<b>23/12</b>	<b>(2006.01)</b>	H O 1 L	23/12	Q

請求項の数 15 (全 10 頁)

(21) 出願番号	特願2009-549725 (P2009-549725)	(73) 特許権者	509098593
(86) (22) 出願日	平成20年2月14日(2008.2.14)		キューファー アセット リミテッド、
(65) 公表番号	特表2010-519410 (P2010-519410A)		エル.エル.シー、
(43) 公表日	平成22年6月3日(2010.6.3)		CUFER ASSET LTD. L.
(86) 国際出願番号	PCT/US2008/053994		L. C.
(87) 国際公開番号	W02008/101102		アメリカ合衆国、デラウェア州 1980
(87) 国際公開日	平成20年8月21日(2008.8.21)		1、ウィルミントン、オレンジ ストリート
審査請求日	平成22年9月8日(2010.9.8)		1209
(31) 優先権主張番号	11/675,731		1209 Orange Street,
(32) 優先日	平成19年2月16日(2007.2.16)	(74) 代理人	100079108
(33) 優先権主張国	米国 (US)		弁理士 稲葉 良幸

最終頁に続く

(54) 【発明の名称】 めっきピラーパッケージの形成

(57) 【特許請求の範囲】

【請求項 1】

基板上に第1の犠牲層を設ける工程であって、前記基板はその上に設けられた第1のシード層を含む、工程と、

前記第1の犠牲層に開口を形成して、前記第1のシード層の一部分を露出させる工程と、

前記第1のシード層の前記露出された部分に導電性金属でめっきを施してピラーを形成する工程と、

前記第1の犠牲層を除去する工程と、

前記ピラーに隣接して前記基板上に第1の充填材料を設ける工程であって、前記第1の充填材料の外表面が、前記ピラーの外表面と共に実質的に平面状の表面を形成する、工程と、

前記基板を除去する工程と、

を備えるパッケージの形成方法。

【請求項 2】

前記第1の犠牲層が形成される前に前記基板上に前記第1のシード層を形成する工程をさらに備える、請求項1記載の方法。

【請求項 3】

前記第1のシード層を形成する工程は、接点およびトレースを形成する工程を備える、請求項2記載の方法。

10

20

## 【請求項 4】

前記接点およびトレースを形成する工程は、前記接点および前記トレースをメタライジングする工程を備える、請求項 3 記載の方法。

## 【請求項 5】

前記第 1 の犠牲層は、フォトレジストである、請求項 1 記載の方法。

## 【請求項 6】

前記第 1 の充填材料は、絶縁体である、請求項 1 記載の方法。

## 【請求項 7】

前記めっきを施す工程は、電気めっきを施す工程または無電解めっきを施す工程を備える、請求項 1 記載の方法。

10

## 【請求項 8】

前記開口のうちの少なくとも幾つかは、 $50\ \mu\text{m}$ 以下の幅を有する、請求項 1 記載の方法。

## 【請求項 9】

前記開口のうちの少なくとも幾つかは、 $50\ \mu\text{m}$ 以下のピッチを有する、請求項 8 記載の方法。

## 【請求項 10】

前記開口のうちの少なくとも幾つかは、 $20\ \mu\text{m}$ 以下の幅を有する、請求項 1 記載の方法。

## 【請求項 11】

前記開口のうちの少なくとも幾つかは、 $20\ \mu\text{m}$ 以下のピッチを有する、請求項 10 記載の方法。

20

## 【請求項 12】

前記開口のうちの第 1 のセットが第 1 の幅を有し、前記開口のうちの第 2 のセットが前記第 1 の幅とは異なる第 2 の幅を有する、請求項 1 記載の方法。

## 【請求項 13】

前記ピラーおよび前記第 1 の充填材料上に第 2 のシード層を設ける工程と、  
前記第 2 のシード層、前記ピラー、および前記第 1 の充填材料上に第 2 の犠牲層を設ける工程と、  
前記第 2 の犠牲層に開口を形成する工程と、  
前記第 2 の犠牲層の前記開口内にピラーを形成する工程と、  
前記第 2 の犠牲層を除去する工程と、  
前記第 2 のシード層および前記第 1 の充填材料上に第 2 の充填材料を設ける工程と、  
をさらに備える請求項 1 記載の方法。

30

## 【請求項 14】

前記第 1 の充填材料は、硬化性または自硬性の材料を備える、請求項 1 記載の方法。

## 【請求項 15】

請求項 1 乃至 14 のいずれか 1 項に記載する方法を用いて形成されるデバイスであって、  
複数の配線ピラーと、  
前記複数の配線ピラーを取り巻く前記第 1 の充填材料であって、前記複数の配線ピラーは前記第 1 の充填材料の第 1 の面から前記第 1 の充填材料の反対の面まで延びる、第 1 の充填材料と、  
前記複数の配線ピラーのうちの少なくとも 2 つにそれぞれ接続される複数のトレースと、  
前記複数のトレースのうちの少なくとも 1 つに結合される第 1 のチップと、  
を備えるデバイス。

40

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

50

本発明は電氣的接続に関し、より詳細には、かかる電氣的接続のためのパッケージ形成プロセスに関する。

【背景技術】

【0002】

参照することにより、本明細書に組み込まれる米国特許出願第11/329,481号、11/329,506号、11/329,539号、11/329,540号、11/329,556号、11/329,557号、11/329,558号、11/329,574号、11/329,575号、11/329,576号、11/329,873号、11/329,874号、11/329,875号、11/329,883号、11/329,885号、11/329,886号、11/329,887号、11/329,952号、11/329,953号、11/329,955号、11/330,011号、および11/422,551号は、半導体ウェハの小さく深いパイアや、電気接点を形成するさまざまな手法を説明している。本発明者の手法は、以前には達成できなかったパイア密度、および配置を可能にし、チップ、ダイ、ウェハ規模で実施可能である。しかし、これらの手法が高密度配線の形成に用いられたとしても、こうした高密度配線を有して「直ぐに使える」つまり市販で安く入手できるパッケージは、目下のところ見当たらない。

10

【0003】

従って、そのような高密度配線を有する、利用可能な安価なパッケージに対するニーズがある。

20

【発明の概要】

【0004】

本発明者は、上記の援用出願で説明されるような、高密度に集合させた小パイアを含むチップやダイとともに使用可能で安価なパッケージを生成する方法を発明した。本発明者の手法により、25 μm以内のオーダー、多くの場合10 μm以内、の極小ピッチで、安価で精確なパッケージ接続の形成が可能になる。更に、同じ手法を異なる材料に適用することにより、パッケージを、例えば熱膨張、強度、たわみ/剛性の観点から見た特定の用途に適合させたり、特別に要求されるまたは所望される厚さに合わせる事が可能になる。

【0005】

本発明者の手法の一態様は、基板上に配置されたシード層の上へ導電性材料のピラー(柱)をめっきすること、ピラーを充填材料で取り巻いてピラーと充填材料とにより集的に第1のパッケージを画成すること、および第1のパッケージから基板を除去することを含む。

30

【0006】

本発明者の手法の別の態様は、パッケージ形成プロセスを含む。このプロセスは、シード層支持基板上にフォトレジストを塗付すること、フォトレジストの、配線が配置される位置に開口部を画成すること(この開口部はシード層まで下に延びてシード層を露出させる)、めっき金属が所望の高さに堆積するまで、露出したシード層をめっきすること、堆積しためっき金属をそのまま残した状態でフォトレジストを除去すること、フォトレジストの除去により生じた容積部に充填材料を塗付すること、および基板を除去することを含む。

40

【0007】

本明細書で説明する利点および特長は、代表的な実施例から得られる多くの利点および特長の内の僅かではなく、本発明の理解を助けるために提示するに過ぎない。言うまでもなく、それらは特許請求の範囲によって定義される本発明を制限したり、特許請求の範囲の均等物を制限したりするものと解釈すべきではない。例えば、これら利点のいくつかは相互に矛盾し、単一の実施例に同時にあてはまらないことがある。同様に、いくつかの利点が本発明の一態様にあてはまるものの、他の態様にはあてはまらない場合がある。従って、特長および利点についてこの概要が、均等を判定する際の手掛かりになると考え

50

るべきではない。本発明の更なる特長および利点は、以下の説明、図面、および特許請求の範囲から明らかになる。

【図面の簡単な説明】

【0008】

【図1】本明細書で説明するプロセスのベース部としての役割を担うことになる基板100の部分の略図である。

【0009】

【図2】メタライジングによるシード層成層後の、基板100の部分の略図である。

【0010】

【図3】フォトレジストが塗付され、さらにパターン形成されてシード層に達する開口部が生成された、図2の基板の部分の略図である。 10

【0011】

【図4】めっき完了後の基板の部分の略図である。

【0012】

【図5】フォトレジスト除去後の基板の部分の略図である。

【0013】

【図6】パッケージ材料が完全に硬化した後の基板の部分の略図である。

【0014】

【図7】基板とシード層除去後のパッケージの略図である。

【0015】 20

【図8】図7の断面を含むパッケージの部分の下面の略図である。

【0016】

【図9】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

【図10】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

。

【図11】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

。

【図12】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

。

【図13】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である 30

。

【図14】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

。

【図15】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

。

【図16】めっきピラーパッケージを形成する速成手法の高度な変形例を示す略図である。

。

【0017】

【図17】図10～図15の変形例を、図2～図7の基本的な手法における基板として用いて生成したパッケージの変形例の略図である。 40

【0018】

【図18】図10～図15の変形例を用いて、第1のパッケージを生成した後、そのパッケージを基板として用いて同じ変形手法で生成したパッケージの変形例の略図である。

【発明を実施するための形態】

【0019】

包括的には、本発明者の手法は、フォトリソグラフィおよびめっき技術を用いてウェハまたは他の好適な基板上に一連の配線を堆積させる。従って、極小ピッチで微細な配線を形成することができる。なぜなら、それを達成できるかどうかは、偏に、フォトリソグラフィで配線を画成する能力と、それぞれの所望の高さまでめっきを行う能力とにかかっているからである。更に、本明細書に記載する手法を用いて形成されるパッケージの厚さは 50

、約10 $\mu\text{m}$ の薄厚から1000 $\mu\text{m}$ 以上まで、広い範囲に及ぶ(本明細書を通して参照する測定値は厳密さを意図してはならず、特定用途ごとに許容される測定上または製造上の正/負の公差を考慮することに留意)。

【0020】

図1~図8は、めっきピラーパッケージを形成する速成手法の基本形を略図で集合的に示す。

【0021】

図1は、本明細書で説明するプロセスにおいて、ベース部としての役割を担う基板100の部分の略図である。特定の実施に応じて、基板100は、半導体ウェハ、セラミックウェハ、または、本プロセスでの操作に耐えることができ、最終的に形成されたパッケージを損傷せずに除去できる特性を持つ何らかの他の材料であってもよい。

10

【0022】

配線間のピッチは狭いことがあり得るので、理想的には、基板100は非常に平坦であることが望ましい(例えば、標準8インチウェハの場合、全体でのバウまたはディッシュは10 $\mu\text{m}$ 未満とし、10 $\mu\text{m}$ を大幅に下回ることが望ましい)。

【0023】

プロセスは、基板100のメタライジングから始まり、基板100に金属の薄層を塗付し、それにより後続のめっき作業(非電解または電気めっき)のためのシード層を形成する。メタライゼーションは、例えば(化学的または物理的)蒸着プロセスまたは任意の他の好適なプロセスにより行うことができる。変形例によっては、基板自体を金属または合金とすることもできる。その場合、基板自体がシード層の役割を果たすなら、メタライジングステップをオプションにしたり、省いたりすることができる。

20

【0024】

特定の実施に応じて、以下で述べるように、メタライジング作業を、特定の領域(例えば、パッケージが最終的に取り付けられるチップの面積に対して適切な大きさに調整した面積)に限定するか、あるいは、画成された接続ポイントの近傍にまで更に限定して、基板全体に亘って好都合に実行することができる。

【0025】

図2は、メタライジングによりシード層200を成層した後の基板100の部分の略図である。

30

【0026】

図3は、フォトレジスト300を塗付し、さらにパターン形成してシード層200の各部分まで下に延び、シード層200の各部分を露出させた開口部302, 304, 306, 308が生成された図2の基板100の部分の略図である。

【0027】

特定の実施に応じて、フォトレジスト300は流動タイプであっても、固体タイプであってもよい。半導体処理で使用される従来の流動性フォトレジストは、このプロセスでの使用に好適である。好適な固体フォトレジストには、Riston(登録商標、以下同様)ドライフィルムフォトレジスト商品シリーズがあり、具体的にはRiston Plate Master、Etch Master、Tent Master商品シリーズのフォトレジストであり、すべてE. I. du Pont de Nemours & Coから市販されている。

40

【0028】

例示のため図3に示すように、開口部は何れも、約140 $\mu\text{m}$ 長の、基板100の断面内に収まり、左側にある3つの開口部は、幅が約10 $\mu\text{m}$ でピッチが20 $\mu\text{m}$ である。もちろん、特定の実施に従って、開口部は任意の所望の大きさでよいが、本手法は、開口部の幅50 $\mu\text{m}$ 以内、場合によっては幅10 $\mu\text{m}$ 未満、そして開口部のピッチ50 $\mu\text{m}$ 以内、場合によっては同じくピッチ10 $\mu\text{m}$ 未満である高密度配線にとって最も有利である。

【0029】

次に、基板をめっき槽に浸漬し、パターン形成されたフォトレジスト300を通過して

50

露出したシード層 200 の各部にめっき金属 400 を堆積させる。これは、バイアに、例えば、従来の電気めっきや無電解めっきプロセスを施すことである。特定の用途に応じて、めっき金属 400 を開口部内で任意の所望の高さに堆積させることができる。

【0030】

図 4 は、めっき完了後の基板 100 の部分の略図である。

【0031】

めっきが完了すると、使用したフォトレジスト 300 を、必要に応じて除去する。

【0032】

図 5 は、フォトレジスト 300 の除去後の基板 100 の部分の略図である。図示するように、フォトレジスト 300 の除去後に残っためっき金属 400 は、めっき金属 400 の一連の起立した「ピラー（柱）」を成し、これらピラーは、本質的に同一平面である上面 402 を有し、底面をシード層 200 で支えられている。これらピラーは、最終パッケージの配線を形成する。

10

【0033】

この段階で、パッケージ材料 600 を基板 100 に塗付することにより、先にフォトレジスト 300 で占められていた容積部をほぼ上面 402 の高さまで充填する。理想的には、パッケージ材料 600 はその凝固時に、非導電性で比較的安定し、および/または不活性であるのがよい。続いてパッケージ材料 600 を、適宜に固化または硬化の操作を行って凝固させる。

【0034】

20

特定の実施に応じて、パッケージ材料 600 を、自己固化性材料、硬化性材料または他の材料とすることができる。パッケージ材料 600 の好適な例としては、エポキシや液晶ポリマー等の流動性のある成形用樹脂およびプラスチックがある。

【0035】

図 6 は、パッケージ材料 600 が完全に固化した後の基板 100 の部分の略図である。

【0036】

基本的なプロセスでは最終的に、基板 100 およびシード層 200 は、含まれる特定材料に適合した機械的、化学的、または機械化学的プロセスを用いて除去され、完成パッケージ 700 が残ることになる。

【0037】

30

図 7 は、パッケージ 700 の下面 702 から基板 100 およびシード層 200 を除去した後のパッケージ 700 の略図である。

【0038】

図 8 は、破線で示す位置に沿って切り取られた断面（図 7）を含むパッケージ 700 の部分の下面 702 の略図である。ここで分かるように、この手法により、高密度実装配線の形成が可能になる。例えば、図 8 の左側において、一辺が約 50 μm の正方形領域内に 8 個の配線 400 が配置される。

【0039】

図 9 ~ 図 16 は、めっきピラーパッケージ形成の速成手法の高度な変形例を略図で集合的に示す。この手法は、メタライゼーションの細部を除いて、図 1 ~ 図 8 の手法に類似している。従って、具体的に指摘のない限り、詳細は図 1 ~ 図 8 に関連する説明内容と同じであるという理解のもとに、この変形例を略して説明する。

40

【0040】

従って、図 9 に示すように、プロセスは基板 100 で始まる。

【0041】

次に、後続のめっき作業のためのシード層 1000 を形成する、基板 100 のメタライジングプロセスが来る。しかし、図 1 ~ 図 8 の手法とは異なり、シード層 1000 の塗布は、中間のパターン形成およびリフトオフ（剥離除去）を実行することにより最終パッケージ内のトレースまたは接点が配置される領域にのみシード層 1000 が確実に配置されるようにした後に行われる。更に、最終的に必要な電流を接続部が搬送するのに十分な厚

50

さのシード層 1 0 0 0 を塗付する。図 1 0 は、局在するシード層 1 0 0 0 を塗付した後の基板 1 0 0 の略図である。続いて電気めっきを施せば、他の金属または導電性材料によってシード層間を接続してそれらに電流を流すことができるが、これらの接続領域の厚さは、パッケージに取り付ける最終チップの動作電流を搬送できるほど厚くする必要はない。

#### 【 0 0 4 2 】

それ以降の手法は、図 1 1 ~ 図 1 4 に示すように、上記と同じである。具体的には、フォトレジスト 3 0 0 を塗付し、パターン形成することによりシード層 1 0 0 0 の関連部分を露出させる ( 図 1 1 )。その後、めっきを行ってめっき金属 4 0 0 を堆積させる ( 図 1 2 )。次に、フォトレジスト 3 0 0 を除去すると、めっき金属 4 0 0 のピラーが残る ( 図 1 3 )。

10

#### 【 0 0 4 3 】

この段階で、この手法の別の変形例において、シード層 1 0 0 0 の成層直後に、しかもシード層配置の局在化に用いられたフォトレジストの除去前に、予備めっきを基板へ施すことができることは注目に値する。換言すれば、図 1 0 に示される状態の直前である。このめっきの目的は、最終パッケージ内の接点またはトレースが搬送し得る電流を扱うのに適した厚さまでシードを堆積させることである。かかる変形例では、図 1 0 のシード層が、その及ぶ範囲にわたって既にめっき金属層を有していることにより厚くなっている点を除けば、手法は同じである。

#### 【 0 0 4 4 】

次に、パッケージ材料 6 0 0 が塗付されて、凝固し ( 図 1 4 )、続いて下面 1 4 0 2 から基板 1 0 0 が取り外され ( 図 1 5 )、完成パッケージ 1 5 0 0 にはシード部間 ( 上述のように金属または他の導体を使用された場合 ) のすべての接続が残る。

20

#### 【 0 0 4 5 】

図 1 6 は、破線で示す位置に沿って切り取られた断面 ( 図 1 5 ) を含むパッケージ 1 5 0 0 の部分の下面 1 4 0 2 の略図である。ここで分かるように、高密度に集合させた配線の形成を可能にするとともに、この手法により、パッケージは配線間の接続 1 6 0 2 , 1 6 0 4 またはルーティングトレース ( routing trace ) 1 6 0 6 を含むことが可能になり、このルーティングトレースにより、例えば別のチップや別のパッケージからパッケージ 1 5 0 0 への接続など、外部との接続が可能になる。

#### 【 0 0 4 6 】

2 つの基本的な変形例を説明したが、このようなパッケージ 7 0 0 , 1 5 0 0 を生成すれば、それらをチップとして扱うことができるので、1 つ以上のチップ用のパッケージとして機能するだけでなく、2 つを積み重ねて互いに結合したりチップ間に挟持したりすることにより、デバイス間を相互接続するウェアのバックエンド処理が行われる際に生成される配線に匹敵する複雑な配線の形成を可能にする。

30

#### 【 0 0 4 7 】

その上、変形例によっては、単に基板 1 0 0 の代わりに最終基本パッケージを用いるとともにシード配置局在化の変形例を用いて完成パッケージの表面に局在化シード層を塗付することにより、より複雑な配線を生成できる。その後、本明細書で説明するプロセスを、パッケージ材料 6 0 0 を塗付して凝固させるところまで実施することができ、その時点でより複雑なパッケージが完成する ( すなわち、除去すべき基板がない )。

40

#### 【 0 0 4 8 】

図 1 7 は、図 1 0 ~ 図 1 5 の変形例を用い、続いてそれを図 2 ~ 図 7 の基本的手法の基板として用いることにより生成したパッケージ変形例 1 7 0 0 を示す略図である。

#### 【 0 0 4 9 】

図 1 8 は、図 1 0 ~ 図 1 5 の変形例を用いて第 1 のパッケージを生成した後、そのパッケージを基板として同じ変形例の手法を用いて生成したパッケージ変形例 1 8 0 0 を示す略図である。

#### 【 0 0 5 0 】

最後に、本明細書で説明するように生成しためっきパッケージは、場合によっては、異

50

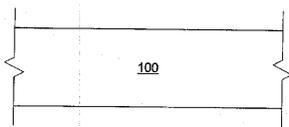
なるインテリジェントチップパッケージとの使用、または上記援用出願に記載されたバックエンドウェハとしての使用に理想的に適合することは言うまでもない。

【 0 0 5 1 】

このように、ここでの記載（図含む）は、説明に役立つ代表的な実施例にすぎないと解されるべきである。読み手の便宜のため、上記記載は、あらゆる可能な実施例のうちの代表的な例に専心したものである。例は、本発明の原理を教授するものである。上記記載は、包括的にあらゆる可能な変形例を列挙しているわけではない。このような代替の実施例は、本発明の特定の部分のためには提示されていないかもしれない、もしくは、さらに不記載の代替の実施例が、（本発明の特定の）部分のためには有用であるかもしれないが、これらの代替の実施例についての権利の放棄とみなされるものではない。当業者は、こうした不記載の実施例の多くが、本発明および他の均等物の原理と同一の原理を包含していることを認識するであろう。

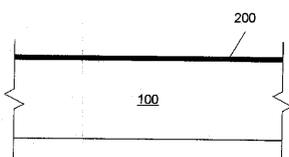
【 図 1 】

FIG. 1



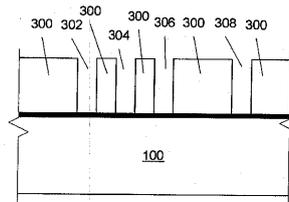
【 図 2 】

FIG. 2



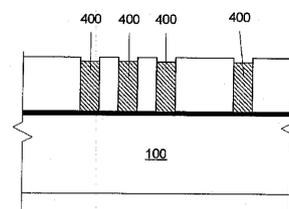
【 図 3 】

FIG. 3



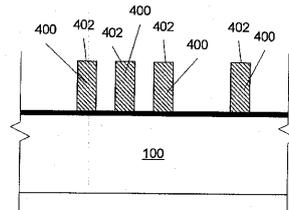
【 図 4 】

FIG. 4



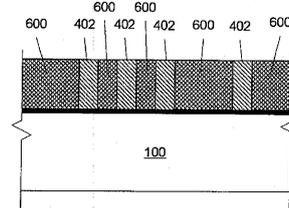
【 図 5 】

FIG. 5



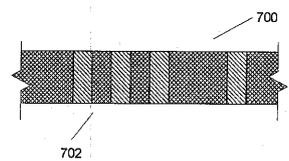
【 図 6 】

FIG. 6



【 図 7 】

FIG. 7



【 図 8 】

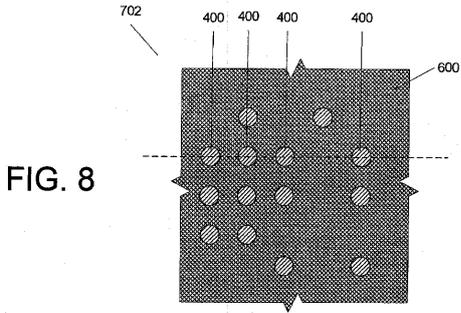


FIG. 8

【 図 9 】

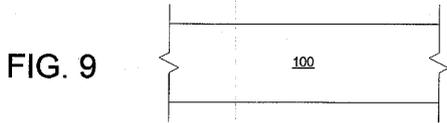


FIG. 9

【 図 10 】

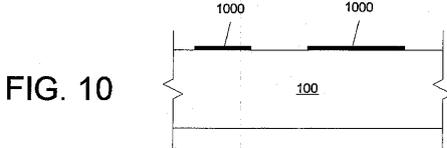


FIG. 10

【 図 11 】

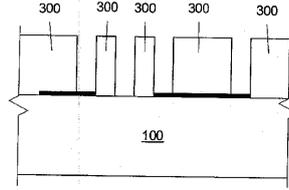


FIG. 11

【 図 12 】

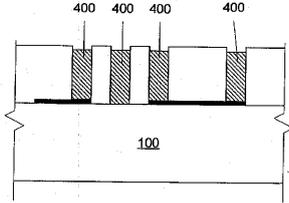


FIG. 12

【 図 13 】

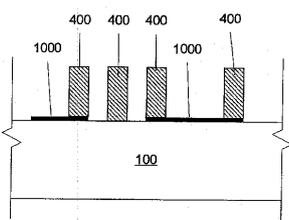


FIG. 13

【 図 14 】

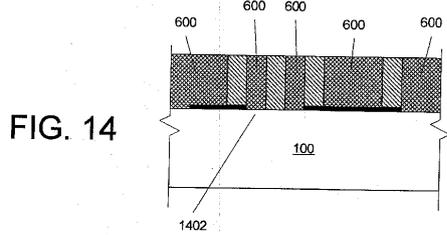


FIG. 14

【 図 15 】

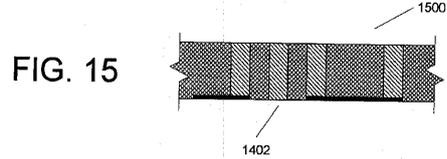
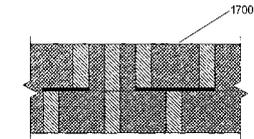
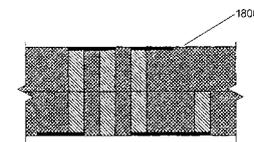


FIG. 15

【 図 17 】



【 図 18 】



【 図 16 】

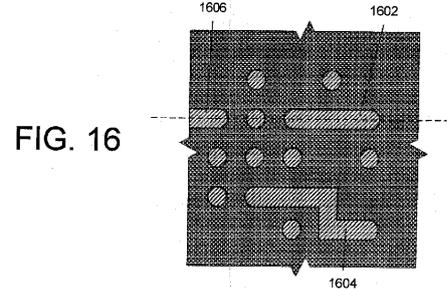


FIG. 16

---

フロントページの続き

(74)代理人 100109346

弁理士 大貫 敏史

(72)発明者 ジョン・トレッツァ

アメリカ合衆国、ニュー ハンプシャー州 03063、ナシュア、ホワイト オーク ドライブ  
12

審査官 酒井 英夫

(56)参考文献 特開2006-108236(JP,A)

特開2002-004077(JP,A)

特開2001-129800(JP,A)

特開2002-260753(JP,A)

(58)調査した分野(Int.Cl., DB名)

C25D 1/00 ~ 1/22

H01L 23/12