



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0124335  
(43) 공개일자 2020년11월02일

- (51) 국제특허분류(Int. Cl.)  
H01L 29/786 (2006.01) H01L 21/02 (2006.01)  
H01L 27/12 (2006.01) H01L 29/66 (2006.01)
- (52) CPC특허분류  
H01L 29/7869 (2013.01)  
H01L 21/02554 (2013.01)
- (21) 출원번호 10-2020-7030813(분할)
- (22) 출원일자(국제) 2011년01월11일  
심사청구일자 2020년10월26일
- (62) 원출원 특허 10-2020-7008787  
원출원일자(국제) 2011년01월11일  
심사청구일자 2020년03월26일
- (85) 번역문제출일자 2020년10월26일
- (86) 국제출원번호 PCT/JP2011/050612
- (87) 국제공개번호 WO 2011/096263  
국제공개일자 2011년08월11일
- (30) 우선권주장  
JP-P-2010-024385 2010년02월05일 일본(JP)

- (71) 출원인  
가부시키키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자  
야마자키 순페이  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키키가이샤 한도오파이 에네루기 켄큐쇼 내
- (74) 대리인  
황의만

전체 청구항 수 : 총 6 항

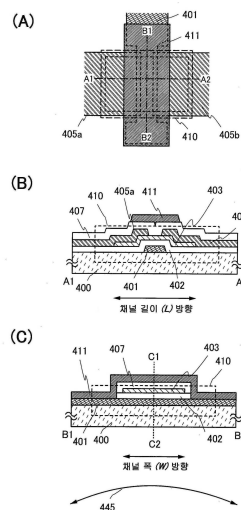
(54) 발명의 명칭 반도체 장치, 및 반도체 장치의 제조 방법

(57) 요약

본 발명은, 산화물 반도체를 이용한 트랜지스터를 가지는 반도체 장치에 있어서, 보다 높은 내충격성을 부여하는 것을 목적의 하나로 한다. 보다 다양화된 용도에 대응할 수 있고, 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공하는 것을 목적의 하나로 한다.

반도체 장치에 있어서, 기판 위에, 게이트 전극층과, 게이트 절연층과, 산화물 반도체층을 포함하는 보텀 게이트 구조의 트랜지스터와, 트랜지스터 위에 절연층과, 절연층 위에 도전층을 가지고, 절연층은 산화물 반도체층을 덮고, 또한 게이트 절연층과 접하여 형성되고, 산화물 반도체층의 채널 폭 방향에서, 게이트 전극층 위에서 게이트 절연층과 절연층은 단부가 일치하고, 도전층은 산화물 반도체층의 채널 형성 영역과, 게이트 절연층 및 절연층의 단부를 덮고, 또한 게이트 전극층과 접하여 형성된다.

대표도 - 도1



(52) CPC특허분류

*H01L 21/02565* (2013.01)  
*H01L 21/02631* (2013.01)  
*H01L 27/1225* (2013.01)  
*H01L 27/1266* (2013.01)  
*H01L 29/66742* (2013.01)  
*H01L 29/78603* (2013.01)  
*H01L 29/78606* (2013.01)  
*H01L 29/78648* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

반도체 장치로서,

기관;

상기 기관 위의 화소부; 및

상기 기관 위의 구동 회로부를 포함하고,

상기 화소부는 표시 소자를 포함하고,

상기 구동 회로부는:

도전층;

제 1 방향으로 배치된 제 1 반도체층 및 제 2 반도체층;

상기 제 1 반도체층 및 상기 제 2 반도체층의 각각과 상기 도전층 사이의 절연층;

상기 제 1 반도체층 및 상기 제 2 반도체층에 전기적으로 접속된 소스 전극층; 및

상기 제 1 반도체층 및 상기 제 2 반도체층에 전기적으로 접속된 드레인 전극층을 포함하고,

상기 도전층은 상기 제 1 방향으로 상기 제 1 반도체층의 양 측단을 넘어 연장하고, 상기 제 1 방향은 상기 제 1 반도체층의 채널 폭 방향과 동일하고,

상기 도전층은 상기 제 1 방향으로 상기 제 2 반도체층의 양 측단을 넘어 연장하고, 상기 제 1 방향은 상기 제 2 반도체층의 채널 폭 방향과 동일하고,

상기 소스 전극층은 상기 제 1 반도체층의 상기 양 측단을 넘어 연장하고,

상기 소스 전극층은 상기 제 2 반도체층의 상기 양 측단을 넘어 연장하고,

상기 드레인 전극층은 상기 제 1 반도체층의 상기 양 측단을 넘어 연장하고,

상기 드레인 전극층은 상기 제 2 반도체층의 상기 양 측단을 넘어 연장하고,

상기 제 1 반도체층의 채널 폭은 상기 제 1 반도체층의 채널 길이보다 크고,

상기 제 2 반도체층의 채널 폭은 상기 제 2 반도체층의 채널 길이보다 큰, 반도체 장치.

#### 청구항 2

반도체 장치로서,

가요성 기관;

상기 가요성 기관 위의 화소부; 및

상기 가요성 기관 위의 구동 회로부를 포함하고,

상기 화소부는 표시 소자를 포함하고,

상기 구동 회로부는:

도전층;

제 1 방향으로 배치된 제 1 반도체층 및 제 2 반도체층;

상기 제 1 반도체층 및 상기 제 2 반도체층의 각각과 상기 도전층 사이의 절연층;

상기 제 1 반도체층 및 상기 제 2 반도체층에 전기적으로 접속된 소스 전극층; 및  
 상기 제 1 반도체층 및 상기 제 2 반도체층에 전기적으로 접속된 드레인 전극층을 포함하고,  
 상기 도전층은 상기 제 1 방향으로 상기 제 1 반도체층의 양 측단을 넘어 연장하고, 상기 제 1 방향은 상기 제 1 반도체층의 채널 폭 방향과 동일하고,  
 상기 도전층은 상기 제 1 방향으로 상기 제 2 반도체층의 양 측단을 넘어 연장하고, 상기 제 1 방향은 상기 제 2 반도체층의 채널 폭 방향과 동일하고,  
 상기 소스 전극층은 상기 제 1 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 소스 전극층은 상기 제 2 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 드레인 전극층은 상기 제 1 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 드레인 전극층은 상기 제 2 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 제 1 반도체층의 채널 폭은 상기 제 1 반도체층의 채널 길이보다 크고,  
 상기 제 2 반도체층의 채널 폭은 상기 제 2 반도체층의 채널 길이보다 큰, 반도체 장치.

**청구항 3**

제 1 항 또는 제 2 항에 있어서,  
 상기 제 1 방향은 상기 반도체 장치가 구부러지는 방향인, 반도체 장치.

**청구항 4**

반도체 장치로서,  
 기관;  
 상기 기관 위의 화소부; 및  
 상기 기관 위의 구동 회로부를 포함하고,  
 상기 화소부는 발광 소자를 포함하고,  
 상기 구동 회로부는:  
 도전층;  
 제 1 방향으로 배치된 제 1 반도체층 및 제 2 반도체층;  
 상기 제 1 반도체층 및 상기 제 2 반도체층의 각각과 상기 도전층 사이의 절연층;  
 상기 제 1 반도체층 및 상기 제 2 반도체층에 전기적으로 접속된 소스 전극층; 및  
 상기 제 1 반도체층 및 상기 제 2 반도체층에 전기적으로 접속된 드레인 전극층을 포함하고,  
 상기 도전층은 상기 제 1 방향으로 상기 제 1 반도체층의 양 측단을 넘어 연장하고, 상기 제 1 방향은 상기 제 1 반도체층의 채널 폭 방향과 동일하고,  
 상기 도전층은 상기 제 1 방향으로 상기 제 2 반도체층의 양 측단을 넘어 연장하고, 상기 제 1 방향은 상기 제 2 반도체층의 채널 폭 방향과 동일하고,  
 상기 소스 전극층은 상기 제 1 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 소스 전극층은 상기 제 2 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 드레인 전극층은 상기 제 1 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 드레인 전극층은 상기 제 2 반도체층의 상기 양 측단을 넘어 연장하고,  
 상기 제 1 반도체층의 채널 폭은 상기 제 1 반도체층의 채널 길이보다 크고,

상기 제 2 반도체층의 채널 폭은 상기 제 2 반도체층의 채널 길이보다 큰, 반도체 장치.

**청구항 5**

제 4 항에 있어서,

상기 제 1 방향은 상기 반도체 장치가 구부러지는 방향인, 반도체 장치.

**청구항 6**

제 4 항에 있어서,

상기 기관은 가요성 기관인, 반도체 장치.

**발명의 설명**

**기술 분야**

[0001] 본 발명은, 반도체 장치 및 반도체 장치의 제작 방법에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

**배경 기술**

[0003] 절연 표면을 가지는 기관 위에 형성된 반도체 박막을 이용하여 박막 트랜지스터(TFT)를 구성하는 기술이 주목받고 있다. 박막 트랜지스터는 집적회로(IC)나 화상 표시 장치(표시 장치)와 같은 전자 디바이스에 널리 응용되고 있다.

[0004] 박막 트랜지스터에 적용할 수 있는 반도체 특성을 나타내는 재료로서 금속 산화물이 주목받고 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 알려져 있다(특허문헌 1 및 특허문헌 2 참조).

[0005] 또한, 박막 트랜지스터를 이용한 전자 디바이스는 다양한 장소나 용도로 이용되고 있고, 그에 따라 경량화, 박형화, 내충격성 등 요구되는 특성이나 형상도 다양화되고 있다. 따라서 목적이었던 기능이 부여된 전자 디바이스의 개발이 진행되고 있다.

[0006] 예를 들면, 유기기에 형성하는 반도체 장치로서보다 유기자가 입체감을 얻을 수 있도록 표시면을 곡면 형상으로 한 디스플레이가 보고되어 있다(예를 들면, 특허문헌 3 참조).

**선행기술문헌**

**특허문헌**

[0007] (특허문헌 0001) 일본국 특개 2007-123861호 공보

(특허문헌 0002) 일본국 특개 2007-096055호 공보

(특허문헌 0003) 일본국 특개평 7-114347호 공보

**발명의 내용**

**해결하려는 과제**

[0008] 상기와 같이 반도체 장치를 다양한 형상으로 이용하는 경우, 외부로부터의 충격에 대하여 반도체 장치에 높은 내성을 부여하는 것이 요구된다.

[0009] 따라서, 본 발명의 일 형태는, 산화물 반도체를 이용한 트랜지스터를 가지는 반도체 장치에 있어서, 보다 높은 내충격성을 부여하는 것을 목적의 하나로 한다.

[0010] 또한, 본 발명의 일 형태는, 보다 다양화된 용도에 대응할 수 있어, 편리성이 향상된 신뢰성이 높은 반도체 장

치를 제공하는 것을 목적의 하나로 한다.

**과제의 해결 수단**

- [0011] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 기판 위에, 게이트 전극층과, 게이트 절연층과 산화물 반도체층을 포함하는 보텀 게이트 구조의 트랜지스터와, 트랜지스터 위에 절연층과, 절연층 위에 도전층을 가지고, 절연층은 산화물 반도체층을 덮고, 또한 게이트 절연층과 접하여 형성되고, 산화물 반도체층의 채널 폭 방향에 있어서, 게이트 전극층 위에서 게이트 절연층과 절연층은 단부가 일치하고, 도전층은 산화물 반도체층의 채널 형성 영역과 게이트 절연층 및 절연층의 단부를 덮고, 또한 게이트 전극층과 접하여 형성되는 반도체 장치이다.
- [0012] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 동일 기판 위에 보텀 게이트 구조의 구동 회로용 트랜지스터를 포함하는 구동 회로부와, 화소용 트랜지스터를 포함하는 화소부를 가지고, 구동 회로용 트랜지스터는 게이트 전극층과, 게이트 절연층과, 산화물 반도체층을 포함하고, 산화물 반도체층 위에 절연층과, 절연층 위에 도전층이 형성되고, 절연층은 산화물 반도체층을 덮고, 또한 게이트 절연층과 접하여 형성되고, 산화물 반도체층의 채널 폭 방향에 있어서, 게이트 전극층 위에서 게이트 절연층과 절연층은 단부가 일치하고, 도전층은 산화물 반도체층의 채널 형성 영역과, 게이트 절연층 및 절연층의 단부를 덮고, 또한 게이트 전극층과 접하여 형성되는 반도체 장치이다.
- [0013] 상기 구성에 있어서, 소스 전극층 및 드레인 전극층은 산화물 반도체층과 절연층 사이에 형성해도 좋고, 게이트 절연층과 산화물 반도체층의 사이에 형성해도 좋다.
- [0014] 상기 구성에 있어서는, 산화물 반도체층의 채널 형성 영역은 채널 폭 방향에 있어서, 상하에 적층하는 게이트 절연층, 및 절연층과, 또한 게이트 전극층 및 도전층에 의해 둘러싸여 있기 때문에 내충격성이 우수하고, 기판에 가요성 기판을 이용하여 자유롭게 형상을 가공할 수 있다.
- [0015] 산화물 반도체층을 포함하는 트랜지스터를 가요성 기판 위에 형성하면, 가요성을 가지는 반도체 장치를 제작할 수 있다.
- [0016] 가요성 기판 위에 산화물 반도체층을 포함하는 트랜지스터를 직접 제작해도 좋고, 다른 제작 기판에 산화물 반도체층을 포함하는 트랜지스터를 제작하고, 그 후 가요성 기판에 박리, 전치해도 좋다. 또한, 제작 기판으로부터 가요성 기판에 박리, 전치하기 위해, 제작 기판과 산화물 반도체층을 포함하는 트랜지스터와의 사이에 박리층을 형성하면 좋다.
- [0017] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 가요성 기판 위에, 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층을 덮어 절연층을 형성하고, 게이트 절연층 및 절연층에 개구를 형성하여 게이트 전극층을 노출시키고, 게이트 절연층과 절연층과의 적층의 상부, 및 개구에서 게이트 절연층과 절연층과의 적층의 단부를 덮고, 또한 게이트 전극층에 접하여 도전층을 형성하는 반도체 장치의 제작 방법이다.
- [0018] 본 명세서에서 개시하는 발명의 구성의 일 형태는, 제작 기판 위에 박리층을 형성하고, 박리층 위에 게이트 전극층을 형성하고, 게이트 전극층 위에 게이트 절연층을 형성하고, 게이트 절연층 위에 산화물 반도체층을 형성하고, 산화물 반도체층을 덮어 절연층을 형성하고, 게이트 절연층 및 절연층에 개구를 형성하여 게이트 전극층을 노출시키고, 게이트 절연층과 절연층과의 적층의 상부, 및 개구에서 게이트 절연층과 절연층과의 적층의 단부를 덮고, 또한 게이트 전극층에 접하여 도전층을 형성하여 트랜지스터를 제작하고, 트랜지스터를 박리층을 이용하여 제작 기판으로부터 지지 기판에 전치하고, 지지 기판에 전치된 트랜지스터를 가요성 기판 위에 전치하는 반도체 장치의 제작 방법이다.
- [0019] 또한, 제 1, 제 2로서 붙여지는 서수사는 편의상 이용하는 것이고, 공정순 또는 적층순을 나타내는 것은 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것은 아니다.

**발명의 효과**

- [0020] 본 발명의 일 형태는, 산화물 반도체층의 채널 형성 영역을 채널 폭 방향에 있어서, 적층하는 게이트 절연층, 및 절연층과, 또한 게이트 전극층 및 도전층에 의해 둘러싸는 것에 의해, 내충격성을 부가할 수 있다.
- [0021] 본 발명의 일 형태는, 가요성을 부여함으로써, 보다 다양화된 용도에 대응할 수 있어, 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공할 수 있다.

**도면의 간단한 설명**

- [0022] 도 1은 반도체 장치의 일 형태를 설명한 도면.
- 도 2는 반도체 장치의 일 형태를 설명한 도면.
- 도 3은 반도체 장치의 제작 방법의 일 형태를 설명한 도면.
- 도 4는 반도체 장치의 제작 방법의 일 형태를 설명한 도면.
- 도 5는 반도체 장치의 일 형태를 설명한 도면.
- 도 6은 반도체 장치의 일 형태를 설명한 도면.
- 도 7은 반도체 장치의 일 형태를 설명한 도면.
- 도 8은 반도체 장치의 일 형태를 설명한 도면.
- 도 9는 반도체 장치의 일 형태를 설명한 도면.
- 도 10은 전자기기를 나타낸 도면.
- 도 11은 전자기기를 나타낸 도면.

**발명을 실시하기 위한 구체적인 내용**

- [0023] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해할 수 있을 것이다. 또한, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.
- [0024]
- [0025] (실시형태 1)
- [0026] 본 실시형태에서는, 반도체 장치 및 반도체 장치의 제작 방법의 일 형태를, 도 1 및 도 3을 이용하여 설명한다. 본 실시형태에서는, 반도체 장치의 일례로서 트랜지스터를 나타낸다. 또한, 명세서에 개시하는 반도체 장치에 있어서의 반도체층은 산화물 반도체층을 적합하게 이용할 수 있다.
- [0027] 도 1(A) 내지 도 1(C)에 나타낸 바와 같이, 트랜지스터(410)의 산화물 반도체층(403)의 채널 형성 영역은 채널 길이(L) 방향, 및 채널 폭(W) 방향을 가진다.
- [0028] 도 1(A)은 트랜지스터(410)의 평면도이며, 도 1(B)은 도 1(A)에 나타낸 트랜지스터(410)의 채널 길이(L) 방향에서의 선 A1-A2의 단면도, 도 1(C)은 채널 폭(W) 방향에서의 선 B1-B2의 단면도이다.
- [0029] 도 1(A) 내지 도 1(C)에 나타낸 바와 같이, 트랜지스터(410)는 절연 표면을 가지는 기판(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a), 드레인 전극층(405b)을 포함한다. 트랜지스터(410) 위에는, 절연층(407), 및 도전층(411)이 순차로 적층되어 있다.
- [0030] 또한, 도 1(C)의 채널 폭 방향의 단면도에 있어서 산화물 반도체층(403)은 게이트 절연층(402)과 절연층(407)으로 상하 및 단부를 둘러싸고 있고, 게이트 절연층(402) 및 절연층(407)은 양단부에서 접하고 있다. 게이트 절연층(402)의 하측에는 게이트 전극층(401)이 형성되고, 절연층(407) 위에는 산화물 반도체층(403), 게이트 절연층(402), 및 절연층(407)의 상부 및 게이트 절연층(402), 및 절연층(407)의 양단부를 덮고, 또한 게이트 전극층(401)과 접하여 도전층(411)이 형성되어 있다.
- [0031] 따라서, 채널 폭 방향에서 산화물 반도체층(403)은 게이트 절연층(402)과 절연층(407), 및 게이트 전극층(401)과 도전층(411)에 의해 둘러싸여 있다.
- [0032] 이와 같이, 산화물 반도체층(403)의 주위를 게이트 절연층, 게이트 전극층, 절연층, 및 도전층의 적층에 의해 보호하는 구성으로 하면, 도 1(C)의 화살표(445)로 나타낸 바와 같은 채널 폭(W) 방향에서의 힘(외부로부터 부여되는 힘)이 가해져도, 막두께가 두꺼운 적층 구조는 구부러지기 어렵기 때문에, 적층의 중심에 위치하는 산화물 반도체층(403)에 가해지는 힘을 경감할 수 있다. 따라서 외부로부터의 충격에 의한 산화물 반도체층(403)의 파손을 방지할 수 있다.



- [0033] 또한, 게이트 절연층(402) 및 절연층(407)에, 게이트 전극층(401)이 넓게 노출하는 개구를 형성하고, 이 개구에 있어서 게이트 전극층(401)과 도전층(411)이 접하는 구성으로 하고 있다. 게이트 전극층(401)과 도전층(411)으로서 밀착성이 좋은 도전막을 이용하면, 화살표(445)로 나타내는 힘에 의한 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 절연층(407), 또는 도전층(411)의 계면에서의 막 벗겨짐을 방지할 수 있다.
- [0034] 게이트 전극층(401)과 도전층(411)과의 밀착력을 높이기 위해서는 접하는 영역을 넓게 형성하는 것이 바람직하고, 도 1(A)에 나타낸 바와 같이, 게이트 전극층(401)과 도전층(411)이 접하는 영역의 산화물 반도체층(403)의 채널 길이 방향에서의 거리를, 산화물 반도체층(403)의 채널 길이의 거리보다 길게 하는 것이 바람직하다.
- [0035] 또한, 산화물 반도체층(403)을 중앙에 배치하고, 그 양단을 게이트 절연층(402)과 절연층(407)이 접하여 봉지고, 또한 그 양단을 게이트 전극층(401)과 도전층(411)이 접하여 봉지하기 때문에, 선 C1-C2에 대하여 선대칭인 구조로 할 수 있다. 따라서 화살표(445)로 나타내는 힘이 균등하게 분산되어, 산화물 반도체층(403)에 있어서 국소적으로 큰 힘이 가해지는 것을 방지할 수 있다.
- [0036] 따라서, 트랜지스터(410)에 있어서 산화물 반도체층(403)의 채널 폭 방향에서의 굽힘 내성을 높여 내충격성을 부여할 수 있다.
- [0037] 구동 회로에서는, 보다 많은 전류를 흘리기 위해 트랜지스터의 채널 폭을 길게 형성하는 것이 바람직하다. 그러나 채널 폭이 긴 트랜지스터라면 채널 폭 방향에서의 외부로부터의 힘의 영향도 커진다. 따라서, 본 실시형태에 나타낸 바와 같은 채널 폭 방향에 대한 굽힘 내성을 가지는 트랜지스터를 구동 회로에 이용하면 보다 효과적이며, 내충격성이 뛰어나고 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0038] 내충격성을 가지기 때문에, 기판(400)에 가요성 기판을 이용하고, 가요성을 가지는 반도체 장치로서의 적용에도 대응이 가능하고, 보다 다양화된 용도에 대응할 수 있어 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0039] 또한, 본 명세서에 개시하는 트랜지스터는 특히 산화물 반도체층의 채널 폭 방향에서의 굽힘 내성이 뛰어나므로, 반도체 장치를 제작할 때에 구부러지기 쉬운 방향(굽히는 빈도가 높은 방향)으로 채널 폭 방향을 맞추어 트랜지스터를 제작하는 것이 바람직하다.
- [0040] 도 3(A1), 도 3(A2) 내지 도 3(E1), 도 3(E2)에 트랜지스터(410)의 제작 방법의 일례를 나타낸다. 또한, 도 3(A1) 내지 도 3(E1)은 도 1(B)에 대응하고, 도 3(A2) 내지 도 3(E2)은 도 1(C)에 대응한다.
- [0041] 우선, 절연 표면을 가지는 기판(400) 위에 도전막을 형성한 후, 제 1 포토리소그래피 공정에 의해 게이트 전극층(401)을 형성한다. 또한, 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0042] 절연 표면을 가지는 기판(400)은 가요성 기판을 이용할 수 있고, 예를 들면 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN) 등의 폴리에스테르 수지, 폴리아크릴니트릴 수지, 폴리이미드 수지, 폴리메틸 메타크릴레이트 수지, 폴리카보네이트 수지(PC), 폴리에테르술폰 수지(PES), 폴리이미드 수지, 시클로 올레핀 수지, 폴리스티렌 수지, 폴리이미드이미드 수지, 폴리염화비닐 수지 등을 적합하게 이용할 수 있다. 가요성 기판으로서 섬유체에 유기 수지가 함침된 구조체(소위 프리프레그(prepreg))를 이용해도 좋다. 또한, 기판(400)에는 미리 질화 실리콘이나 산화 질화 실리콘 등의 질소와 실리콘을 포함하는 막이나 질화 알루미늄 등의 질소와 알루미늄을 포함하는 막과 같은 침수성이 낮은 보호막을 성막해 두어도 좋다.
- [0043] 기판(400)의 재료 중에 섬유체가 포함되어 있는 경우, 섬유체는 유기 화합물 또는 무기 화합물의 고강도 섬유를 이용한다. 고강도 섬유란, 구체적으로는 인장 탄성률 또는 영률(Young's modulus)이 높은 섬유를 말하고, 대표 예로서는, 폴리비닐 알코올계 섬유, 폴리에스테르계 섬유, 폴리이미드계 섬유, 폴리에틸렌계 섬유, 아라미드계 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 또는 탄소 섬유를 들 수 있다. 유리 섬유로서는, E 유리, S 유리, D 유리, Q 유리 등을 이용한 유리 섬유를 들 수 있다. 이것들은, 직포 또는 부직포 상태로 이용하고, 이 섬유체에 유기 수지를 함침시켜 유기 수지를 경화시킨 구조체를 기판(400)으로서 이용해도 좋다. 기판(400)으로서 섬유체와 유기 수지로 이루어지는 구조체를 이용하면, 휨이나 국소적 압압(押壓)에 의한 파손에 대한 신뢰성이 향상되기 때문에, 바람직한 구성이다.
- [0044] 또한, 가요성을 가질 정도로 얇게 한 유리 기판(예를 들면, 바륨 붕규산 유리나 알루미늄 붕규산 유리)이나, 필름화한 금속 기판을 이용해도 좋다. 금속 기판을 구성하는 재료로서는 특별히 한정은 없지만, 알루미늄, 구리, 니켈이나 알루미늄 합금 혹은 스테인리스 스틸 등의 금속의 합금 등을 적합하게 이용할 수 있다.



- [0045] 가요성을 가지는 반도체 장치를 제작하기 위해서는, 가요성 기판 위에 산화물 반도체층(403)을 포함하는 트랜지스터(410)를 직접 제작해도 좋고, 다른 제작 기판에 산화물 반도체층(403)을 포함하는 트랜지스터(410)를 제작하고, 그 후 가요성 기판에 박리, 전치해도 좋다. 또한, 제작 기판으로부터 가요성 기판에 박리, 전치하기 위해, 제작 기판과 산화물 반도체층을 포함하는 트랜지스터와의 사이에 박리층을 형성하면 좋다.
- [0046] 베이스막이 되는 절연막을 기판(400)과 게이트 전극층(401)과의 사이에 형성해도 좋다. 베이스막은 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화 실리콘막, 산화 실리콘막, 질화 산화 실리콘막, 또는 산화 질화 실리콘막으로부터 선택된 하나 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0047] 또한, 게이트 전극층(401)의 재료는, 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이것들을 주성분으로 하는 합금 재료를 이용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0048] 다음에, 게이트 전극층(401) 위에 게이트 절연층(402)을 형성한다. 게이트 절연층(402)은 플라즈마 CVD법 또는 스퍼터링법 등을 이용하여, 산화 실리콘층, 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화 질화 알루미늄층, 질화 산화 알루미늄층, 또는 산화 하프늄층을 단층으로 또는 적층하여 형성할 수 있다.
- [0049] 본 실시형태의 산화물 반도체는, 불순물이 제거되고, 산화물 반도체의 주성분 이외의 캐리어 공여체가 되는 불순물이 극력 포함되지 않도록 고순도화함으로써 진성(I형)화 또는 실질적으로 진성(I형)형화된 산화물 반도체를 이용한다.
- [0050] 고순도화된 산화물 반도체층 중에는 캐리어가 매우 적고(제로에 가까움), 캐리어 농도는  $1 \times 10^{14} / \text{cm}^3$  미만, 바람직하게는  $1 \times 10^{12} / \text{cm}^3$  미만, 더욱 바람직하게는  $1 \times 10^{11} / \text{cm}^3$  미만이다.
- [0052] \*산화물 반도체층 중에 캐리어가 매우 적기 때문에, 트랜지스터에서는 오프 전류를 줄일 수 있다. 오프 전류는 적으면 적을수록 바람직하다.
- [0053] 이러한 고순도화된 산화물 반도체는 계면 준위, 계면 전하에 대하여 매우 민감하기 때문에, 산화물 반도체층과 게이트 절연층과의 계면은 중요하다. 따라서 고순도화된 산화물 반도체에 접하는 게이트 절연층은 고품질화가 요구된다.
- [0054] 예를 들면,  $\mu$  파(예를 들면 주파수 2.45 GHz)를 이용한 고밀도 플라즈마 CVD는, 치밀하고 절연 내압이 높은 고품질의 절연층을 형성할 수 있으므로 바람직하다. 고순도화된 산화물 반도체와 고품질 게이트 절연층이 밀접함으로써, 계면 준위를 저감하여 계면 특성을 양호한 것으로 할 수 있기 때문이다.
- [0055] 물론, 게이트 절연층으로서 양질의 절연층을 형성할 수 있는 것이면, 스퍼터링법이나 플라즈마 CVD법 등 다른 성막 방법을 적용할 수 있다. 또한, 성막 후의 열처리에 의해 게이트 절연층의 막질, 산화물 반도체와의 계면 특성이 개질되는 절연층이어도 좋다. 어쨌든, 게이트 절연층으로서의 막질이 양호한 것은 물론이고, 산화물 반도체와의 계면 준위 밀도를 저감하고, 양호한 계면을 형성할 수 있는 것이면 좋다.
- [0056] 또한, 게이트 절연층(402), 산화물 반도체막(440)에 수소, 수산기 및 수분이 가능한 한 포함되지 않게 하기 위해, 산화물 반도체막(440)의 성막의 전처리로서 스퍼터링 장치의 예비 가열실에서 게이트 전극층(401)이 형성된 기판(400), 또는 게이트 절연층(402)까지가 형성된 기판(400)을 예비 가열하고, 기판(400)에 흡착한 수소, 수분 등의 불순물을 이탈하여 배기하는 것이 바람직하다. 또한, 예비 가열실에 형성하는 배기 수단은 크라이오 펌프가 바람직하다. 또한, 이 예비 가열의 처리는 생략할 수도 있다. 또한 이 예비 가열은 절연층(407)의 성막 전에, 소스 전극층(405a) 및 드레인 전극층(405b)까지 형성한 기판(400)에도 마찬가지로 행하여도 좋다.
- [0057] 다음에, 게이트 절연층(402) 위에, 막두께 2 nm 이상 200 nm 이하, 바람직하게는 5 nm 이상 30 nm 이하의 산화물 반도체막(440)을 형성한다(도 3(A1), 도 3(A2) 참조).
- [0058] 또한, 산화물 반도체막(440)을 스퍼터링법에 의해 성막하기 전에, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터링을 행하여, 게이트 절연층(402)의 표면에 부착되어 있는 분상 물질(파티클, 먼지라고도 함)을 제거하는 것이 바람직하다. 역스퍼터링이란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 이용하여 전압을 인가하고 기판 근방에 플라즈마를 형성하여 표면을 개질하는 방법이다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등을 이용해도 좋다.

- [0059] 산화물 반도체막(440)에 이용하는 산화물 반도체로서는, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계 산화물 반도체나, 3원계 금속 산화물인 In-Ga-Zn-O계 산화물 반도체, In-Sn-Zn-O계 산화물 반도체, In-Al-Zn-O계 산화물 반도체, Sn-Ga-Zn-O계 산화물 반도체, Al-Ga-Zn-O계 산화물 반도체, Sn-Al-Zn-O계 산화물 반도체나, 2원계 금속 산화물인 In-Zn-O계 산화물 반도체, Sn-Zn-O계 산화물 반도체, Al-Zn-O계 산화물 반도체, Zn-Mg-O계 산화물 반도체, Sn-Mg-O계 산화물 반도체, In-Mg-O계 산화물 반도체나, In-O계 산화물 반도체, Sn-O계 산화물 반도체, Zn-O계 산화물 반도체 등을 이용할 수 있다. 또한, 상기 산화물 반도체에 SiO<sub>2</sub>를 포함해도 좋다. 여기서, 예를 들면, In-Ga-Zn-O계 산화물 반도체란, 인듐(In), 갈륨(Ga), 아연(Zn)을 가지는 산화물막이라는 의미이며, 그 화학양론비는 특별히 묻지 않는다. 또한, In과 Ga와 Zn 이외의 원소를 포함해도 좋다.
- [0060] 또한, 산화물 반도체막(440)은, 화학식 InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0)로 표기되는 박막을 이용할 수 있다. 여기서, m은, Ga, Al, Mn 및 Co로부터 선택된 하나 또는 복수의 금속 원소를 나타낸다. 예를 들면 M으로서, Ga, Ga 및 Al, Ga 및 Mn, 또는 Ga 및 Co 등이 있다.
- [0061] 본 실시형태에서는, 산화물 반도체막(440)으로서 In-Ga-Zn-O계 산화물 타겟을 이용하여 스퍼터링법에 의해 성막한다. 또한, 산화물 반도체막(440)은 희가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 희가스과 산소의 혼합 분위기 하에서 스퍼터링법에 의해 형성할 수 있다.
- [0062] 산화물 반도체막(440)을 스퍼터링법으로 제작하기 위한 타겟으로서, 예를 들면, 조성비로서 In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:1 [mol수비]의 산화물 타겟을 이용하여 In-Ga-Zn-O막을 성막한다. 또한, 이 타겟의 재료 및 조성에 한정되지 않고, 예를 들면, In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO = 1:1:2 [mol수비]의 산화물 타겟을 이용해도 좋다.
- [0063] 또한, 산화물 타겟의 충전율은 90% 이상 100% 이하, 바람직하게는 95% 이상 99.9% 이하이다. 충전율이 높은 금속 산화물 타겟을 이용함으로써, 성막한 산화물 반도체막은 치밀한 막으로 할 수 있다.
- [0064] 산화물 반도체막(440)을 성막할 때에 이용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0065] 감압 상태로 보유된 성막실 내에 기관을 보유하고, 기관 온도를 100℃ 이상 600℃ 이하 바람직하게는 200℃ 이상 400℃ 이하로 한다. 기관을 가열하면서 성막함으로써, 성막한 산화물 반도체막에 포함되는 불순물 농도를 저감할 수 있다. 또한, 스퍼터링에 의한 손상이 경감된다. 그리고, 성막실 내의 잔류 수분을 제거하면서 수소 및 수분이 제거된 스퍼터링 가스를 도입하고, 상기 타겟을 이용하여 기관(400) 위에 산화물 반도체막(440)을 성막한다. 성막실 내의 잔류 수분을 제거하기 위해서는, 흡착형의 진공 펌프, 예를 들면, 크라이오 펌프, 이온 펌프, 티탄 서블리메이션 펌프를 이용하는 것이 바람직하다. 또한, 배기 수단으로서, 터보 펌프(터보 분자 펌프)에 콜드 트랩을 더한 것이어도 좋다. 크라이오 펌프를 이용하여 배기한 성막실은, 예를 들면, 수소 원자, 물(H<sub>2</sub>O) 등 수소 원자를 포함하는 화합물(보다 바람직하게는 탄소 원자를 포함하는 화합물도) 등이 배기되기 때문에, 이 성막실에서 성막한 산화물 반도체막에 포함되는 불순물의 농도를 저감할 수 있다.
- [0066] 성막 조건의 일례로서는, 기관과 타겟 사이의 거리를 100 mm, 압력 0.6 Pa, 직류(DC) 전원 0.5 kW, 산소(산소 유량 비율 100%) 분위기 하의 조건이 적용된다. 또한, 펄스 직류 전원을 이용하면, 성막 시에 발생하는 분상 물질(파티클, 먼지라고도 함)을 경감할 수 있고, 막두께 분포도 균일하게 되기 때문에 바람직하다.
- [0067] 다음에, 산화물 반도체막(440)을 제 2 포토리소그래피 공정에 의해 섬 형상의 산화물 반도체층으로 가공한다. 또한, 섬 형상의 산화물 반도체층을 형성하기 위한 레지스트 마스크를 잉크젯법으로 형성해도 좋다. 레지스트 마스크를 잉크젯법으로 형성하면 포토마스크를 사용하지 않기 때문에, 제조 비용을 저감할 수 있다.
- [0068] 또한, 게이트 절연층(402)에 컨택홀을 형성하는 경우, 그 공정은 산화물 반도체막(440)의 가공시에 동시에 행할 수 있다.
- [0069] 또한, 여기에서의 산화물 반도체막(440)의 에칭은 드라이 에칭이어도 웨트 에칭이어도 좋고, 양쪽 모두를 이용해도 좋다. 예를 들면, 산화물 반도체막(440)의 웨트 에칭에 이용하는 에칭액으로서, 인산과 초산과 질산을 혼합한 용액, 암모니아과수(31 중량% 과산화수소수 : 28 중량% 암모니아수 : 물 = 5 : 2 : 2) 등을 이용할 수 있다. 또한, IT007N(칸토 화학사(KANTO CHEMICAL CO., INC.)제)를 이용해도 좋다.
- [0070] 다음에, 산화물 반도체층에 제 1 가열 처리를 행한다. 이 제 1 가열 처리에 의해 산화물 반도체층의 탈수화 또는 탈수소화를 행할 수 있다. 제 1 가열 처리의 온도는, 400℃ 이상 750℃ 이하, 또는 400℃ 이상 기관의 변형

점 미만으로 한다. 여기에서는, 가열 처리 장치의 하나인 전기로에 기판을 도입하고, 산화물 반도체층에 대하여 질소 분위기 하 450℃에서 1시간의 가열 처리를 행한 후, 대기에 접하는 일 없이, 산화물 반도체층으로의 물이나 수소의 재혼입을 막아, 산화물 반도체층(441)을 얻는다(도 3(B1), 도 3(B2) 참조).

[0071] 또한, 가열 처리 장치는 전기로에 한정되지 않고, 저항 발열체 등의 발열체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 이용해도 좋다. 예를 들면, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 이용할 수 있다. LRTA 장치는, 할로겐 램프, 메탈 헬라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해, 피처리물을 가열하는 장치이다. GRTA 장치는 고온의 가스를 이용하여 가열 처리를 행하는 장치이다. 고온의 가스에는, 아르곤 등의 희가스, 또는 질소와 같은 가열 처리에 의해 피처리물과 반응하지 않는 불활성 기체가 이용된다.

[0072] 예를 들면, 제 1 가열 처리로서, 650℃~700℃의 고온으로 가열한 불활성 가스 중에 기판을 이동시켜 넣고, 수분간 가열한 후, 기판을 이동시켜 고온으로 가열한 불활성 가스 중에서 취출하는 GRTA를 행하여도 좋다.

[0073] 또한, 제 1 가열 처리에서는, 질소, 또는 헬륨, 네온, 아르곤 등의 희가스에 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 질소, 또는 헬륨, 네온, 아르곤 등의 희가스의 순도를 6N(99.9999%) 이상 바람직하게는 7N(99.99999%) 이상(즉 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다.

[0074] 또한, 제 1 가열 처리로 산화물 반도체층을 가열한 후, 같은 노에 고순도의 산소 가스, 고순도의 N<sub>2</sub>O 가스, 또는 초건조 에어(이슬점이 -40℃ 이하, 바람직하게는 -60℃ 이하)를 도입해도 좋다. 산소 가스 또는 N<sub>2</sub>O 가스에, 물, 수소 등이 포함되지 않는 것이 바람직하다. 또는, 가열 처리 장치에 도입하는 산소 가스 또는 N<sub>2</sub>O 가스의 순도를, 6N 이상 바람직하게는 7N 이상(즉, 산소 가스 또는 N<sub>2</sub>O 가스 중의 불순물 농도를 1 ppm 이하, 바람직하게는 0.1 ppm 이하)로 하는 것이 바람직하다. 산소 가스 또는 N<sub>2</sub>O 가스의 작용에 의해, 탈수화 또는 탈수소화 처리에 의한 불순물의 배제 공정에 의해 동시에 감소된 산화물 반도체를 구성하는 주성분 재료인 산소를 공급하는 것에 의해, 산화물 반도체층을 고순도화 및 전기적으로 I형(진성)화한다.

[0075] 또한, 산화물 반도체층의 제 1 가열 처리는, 섬 형상의 산화물 반도체층으로 가공하기 전의 산화물 반도체막(440)에 행할 수도 있다. 그 경우에는, 제 1 가열 처리 후에, 가열 장치로부터 기판을 취출하여, 포토리소그래피 공정을 행한다.

[0076] 또한, 제 1 가열 처리는, 상기 이외에도, 산화물 반도체층 성막 후라면, 산화물 반도체층 위에 소스 전극층 및 드레인 전극층을 적층시킨 후, 혹은, 소스 전극층 및 드레인 전극층 위에 절연층을 형성한 후 중 언제 행하여도 좋다.

[0077] 또한, 게이트 절연층(402)에 컨택트홀을 형성하는 경우, 그 공정은 산화물 반도체막(440)에 제 1 가열 처리를 행하기 전이어도 행한 후에 행하여도 좋다.

[0078] 또한, 산화물 반도체층을 2회로 나누어 성막하고, 2회로 나누어 가열 처리를 행함으로써, 베이스 부재의 재료가 산화물, 질화물, 금속 등 재료를 불문하고, 막두께가 두꺼운 결정 영역(단결정 영역), 즉, 막 표면에 수직으로 c축 배향한 결정 영역을 가지는 산화물 반도체층을 형성해도 좋다. 예를 들면, 3 nm 이상 15 nm 이하의 제 1 산화물 반도체막을 성막하고, 질소, 산소, 희가스, 또는 건조 공기의 분위기 하에서 450℃ 이상 850℃ 이하, 바람직하게는 550℃ 이상 750℃ 이하의 제 1 가열 처리를 행하고, 표면을 포함하는 영역에 결정 영역(판상(板狀) 결정을 포함함)을 가지는 제 1 산화물 반도체막을 형성한다. 그리고, 제 1 산화물 반도체막보다 두꺼운 제 2 산화물 반도체막을 형성하여, 450℃ 이상 850℃ 이하, 바람직하게는 600℃ 이상 700℃ 이하의 제 2 가열 처리를 행하고, 제 1 산화물 반도체막을 결정 성장의 종으로서 상방에 결정 성장시켜, 제 2 산화물 반도체막의 전체를 결정화시키고, 결과적으로 막두께가 두꺼운 결정 영역을 가지는 산화물 반도체층을 형성해도 좋다.

[0079] 다음에, 게이트 절연층(402), 및 산화물 반도체층(441) 위에, 소스 전극층 및 드레인 전극층(이것과 같은 층에서 형성되는 배선을 포함함)이 되는 도전막을 형성한다. 소스 전극층, 및 드레인 전극층에 이용하는 도전막으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, W에서 선택된 원소를 포함하는 금속막, 또는 상술한 원소를 성분으로 하는 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막) 등을 이용할 수 있다. 또한, Al, Cu 등의 금속막의 하층 또는 상층의 한쪽 또는 쌍방에 Ti, Mo, W 등의 고용점 금속막 또는 그들의 금속 질화물막(질화 티탄막, 질화 몰리브덴막, 질화 텅스텐막)을 적층시킨 구성으로 해도 좋다. 또한, 소스 전극층, 및 드레인

인 전극층에 이용하는 도전막으로서는, 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화 인듐( $\text{In}_2\text{O}_3$ ), 산화 주석( $\text{SnO}_2$ ), 산화 아연( $\text{ZnO}$ ), 산화 인듐 산화 주석 합금( $\text{In}_2\text{O}_3\text{-SnO}_2$ , ITO라고 약기함), 산화 인듐 산화 아연 합금( $\text{In}_2\text{O}_3\text{-ZnO}$ ) 또는 이들의 금속 산화물 재료에 산화 실리콘을 포함시킨 것을 이용할 수 있다.

[0080] 제 3 포토리소그래피 공정에 의해 도전막 위에 레지스트 마스크를 형성하고, 선택적으로 에칭을 행하여 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후, 레지스트 마스크를 제거한다.

[0081] 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광에는, 자외선이나 KrF 레이저광이나 ArF 레이저광을 이용하면 좋다. 산화물 반도체층(441) 위에서 서로 인접하는 소스 전극층의 하단부와 드레인 전극층의 하단부와 간의 격벽에 의해 후에 형성되는 트랜지스터의 채널 길이(L)가 결정된다. 또한, 채널 길이(L) = 25 nm 미만의 노광을 행하는 경우에는, 수 nm~수 10 nm로 매우 파장이 짧은 초자외선(Extreme Ultraviolet)을 이용하여 제 3 포토리소그래피 공정에서의 레지스트 마스크 형성시의 노광을 행하면 좋다. 초자외선에 의한 노광은, 해상도가 높고 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 10 nm 이상 1000 nm 이하로 하는 것도 가능하고, 회로의 동작 속도를 고속화할 수 있다.

[0082] 또한, 포토리소그래피 공정에서 이용하는 포토마스크수 및 공정수를 삭감하기 위해, 투과한 광이 복수의 강도가 되는 노광 마스크인 다계조 마스크에 의해 형성된 레지스트 마스크를 이용하여 에칭 공정을 행하여도 좋다. 다계조 마스크를 이용하여 형성한 레지스트 마스크는 복수의 막두께를 가지는 형상이 되고, 에칭을 행함으로써 형상을 더욱 변형할 수 있기 때문에, 다른 패턴으로 가공하는 복수의 에칭 공정에 이용할 수 있다. 따라서, 한 장의 다계조 마스크에 의해, 적어도 2종류 이상의 다른 패턴에 대응하는 레지스트 마스크를 형성할 수 있다. 따라서 노광 마스크수를 삭감할 수 있고, 대응하는 포토리소그래피 공정도 삭감할 수 있기 때문에, 공정의 간략화가 가능하게 된다.

[0083] 또한, 도전막의 에칭 시에, 산화물 반도체층(441)이 에칭되어, 분단하지 않도록 에칭 조건을 최적화하는 것이 바람직하다. 그러나, 도전막만을 에칭하고, 산화물 반도체층(441)을 전혀 에칭하지 않는다는 조건을 얻는 것은 어렵고, 도전막의 에칭 시에 산화물 반도체층(441)은 일부만이 에칭되어 흠부(오목부)를 가지는 산화물 반도체층이 될 수도 있다.

[0084] 본 실시형태에서는, 도전막으로서 Ti막을 이용하고, 산화물 반도체층(441)에는 In-Ga-Zn-O계 산화물 반도체를 이용했으므로, 에천트로서 암모니아과수(암모니아, 물, 과산화수소수의 혼합액)를 이용한다.

[0085] 다음에,  $\text{N}_2\text{O}$ ,  $\text{N}_2$ , 또는 Ar 등의 가스를 이용한 플라즈마 처리를 행하고, 노출하고 있는 산화물 반도체층의 표면에 부착한 흡착수 등을 제거해도 좋다. 플라즈마 처리를 행한 경우, 대기에 접하는 일 없이, 산화물 반도체층의 일부에 접하는 절연층(407)을 형성한다.

[0086] 절연층(407)은 적어도 1 nm 이상의 막두께로 하고, 스퍼터링법 등, 절연층(407)에 물, 수소 등의 불순물을 혼입시키지 않는 방법을 적절히 이용하여 형성할 수 있다. 절연층(407)에 수소가 포함되면, 그 수소의 산화물 반도체층으로의 침입, 또는 수소에 의한 산화물 반도체층 중의 산소의 추출이 발생하고 산화물 반도체층의 백 채널이 저저항화(N형화)하게 되고, 기생 채널이 형성될 우려가 있다. 따라서, 절연층(407)은 가능한 한 수소를 포함하지 않는 막이 되도록, 성막 방법에 수소를 이용하지 않는 것이 중요하다.

[0087] 절연층(407)으로서는, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등의 무기 절연막을 이용할 수 있다.

[0088] 본 실시형태에서는, 절연층(407)으로서 막두께 200 nm의 산화 실리콘막을, 스퍼터링법을 이용하여 성막한다. 성막 시의 기판 온도는, 실온 이상 300℃ 이하로 하면 좋고, 본 실시형태에서는 100℃로 한다. 산화 실리콘막의 스퍼터링법에 의한 성막은 회가스(대표적으로는 아르곤) 분위기 하, 산소 분위기 하, 또는 회가스와 산소의 혼합 분위기 하에서 행할 수 있다. 또한, 타겟으로서 산화 실리콘 타겟 또는 실리콘 타겟을 이용할 수 있다. 예를 들면, 실리콘 타겟을 이용하여, 산소를 포함하는 분위기 하에서 스퍼터링법에 의해 산화 실리콘막을 형성할 수 있다. 산화물 반도체층에 접하여 형성하는 절연층(407)은 수분이나, 수소 이온이나,  $\text{OH}^-$  등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하고, 대표적으로는 산화 실리콘막, 산화 질화 실리콘막, 산화 알루미늄막, 또는 산화 질화 알루미늄막 등을 이용한다.

[0089] 산화물 반도체막(440)의 성막 시와 마찬가지로, 절연층(407)의 성막실 내의 잔류 수분을 제거하기 위해서는, 흡



착형의 진공 펌프(크라이오 펌프 등)를 이용하는 것이 바람직하다. 크라이오 펌프를 이용하여 배기한 성막실에서 성막한 절연층(407)에 포함되는 불순물의 농도를 저감할 수 있다. 또한, 절연층(407)의 성막실 내의 잔류 수분을 제거하기 위한 배기 수단으로서, 터보 펌프(터보 분자 펌프)에 콜드 트랩을 더한 것이어도 좋다.

- [0090] 절연층(407)을 성막 시에 이용하는 스퍼터링 가스는 수소, 물, 수산기 또는 수소화물 등의 불순물이 제거된 고순도 가스를 이용하는 것이 바람직하다.
- [0091] 다음에, 불활성 가스 분위기 하, 또는 산소 가스 분위기 하에서 제 2 가열 처리(바람직하게는 200℃ 이상 400℃ 이하, 예를 들면 250℃ 이상 350℃ 이하)를 행한다. 예를 들면, 질소 분위기 하에서 250℃, 1시간의 제 2 가열 처리를 행한다. 제 2 가열 처리를 행하면 산화물 반도체층의 일부(채널 형성 영역)가 절연층(407)과 접한 상태에서 가열된다.
- [0092] 이상의 공정을 거치는 것에 의해, 산화물 반도체막에 대하여 제 1 가열 처리를 행하고, 수소, 수분, 수산기 또는 수소화물(수소 화합물이라고도 함) 등의 불순물을 산화물 반도체층에서 의도적으로 배제하고, 또한 불순물의 배제 공정에 의해 동시에 감소되는 산화물 반도체를 구성하는 주성분 재료의 하나인 산소를 공급할 수 있다. 따라서, 산화물 반도체층은 고순도화 및 전기적으로 I형(진성)화한다.
- [0093] 이상의 공정으로 트랜지스터(410)가 형성된다(도 3(C1), 도 3(C2)) 참조).
- [0094] 또한, 절연층(407)에 결합을 많이 포함하는 산화 실리콘층을 이용하면, 산화 실리콘층 형성 후의 가열 처리에 의해 산화물 반도체층 중에 포함되는 수소, 수분, 수산기 또는 수소화물 등의 불순물을 산화물 실리콘층에 확산시켜, 산화물 반도체층 중에 포함되는 이 불순물을 보다 저감시키는 효과를 얻는다.
- [0095] 절연층(407) 위에 보호 절연층을 더 형성해도 좋다. 예를 들면, RF 스퍼터링법을 이용하여 질화 실리콘막을 형성한다. RF 스퍼터링법은, 양산성이 좋기 때문에, 보호 절연층의 성막 방법으로서 바람직하다. 보호 절연층은 수분 등의 불순물을 포함하지 않고, 이것들이 외부로부터 침입하는 것을 차단하는 무기 절연막을 이용하여 질화 실리콘막, 질화 알루미늄막 등을 이용한다.
- [0096] 보호 절연층의 형성 후, 또한 대기 중, 100℃ 이상 200℃ 이하, 1시간 이상 30시간 이하에서의 가열 처리를 행하여도 좋다. 이 가열 처리는 일정한 가열 온도를 보유하여 가열해도 좋고, 실온으로부터, 100℃ 이상 200℃ 이하의 가열 온도로의 승온과, 가열 온도로부터 실온까지의 강온을 복수회 반복하여 행하여도 좋다.
- [0097] 다음에, 게이트 절연층(402) 및 절연층(407)을 선택적으로 제거하여, 게이트 전극층(401)이 노출하는 개구(412a, 412b)를 형성한다(도 3(D1), 도 3(D2) 참조). 도 3(D2)에 나타낸 바와 같이, 산화물 반도체층(403)의 채널 폭 방향에 있어서, 게이트 절연층(402) 및 절연층(407)이 산화물 반도체층(403)을 중앙에 둘러싸 봉지하도록, 게이트 절연층(402) 및 절연층(407)에 개구(412a, 412b)를 형성한다. 본 실시형태에서는, 게이트 절연층(402)과 절연층(407)을 같은 마스크를 이용하여 에칭하였으므로, 게이트 절연층(402)과 절연층(407)의 단부는 대략 일치한다.
- [0098] 다음에, 절연층(407) 위에 도전막을 형성하고, 이 도전막을 포토리소그래피 공정을 이용하여 에칭하여 도전층(411)을 형성한다(도 3(E1), 도 3(E2) 참조). 도전층(411)은 산화물 반도체층(403)이 적어도 채널 형성 영역을 덮도록 형성된다.
- [0099] 도 3(E2)에 나타낸 바와 같이, 게이트 전극층(401) 위에 형성된 산화물 반도체층(403)을 둘러싸는 게이트 절연층(402), 및 절연층(407)의 상부 및 게이트 절연층(402), 및 절연층(407)의 양단부를 덮고, 또한 개구에 노출하는 게이트 전극층(401)과 접하여, 도전층(411)을 형성한다. 도전층(411)은 게이트 전극층(401)과 접하기 때문에, 게이트 전극층(401)과 같은 전위가 된다.
- [0100] 게이트 전극층(401)과 같은 전위의 도전층(411)을 형성하는 구조로 함으로써, 트랜지스터(410)의 백 채널에 리크 전류에 의한 기생 채널이 형성하는 것을 방지할 수 있다.
- [0101] 또한, 도전층(411)은 외부의 전장(電場)을 차폐하는, 즉 외부의 전장이 내부(트랜지스터를 포함하는 회로부)에 작용하지 않게 하는 기능(특히 정전기에 대한 정전 차폐 기능)도 가진다. 도전층(411)의 차폐 기능에 의해, 정전기 등의 외부의 전장의 영향에 의해 트랜지스터(410)의 전기적인 특성이 변동하는 것을 방지할 수 있다.
- [0102] 본 실시형태를 이용하여 제작한, 고순도화된 산화물 반도체층(403)을 이용한 트랜지스터(410)는 오프 상태에서 전류값(오프 전류치)을, 채널 폭 1μm 당 10 zA/μm 미만, 85℃에서 100 zA/μm 미만 레벨까지 낮게 할 수 있다.

- [0103] 또한, 산화물 반도체층(403)을 이용한 트랜지스터(410)는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에, 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 이용함으로써, 고화질의 화상을 제공할 수 있다. 또한, 고순도화된 산화물 반도체층을 포함하는 트랜지스터에 의해, 동일 기판 위에 구동 회로부 또는 화소부를 나누어 제작할 수 있기 때문에, 반도체 장치의 부품 점수를 삭감할 수 있다.
- [0104] 이상과 같이, 산화물 반도체층의 채널 형성 영역을 채널 폭 방향에 있어서, 적층하는 게이트 절연층, 및 절연층과, 또한 게이트 전극층 및 도전층에 의해 둘러싸는 것에 의해, 내충격성을 부가할 수 있다.
- [0105] 또한, 가요성을 부여함으로써, 보다 다양화된 용도에 대응할 수 있어, 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0106]
- [0107] (실시형태 2)
- [0108] 본 실시형태에서는, 반도체 장치의 다른 일 형태를 도 2를 이용하여 설명한다. 본 실시형태에서는, 반도체 장치의 일례로서 트랜지스터를 나타낸다. 또한, 상기 실시형태 1에 동일 부분 또는 동일한 기능을 가지는 부분, 및 공정은, 상기 실시형태와 마찬가지로 행할 수 있고 반복 설명은 생략한다. 또한 같은 개소의 상세한 설명은 생략한다.
- [0109] 도 2(A), 도 2(B)에 병렬로 접속된 트랜지스터(420a, 420b, 420c)를 나타낸다. 복수의 트랜지스터(420a, 420b, 420c)는 병렬로 접속함으로써, 실질 채널 폭을 넓게 한 것과 같은 효과가 있어, 전류량을 많이 흘릴 수 있다. 이와 같이 채널 폭을 분할하도록 복수의 트랜지스터를 병렬로 형성하는 구성 등을 조합하여 이용함으로써, 회로 설계의 자유도를 향상시킬 수 있다. 트랜지스터(420a, 420b, 420c)와 같은 전류량을 많이 흘릴 수 있는 구성은, 구동 회로부의 구동 회로용 트랜지스터로서 적합하게 이용할 수 있다.
- [0110] 트랜지스터(420a, 420b, 420c)의 산화물 반도체층(423a, 423b, 423c)의 채널 형성 영역은, 채널 길이(L) 방향, 및 채널 폭(W) 방향을 가진다.
- [0111] 도 2(A)는 트랜지스터(420a, 420b, 420c)의 평면도이며, 도 2(B)는 도 2(A)에 나타난 트랜지스터(420a, 420b, 420c)의 채널 폭(W) 방향에서의 선 B3-B4의 단면도이다.
- [0112] 도 2(A), 도 2(B)에 나타난 바와 같이, 트랜지스터(420a, 420b, 420c)는 절연 표면을 가지는 기판(400) 위에, 게이트 전극층(421), 게이트 절연층(422)(게이트 절연층(422a, 422b, 422c)), 산화물 반도체층(423a, 423b, 423c), 소스 전극층(425a), 드레인 전극층(425b)을 포함한다. 트랜지스터(420a, 420b, 420c) 위에는, 절연층(427)(절연층(427a, 427b, 427c)), 및 도전층(431)이 순차로 적층되어 있다.
- [0113] 트랜지스터(420a, 420b, 420c)는 병렬로 접속되어 있고, 게이트 전극층(421), 소스 전극층(425a), 및 드레인 전극층(425b)은 공통으로 형성되어 있다.
- [0114] 또한, 도 2(B)의 채널 폭 방향의 단면도에 있어서 산화물 반도체층(423a, 423b, 423c)은 각각 게이트 절연층(422a, 422b, 422c)과 절연층(427a, 427b, 427c)으로 상하 및 단부를 둘러싸고 있고, 게이트 절연층(422a, 422b, 422c) 및 절연층(427a, 427b, 427c)은 양단부에서 접하고 있다. 게이트 절연층(422a, 422b, 422c)의 하측에는 게이트 전극층(421)이 형성되고, 절연층(427a, 427b, 427c) 위에는, 산화물 반도체층(423a, 423b, 423c), 게이트 절연층(422a, 422b, 422c), 및 절연층(427a, 427b, 427c)의 상부 및 게이트 절연층(422a, 422b, 422c), 및 절연층(427a, 427b, 427c)의 양단부를 덮고, 또한 게이트 전극층(421)과 접하여 도전층(431)이 형성되어 있다.
- [0115] 따라서, 채널 폭 방향에 있어서 산화물 반도체층(423a, 423b, 423c)은 각각 게이트 절연층(422a, 422b, 422c)과 절연층(427a, 427b, 427c), 및 게이트 전극층(421)과 도전층(431)에 의해 둘러싸여 있다.
- [0116] 이와 같이, 산화물 반도체층(423a, 423b, 423c)의 주위를 게이트 전극층, 게이트 절연층, 절연층, 및 도전층의 적층에 의해 보호하는 구성으로 하면, 채널 폭 방향에서의 힘이 더해져도, 막두께가 두꺼운 적층 구조는 구부러지기 어렵기 때문에, 적층의 중심에 위치하는 산화물 반도체층(423a, 423b, 423c)에 가해지는 힘을 경감할 수 있다. 따라서 외부로부터의 충격에 의한 산화물 반도체층(423a, 423b, 423c)의 파손을 방지할 수 있다.
- [0117] 또한, 게이트 절연층(422)(게이트 절연층(422a, 422b, 422c)) 및 절연층(427)(절연층(427a, 427b, 427c))에, 게이트 전극층(421)이 넓게 노출하는 개구를 형성하고, 이 개구에서 각각 게이트 전극층(421)과 도전층(431)이 접하는 구성으로 하고 있다. 게이트 전극층(421)과 도전층(431)으로서 밀착성이 좋은 도전막을 이용하면, 외부

로부터의 힘에 의한 게이트 전극층(421), 게이트 절연층(422a, 422b, 422c), 산화물 반도체층(423a, 423b, 423c), 절연층(427a, 427b, 427c), 또는 도전층(431)의 계면에서 막이 벗겨지는 것을 방지할 수 있다.

- [0118] 게이트 전극층(421)과 도전층(431)의 밀착력을 높이기 위해서는 접하는 영역을 넓게 형성하는 것이 바람직하고, 도 2(A)에 나타낸 바와 같이, 게이트 전극층(421)과 도전층(431)이 접하는 영역의 산화물 반도체층(423a, 423b, 423c)의 채널 길이 방향에서의 거리를, 산화물 반도체층(423a, 423b, 423c)의 채널 길이의 거리보다 길게 하는 것이 바람직하다.
- [0119] 또한, 트랜지스터(420a, 420b, 420c)에 있어서, 각각 산화물 반도체층(423a, 423b, 423c)을 중앙에 배치하고, 그 양단을 게이트 절연층(422a, 422b, 422c)과 절연층(427a, 427b, 427c)이 접하여 봉지하고, 또한 그 양단을 게이트 전극층(421)과 도전층(431)이 접하여 봉지하기 때문에, 각각 선대칭인 구조로 할 수 있다. 따라서 외부로부터 가해지는 힘이 균등하게 분산되어, 산화물 반도체층(423a, 423b, 423c)에 있어서 국소적으로 큰 힘이 가해지는 것을 방지할 수 있다.
- [0120] 따라서, 트랜지스터(420a, 420b, 420c)에 있어서 산화물 반도체층(423a, 423b, 423c)의 채널 폭 방향에서의 굽힘 내성을 높여 내충격성을 부여할 수 있다.
- [0121] 내충격성을 가지기 때문에, 기관(400)에 가요성 기관을 이용하여, 가요성을 가지는 반도체 장치로서의 적용에도 대응이 가능하고, 보다 다양화된 용도에 대응할 수 있어, 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0122] 이상과 같이, 산화물 반도체층의 채널 형성 영역을 채널 폭 방향에 있어서, 적층하는 게이트 절연층, 및 절연층과, 또한 게이트 전극층 및 도전층에 의해 둘러싸는 것에 의해, 내충격성을 부가할 수 있다.
- [0123] 또한, 가요성을 부여함으로써, 보다 다양화된 용도에 대응할 수 있어, 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0124] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0125]
- [0126] (실시형태 3)
- [0127] 본 실시형태에서는, 반도체 장치의 다른 일 형태를 도 5를 이용하여 설명한다. 본 실시형태에서는, 반도체 장치의 일례로서 트랜지스터를 나타낸다. 실시형태 1에 나타내는 트랜지스터와, 소스 전극층 및 드레인 전극층의 형성 공정 및 구조가 다른 예이다. 따라서, 상기 실시형태와 동일 부분 또는 동일한 기능을 가지는 부분, 및 공정은 상기 실시형태와 마찬가지로 행할 수 있고, 반복의 설명은 생략한다. 또한 같은 개소의 상세한 설명은 생략한다.
- [0128] 실시형태 1 및 실시형태 2에서는, 소스 전극층(405a) 및 드레인 전극층(405b)을 산화물 반도체층(403)과 절연층(407)의 사이에 형성하는 예를 나타냈다. 본 실시형태에서는, 소스 전극층(405a) 및 드레인 전극층(405b)을 게이트 절연층(402)과 산화물 반도체층(403)과의 사이에 형성하는 예를 나타낸다.
- [0129] 도 5(A)는 트랜지스터(430)의 평면도이며, 도 5(B)는 도 5(A)에 나타낸 트랜지스터(430)의 채널 길이(L) 방향에서의 선 A5-A6의 단면도, 도 5(C)는 채널 폭(W) 방향에서의 선 B5-B6의 단면도이다.
- [0130] 도 5(A) 내지 도 5(C)에 나타낸 트랜지스터(430)는 보텀 게이트형의 트랜지스터로서, 기관(400) 위에, 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b), 및 산화물 반도체층(403)을 포함한다. 또한, 트랜지스터(430)를 덮고, 산화물 반도체층(403)에 접하는 절연층(407)이 형성되어 있다.
- [0131] 트랜지스터(430)에 있어서는, 게이트 절연층(402)은 기관(400) 및 게이트 전극층(401) 위에 접하여 형성되고, 게이트 절연층(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 형성되어 있다. 그리고, 게이트 절연층(402), 및 소스 전극층(405a), 드레인 전극층(405b) 위에 산화물 반도체층(403)이 형성되어 있다.
- [0132] 또한, 도 5(C)의 채널 폭 방향의 단면도에 있어서 산화물 반도체층(403)은 게이트 절연층(402)과 절연층(407)이 상하 및 단부를 둘러싸고 있고, 게이트 절연층(402) 및 절연층(407)은 양단부에서 접하고 있다. 게이트 절연층(402)의 하측에는 게이트 전극층(401)이 형성되고, 절연층(407) 위에는 산화물 반도체층(403), 게이트 절연층(402), 및 절연층(407)의 상부 및 게이트 절연층(402), 및 절연층(407)의 양단부를 덮고, 또한 게이트 전극층(401)과 접하여 도전층(411)이 형성되어 있다.



- [0133] 따라서, 채널 폭 방향에 있어서 산화물 반도체층(403)은 게이트 절연층(402)과 절연층(407), 및 게이트 전극층(401)과 도전층(411)에 의해 둘러싸여 있다.
- [0134] 이와 같이, 산화물 반도체층(403)의 주위를 게이트 절연층, 게이트 전극층, 절연층, 및 도전층의 적층에 의해 보호하는 구성으로 하면, 채널 폭(W) 방향에서의 힘(외부로부터 부여되는 힘)이 더해지더라도, 막두께가 두꺼운 적층 구조는 구부러지기 어렵기 때문에, 적층의 중심에 위치하는 산화물 반도체층(403)에 가해지는 힘을 경감할 수 있다. 따라서 외부로부터의 충격에 의한 산화물 반도체층(403)의 파손을 방지할 수 있다.
- [0135] 또한, 게이트 절연층(402) 및 절연층(407)에, 게이트 전극층(401)이 넓게 노출하는 개구를 형성하고, 이 개구에서 게이트 전극층(401)과 도전층(411)이 접하는 구성으로 하고 있다. 게이트 전극층(401)과 도전층(411)으로서 밀착성이 좋은 도전막을 이용하면, 외부로부터 부여되는 힘에 의한 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 절연층(407), 또는 도전층(411)의 계면에서 막이 벗겨지는 것을 방지할 수 있다.
- [0136] 게이트 전극층(401)과 도전층(411)과의 밀착력을 높이기 위해서는 접하는 영역을 넓게 형성하는 것이 바람직하고, 도 5(A)에 나타낸 바와 같이, 게이트 전극층(401)과 도전층(411)이 접하는 영역의 산화물 반도체층(403)의 채널 길이 방향에서의 거리를, 산화물 반도체층(403)의 채널 길이의 거리보다 길게 하는 것이 바람직하다.
- [0137] 또한, 산화물 반도체층(403)을 중앙에 배치하고, 그 양단을 게이트 절연층(402)과 절연층(407)이 접하여 봉지하고, 또한 그 양단을 게이트 전극층(401)과 도전층(411)이 접하여 봉지하기 때문에, 선 대칭의 구조로 할 수 있다. 따라서 외부로부터 부여되는 힘이 균등하게 분산되어, 산화물 반도체층(403)에 있어서 국소적으로 큰 힘이 가해지는 것을 방지할 수 있다.
- [0138] 따라서, 트랜지스터(430)에 있어서 산화물 반도체층(403)의 채널 폭 방향에서의 굽힘 내성을 높여 내충격성을 부여할 수 있다.
- [0139] 내충격성을 가지기 때문에, 기관(400)에 가요성 기관을 이용하여, 가요성을 가지는 반도체 장치로서의 적용에도 대응이 가능하고, 보다 다양화된 용도에 대응할 수 있어, 편리성이 향상된 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0140] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0141]
- [0142] (실시형태 4)
- [0143] 본 실시형태에서는, 다른 제작 기관으로 박리, 전치 공정을 행하여 가요성 기관 위에 트랜지스터를 형성하는 반도체 장치의 제작 방법의 예를 나타낸다. 본 발명의 일 양태의 반도체 장치에 대하여 도 4를 이용하여 설명한다. 또한, 본 실시형태는, 실시형태 1과 공정이 일부 다른 점 이외는 같기 때문에, 같은 개소에는 같은 부호를 이용하고, 같은 개소의 상세한 설명은 생략한다.
- [0144] 반도체 장치의 제작 방법의 일례를, 도 4를 이용하여 상세하게 설명한다.
- [0145] 제 1 제작 기관(300) 위에 박리층(302)을 형성하고, 박리층(302) 위에 제 1 절연층(301)을 형성한다. 바람직하게는, 형성된 박리층(302)을 대기에 노출시키지 않고, 제 1 절연층(301)을 연속하여 형성한다. 연속하여 형성함으로써, 박리층(302)과 제 1 절연층(301)의 사이에 먼지나, 불순물의 혼입을 막을 수 있다.
- [0146] 제 1 제작 기관(300)으로서, 유리 기관, 석영 기관, 사파이어 기관, 세라믹 기관, 금속 기관 등을 이용할 수 있다. 유리 기관으로서, 바륨 붕규산 유리나 알루미늄 붕규산 유리 등을 이용할 수 있다. 또한, 본 실시형태의 처리 온도에 견딜 수 있는 내열성을 가지는 플라스틱 기관을 이용해도 좋다. 반도체 장치의 제작 공정에서, 그 행하는 공정에 맞추어 제작 기관을 적절히 선택할 수 있다.
- [0147] 또한, 본 공정에서는, 박리층(302)을 제 1 제작 기관(300)의 전면에 형성하는 경우를 나타내고 있지만, 필요에 따라 제 1 제작 기관(300)의 전면에 박리층(302)을 형성한 후에 이 박리층(302)을 선택적으로 제거하여, 소망의 영역에만 박리층을 형성해도 좋다. 또한, 도 4에서는, 제 1 제작 기관(300)에 접하여 박리층(302)을 형성하고 있지만, 필요에 따라, 제 1 제작 기관(300)과 박리층(302)의 사이에 산화 실리콘층, 산화 질화 실리콘층, 질화 실리콘층, 질화 산화 실리콘층 등의 절연층을 형성해도 좋다.
- [0148] 박리층(302)은, 텅스텐(W), 몰리브덴(Mo), 티탄(Ti), 탄탈(Ta), 니오븀(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 실리콘(Si)으로부터 선택된 원소, 또는 원

소를 주성분으로 하는 합금 재료, 또는 상기 원소를 주성분으로 하는 화합물 재료로 이루어지고, 단층 또는 적층된 층이다. 실리콘을 포함하는 층의 결정 구조는, 비정질, 미결정, 다결정의 어느 경우이어도 좋다.

- [0149] 박리층(302)은 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등에 의해 형성할 수 있다. 또한, 도포법은 스펀 코팅법, 액적 토출법, 디스펜스법을 포함한다.
- [0150] 박리층(302)이 단층 구조인 경우, 바람직하게는, 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성한다. 또는, 텅스텐의 산화물 혹은 산화 질화물을 포함하는 층, 몰리브덴의 산화물 혹은 산화 질화물을 포함하는 층, 또는 텅스텐과 몰리브덴의 혼합물의 산화물 혹은 산화 질화물을 포함하는 층을 형성한다. 또한, 텅스텐과 몰리브덴의 혼합물은, 예를 들면, 텅스텐과 몰리브덴의 합금에 상당한다.
- [0151] 박리층(302)이 적층 구조인 경우, 바람직하게는, 1번째층으로서 텅스텐층, 몰리브덴층, 또는 텅스텐과 몰리브덴의 혼합물을 포함하는 층을 형성하고, 2번째층으로서 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴의 혼합물의 산화물, 질화물, 산화 질화물 또는 질화 산화물을 형성한다.
- [0152] 박리층(302)으로서 텅스텐을 포함하는 층과 텅스텐의 산화물을 포함하는 층의 적층 구조를 형성하는 경우, 텅스텐을 포함하는 층을 형성하고, 그 상층에 산화물로 형성되는 절연층을 형성함으로써, 텅스텐을 포함하는 층과 절연층과의 계면에, 텅스텐의 산화물을 포함하는 층이 형성되는 것을 활용해도 좋다.
- [0153] 또한, 박리층을 형성하여 제작 기관에 트랜지스터를 형성하는 경우, 산화물 반도체층의 탈수화, 탈수소화의 가열 처리에 의해 박리층도 가열되고, 후의 공정에서 제작 기관으로 지지 기관에 박리를 행할 때, 박리층 계면에서의 박리가 용이하게 된다.
- [0154] 또한, 텅스텐을 포함하는 층의 표면을, 열산화 처리, 산소 플라즈마 처리, 오존수 등의 산화력이 강한 용액에서의 처리 등을 행하여 텅스텐의 산화물을 포함하는 층을 형성해도 좋다. 또한 플라즈마 처리나 가열 처리는, 산소, 질소, 일산화이질소 단체(單體), 혹은 상기 가스와 그 외의 가스의 혼합 기체 분위기 하에서 행하여도 좋다. 이것은, 텅스텐의 질화물, 산화 질화물 및 질화 산화물을 포함하는 층을 형성하는 경우도 마찬가지이고, 텅스텐을 포함하는 층을 형성한 후, 그 상층에 질화 실리콘층, 산화 질화 실리콘층, 질화 산화 실리콘층을 형성하면 좋다.
- [0155] 박리층(302) 위에 피박리층(304)을 형성한다(도 4(A) 참조). 피박리층(304)은 제 1 절연층(301)과 트랜지스터(410)를 가진다.
- [0156] 먼저, 제 1 절연층(301)을 박리층(302) 위에 형성한다. 제 1 절연층(301)은 질화 실리콘이나 산화 질화 실리콘, 질화 산화 실리콘 등, 질소와 실리콘을 포함하는 절연막을 단층 또는 다층으로 형성하는 것이 바람직하다.
- [0157] 제 1 절연층(301)은 스퍼터링법이나 플라즈마 CVD법, 도포법, 인쇄법 등을 이용하여 형성하는 것이 가능하고, 예를 들면, 플라즈마 CVD법에 의해 성막 온도를 250℃~400℃로 하여 형성함으로써, 치밀하고 침수성이 매우 낮은 막으로 할 수 있다. 또한, 제 1 절연층(301)의 두께는 10 nm 이상 1000 nm 이하, 바람직하게는 100 nm 이상 700 nm 이하로 하면 좋다.
- [0158] 제 1 절연층(301)을 형성함으로써, 후의 박리 공정에서 피박리층(304)과 박리층(302)과의 계면에서의 박리가 용이하게 된다. 또한, 후의 박리 공정에서 반도체 소자나 배선에 균열이나 손상이 생기는 것을 막을 수 있다. 또한, 제 1 절연층(301)은 반도체 장치의 보호층으로서 기능한다.
- [0159] 제 1 절연층(301) 위에 트랜지스터(410)를 형성하고, 피박리층(304)을 형성한다. 피박리층(304)은 실시형태 1에 설명하는 방법을 적용하여 형성할 수 있기 때문에 여기에서는 상세한 설명을 생략한다.
- [0160] 또한, 본 실시형태에서는 절연층(407) 위에 보호 절연층(409)과의 적층 구조로 하는 예를 나타낸다. 본 실시형태에서는, 보호 절연층(409)으로서 절연층(407)까지 형성된 기관(400)을 100℃~400℃의 온도로 가열하고, 수소 및 수분이 제거된 고순도 질소를 포함하는 스퍼터링 가스를 도입하여 실리콘 반도체 타겟을 이용하여 질화 실리콘막을 성막한다(도 4(A) 참조). 이 경우에도, 절연층(407)과 마찬가지로, 처리실 내의 잔류 수분을 제거하면서 보호 절연층(409)을 성막하는 것이 바람직하다.
- [0161] 또한, 트랜지스터(410) 위에 트랜지스터에 기인한 표면 요철을 저감하기 위해 평탄화 절연막을 형성해도 좋다. 평탄화 절연막으로서는, 폴리이미드, 아크릴, 벤조시클로부텐 등의 유기 재료를 이용할 수 있다. 또한 상기 유기 재료 외에, 저유전율 재료(low-k 재료) 등을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수

적층시킴으로써, 평탄화 절연막을 형성해도 좋다.

- [0162] 다음에, 제거 가능한 접착층(305)을 이용하여, 제 2 제작 기관(306)을 일시적으로 피박리층(304)에 부착시킨다. 제 2 제작 기관(306)을 피박리층(304)에 부착시킴으로써, 피박리층(304)을 박리층(302)으로부터 용이하게 박리할 수 있다. 또한, 박리 공정을 통해서 피박리층(304)에 가해지는 응력이 완화되어 트랜지스터를 보호할 수 있다. 또한, 제거 가능한 접착층(305)을 이용하기 때문에, 제 2 제작 기관(306)이 불필요하게 되면, 용이하게 제거할 수 있다.
- [0163] 제거 가능한 접착층(305)으로서, 예를 들면 수용성 수지를 그 예로 들 수 있다. 도포한 수용성 수지는 피박리층(304)의 요철을 완화하여, 제 2 제작 기관(306)과의 부착을 용이하게 한다. 또한, 제거 가능한 접착층(305)으로서 광 또는 열에 의해 박리 가능한 점착제를 수용성 수지에 적층한 것을 이용해도 좋다.
- [0164] 다음에, 피박리층(304)을 제 1 제작 기관(300)으로부터 박리한다(도 4(B) 참조). 박리 방법에는 다양한 방법을 이용할 수 있다.
- [0165] 예를 들면 박리층(302)으로서 금속 산화막을 제 1 절연층(301)에 접하는 측에 형성한 경우에는, 이 금속 산화막을 결정화에 의해 취약화하여, 피박리층(304)을 제 1 제작 기관(300)으로부터 박리할 수 있다. 또한, 이 금속 산화막을 결정화에 의해 취약화한 후, 박리층(302)의 일부를 용액이나  $NF_3$ ,  $BrF_3$ ,  $ClF_3$  등의 불화 할로젠 가스에 의해 에칭하여 제거하고, 취약화한 금속 산화막에서 박리해도 좋다.
- [0166] 또한 박리층(302)으로서 질소, 산소나 수소 등을 포함하는 막(예를 들면, 수소를 포함하는 비정질 실리콘막, 수소 함유 합금막, 산소 함유 합금막 등)을 이용하여 제 1 제작 기관(300)으로서 투광성을 가지는 기관을 이용한 경우에는, 제 1 제작 기관(300)으로부터 박리층(302)에 레이저광을 조사하여, 박리층 내에 함유하는 질소, 산소나 수소를 기화시키고, 제 1 제작 기관(300)과 박리층(302)과의 사이에 박리하는 방법을 이용할 수 있다.
- [0167] 또한 박리층(302)을 에칭에 의해 제거함으로써, 피박리층(304)을 제 1 제작 기관(300)으로부터 박리해도 좋다.
- [0168] 또한, 제 1 제작 기관(300)을 기계적으로 연마하여 제거하는 방법이나, 제 1 제작 기관(300)을  $NF_3$ ,  $BrF_3$ ,  $ClF_3$  등의 불화 할로젠 가스 또는 HF에 의한 에칭으로 제거하는 방법 등을 이용할 수 있다. 이 경우, 박리층(302)을 이용하지 않아도 좋다.
- [0169] 또한, 레이저광의 조사, 가스나 용액 등에 의한 에칭, 또는, 날카로운 나이프나 메스 등을 이용하여, 박리층(302)을 노출시키는 홈을 형성하고, 홈을 계기로 하여 박리층(302)과 보호층으로서 기능하는 제 1 절연층(301)의 계면에서 피박리층(304)을 제 1 제작 기관(300)으로부터 박리할 수도 있다.
- [0170] 박리 방법으로서, 예를 들면, 기계적인 힘을 가하는 것(사람의 손이나 그립툴로 벗기는 처리나, 물러를 회전시키면서 분리하는 처리 등)을 이용하여 행하면 좋다. 또한, 홈에 액체를 적하하고, 박리층(302) 및 제 1 절연층(301)의 계면에 액체를 침투시켜 박리층(302)으로부터 피박리층(304)을 박리해도 좋다. 또한, 홈에  $NF_3$ ,  $BrF_3$ ,  $ClF_3$  등의 불화 가스를 도입하고, 박리층(302)을 불화 가스로 에칭하여 제거하여, 절연 표면을 가지는 제 1 제작 기관(300)으로부터 피박리층(304)을 박리하는 방법을 이용해도 좋다. 또한, 박리를 행할 때에 물 등의 액체를 끼얹으면서 박리해도 좋다.
- [0171] 그 외의 박리 방법으로서, 박리층(302)을 텅스텐으로 형성한 경우는, 암모니아수와 과산화수소수의 혼합 용액에 의해 박리층을 에칭하면서 박리를 행할 수 있다.
- [0172] 다음에, 피박리층(304)에 기관(400)을, 수지층(307)을 이용하여 접착한다(도 4(C) 참조).
- [0173] 기관(400)으로서, 실시형태 1 나타낸 바와 같은 가요성을 가지는 기관을 이용할 수 있다.
- [0174] 수지층(307)으로서, 자외선 경화형 점착제 등 광경화형의 점착제, 반응 경화형 점착제, 열 경화형 점착제, 또는 혐기형 점착제 등 각종 경화형 점착제를 이용할 수 있다. 이러한 점착제의 재질로서는 에폭시 수지나 아크릴 수지, 실리콘 수지, 페놀 수지 등을 이용할 수 있다.
- [0175] 또한, 기관(400)으로서 프리프레그(prepreg)를 이용한 경우에는, 점착제를 이용하지 않고 직접 피박리층(304)과 기관(400)을 압착하여 부착한다. 이때, 이 구조체의 유기 수지로서는, 반응 경화형, 열경화형, 자외선 경화형 등 추가 처리를 실시하는 것에 의해 경화가 진행되는 것을 이용하면 좋다.
- [0176] 기관(400)을 형성한 후, 제 2 제작 기관(306) 및 제거 가능한 접착층(305)을 제거하여, 트랜지스터(410)를 노출

시킨다(도 4(D) 참조).

- [0177] 이상의 공정에 의해, 전치 공정을 이용하여, 기판(400) 위에 트랜지스터(410)를 형성할 수 있다.
- [0178] 또한, 본 실시형태에서는, 피박리층에 트랜지스터까지를 형성하는 방법을 예시했지만, 본 명세서 중에서 개시하는 발명은 이것에 한정하지 않고, 다른 표시 소자까지 형성하고 나서(예를 들면 발광 소자 등) 박리 및 전치를 행하여도 좋다.
- [0179] 본 실시형태에 의하면, 내열성이 높은 기판을 이용하여 제작한 트랜지스터를, 얇고 경량인 가요성 기판에 전치할 수 있다. 따라서, 기판의 내열성에 얽매이지 않고, 가요성을 가지는 반도체 장치를 형성할 수 있다.
- [0180] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0181]
- [0182] (실시형태 5)
- [0183] 실시형태 1 내지 4에 일례를 나타낸 트랜지스터를 이용하여 표시 기능을 가지는 반도체 장치(표시 장치라고도 함)를 제작할 수 있다. 실시형태 1 내지 4에 일례를 나타낸 트랜지스터는 구동 회로부에 이용하면 보다 효과적이다. 또한, 트랜지스터를 이용하여 구동 회로의 일부 또는 전체를, 화소부와 같은 기판 위에 일체 형성하여, 시스템 온 패넬을 형성할 수 있다.
- [0184] 도 6(A), 도 6(B)에 있어서, 제 1 기판(4001) 위에 형성된 화소부(4002)와, 주사선 구동 회로(4004)를 둘러싸도록 하고, 시일재(4005)가 제공되어 있다. 또한 화소부(4002)와 주사선 구동 회로(4004)의 위에 제 2 기판(4006)이 설치되어 있다. 따라서 화소부(4002)와 주사선 구동 회로(4004)는, 제 1 기판(4001)과 시일재(4005)와 제 2 기판(4006)에 의해, 표시 소자와 함께 봉지되어 있다. 도 6(A), 도 6(B)에 있어서는, 제 1 기판(4001) 위의 시일재(4005)에 의해 둘러싸여 있는 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(4003)가 실장되어 있다. 도 6(A), 도 6(B)에 있어서는, 별도 형성된 신호선 구동 회로(4003)와 주사선 구동 회로(4004) 또는 화소부(4002)에 부여되는 각종 신호 및 전위는, FPC(4018)로부터 공급되어 있다.
- [0185] 또 도 6(A), 도 6(B)에 있어서는, 신호선 구동 회로(4003)를 별도 형성하여, 제 1 기판(4001)에 실장하고 있는 예를 나타내고 있지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 형성하여 실장해도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 형성하여 실장해도 좋다.
- [0186] 또한, 별도 형성한 구동 회로의 접속 방법은, 특별히 한정되는 것은 아니고, COG(Chip On Glass) 방법, 와이어 본딩 방법, 혹은 TAB(Tape Automated Bonding) 방법 등을 이용할 수 있다. 도 6(A)은 COG 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이며, 도 6(B)은 TAB 방법에 의해 신호선 구동 회로(4003)를 실장하는 예이다.
- [0187] 또한, 표시 장치는, 표시 소자가 봉지된 상태에 있는 패넬과, 이 패넬에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.
- [0188] 또한, 본 명세서 중에서의 표시 장치는, 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치 포함함)을 가리킨다. 또한, 커넥터, 예를 들면 FPC 혹은 TAB 테이프 혹은 TCP가 장착된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(집적회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.
- [0189] 또 제 1 기판 위에 설치된 화소부 및 주사선 구동 회로는, 트랜지스터를 복수 가지고 있고, 주사선 구동 회로(4004)의 트랜지스터로서 실시형태 1 내지 4에 일례를 나타낸 트랜지스터를 적용할 수 있다.
- [0190] 표시 장치에 형성되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함)를 이용할 수 있다. 발광 소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.
- [0191] 반도체 장치의 일 형태에 대하여, 도 7 내지 9를 이용하여 설명한다. 도 7 내지 도 9는, 도 6(A)의 M-N의 단면도에 상당한다.
- [0192] 도 7 내지 도 9에 나타낸 바와 같이, 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 가지고 있고, 접속 단자 전극(4015) 및 단자 전극(4016)은 FPC(4018)가 가지는 단자와 이방성 도전막(4019)을 통하여, 전기적



으로 접속되어 있다.

- [0193] 접속 단자 전극(4015)은 제 1 전극층(4030)과 같은 도전막으로부터 형성되고, 단자 전극(4016)은 트랜지스터(4010, 4011)의 소스 전극층 및 드레인 전극층과 같은 도전막으로 형성되어 있다.
- [0194] 또 제 1 기관(4001) 위에 형성된 화소부(4002)와 주사선 구동 회로(4004)는 트랜지스터를 복수 가지고 있고, 도 7 내지 도 9에서는, 화소부(4002)에 포함되는 트랜지스터(4010)와 주사선 구동 회로(4004)에 포함되는 트랜지스터(4011)를 예시하고 있다. 도 7에서는, 트랜지스터(4010, 4011) 위에는 절연층(4020)이 형성되고, 도 8 및 도 9에서는 절연층(4021)이 더 형성되어 있다. 또한, 절연막(4023)은 베이스막으로서 기능하는 절연막이다.
- [0195] 본 실시형태에서는, 주사선 구동 회로(4004)의 트랜지스터(4011)로서, 실시형태 1에 일례를 나타낸 트랜지스터를 적용하고 있다. 트랜지스터(4011)는 산화물 반도체층의 채널 폭 방향에서 채널 형성 영역이 상하의 게이트 절연층, 게이트 전극층, 절연층, 및 도전층으로 둘러싸인 구조이다. 구동 회로에서는, 보다 많은 전류를 흘리기 위해 트랜지스터의 채널 폭을 길게 형성하는 것이 바람직하다. 따라서, 실시형태 1 내지 4에 나타낸 바와 같은 채널 폭 방향으로의 급힘 내성을 가지는 트랜지스터와, 내충격성이 뛰어나고 신뢰성이 높은 반도체 장치로 할 수 있다.
- [0196] 화소부(4002)에 설치된 트랜지스터(4010)는 표시 소자와 전기적으로 접속하여 표시 패널을 구성한다. 표시 소자는 표시를 행할 수 있다면 특별히 한정되지 않고, 다양한 표시 소자를 이용할 수 있다.
- [0197] 도 7에 표시 소자로서 액정 소자 이용한 액정 표시 장치의 예를 나타낸다. 도 7에 있어서, 표시 소자인 액정 소자(4013)는 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 또한, 액정층(4008)을 협지하도록 배향막으로서 기능하는 절연막(4032, 4033)이 형성되어 있다. 제 2 전극층(4031)은 제 2 기관(4006) 측에 형성되고, 제 1 전극층(4030)과 제 2 전극층(4031)은 액정층(4008)을 통하여 적층하는 구성으로 되어 있다.
- [0198] 또한, 부호 4035는 절연막을 선택적으로 에칭함으로써 얻어지는 주상(柱狀)의 스페이서이며, 액정층(4008)의 막 두께(셀 갭)를 제어하기 위해 설치되어 있다. 또한 구상(球狀)의 스페이서를 이용하여도 좋다.
- [0199] 표시 소자로서 액정 소자를 이용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 이용할 수 있다. 이들 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 카이럴 네마틱상, 등방상 등을 나타낸다.
- [0200] 또한, 배향막을 이용하지 않는 블루상을 나타내는 액정을 이용해도 좋다. 블루상은 액정상의 하나이며, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상으로 전이하기 직전에 발현하는 상이다. 블루상은 좁은 온도 범위에서만 발현하지 않기 때문에, 온도 범위를 개선하기 위해 5 중량% 이상의 카이랄제를 혼합시킨 액정 조성물을 액정층에 이용한다. 블루상을 나타내는 액정과 카이랄제를 포함하는 액정 조성물은, 응답 속도가 1 msec 이하로 짧고, 광학적 등방성이기 때문에 배향 처리가 불필요하고, 시야각 의존성이 작다. 또 배향막을 형성하지 않아도 좋으므로 러빙 처리도 불필요해지기 때문에, 러빙 처리에 의해 발생하는 정전 파괴를 방지할 수 있어, 제작 공정 중의 액정 표시 장치의 불량이나 파손을 경감할 수 있다. 따라서 액정 표시 장치의 생산성을 향상시키는 것이 가능하게 된다. 산화물 반도체층을 이용하는 트랜지스터는, 정전기의 영향에 의해 트랜지스터의 전기적인 특성이 현저하게 변동하여 설계 범위를 일탈할 우려가 있다. 따라서 산화물 반도체층을 이용하는 트랜지스터를 가지는 액정 표시 장치에 블루상의 액정 재료를 이용하는 것은 보다 효과적이다.
- [0201] 또한, 액정 재료의 고유 저항은,  $1 \times 10^9 \Omega \cdot \text{cm}$  이상이며, 바람직하게는  $1 \times 10^{11} \Omega \cdot \text{cm}$  이상이며, 더욱 바람직하게는  $1 \times 10^{12} \Omega \cdot \text{cm}$  이상이다. 또한, 본 명세서에 있어서의 고유 저항의 값은, 20℃에서 측정된 값으로 한다.
- [0202] 액정 표시 장치에 제공되는 보유 용량의 크기는, 화소부에 배치되는 트랜지스터의 리크 전류 등을 고려하여, 소정의 기간 동안 전하를 보유할 수 있도록 설정된다. 보유 용량의 크기는, 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다. 고순도의 산화물 반도체층을 가지는 트랜지스터를 이용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하, 바람직하게는 1/5 이하의 용량의 크기를 가지는 보유 용량을 형성하면 충분하다.
- [0203] 액정 표시 장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, ASM(Axially Symmetricaligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 이용할 수 있다.

- [0204] 또한, 노멀리-블랙형의 액정 표시 장치, 예를 들면 수직 배향(VA) 모드를 채용한 투과형의 액정 표시 장치로 해도 좋다. 수직 배향 모드로서는, 몇 개 예를 들 수 있는데, 예를 들면, MVA(Multi-Domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASV 모드 등을 이용할 수 있다. 또한, VA형의 액정 표시 장치에도 적용할 수 있다. VA형의 액정 표시 장치는, 액정 표시 패널의 액정 분자의 배열을 제어하는 방식의 일종이다. VA형의 액정 표시 장치는 전압이 인가되어 있지 않을 때에 패널면에 대하여 액정 분자가 수직 방향을 향하는 방식이다. 또한, 화소(픽셀)를 몇 개의 영역(서브 픽셀)으로 나누어, 각각 다른 방향으로 분자를 넘어뜨리도록 고안되어 있는 멀티 도메인화 혹은 멀티 도메인 설계라고 불리는 방법을 이용할 수 있다.
- [0205] 또한, 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기관) 등은 적절히 형성한다. 예를 들면, 편광 기관 및 위상차 기관에 의한 원 편광을 이용해도 좋다. 또한, 광원으로서 백 라이트, 사이드 라이트 등을 이용해도 좋다.
- [0206] 또한, 화소부에서의 표시 방식은, 프로그래시브 방식이나 인터레이스 방식 등을 이용할 수 있다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는, RGB(R은 적, G는 녹, B는 청을 나타냄)의 삼색으로 한정되지 않는다. 예를 들면, RGBW(W는 흰색을 나타냄), 또는 RGB에, 옐로우, 시안, 마젠타 등을 일색 이상 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이하셔도 좋다. 단, 본 발명은 컬러 표시의 표시 장치에 한정되는 것은 아니고, 흑백 표시의 표시 장치에 적용할 수도 있다.
- [0207] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로루미네선스를 이용하는 발광 소자를 적용할 수 있다. 일렉트로루미네선스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.
- [0208] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 그것들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 복귀할 때에 발광한다. 이러한 메카니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0209] 무기 EL 소자는 그 소자 구성에 의해, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 층으로 분산시킨 발광층을 가지는 것이고, 발광 메카니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼워 넣고, 또한 그것을 전극으로 끼운 구조이며, 발광 메카니즘은 금속 이온의 내각 전자 전이를 이용하는 국제형 발광이다. 또한, 여기에서는, 발광 소자로서 유기 EL 소자를 이용하여 설명한다.
- [0210] 발광 소자는 발광을 취출하기 위해 적어도 한쌍의 전극의 한쪽이 투명하면 좋다. 그리고, 기관 위에 트랜지스터 및 발광 소자를 형성하고, 기관과는 반대측의 면으로부터 발광을 취출하는 상면 사출이나, 기관측의 면으로부터 발광을 취출하는 하면 사출이나, 기관측 및 기관과는 반대측의 면으로부터 발광을 취출하는 양면 사출 구조의 발광 소자가 있고, 어느 사출 구조의 발광 소자도 적용할 수 있다.
- [0211] 도 8에 표시 소자로서 발광 소자를 이용한 발광 장치의 예를 나타낸다. 표시 소자인 발광 소자(4513)는 화소부(4002)에 설치된 트랜지스터(4010)와 전기적으로 접속하고 있다. 또한 발광 소자(4513)의 구성은, 제 1 전극층(4030), 전계 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만, 나타낸 구성에 한정되지 않는다. 발광 소자(4513)로부터 취출하는 광의 방향 등에 맞추어, 발광 소자(4513)의 구성은 적절히 바꿀 수 있다.
- [0212] 격벽(4510)은 유기 절연 재료, 또는 무기 절연 재료를 이용하여 형성한다. 특히 감광성의 수지 재료를 이용하여 제 1 전극층(4030) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속한 곡률을 가지고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.
- [0213] 전계 발광층(4511)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느 쪽이든 좋다.
- [0214] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호막을 형성해도 좋다. 보호막으로서, 질화 실리콘막, 질화 산화 실리콘막, DLC막 등을 형성할 수 있다. 또한, 제 1 기관(4001), 제 2 기관(4006), 및 시일재(4005)에 의해 봉지된 공간에는 충전재(4514)가 채공되고 밀봉되어 있다. 이와 같이 외기에 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(부착 필름, 자외선 경화 수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.
- [0215] 충전재(4514)로서는 질소나 아르곤 등의 불활성인 기체 외에, 자외선 경화 수지 또는 열경화 수지를 이용할 수

있고 PVC(폴리비닐 클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌 비닐 아세테이트)를 이용할 수 있다. 예를 들면 충전재로서 질소를 이용하면 좋다.

- [0216] 또한, 필요하다면, 발광 소자의 사출면에 편광판, 또는 원 편광판(타원 편광판을 포함함), 위상차판( $\lambda / 4$ 판,  $\lambda / 2$ 판), 컬러 필터 등의 광학 필름을 적절히 설치해도 좋다. 또한, 편광판 또는 원 편광판에 반사 방지막을 형성해도 좋다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침을 저감할 수 있는 눈부심 방지(anti-glare) 처리를 실시할 수 있다.
- [0217] 또한, 표시 장치로서, 전자 잉크를 구동시키는 전자 페이퍼를 제공하는 것도 가능하다. 전자 페이퍼는 전기 영동 표시 장치(전기 영동 디스플레이)라고도 불리며, 종이와 같이 읽기에 편리하고, 다른 표시 장치에 비해 저소비 전력이며, 얇고 가벼운 형상으로 하는 것이 가능하다는 이점을 가진다.
- [0218] 전기 영동 표시 장치는, 다양한 형태를 생각할 수 있지만, 플러스의 전하를 가지는 제 1 입자와, 마이너스의 전하를 가지는 제 2 입자를 포함하는 마이크로 캡슐이 용매 또는 용질에 복수 분산된 것으로, 마이크로 캡슐에 전계를 인가함으로써, 마이크로 캡슐 중의 입자를 서로 반대 방향으로 이동시키고, 한쪽 측에 집합한 입자의 색만을 표시하는 것이다. 또한, 제 1 입자 또는 제 2 입자는 염료를 포함하고, 전계가 없는 경우에 이동하지 않는 것이다. 또한, 제 1 입자의 색과 제 2 입자의 색은 다른 것(무색을 포함함)으로 한다.
- [0219] 이와 같이, 전기 영동 표시 장치는, 유전 정수가 높은 물질이 높은 전계 영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다.
- [0220] 상기 마이크로 캡슐을 용매 중에 분산시킨 것이 전자 잉크라고 불리는 것이고, 이 전자 잉크는 유리, 플라스틱, 옷감, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러 필터나 색소를 가지는 입자를 이용하는 것에 의해 컬러 표시도 가능하다.
- [0221] 또한, 마이크로 캡슐 중의 제 1 입자 및 제 2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로 루미네센트 재료, 일렉트로크로믹 재료, 자기 영동 재료에서 선택된 일종의 재료, 또는 이들의 복합 재료를 이용하면 좋다.
- [0222] 또한, 전자 페이퍼로서, 트위스팅 볼 표시 방식을 이용하는 표시 장치도 적용할 수 있다. 트위스팅 볼 표시 방식이란, 백과 흑으로 나누어 도포된 구형 입자를 표시 소자에 이용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시킨 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.
- [0223] 도 9에, 반도체 장치의 일 형태로서 액티브 매트릭스형의 전자 페이퍼를 나타낸다. 도 9의 전자 페이퍼는, 트위스트 볼 표시 방식을 이용한 표시 장치의 예이다.
- [0224] 트랜지스터(4010)와 접속하는 제 1 전극층(4030)과, 제 2 기판(4006)에 형성된 제 2 전극층(4031)의 사이에는 흑색 영역(4615a) 및 백색 영역(4615b)을 가지고, 주위에 액체로 채워져 있는 캐비티(4612)를 포함하는 구형 입자(4613)가 제공되어 있고, 구형 입자(4613)의 주위는 수지 등의 충전재(4614)로 충전되어 있다. 제 2 전극층(4031)이 공통 전극(대향 전극)에 상당한다. 제 2 전극층(4031)은, 공통 전위선과 전기적으로 접속된다.
- [0225] 또한, 도 7 내지 도 9에 있어서, 제 1 기판(4001), 제 2 기판(4006)으로서는, 가요성을 가지는 기판을 이용할 수 있고, 예를 들면 투광성을 가지는 플라스틱 기판 등을 이용할 수 있다. 플라스틱으로서는, FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐 플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 이용할 수 있다. 또한, 알루미늄 포일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시트를 이용할 수도 있다.
- [0226] 절연층(4020)은 트랜지스터의 보호막으로서 기능한다.
- [0227] 또한, 보호막은, 대기 중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막이 바람직하다. 보호막은 스퍼터링법을 이용하여, 산화 실리콘막, 질화 실리콘막, 산화 질화 실리콘막, 질화 산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화 질화 알루미늄막, 또는 질화 산화 알루미늄막의 단층, 또는 적층으로 형성하면 좋다.
- [0228] 또한, 평탄화 절연막으로서 기능하는 절연층(4021)은 아크릴, 폴리이미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 가지는 유기 재료를 이용할 수 있다. 또한, 상기 유기 재료 외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인 유리 : phosphosilicate glass), BPSG(인 붕소 유리 : borophosphosilicate glass) 등



을 이용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층을 형성해도 좋다.

- [0229] 절연층(4020), 절연층(4021)의 형성법은, 특별히 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스피ن 코트, 딥, 스프레이 도포, 액적 토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닥터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 이용할 수 있다.
- [0230] 표시 장치는 광원 또는 표시 소자로부터의 광을 투과시켜 표시를 행한다. 따라서 광이 투과하는 화소부에 설치되는 기관, 절연막, 도전막 등의 박막은 모두 가시광의 파장 영역의 광에 대하여 투광성으로 한다.
- [0231] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는, 취출하는 광의 방향, 전극층이 형성되는 장소, 및 전극층의 패턴 구조에 의해 투광성, 반사성을 선택하면 좋다.
- [0232] 제 1 전극층(4030), 제 2 전극층(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 가지는 도전성 재료를 이용할 수 있다.
- [0233] 또한, 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티탄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 혹은 그 금속 질화물로부터 하나, 또는 복수종을 이용하여 형성할 수 있다.
- [0234] 또한, 제 1 전극층(4030), 제 2 전극층(4031)으로서, 도전성 고분자(도전성 폴리머라고도 함)를 포함하는 도전성 조성물을 이용하여 형성할 수 있다. 도전성 고분자로서는, 소위  $\pi$  전자 공액계 도전성 고분자가 이용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 혹은 아닐린, 피롤 및 티오펜의 2종 이상으로 이루어지는 공중합체 또는 그 유도체 등을 들 수 있다.
- [0235] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 형성하는 것이 바람직하다. 보호 회로는, 비선형 소자를 이용하여 구성하는 것이 바람직하다.
- [0236] 이상과 같이 실시형태 1 내지 4에 나타낸 트랜지스터를 적용함으로써, 다양한 기능을 가지는 표시 장치를 제공할 수 있다.
- [0237] 본 실시형태는, 다른 실시형태와 적절히 조합하여 실시하는 것이 가능하다.
- [0238]
- [0239] (실시형태 6)
- [0240] 본 명세서에 개시하는 반도체 장치는, 다양한 전자기기(유기기도 포함함)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라 등의 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.
- [0241] 도 10(A), 도 10(B)은, 상기 실시형태를 적용하여 형성되는 가요성을 가지는 반도체 장치를 전자책에 적용한 예이다. 도 10(A)은, 전자책을 연 상태이며, 도 10(B)은 전자책을 닫은 상태이다. 제 1 표시 패널(4311), 제 2 표시 패널(4312), 제 3 표시 패널(4313)에 상기 실시형태를 적용하여 형성되는 가요성을 가지는 반도체 장치를 이용할 수 있다.
- [0242] 제 1 하우징(4305)은 제 1 표시부(4301)를 가지는 제 1 표시 패널(4311)을 가지고, 제 2 하우징(4306)은 조작부(4304) 및 제 2 표시부(4307)를 가지는 제 2 표시 패널(4312)을 가지고, 양면 표시형 패널인 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 가지고, 제 3 표시 패널(4313)은 제 1 표시 패널(4311)과 제 2 표시 패널(4312)의 사이에 삽입되어 있다. 제 1 하우징(4305), 제 1 표시 패널(4311), 제 3 표시 패널(4313), 제 2 표시 패널(4312), 및 제 2 하우징(4306)은 구동 회로가 내부에 설치된 바인딩부(4308)에 의해 접속되어 있다. 도 10의 전자책은 제 1 표시부(4301), 제 2 표시부(4307), 제 3 표시부(4302), 및 제 4 표시부(4310)의 4개의 표시 화면을 가진다.
- [0243] 제 1 하우징(4305), 제 1 표시 패널(4311), 제 3 표시 패널(4313), 제 2 표시 패널(4312), 및 제 2 하우징(4306)은 가요성을 가지고 있어, 유연성(flexibility)이 높다. 또한, 제 1 하우징(4305), 제 2 하우징(4306)

에 플라스틱 기판을 이용하고, 제 3 표시 패널(4313)에 얇은 필름을 이용하면, 박형의 전자책으로 할 수 있다.

[0244] 제 3 표시 패널(4313)은 제 3 표시부(4302) 및 제 4 표시부(4310)를 가지는 양면 표시형 패널이다. 제 3 표시 패널(4313)은 양면 사출형의 표시 패널을 이용해도 좋고, 편면(片面) 사출형의 표시 패널을 부착시켜 이용해도 좋다.

[0245] 도 11은, 상기 실시형태를 적용하여 형성되는 반도체 장치를, 실내의 조명 장치(3001)로서 이용한 예이다. 상기 실시형태에 나타난 반도체 장치는 대면적화도 가능하기 때문에, 대면적의 조명 장치로서 이용할 수 있다. 또한, 상기 실시형태에 나타난 반도체 장치는, 탁상 조명 기구(3000)로서 이용하는 것도 가능하다. 또한, 조명 기구에는 천정 고정형의 조명 기구, 탁상 조명 기구 외에도, 벽걸이형의 조명 기구, 차내용 조명, 유도등 등도 포함된다.

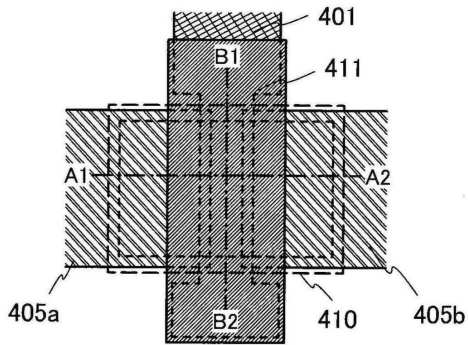
[0246] 이상과 같이, 실시형태 1 내지 5에 나타난 반도체 장치는, 상기와 같은 다양한 전자기기에 배치할 수 있어, 신뢰성이 높은 전자기기를 제공할 수 있다.

[0247] 본 출원은 전문이 참조로서 본 명세서에 통합되고, 2010년 2월 5일 일본 특허청에 출원된, 일련 번호가 2010-024385인 일본 특허 출원에 기초한다.

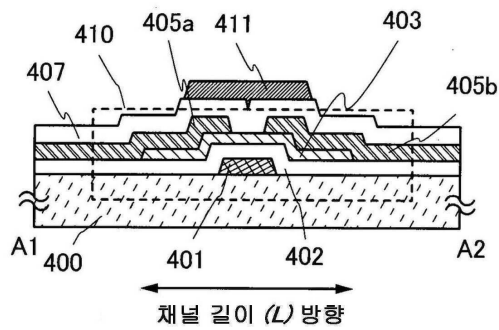
도면

도면1

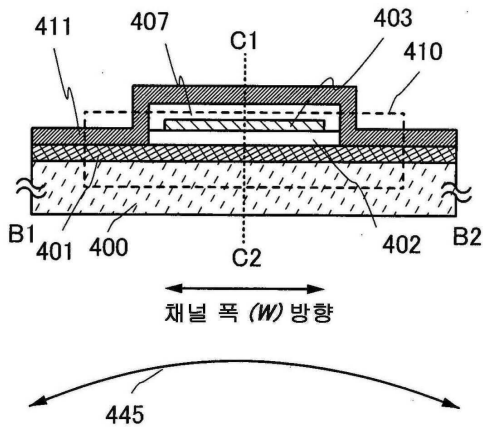
(A)



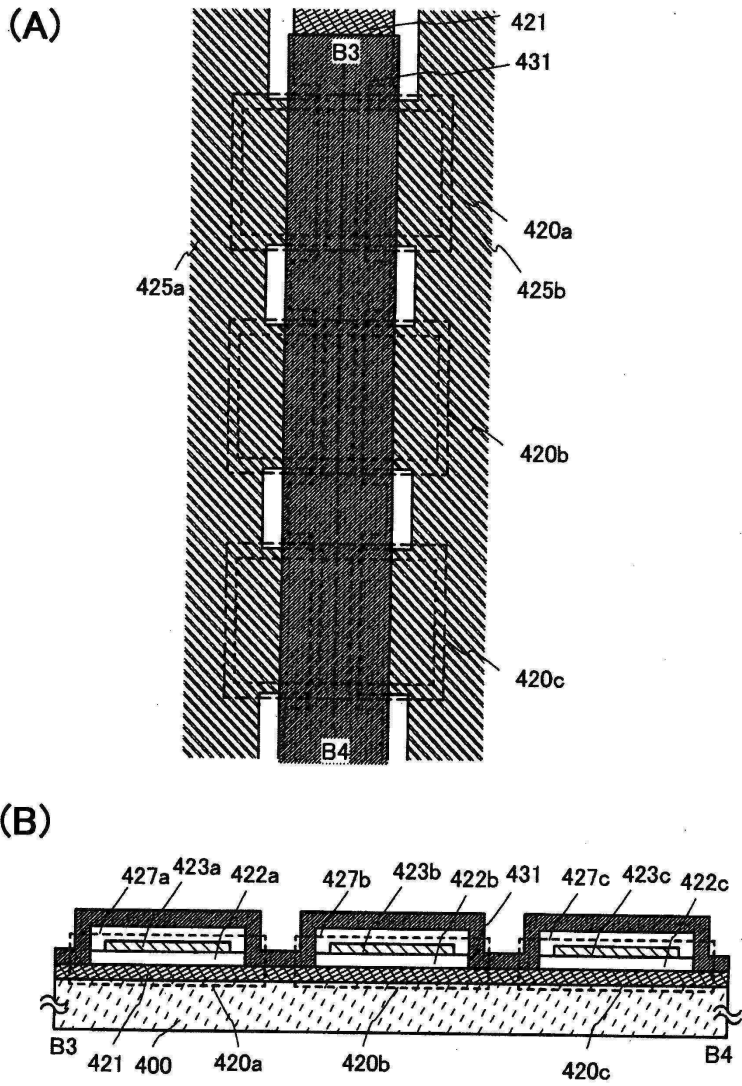
(B)



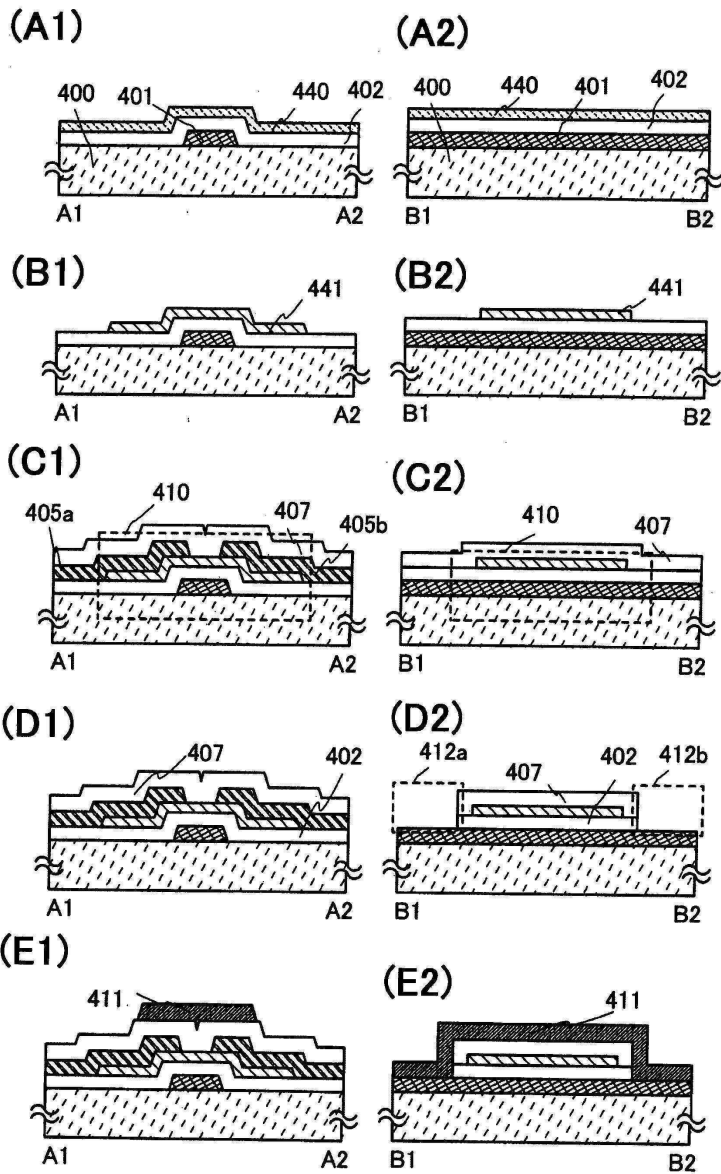
(C)



도면2

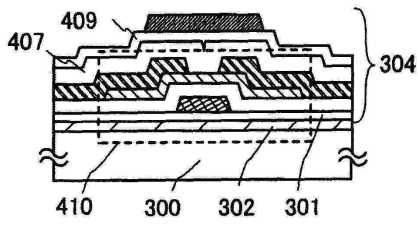


도면3

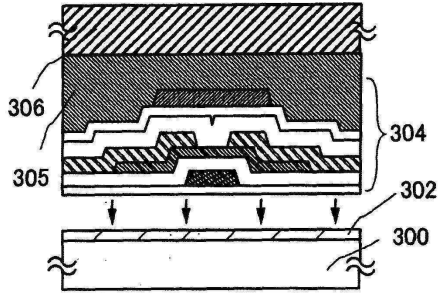


도면4

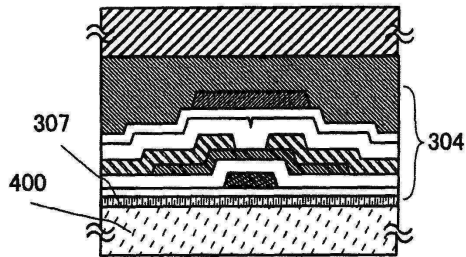
(A)



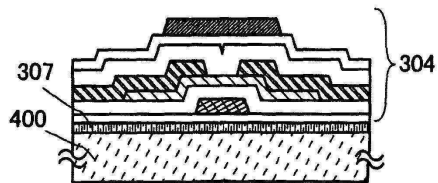
(B)



(C)

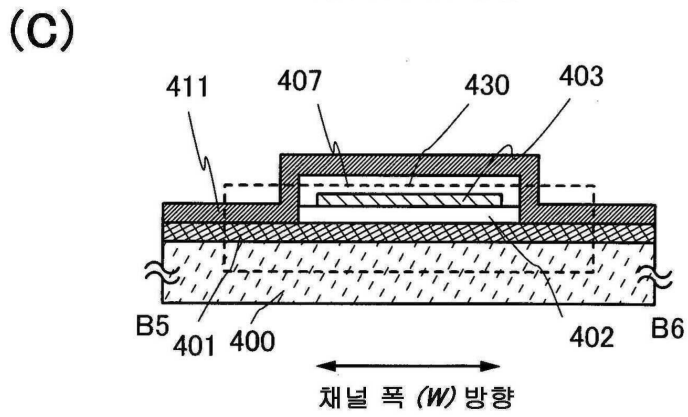
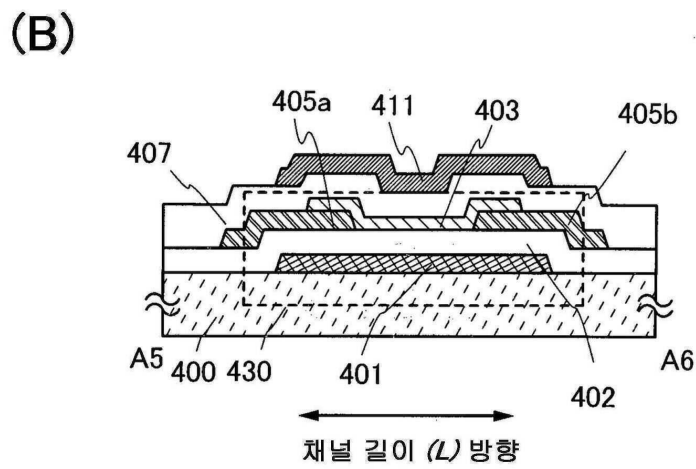
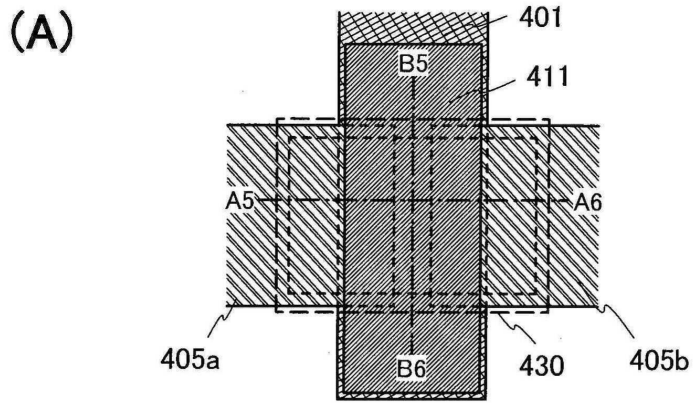


(D)





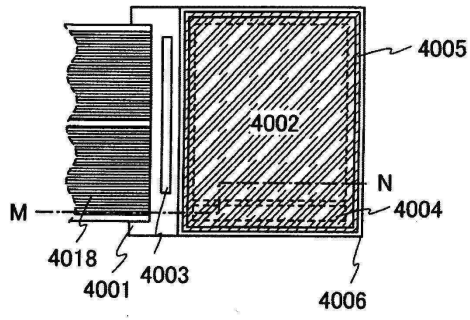
도면5



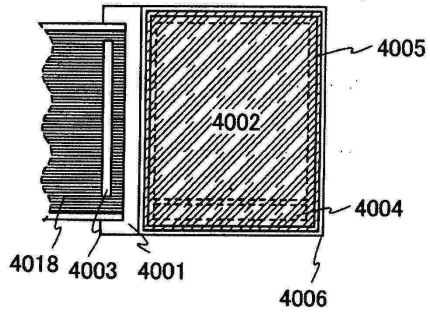


도면6

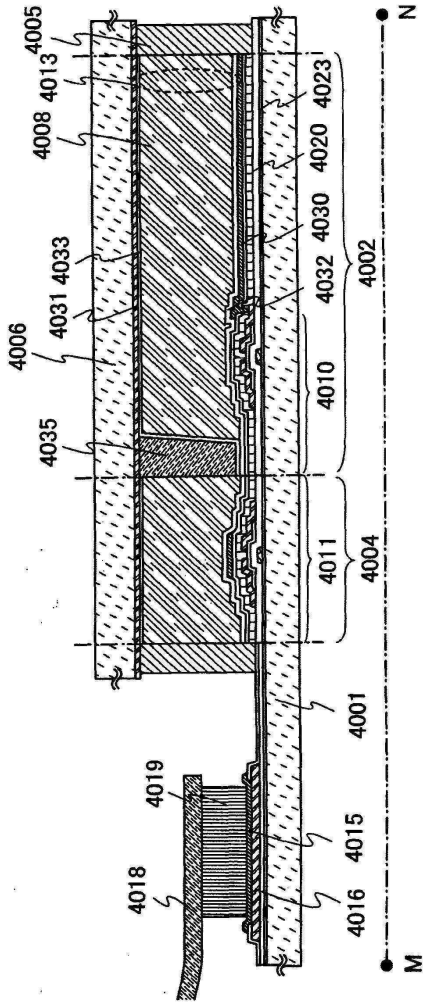
(A)



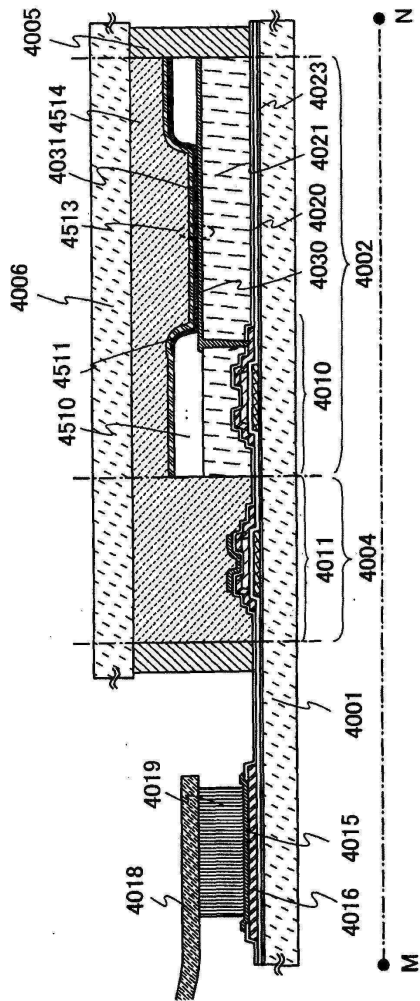
(B)



도면7



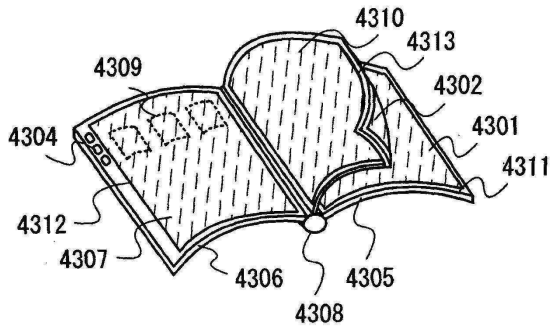
도면8



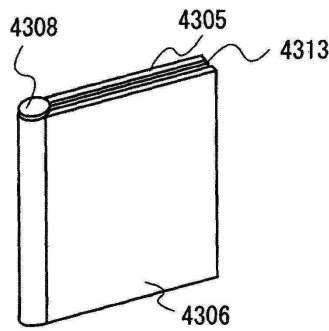


도면10

(A)



(B)



도면11

