

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年2月23日(23.02.2023)



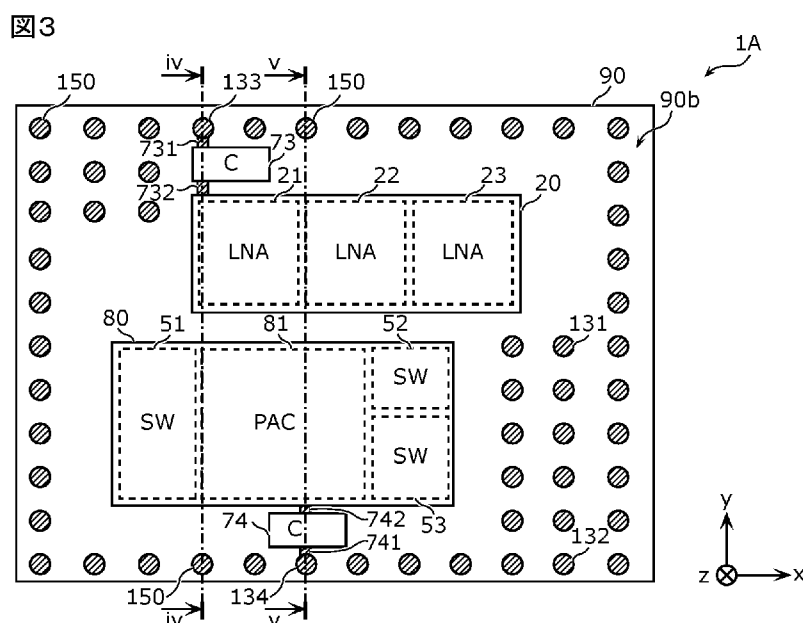
(10) 国際公開番号

WO 2023/022047 A1

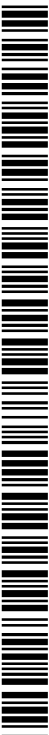
- (51) 国際特許分類:  
*H04B 1/38* (2015.01)     *H01L 25/07* (2006.01)  
*H01L 25/00* (2006.01)     *H01L 25/18* (2006.01)  
*H01L 25/065* (2006.01)   *H04B 1/00* (2006.01)
- (21) 国際出願番号:                    PCT/JP2022/030292
- (22) 国際出願日:                        2022年8月8日(08.08.2022)
- (25) 国際出願の言語:                    日本語
- (26) 国際公開の言語:                    日本語
- (30) 優先権データ:  
 特願 2021-134718    2021年8月20日(20.08.2021) JP
- (71) 出願人: 株式会社村田製作所  
 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足1丁目10番1号 Kyoto (JP).
- (72) 発明者: 山口 幸哉 (YAMAGUCHI, Yukiya); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 庄内大貴(SHOUNAI, Hiroki); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP). 堀田篤(HORITA, Atsushi); 〒6178555 京都府長岡京市東神足1丁目10番1号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 吉川 修一, 外(YOSHIKAWA, Shuichi et al.); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトーピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).

(54) Title: HIGH-FREQUENCY MODULE

(54) 発明の名称: 高周波モジュール



(57) **Abstract:** This high-frequency module (1A) comprises: a module substrate (90) having major surfaces (90a and 90b) facing each other; a plurality of electronic components disposed on the major surface (90a) and the major surface (90b); and a plurality of post electrodes (150) disposed on the major surface (90b) and including a power supply terminal (134), wherein the plurality of electronic components include an integrated circuit (80) disposed on the major surface (90b) and including a control circuit (81) connected to the power supply terminal (134), and a capacitor (74) disposed on the major surface (90b) and connected between a ground and a path connecting the power supply terminal (134) and the control circuit (81). Here, the power supply terminal (134) is disposed closer to the capacitor (74) than any of the other post electrodes, and/or the capacitor (74) is disposed closer to the power supply terminal (134) than any of other electronic



WO 2023/022047 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

components disposed on the major surface (90b).

(57) 要約 : 高周波モジュール (1 A) は、互いに対向する主面 (90 a 及び 90 b) を有するモジュール基板 (90) と、主面 (90 a) 上及び主面 (90 b) 上に配置された複数の電子部品と、主面 (90 b) 上に配置され、電源端子 (134) を含む複数のポスト電極 (150) と、を備え、複数の電子部品は、主面 (90 b) 上に配置され、電源端子 (134) に接続される制御回路 (81) を含む集積回路 (80) と、主面 (90 b) 上に配置され、電源端子 (134) と制御回路 (81) とを接続する経路とグランドとの間に接続されるキャパシタ (74) と、を含む。ここで、他のポスト電極のいずれよりも電源端子 (134) の方がキャパシタ (74) の近くに配置されている、及び/又は、主面 (90 b) 上に配置された他の電子部品のいずれよりもキャパシタ (74) の方が電源端子 (134) の近くに配置されている。

## 明 細 書

**発明の名称**：高周波モジュール

### 技術分野

[0001] 本発明は、高周波モジュールに関する。

### 背景技術

[0002] 携帯電話などの移動体通信機器では、特に、マルチバンド化の進展に伴い、高周波フロントエンドモジュールが複雑化している。特許文献1のパッケージモジュールには、両面実装基板が用いられており、半導体集積回路とキャパシタとが逆面に配置されている。

### 先行技術文献

#### 特許文献

[0003] 特許文献1：米国特許第9263186号明細書

### 発明の概要

#### 発明が解決しようとする課題

[0004] しかしながら、上記従来の技術では、キャパシタが電源経路のノイズを低減するためのバイパスキャパシタとして用いられる場合に、ノイズ低減効果を得られない場合がある。

[0005] そこで、本発明は、両面実装においてバイパスキャパシタのノイズ低減効果の向上を図ることができる高周波モジュールを提供する。

#### 課題を解決するための手段

[0006] 本発明の一態様に係る高周波モジュールは、互いに対向する第1主面及び第2主面を有するモジュール基板と、第1主面上及び第2主面上に配置された複数の電子部品と、第2主面上に配置され、電源端子を含む複数の外部接続端子と、を備え、複数の電子部品は、第2主面上に配置され、電源端子に接続される能動回路を含む第1電子部品と、第2主面上に配置され、電源端子と能動回路とを接続する経路とグランドとの間に接続されるキャパシタを含む第2電子部品と、を含み、他の外部接続端子のいずれよりも電源端子の

方が第2電子部品の近くに配置されている。

[0007] 本発明の一態様に係る高周波モジュールは、互いに対向する第1主面及び第2主面を有するモジュール基板と、第1主面上及び第2主面上に配置された複数の電子部品と、第2主面上に配置され、電源端子を含む複数の外部接続端子と、を備え、複数の電子部品は、第2主面上に配置され、電源端子に接続される能動回路を含む第1電子部品と、第2主面上に配置され、電源端子と能動回路とを接続する経路とグラウンドとの間に接続されるキャパシタを含む第2電子部品と、を含み、第2主面上に配置された他の電子部品のいずれよりも第2電子部品の方が電源端子の近くに配置されている。

[0008] 本発明の一態様に係る高周波モジュールは、互いに対向する第1主面及び第2主面を有するモジュール基板と、第1主面上及び第2主面上に配置された複数の電子部品と、第2主面上に配置され、電源端子を含む複数の外部接続端子と、を備え、複数の電子部品は、第2主面上に配置され、電源端子に接続される能動回路を含む第1電子部品と、第2主面上に配置され、電源端子と能動回路とを接続する経路とグラウンドとの間に接続されるキャパシタを含む第2電子部品と、を含み、第2電子部品は、モジュール基板の平面視において電源端子と第1電子部品との間に配置されている。

### 発明の効果

[0009] 本発明の一態様に係る高周波モジュールによれば、両面実装においてバイパスキャパシタのノイズ低減効果の向上を図ることができる。

### 図面の簡単な説明

[0010] [図1]図1は、実施の形態に係る高周波回路及び通信装置の回路構成図である。

[図2]図2は、実施例1に係る高周波モジュールの平面図である。

[図3]図3は、実施例1に係る高周波モジュールの平面図である。

[図4]図4は、実施例1に係る高周波モジュールの断面図である。

[図5]図5は、実施例1に係る高周波モジュールの断面図である。

[図6]図6は、実施例2に係る高周波モジュールの平面図である。

[図7]図7は、実施例2に係る高周波モジュールの平面図である。

### 発明を実施するための形態

- [0011] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置及び接続形態などは、一例であり、本発明を限定する主旨ではない。
- [0012] なお、各図は、本発明を示すために適宜強調、省略、又は比率の調整を行った模式図であり、必ずしも厳密に図示されたものではなく、実際の形状、位置関係、及び比率とは異なる場合がある。各図において、実質的に同一の構成に対しては同一の符号を付しており、重複する説明は省略又は簡素化される場合がある。
- [0013] 以下の各図において、 $x$ 軸及び $y$ 軸は、モジュール基板の主面と平行な平面上で互いに直交する軸である。具体的には、平面視においてモジュール基板が矩形状を有する場合、 $x$ 軸は、モジュール基板の第1辺に平行であり、 $y$ 軸は、モジュール基板の第1辺と直交する第2辺に平行である。また、 $z$ 軸は、モジュール基板の主面に垂直な軸であり、その正方向は上方向を示し、その負方向は下方向を示す。
- [0014] 本発明の回路構成において、「接続される」とは、接続端子及び／又は配線導体で直接接続される場合だけでなく、他の回路素子を介して電氣的に接続される場合も含む。「A及びBの間に接続される」とは、A及びBの間でA及びBの両方に接続されることを意味し、A及びBを結ぶ経路に直列接続されることに加えて、当該経路とグラウンドとの間に並列接続（シャント接続）されることを含む。
- [0015] 本発明の部品配置において、「モジュール基板の平面視」とは、 $z$ 軸正側から $x$   $y$ 平面に物体を正投影して見ることを意味する。「AがB及びCの間に配置される」とは、B内の任意の点とC内の任意の点とを結ぶ複数の線分のうちの少なくとも1つがAを通ることを意味する。また、「平行」及び「

垂直」などの要素間の関係性を示す用語、及び、「矩形」などの要素の形状を示す用語、並びに、数値範囲は、厳格な意味のみを表すのではなく、実質的に同等な範囲、例えば数%程度の誤差をも含むことを意味する。

[0016] また、本発明の部品配置において、「部品が基板に配置される」とは、部品が基板の主面上に配置されること、及び、部品が基板内に配置されることを含む。「部品が基板の主面上に配置される」とは、部品が基板の主面に接触して配置されることに加えて、部品が主面と接触せずに当該主面の上方に配置されること（例えば、部品が主面と接触して配置された他の部品上に積層されること）を含む。また、「部品が基板の主面上に配置される」は、主面に形成された凹部に部品が配置されることを含んでもよい。「部品が基板内に配置される」とは、部品がモジュール基板内にカプセル化されることに加えて、部品の全部が基板の両主面の間に配置されているが部品の一部が基板に覆われていないこと、及び、部品の一部のみが基板内に配置されていることを含む。

[0017] また、本発明において、「電子部品」とは、能動素子及び／又は受動素子を含む部品を意味する。つまり、電子部品には、トランジスタ又はダイオード等を含む能動部品、及び、インダクタ、トランスフォーマ、キャパシタ又は抵抗等を含む受動部品が含まれ、端子、コネクタ又は配線等を含む電気機械部品が含まれない。

[0018] （実施の形態）

[1 高周波回路1及び通信装置6の回路構成]

本実施の形態に係る高周波回路1及び通信装置6の回路構成について、図1を参照しながら説明する。図1は、本実施の形態に係る高周波回路1及び通信装置6の回路構成図である。

[0019] [1.1 通信装置6の回路構成]

まず、通信装置6の回路構成について説明する。図1に示すように、本実施の形態に係る通信装置6は、高周波回路1と、アンテナ2と、RFIC (Radio Frequency Integrated Circuit) 3と、BBIC (Baseband Integrate

d Circuit) 4 と、電源回路 5 と、を備える。

[0020] 高周波回路 1 は、アンテナ 2 と R F I C 3 との間で高周波信号を伝送する。高周波回路 1 の内部構成については後述する。

[0021] アンテナ 2 は、高周波回路 1 のアンテナ接続端子 1 0 0 に接続され、高周波回路 1 から出力された高周波信号を送信し、また、外部から高周波信号を受信して高周波回路 1 へ出力する。

[0022] R F I C 3 は、高周波信号を処理する信号処理回路の一例である。具体的には、R F I C 3 は、高周波回路 1 の受信経路を介して入力された高周波受信信号を、ダウンコンバート等により信号処理し、当該信号処理して生成された受信信号を B B I C 4 へ出力する。また、R F I C 3 は、B B I C 4 から入力された送信信号をアップコンバート等により信号処理し、当該信号処理して生成された高周波送信信号を、高周波回路 1 の送信経路に出力する。また、R F I C 3 は、高周波回路 1 が有するスイッチ及び増幅器等を制御する制御部を有する。なお、R F I C 3 の制御部としての機能の一部又は全部は、R F I C 3 の外部に実装されてもよく、例えば、B B I C 4 又は高周波回路 1 に実装されてもよい。

[0023] B B I C 4 は、高周波回路 1 が伝送する高周波信号よりも低周波の中間周波数帯域を用いて信号処理するベースバンド信号処理回路である。B B I C 4 で処理される信号としては、例えば、画像表示のための画像信号、及び／又は、スピーカを介した通話のために音声信号が用いられる。

[0024] 電源回路 5 は、電源（図示せず）及び高周波回路 1 に接続され、高周波回路 1 に電力を供給することができる。なお、電源回路 5 は、高周波回路 1 に含まれてもよい。

[0025] なお、本実施の形態に係る通信装置 6 において、アンテナ 2、B B I C 4 及び電源回路 5 は、必須の構成要素ではない。

[0026] [ 1 . 2 高周波回路 1 の回路構成]

次に、高周波回路 1 の回路構成について説明する。図 1 に示すように、高周波回路 1 は、電力増幅器（P A）1 1 及び 1 2 と、低雑音増幅器（L N A

) 21~23と、整合回路(MN) 40~45と、インダクタ(L) 46~48と、スイッチ(SW) 51~53と、デュプレクサ61~63と、キャパシタ(C) 71~73と、制御回路(PAC) 81と、アンテナ接続端子100と、高周波入力端子111及び112と、高周波出力端子121~123と、電源端子131~134と、制御端子141と、を備える。以下に、高周波回路1の構成要素について順に説明する。

[0027] アンテナ接続端子100は、高周波回路1の外部でアンテナ2に接続される。

[0028] 高周波入力端子111及び112の各々は、高周波回路1の外部から高周波送信信号を受けるための端子である。本実施の形態では、高周波入力端子111及び112は、高周波回路1の外部でRFIC3に接続される。

[0029] 高周波出力端子121~123の各々は、高周波回路1の外部に高周波受信信号を供給するための端子である。本実施の形態では、高周波出力端子121~123は、高周波回路1の外部でRFIC3に接続される。

[0030] 電源端子131~134の各々は、電源用外部接続端子の一例であり、外部から電力供給を受けるための端子である。本実施の形態では、電源端子131~134は、高周波回路1の外部で電源回路5に接続される。さらに、電源端子131~134は、高周波回路1の内部で、電力増幅器11及び12、低雑音増幅器21~23、並びに、制御回路81に接続される。

[0031] 制御端子141は、制御信号を伝送するための端子である。つまり、制御端子141は、高周波回路1の外部から制御信号を受けるための端子、及び／又は、高周波回路1の外部に制御信号を供給するための端子である。制御信号とは、高周波回路1に含まれる電子回路の制御に関する信号である。具体的には、制御信号は、例えば電力増幅器11及び12と、低雑音増幅器21~23と、スイッチ51~53とのうちの少なくとも1つを制御するためのデジタル信号である。

[0032] 電力増幅器11は、能動回路であり、高周波入力端子111と送信フィルタ61Tとの間に接続され、電源端子131を介して供給される電源電圧を



用いてバンドAの送信信号を増幅することができる。具体的には、電力増幅器11の入力端は、高周波入力端子111に接続される。一方、電力増幅器11の出力端は、整合回路44及びスイッチ52を介して送信フィルタ61Tに接続される。

[0033] 電力増幅器12は、能動回路であり、高周波入力端子112と送信フィルタ62T及び63Tとの間に接続され、電源端子132を介して供給される電源電圧を用いてバンドB及びCの送信信号を増幅することができる。具体的には、電力増幅器12の入力端は、高周波入力端子112に接続される。一方、電力増幅器12の出力端は、整合回路45及びスイッチ53を介して送信フィルタ62T及び63Tに接続される。

[0034] なお、電力増幅器11及び12は、電源から供給される電力を基に入力信号（送信信号）よりも大きなエネルギーの出力信号を得る能動部品である。電力増幅器11及び12の各々は、増幅トランジスタを含み、さらにインダクタ及び／又はキャパシタを含んでもよい。電力増幅器11及び12の内部構成は、特に限定されない。例えば、電力増幅器11及び12の各々は、多段増幅器であってもよく、差動増幅型の増幅器又はドハティ増幅器であってもよい。

[0035] 低雑音増幅器21は、能動回路であり、受信フィルタ61Rと高周波出力端子121との間に接続され、電源端子133を介して供給される電源電圧を用いてバンドAの受信信号を増幅することができる。具体的には、低雑音増幅器21の入力端は、インダクタ46を介して受信フィルタ61Rに接続される。一方、低雑音増幅器21の出力端は、高周波出力端子121に接続される。

[0036] 低雑音増幅器22は、能動回路であり、受信フィルタ62Rと高周波出力端子122との間に接続され、電源端子133を介して供給される電源電圧を用いてバンドBの受信信号を増幅することができる。具体的には、低雑音増幅器22の入力端は、インダクタ47を介して受信フィルタ62Rに接続される。一方、低雑音増幅器22の出力端は、高周波出力端子122に接続

される。

[0037] 低雑音増幅器 2 3 は、能動回路であり、受信フィルタ 6 3 R と高周波出力端子 1 2 3 との間に接続され、電源端子 1 3 3 を介して供給される電源電圧を用いてバンド C の受信信号を増幅することができる。具体的には、低雑音増幅器 2 3 の入力端は、インダクタ 4 8 を介して受信フィルタ 6 3 R に接続される。一方、低雑音増幅器 2 3 の出力端は、高周波出力端子 1 2 3 に接続される。

[0038] なお、低雑音増幅器 2 1 ~ 2 3 は、電源から供給される電力を基に入力信号（受信信号）よりも大きなエネルギーの出力信号を得る能動部品である。低雑音増幅器 2 1 ~ 2 3 の各々は、増幅トランジスタを含み、さらにインダクタ及び／又はキャパシタを含んでもよい。低雑音増幅器 2 1 ~ 2 3 の内部構成は、特に限定されない。

[0039] 整合回路 4 0 ~ 4 5 の各々は、受動回路であり、2 つの回路素子の間に接続され、当該 2 つの回路素子の間のインピーダンス整合をとることができる。つまり、整合回路 4 0 ~ 4 5 の各々は、インピーダンス整合回路である。整合回路 4 0 ~ 4 5 の各々は、インダクタ及び／又はキャパシタを含んでもよく、トランスフォーマを含んでもよい。

[0040] インダクタ 4 6 は、受信フィルタ 6 1 R と低雑音増幅器 2 1 との間に接続され、受信フィルタ 6 1 R と低雑音増幅器 2 1 との間のインピーダンス整合をとることができる。インダクタ 4 7 は、受信フィルタ 6 2 R と低雑音増幅器 2 2 との間に接続され、受信フィルタ 6 2 R と低雑音増幅器 2 2 との間のインピーダンス整合をとることができる。インダクタ 4 8 は、受信フィルタ 6 3 R と低雑音増幅器 2 3 との間に接続され、受信フィルタ 6 3 R と低雑音増幅器 2 3 との間のインピーダンス整合をとることができる。

[0041] スイッチ 5 1 は、能動回路であり、アンテナ接続端子 1 0 0 とデュプレクサ 6 1 ~ 6 3 との間に接続される。スイッチ 5 1 は、端子 5 1 1 ~ 5 1 4 を有する。端子 5 1 1 は、整合回路 4 0 を介してアンテナ接続端子 1 0 0 に接続される。端子 5 1 2 は、整合回路 4 1 を介してデュプレクサ 6 1 に接続さ

れる。端子513は、整合回路42を介してデュプレクサ62に接続される。端子514は、整合回路43を介してデュプレクサ63に接続される。

[0042] この接続構成において、スイッチ51は、例えばRFIC3からの制御信号に基づいて、端子511を端子512～514の少なくとも1つに接続することができる。つまり、スイッチ51は、アンテナ接続端子100とデュプレクサ61～63の各々との接続及び非接続を切り替えることができる。スイッチ51は、例えばマルチ接続型のスイッチ回路で構成される。

[0043] スイッチ52は、能動回路であり、電力増幅器11と送信フィルタ61Tとの間に接続される。スイッチ52は、端子521及び522を有する。端子521は、整合回路44を介して電力増幅器11の出力端に接続される。端子522は、送信フィルタ61Tに接続される。

[0044] この接続構成において、スイッチ52は、例えばRFIC3からの制御信号に基づいて、端子521及び522の間の接続及び非接続を切り替えることができる。つまり、スイッチ52は、電力増幅器11と送信フィルタ61Tとの接続及び非接続を切り替えることができる。スイッチ52は、例えばSPST (Single-Pole Single-Throw) 型のスイッチ回路で構成される。

[0045] スイッチ53は、能動回路であり、電力増幅器12と送信フィルタ62T及び63Tとの間に接続される。スイッチ53は、端子531～533を有する。端子531は、整合回路45を介して電力増幅器12の出力端に接続される。端子532は、送信フィルタ62Tに接続される。端子533は、送信フィルタ63Tに接続される。

[0046] この接続構成において、スイッチ53は、例えばRFIC3からの制御信号に基づいて、端子531を端子532及び533のいずれかに接続することができる。つまり、スイッチ53は、電力増幅器12の接続を送信フィルタ62T及び63Tの間で切り替えることができる。スイッチ53は、例えばSPDT (Single-Pole Double-Throw) 型のスイッチ回路で構成される。

[0047] デュプレクサ61は、受動回路であり、周波数分割複信 (FDD: Frequency Division Duplex) 用のバンドAの送信信号と受信信号とを通過させ、他

バンドの信号を減衰させることができる。デュプレクサ61は、送信フィルタ61T及び受信フィルタ61Rを含む。

[0048] 送信フィルタ61Tは、バンドAのアップリンク動作バンド (uplink operating band) を含む通過帯域を有し、バンドAの送信信号を通過させることができる。送信フィルタ61Tの一端は、整合回路41、スイッチ51及び整合回路40を介してアンテナ接続端子100に接続される。送信フィルタ61Tの他端は、スイッチ52を介して電力増幅器11の出力端に接続される。

[0049] 受信フィルタ61Rは、バンドAのダウンリンク動作バンド (downlink operating band) を含む通過帯域を有し、バンドAの受信信号を通過させることができる。受信フィルタ61Rの一端は、整合回路41、スイッチ51及び整合回路40を介してアンテナ接続端子100に接続される。受信フィルタ61Rの他端は、インダクタ46を介して低雑音増幅器21の入力端に接続される。

[0050] デュプレクサ62は、受動回路であり、FDD用のバンドBの送信信号と受信信号とを通過させ、他バンドの信号を減衰させることができる。デュプレクサ62は、送信フィルタ62T及び受信フィルタ62Rを含む。

[0051] 送信フィルタ62Tは、バンドBのアップリンク動作バンドを含む通過帯域を有し、バンドBの送信信号を通過させることができる。送信フィルタ62Tの一端は、整合回路42、スイッチ51及び整合回路40を介してアンテナ接続端子100に接続される。送信フィルタ62Tの他端は、スイッチ53を介して電力増幅器12の出力端に接続される。

[0052] 受信フィルタ62Rは、バンドBのダウンリンク動作バンドを含む通過帯域を有し、バンドBの受信信号を通過させることができる。受信フィルタ62Rの一端は、整合回路42、スイッチ51及び整合回路40を介してアンテナ接続端子100に接続される。受信フィルタ62Rの他端は、インダクタ47を介して低雑音増幅器22の入力端に接続される。

[0053] デュプレクサ63は、受動回路であり、FDD用のバンドCの送信信号と

受信信号とを通過させ、他バンドの信号を減衰させることができる。デュプレキサ63は、送信フィルタ63T及び受信フィルタ63Rを含む。

[0054] 送信フィルタ63Tは、バンドCのアップリンク動作バンドを含む通過帯域を有し、バンドCの送信信号を通過させることができる。送信フィルタ63Tの一端は、整合回路43、スイッチ51及び整合回路40を介してアンテナ接続端子100に接続される。送信フィルタ63Tの他端は、スイッチ53を介して電力増幅器12の出力端に接続される。

[0055] 受信フィルタ63Rは、バンドCのダウンリンク動作バンドを含む通過帯域を有し、バンドCの受信信号を通過させることができる。受信フィルタ63Rの一端は、整合回路43、スイッチ51及び整合回路40を介してアンテナ接続端子100に接続される。受信フィルタ63Rの他端は、インダクタ48を介して低雑音増幅器23の入力端に接続される。

[0056] バンドA～Cは、無線アクセス技術（RAT：Radio Access Technology）を用いて構築される通信システムのための周波数バンドである。バンドA～Cは、標準化団体など（例えば3GPP（登録商標）（3rd Generation Partnership Project）及びIEEE（Institute of Electrical and Electronics Engineers）等）によって予め定義される。通信システムの例としては、5GNR（5th Generation New Radio）システム、LTE（Long Term Evolution）システム及びWLAN（Wireless Local Area Network）システム等を挙げることができる。

[0057] バンドAとバンドB及びCとは、互いに異なるバンド群に含まれてもよく、同じバンド群に含まれてもよい。ここで、バンド群とは、複数のバンドを含む周波数範囲を意味する。バンド群としては、例えばウルトラハイバンド群（3300～5000MHz）、ハイバンド群（2300～2690MHz）、ミッドバンド群（1427～2200MHz）、及びローバンド群（698～960MHz）等を用いることができるが、これらに限定されない。例えば、バンド群として、5ギガヘルツ以上のアンライセンスバンドを含むバンド群又はミリ波帯域のバンド群が用いられてもよい。

- [0058] 例えば、バンドAは、ハイバンド群に含まれ、バンドB及びCは、ミッドバンド群に含まれてもよい。また例えば、バンドAは、ミッドバンド群又はハイバンド群に含まれ、バンドB及びCは、ローバンド群に含まれてもよい。
- [0059] キャパシタ71～74の各々は、バイパスキャパシタ又はデカップリングキャパシタと呼ばれ、電源経路上のノイズが高周波回路に与える影響を低減することができる。具体的には、キャパシタ71は、電源端子131と電力増幅器11とを接続する経路とグラウンドとの間に接続され、キャパシタ72は、電源端子132と電力増幅器12とを接続する経路とグラウンドとの間に接続される。キャパシタ73は、電源端子133と低雑音増幅器21～23とを接続する経路とグラウンドとの間に接続される。キャパシタ74は、電源端子134と制御回路81とを接続する経路とグラウンドとの間に接続される。
- [0060] 制御回路81は、能動回路であり、電力増幅器11及び12等を制御することができる。制御回路81は、RFIC3から制御端子141を介してデジタル制御信号を受けて、電力増幅器11及び12等に制御信号を出力する。
- [0061] なお、図1に表された高周波回路1は、例示であり、これに限定されない。例えば、高周波回路1が対応するバンドは、バンドA～Cに限定されない。例えば、高周波回路1は、4以上のバンドに対応してもよい。この場合、高周波回路1は、バンドD、E、F・・・のためのフィルタを備えてもよい。また例えば、高周波回路1は、バンドB及びCのみに対応し、バンドAに対応しなくてもよい。この場合、高周波回路1は、電力増幅器11と、低雑音増幅器21と、整合回路41及び44と、インダクタ46と、スイッチ52と、デュプレクサ61と、高周波入力端子111と、高周波出力端子121と、を備えなくてもよい。また例えば、高周波回路1は、送信専用回路であってもよい。この場合、高周波回路1は、低雑音増幅器21～23と、インダクタ46～48と、受信フィルタ61R～63Rと、高周波出力端子1

21～123と、電源端子133と、を備えなくてもよい。また例えば、高周波回路1は、受信専用回路であってもよい。この場合、高周波回路1は、電力増幅器11及び12と、整合回路44及び45と、スイッチ52及び53と、送信フィルタ61T～63Tと、高周波入力端子111及び112と、電源端子131及び132と、を備えなくてもよい。

[0062] [2 高周波回路1の実施例]

[2.1 実施例1]

上記実施の形態に係る高周波回路1の実施例1として、高周波回路1が実装された高周波モジュール1Aを図2～図5を参照しながら説明する。なお、本実施例では、低雑音増幅器21～23を含む集積回路20と、制御回路81を含む集積回路80との各々が、第1電子部品に対応し、キャパシタ73を含む電子部品及びキャパシタ74を含む電子部品の各々が第2電子部品に対応し、インダクタ46を含む電子部品及び送信フィルタ63Tを含む電子部品の各々が第3電子部品に対応している。

[0063] [2.1.1 高周波モジュール1Aの部品配置]

図2は、本実施例に係る高周波モジュール1Aの平面図である。図3は、本実施例に係る高周波モジュール1Aの平面図であり、z軸正側からモジュール基板90の主面90b側を透視した図である。図4及び図5は、本実施例に係る高周波モジュール1Aの断面図である。図4における高周波モジュール1Aの断面は、図2及び図3のi-v-i線における断面であり、図5における高周波モジュール1Aの断面は、図2及び図3のv-v線における断面である。

[0064] なお、図2及び図3において、各部品の配置関係が容易に理解されるように、各部品にはそれを表す文字が付されている場合があるが、実際の各部品には、当該文字は付されていない。また、図2～図5において、モジュール基板90に配置された複数の部品を接続する配線の図示が一部省略されている。また、図2及び図3において、複数の部品を覆う樹脂部材91及び92並びに樹脂部材91及び92の表面を覆うシールド電極層93の図示が省略

されている。

- [0065] 高周波モジュール1Aは、図1に示された高周波回路1に含まれる能動素子及び受動素子を含む複数の電子部品に加えて、モジュール基板90と、樹脂部材91及び92と、シールド電極層93と、複数のポスト電極150と、を備える。
- [0066] モジュール基板90は、互いに対向する主面90a及び90bを有する。主面90a及び90bは、それぞれ第1主面及び第2主面の一例である。モジュール基板90内には、グランド電極層GPが形成されている。なお、図2及び図3において、モジュール基板90は、平面視において矩形状を有するが、この形状に限定されない。
- [0067] モジュール基板90としては、例えば、複数の誘電体層の積層構造を有する低温同時焼成セラミックス(LTCC:Low Temperature Co-fired Ceramics)基板もしくは高温同時焼成セラミックス(HTCC:High Temperature Co-fired Ceramics)基板、部品内蔵基板、再配線層(RDL:Redistribution Layer)を有する基板、又は、プリント基板等を用いることができるが、これらに限定されない。
- [0068] 主面90a上には、電力増幅器11及び12と、整合回路40~45と、インダクタ46~48と、送信フィルタ61T~63Tと、受信フィルタ61R~63Rと、キャパシタ71及び72と、樹脂部材91と、が配置されている。
- [0069] 電力増幅器11及び12をそれぞれ含む2つの電子部品は、例えばCMOS(Complementary Metal Oxide Semiconductor)を用いて構成され、具体的にはSOI(Silicon on Insulator)プロセスにより製造されてもよい。これにより、電力増幅器11及び12を安価に製造することが可能となる。なお、電力増幅器11及び12をそれぞれ含む2つの電子部品は、ガリウムヒ素(GaAs)、シリコンゲルマニウム(SiGe)及び窒化ガリウム(GaN)のうちの少なくとも1つで構成されてもよい。これにより、高品質な電力増幅器11及び12を実現することができる。



- [0070] 整合回路40～43の各々は、チップインダクタ及び／又はチップキャパシタで構成されている。チップインダクタとは、インダクタを構成する表面実装デバイス（SMD：Surface Mount Device）であり、チップキャパシタとは、キャパシタを構成するSMDである。
- [0071] 整合回路44及び45の各々は、トランスフォーマで構成されている。トランスフォーマを構成するコイルの一部又は全部は、モジュール基板90内に配置されてもよい。
- [0072] インダクタ46～48の各々は、チップインダクタで構成され、平面視において、低雑音増幅器21～23を含む集積回路20と重なっている。なお、インダクタ46～48は、チップインダクタに限定されない。例えば、インダクタ46～48は、集積型受動デバイス（IPD：Integrated Passive Device）で構成されてもよい。
- [0073] キャパシタ71及び72の各々は、チップキャパシタで構成されている。キャパシタ71及び72は、電力増幅器11及び12にそれぞれ隣接して配置されている。これにより、バイパスキャパシタとして機能するキャパシタ71及び72と電力増幅器11及び12との間の配線を短くすることができ、配線のインピーダンスによるバイパスキャパシタの特性劣化を抑制することができる。
- [0074] なお、キャパシタ71及び72は、チップキャパシタに限定されない。例えば、キャパシタ71は、電力増幅器11と同じ電子部品に含まれてもよく、キャパシタ72は、電力増幅器12と同じ電子部品に含まれてもよい。また例えば、キャパシタ71及び／又は72は、IPDで構成されてもよい。
- [0075] 送信フィルタ61T～63Tと、受信フィルタ61R～63Rとの各々は、例えば、弾性表面波（SAW：Surface Acoustic Wave）フィルタ、バルク弾性波（BAW：Bulk Acoustic Wave）フィルタ、LC共振フィルタ、及び誘電体フィルタのいずれを用いて構成されてもよく、さらには、これらには限定されない。
- [0076] 樹脂部材91は、主面90a及び主面90a上の複数の電子部品の少なく

とも一部を覆っている。樹脂部材 9 1 は、主面 9 0 a 上の複数の電子部品の機械強度及び耐湿性等の信頼性を確保する機能を有する。なお、樹脂部材 9 1 は、高周波モジュール 1 A に含まれなくてもよい。

[0077] 主面 9 0 b 上には、低雑音増幅器 2 1 ~ 2 3 を含む集積回路 2 0 と、スイッチ 5 2 及び 5 3 並びに制御回路 8 1 を含む集積回路 8 0 と、スイッチ 5 1 と、キャパシタ 7 3 及び 7 4 と、樹脂部材 9 2 と、複数のポスト電極 1 5 0 と、が配置されている。

[0078] 集積回路 2 0 及び 8 0 の各々は、第 1 電子部品の一例であり、スイッチ 5 1 を含む電子部品（以下、単にスイッチ 5 1 という）は、第 3 電子部品の一例である。集積回路 2 0 及び 8 0 並びにスイッチ 5 1 は、例えば CMOS を用いて構成され、具体的には SOI プロセスにより製造されてもよい。なお、集積回路 2 0 及び 8 0 並びにスイッチ 5 1 は、CMOS に限定されない。

[0079] キャパシタ 7 3 及び 7 4 をそれぞれ含む 2 つの電子部品（以下、単にキャパシタ 7 3 及び 7 4 という）の各々は、第 2 電子部品の一例であり、半導体部品である。本実施例では、キャパシタ 7 3 及び 7 4 は、いわゆるシリコンキャパシタであり、シリコン基板（シリコンウエハ）に半導体プロセスによって形成される。なお、キャパシタ 7 3 及び 7 4 は、シリコンキャパシタに限定されず、半導体部品でなくてもよい。また、キャパシタ 7 3 及び 7 4 は、シリコン基板を用いた IPD に含まれてもよい。さらに、セラミック材料と導体パターン電極とを備えた積層セラミックコンデンサを用いても構わない。

[0080] キャパシタ 7 3 は、モジュール基板 9 0 の平面視において、集積回路 2 0 と電源端子 1 3 3 として機能するポスト電極 1 5 0 との間に配置されている。キャパシタ 7 3 は、配線 7 3 1 を介して電源端子 1 3 3 に接続され、配線 7 3 2 を介して集積回路 2 0 に接続される。

[0081] また、キャパシタ 7 3 の少なくとも一部は、モジュール基板 9 0 の平面視においてインダクタ 4 6 の少なくとも一部と重なっている。さらに、キャパシタ 7 3 の少なくとも一部は、モジュール基板 9 0 の平面視においてグラン

ド電極層GPの少なくとも一部と重なっている。

[0082] キャパシタ73は、電源端子133に隣接して配置されている。具体的には、(a)他のポスト電極150のいずれよりも電源端子133の方がキャパシタ73の近くに配置され、かつ、(b)主面90b上に配置された他の電子部品(ここでは、集積回路20及び80並びにキャパシタ74)のいずれよりもキャパシタ73の方が電源端子133の近くに配置されている。言い換えると、キャパシタ73及び電源端子133間の距離は、(a)キャパシタ73と他のポスト電極150の各々との間の距離以下であり、かつ、(b)電源端子133と他の電子部品の各々との間の距離以下である。このとき、キャパシタ73及び電源端子133間の距離は、モジュール基板90の厚み(つまり、主面90a及び90b間の距離)以下であればより効果的である。

[0083] ここで、2つの部品間の距離とは、一方の部品内の任意の点と他方の部品内の任意の点とを結ぶ線分のうち最も短い線分の長さを意味する。つまり、2つの部品間の距離は、いわゆる最短距離を意味する。

[0084] キャパシタ74は、モジュール基板90の平面視において、集積回路80と電源端子134として機能するポスト電極150との間に配置されている。キャパシタ74は、配線741を介して電源端子134に接続され、配線742を介して集積回路80に接続される。

[0085] また、キャパシタ74の少なくとも一部は、モジュール基板90の平面視において送信フィルタ63Tの少なくとも一部と重なっている。さらに、キャパシタ74の少なくとも一部は、モジュール基板90の平面視においてグランド電極層GPの少なくとも一部と重なっている。

[0086] キャパシタ74は、電源端子134に隣接して配置されている。具体的には、(c)他のポスト電極150のいずれよりも電源端子134の方がキャパシタ74の近くに配置され、かつ、(d)主面90b上に配置された他の電子部品(ここでは、集積回路20及び80並びにキャパシタ73)のいずれよりもキャパシタ74の方が電源端子134の近くに配置されている。言

い換えると、キャパシタ 7 4 及び電源端子 1 3 4 間の距離は、(c) キャパシタ 7 4 と他のポスト電極 1 5 0 の各々との間の距離以下であり、かつ、(d) 電源端子 1 3 4 と他の電子部品の各々との間の距離以下である。このとき、キャパシタ 7 4 及び電源端子 1 3 4 間の距離は、モジュール基板 9 0 の厚み以下であればより効果的である。

[0087] 複数のポスト電極 1 5 0 は、複数の外部接続端子の一例であり、図 1 に示したアンテナ接続端子 1 0 0、高周波入力端子 1 1 1 及び 1 1 2、高周波出力端子 1 2 1 ~ 1 2 3、電源端子 1 3 1 ~ 1 3 4、並びに、制御端子 1 4 1 に加えて、グランド端子を含む。複数のポスト電極 1 5 0 としては、銅電極を用いることができるが、これに限定されない。例えば、複数のポスト電極として、はんだ電極が用いられてもよい。

[0088] 樹脂部材 9 2 は、主面 9 0 b 及び主面 9 0 b 上の複数の電子部品の少なくとも一部を覆っている。樹脂部材 9 2 は、主面 9 0 b 上の複数の電子部品の機械強度及び耐湿性等の信頼性を確保する機能を有する。なお、樹脂部材 9 2 は、高周波モジュール 1 A に含まれなくてもよい。

[0089] シールド電極層 9 3 は、例えばスパッタ法により形成された金属薄膜であり、樹脂部材 9 1 の上面と、樹脂部材 9 1 及び 9 2 並びにモジュール基板 9 0 の側面と、を覆うように形成されている。シールド電極層 9 3 は、グランドに接続され、外来ノイズが高周波モジュール 1 A を構成する電子部品に侵入することを抑制する。なお、シールド電極層 9 3 は、高周波モジュール 1 A に含まれなくてもよい。

[0090] なお、本実施例における複数の電子部品の配置は、例示であり、本実施例に限定されない。例えば、本実施例では、キャパシタ 7 3 及び電源端子 1 3 3 の配置において、上記 (a) 及び (b) の両方が満たされていたが、これに限定されない。例えば、上記 (a) 及び (b) の一方のみが満たされてもよい。同様に、キャパシタ 7 4 及び電源端子 1 3 4 の配置において、上記 (c) 及び (d) の両方が満たされていたが、これに限定されない。例えば、上記 (c) 及び (d) の一方のみが満たされてもよい。

[0091] [2. 1. 2 高周波モジュール1Aの効果]

以上のように、本実施例に係る高周波モジュール1Aは、互いに対向する主面90a及び90bを有するモジュール基板90と、主面90a上及び主面90b上に配置された複数の電子部品と、主面90b上に配置され、電源端子133又は134を含む複数のポスト電極150と、を備え、複数の電子部品は、主面90b上に配置され、電源端子133又は134に接続される能動回路（例えば低雑音増幅器21～23又は制御回路81）を含む第1電子部品（例えば集積回路20又は80）と、主面90b上に配置され、電源端子133又は134と能動回路とを接続する経路とグラウンドとの間に接続されるキャパシタ73又は74を含む第2電子部品と、を含む。ここで、他のポスト電極のいずれよりも電源端子133又は134の方が第2電子部品の近くに配置されている、及び／又は、主面90b上に配置された他の電子部品のいずれよりも第2電子部品の方が電源端子133又は134の近くに配置されている。

[0092] これによれば、電源端子及び能動回路を接続する経路とグラウンドとの間に接続されるキャパシタ73又は74を含む第2電子部品が、電源端子133又は134と同じ主面90b上に近接して配置される。したがって、バイパスキャパシタ（キャパシタ73又は74）と電源端子133又は134とを接続する配線731又は741を短くすることができ、配線731又は741へのノイズの侵入を抑制することができる。その結果、ノイズ低減効果の向上を図ることができる。

[0093] また例えば、本実施例に係る高周波モジュール1Aにおいて、第2電子部品は、モジュール基板90の平面視において第1電子部品と電源端子133又は134の間に配置されている。

[0094] これによれば、電源端子133又は134とバイパスキャパシタ（キャパシタ73又は74）とを接続する配線731又は734と、集積回路20又は80とバイパスキャパシタとを接続する配線732又は742と、を短くすることができる。したがって、配線731又は741へのノイズの侵入を

抑制することができる。さらに、配線 7 3 2 又は 7 4 2 のインピーダンスを小さくすることができ、配線 7 3 2 又は 7 4 2 のインピーダンスによるバイパスキャパシタの特性劣化を抑制することができる。

[0095] また例えば、本実施例に係る高周波モジュール 1 A において、第 1 電子部品に含まれる能動回路は、低雑音増幅器 2 1 ~ 2 3 であってもよい。

[0096] これによれば、低雑音増幅器 2 1 ~ 2 3 におけるノイズ低減効果の向上を図ることができる。

[0097] また例えば、本実施例に係る高周波モジュール 1 A において、複数の電子部品は、さらに、主面 9 0 a に配置され、低雑音増幅器 2 1 の入力端に接続されるインダクタ 4 6 を含む第 3 電子部品を含み、第 2 電子部品の少なくとも一部は、モジュール基板 9 0 の平面視において第 3 電子部品の少なくとも一部と重なってもよい。

[0098] これによれば、低雑音増幅器 2 1 に接続されるインダクタ 4 6 を含む第 2 電子部品が低雑音増幅器 2 1 を含む第 1 電子部品の近傍に配置されるので、インダクタ 4 6 及び低雑音増幅器 2 1 を接続する配線を短くすることができ、配線の浮遊容量による不整合損を抑制することができる。

[0099] また例えば、本実施例に係る高周波モジュール 1 A において、第 1 電子部品に含まれる能動回路は、電力増幅器 1 1 及び 1 2 を制御する制御回路 8 1 であってもよい。

[0100] これによれば、制御回路 8 1 におけるノイズ低減効果の向上を図ることができる。

[0101] また例えば、本実施例に係る高周波モジュール 1 A において、複数の電子部品は、さらに、主面 9 0 a に配置され、電力増幅器 1 2 の出力端に接続される送信フィルタ 6 3 T を含む第 3 電子部品を含み、第 2 電子部品の少なくとも一部は、モジュール基板 9 0 の平面視において第 3 電子部品の少なくとも一部と重なってもよい。

[0102] これによれば、主面 9 0 a に配置される送信フィルタ 6 3 T の配置自由度を向上させることができ、受信部品との距離を確保して送受信のアイソレー

ションを向上させることも容易となる。

- [0103] また例えば、本実施例に係る高周波モジュール1 Aは、さらに、モジュール基板9 0内にグランド電極層G Pを備え、第2 電子部品の少なくとも一部は、モジュール基板9 0の平面視においてグランド電極層G Pの少なくとも一部と重なってもよい。
- [0104] これによれば、主面9 0 a上に配置された高周波部品とバイパスキャパシタ（キャパシタ7 3又は7 4）との間のアイソレーションを向上させることができる。
- [0105] また例えば、本実施例に係る高周波モジュール1 Aにおいて、第2 電子部品は、半導体部品であってもよい。
- [0106] これによれば、主面9 0 b上に配置される第2 電子部品の高さを低くすることができ、高周波モジュール1 Aの低背化を図ることができる。特に、第2 電子部品をシリコンキャパシタで構成すれば、第2 電子部品の削り出しが可能となり、高周波モジュール1 Aのさらなる低背化を図ることができる。
- [0107] また、本実施例に係る高周波モジュール1 Aは、互いに対向する主面9 0 a及び9 0 bを有するモジュール基板9 0と、主面9 0 a上及び主面9 0 b上に配置された複数の電子部品と、主面9 0 b上に配置され、電源端子1 3 3又は1 3 4を含む複数のポスト電極1 5 0と、を備え、複数の電子部品は、主面9 0 b上に配置され、電源端子1 3 3又は1 3 4に接続される能動回路（例えば低雑音増幅器2 1～2 3又は制御回路8 1）を含む第1 電子部品（例えば集積回路2 0又は8 0）と、主面9 0 b上に配置され、電源端子1 3 3又は1 3 4と能動回路とを接続する経路とグランドとの間に接続されるキャパシタ7 3又は7 4を含む第2 電子部品と、を含み、第2 電子部品は、モジュール基板9 0の平面視において電源端子1 3 3又は1 3 4と第1 電子部品との間に配置されている。
- [0108] これによれば、電源端子及び能動回路を接続する経路とグランドとの間に接続されるキャパシタ7 3又は7 4を含む第2 電子部品が、電源端子1 3 3又は1 3 4と同じ主面9 0 b上に配置され、さらに、第2 電子部品が、第1

電子部品及び電源端子 1 3 3 又は 1 3 4 の間に配置される。したがって、電源端子 1 3 3 又は 1 3 4 とバイパスキャパシタ（キャパシタ 7 3 又は 7 4）とを接続する配線 7 3 1 又は 7 3 4 と、集積回路 2 0 又は 8 0 とバイパスキャパシタとを接続する配線 7 3 2 又は 7 4 2 と、を短くすることができる。その結果、配線 7 3 1 又は 7 4 1 へのノイズの侵入を抑制することができる。さらに、配線 7 3 2 又は 7 4 2 のインピーダンスを小さくすることができる、配線 7 3 2 又は 7 4 2 のインピーダンスによるバイパスキャパシタの特性劣化を抑制することができる。

[0109] [2. 2 実施例 2]

次に、上記実施の形態に係る高周波回路 1 の実施例 2 として、高周波回路 1 が実装された高周波モジュール 1 B について説明する。本実施例では、第 1 電子部品及び第 2 電子部品の組み合わせ並びにそれらの配置が、上記実施例 1 と主として異なる。以下に、本実施例に係る高周波モジュール 1 B について、上記実施例 1 と異なる点を中心に図 6 及び図 7 を参照しながら説明する。

[0110] [2. 2. 1 高周波モジュール 1 B の部品配置]

図 6 は、本実施例に係る高周波モジュール 1 B の平面図である。図 7 は、本実施例に係る高周波モジュール 1 B の平面図であり、z 軸正側からモジュール基板 9 0 の主面 9 0 b 側を透視した図である。図 2 及び図 3 と同様に、図 6 及び図 7 において、樹脂部材 9 1 及び 9 2 並びにシールド電極層 9 3 の図示が省略されている。

[0111] 主面 9 0 a 上には、図 6 に示すように、電力増幅器 1 1 及び 1 2 並びにキャパシタ 7 1 及び 7 2 の代わりに、低雑音増幅器 2 1 ~ 2 3 を含む集積回路 2 0 と、キャパシタ 7 3 と、が配置されている。

[0112] 主面 9 0 b 上には、図 7 に示すように、電力増幅器 1 1 及び 1 2 と、スイッチ 5 1 ~ 5 3 及び制御回路 8 1 を含む集積回路 8 0 と、キャパシタ 7 1、7 2 及び 7 4 と、樹脂部材 9 2（省略）と、複数のポスト電極 1 5 0 と、が配置されている。



- [0113] 本実施例では、電力増幅器 1 1 及び 1 2 並びに集積回路 8 0 の各々は、第 1 電子部品の一例である。キャパシタ 7 1、7 2 及び 7 4 の各々は、第 2 電子部品の一例である。
- [0114] キャパシタ 7 1 及び 7 2 をそれぞれ含む 2 つの電子部品（以下、単にキャパシタ 7 1 及び 7 2 という）の各々は、半導体部品である。本実施例では、キャパシタ 7 1 及び 7 2 は、いわゆるシリコンキャパシタであり、シリコン基板（シリコンウエハ）に半導体プロセスによって形成される。なお、キャパシタ 7 1 及び 7 2 は、シリコンキャパシタに限定されず、半導体部品でなくてもよい。また、キャパシタ 7 1 及び 7 2 は、シリコン基板を用いた I P D に含まれてもよい。
- [0115] キャパシタ 7 1 は、配線 7 1 1 を介して、電源端子 1 3 1 として機能するポスト電極 1 5 0 に接続され、配線 7 1 2 を介して電力増幅器 1 1 に接続される。キャパシタ 7 1 の少なくとも一部は、モジュール基板 9 0 の平面視においてグラウンド電極層 G P の少なくとも一部と重なっている。
- [0116] キャパシタ 7 1 は、電源端子 1 3 1 に隣接して配置されている。具体的には、（e）他のポスト電極 1 5 0 のいずれよりも電源端子 1 3 1 の方がキャパシタ 7 1 の近くに配置され、かつ、（f）主面 9 0 b 上に配置された他の電子部品（ここでは、電力増幅器 1 1 及び 1 2、集積回路 8 0 並びにキャパシタ 7 2 及び 7 4）のいずれよりもキャパシタ 7 1 の方が電源端子 1 3 1 の近くに配置されている。言い換えると、キャパシタ 7 1 及び電源端子 1 3 1 間の距離は、（e）キャパシタ 7 1 と他のポスト電極 1 5 0 の各々との間の距離以下であり、かつ、（f）電源端子 1 3 1 と他の電子部品の各々との間の距離以下である。このとき、キャパシタ 7 1 及び電源端子 1 3 1 間の距離は、モジュール基板 9 0 の厚み以下であればより効果的である。
- [0117] キャパシタ 7 2 は、配線 7 2 1 を介して、電源端子 1 3 2 として機能するポスト電極 1 5 0 に接続され、配線 7 2 2 を介して電力増幅器 1 2 に接続される。キャパシタ 7 2 の少なくとも一部は、モジュール基板 9 0 の平面視においてグラウンド電極層 G P の少なくとも一部と重なっている。

[0118] キャパシタ72は、電源端子132に隣接して配置されている。具体的には、(g) 主面90b上に配置された他のポスト電極150のいずれよりも電源端子132の方がキャパシタ72の近くに配置され、かつ、(h) 主面90b上に配置された他の電子部品（ここでは、電力増幅器11及び12、集積回路80並びにキャパシタ71及び74）のいずれよりもキャパシタ72の方が電源端子132の近くに配置されている。言い換えると、キャパシタ72及び電源端子132間の距離は、(g) キャパシタ72と他のポスト電極150の各々との間の距離以下であり、かつ、(h) 電源端子132と他の電子部品の各々との間の距離以下である。このとき、キャパシタ72及び電源端子132間の距離は、モジュール基板90の厚み以下であればより効果的である。

[0119] キャパシタ74は、配線741を介して、電源端子134として機能するポスト電極150に接続され、配線742を介して集積回路80に接続される。キャパシタ74の少なくとも一部は、モジュール基板90の平面視においてグランド電極層GPの少なくとも一部と重なっている。

[0120] キャパシタ74は、電源端子134に隣接して配置されている。具体的には、(i) 他のポスト電極150のいずれよりも電源端子134の方がキャパシタ74の近くに配置され、かつ、(j) 主面90b上に配置された他の電子部品（ここでは、集積回路20及び80並びにキャパシタ73）のいずれよりもキャパシタ74の方が電源端子134の近くに配置されている。言い換えると、キャパシタ74及び電源端子134間の距離は、(i) キャパシタ74と他のポスト電極150の各々との間の距離以下であり、かつ、(j) 電源端子134と他の電子部品の各々との間の距離以下である。このとき、キャパシタ74及び電源端子134間の距離は、モジュール基板90の厚み以下であればより効果的である。

[0121] なお、本実施例における複数の電子部品の配置は、例示であり、本実施例に限定されない。例えば、本実施例では、キャパシタ71及び電源端子131の配置において、上記(e)及び(f)の両方が満たされていたが、これ

に限定されない。例えば、上記（e）及び（f）の一方のみが満たされてもよい。同様に、キャパシタ72及び電源端子132の配置において、上記（g）及び（h）の両方が満たされていたが、これに限定されない。例えば、上記（g）及び（h）の一方のみが満たされてもよい。同様に、キャパシタ74及び電源端子134の配置において、上記（i）及び（j）の両方が満たされていたが、これに限定されない。例えば、上記（i）及び（j）の一方のみが満たされてもよい。

[0122] [2. 2. 2 高周波モジュール1Bの効果]

以上のように、本実施例に係る高周波モジュール1Bは、互いに対向する主面90a及び90bを有するモジュール基板90と、主面90a上及び主面90b上に配置された複数の電子部品と、主面90b上に配置され、電源端子131、132又は134を含む複数のポスト電極150と、を備え、複数の電子部品は、主面90b上に配置され、電源端子131、132又は134に接続される能動回路（例えば電力増幅器11若しくは12又は制御回路81）を含む第1電子部品と、主面90b上に配置され、電源端子131、132又は134と能動回路とを接続する経路とグラウンドとの間に接続されるキャパシタ71、72又は74を含む第2電子部品と、を含む。ここで、他のポスト電極のいずれよりも電源端子131、132又は134の方が第2電子部品の近くに配置されている、及び／又は、主面90b上に配置された他の電子部品のいずれよりも第2電子部品の方が電源端子131、132又は134の近くに配置されている。

[0123] これによれば、電源端子及び能動回路を接続する経路とグラウンドとの間に接続されるキャパシタ71、72又は74を含む第2電子部品が、電源端子131、132又は134と同じ主面90b上に近接して配置される。したがって、バイパスキャパシタ（キャパシタ73又は74）と電源端子133又は134とを接続する配線731又は741を短くすることができ、配線731又は741へのノイズの侵入を抑制することができる。その結果、ノイズ低減効果の向上を図ることができる。

[0124] また例えば、本実施例に係る高周波モジュール1 Bにおいて、第1 電子部品に含まれる能動回路は、電力増幅器1 1 及び1 2 を制御する制御回路8 1 であってもよい。

[0125] これによれば、制御回路8 1 におけるノイズ低減効果の向上を図ることができる。

[0126] また例えば、本実施例に係る高周波モジュール1 Bにおいて、第1 電子部品に含まれる能動回路は、電力増幅器1 1 又は1 2 であってもよい。

[0127] これによれば、電力増幅器1 1 又は1 2 におけるノイズ低減効果の向上を図ることができる。

[0128] また例えば、本実施例に係る高周波モジュール1 Bは、さらに、モジュール基板9 0 内にグランド電極層G P を備え、第2 電子部品の少なくとも一部は、モジュール基板9 0 の平面視においてグランド電極層G P の少なくとも一部と重なってもよい。

[0129] これによれば、主面9 0 a 上に配置された高周波部品とバイパスキャパシタ（キャパシタ7 3 又は7 4 ）との間のアイソレーションを向上させることができる。

[0130] また例えば、本実施例に係る高周波モジュール1 Bにおいて、第2 電子部品は、半導体部品であってもよい。

[0131] これによれば、主面9 0 b 上に配置される第2 電子部品の高さを低くすることができ、高周波モジュール1 B の低背化を図ることができる。特に、第2 電子部品をシリコンキャパシタで構成すれば、第2 電子部品の削り出しが可能となり、高周波モジュール1 B のさらなる低背化を図ることができる。

[0132] （変形例）

以上、本発明に係る高周波モジュール及び通信装置について、実施の形態及び実施例に基づいて説明したが、本発明に係る高周波モジュール及び通信装置は、上記実施の形態及び実施例に限定されるものではない。上記実施例における任意の構成要素を組み合わせる別の実施例や、上記実施の形態及び上記実施例に対して本発明の主旨を逸脱しない範囲で当業者が思

いくつか各種変形を施して得られる変形例や、上記高周波モジュールを内蔵した各種機器も本発明に含まれる。

[0133] 例えば、上記実施の形態に係る高周波回路及び通信装置の回路構成において、図面に開示された各回路素子及び信号経路を接続する経路の間に、別の回路素子及び配線などが挿入されてもよい。例えば、スイッチ52と送信フィルタ61Tとの間、及び／又は、スイッチ53と送信フィルタ62T及び／又は63Tとの間に、整合回路が挿入されてもよい。

[0134] なお、上記実施の形態において、バンドA～Cは、FDD用バンドであったが、時分割複信（TDD：Time Division Duplex）用バンドであってもよい。この場合、送信フィルタ及び受信フィルタは1つのフィルタであってもよい。

[0135] なお、上記実施の形態において、高周波回路1は、3つの低雑音増幅器21～23を備えていたが、低雑音増幅器の数は3に限定されない。例えば、低雑音増幅器の数が1の場合は、高周波回路1は、当該低雑音増幅器と受信フィルタ61R～63Rとの間に接続されるスイッチを備えてもよい。このとき、スイッチは、集積回路20に含まれてもよい。

### 産業上の利用可能性

[0136] 本発明は、フロントエンド部に配置される高周波モジュールとして、携帯電話などの通信機器に広く利用できる。

### 符号の説明

- [0137]
- 1 高周波回路
    - 1A、1B 高周波モジュール
  - 2 アンテナ
  - 3 R F I C
  - 4 B B I C
  - 5 電源回路
  - 6 通信装置
    - 11、12 電力増幅器

- 20、80 集積回路
- 21、22、23 低雑音増幅器
- 40、41、42、43、44、45 整合回路
- 46、47、48 インダクタ
- 51、52、53 スイッチ
- 61、62、63 デュプレクサ
- 61R、62R、63R 受信フィルタ
- 61T、62T、63T 送信フィルタ
- 71、72、73、74 キャパシタ
- 81 制御回路
- 90 モジュール基板
- 90a、90b 主面
- 91、92 樹脂部材
- 93 シールド電極層
- 100 アンテナ接続端子
- 111、112 高周波入力端子
- 121、122、123 高周波出力端子
- 131、132、133、134 電源端子
- 141 制御端子
- 150 ポスト電極
- 511、512、513、514、521、522、531、532、533 端子
- 711、712、721、722、731、732、741、742 配線
- GP グランド電極層

## 請求の範囲

- [請求項1] 互いに対向する第1主面及び第2主面を有するモジュール基板と、  
前記第1主面上及び前記第2主面上に配置された複数の電子部品と、  
、  
前記第2主面上に配置され、電源端子を含む複数の外部接続端子と、  
、を備え、  
前記複数の電子部品は、  
前記第2主面上に配置され、前記電源端子に接続される能動回路を含む第1電子部品と、  
前記第2主面上に配置され、前記電源端子と前記能動回路とを接続する経路とグラウンドとの間に接続されるキャパシタを含む第2電子部品と、を含み、  
他の外部接続端子のいずれよりも前記電源端子の方が前記第2電子部品の近くに配置されている、  
高周波モジュール。
- [請求項2] 前記第2主面上に配置された他の電子部品のいずれよりも前記第2電子部品の方が前記電源端子の近くに配置されている、  
請求項1に記載の高周波モジュール。
- [請求項3] 前記第2電子部品は、前記モジュール基板の平面視において前記第1電子部品と前記電源端子との間に配置されている、  
請求項1又は2に記載の高周波モジュール。
- [請求項4] 前記能動回路は、低雑音増幅器である、  
請求項1～3のいずれか1項に記載の高周波モジュール。
- [請求項5] 前記複数の電子部品は、さらに、  
前記第1主面上に配置され、前記低雑音増幅器の入力端に接続されるインダクタを含む第3電子部品を含み、  
前記第2電子部品の少なくとも一部は、前記モジュール基板の平面視において前記第3電子部品の少なくとも一部と重なっている、

- 請求項4に記載の高周波モジュール。
- [請求項6] 前記能動回路は、電力増幅器を制御する制御回路である、  
請求項1～3のいずれか1項に記載の高周波モジュール。
- [請求項7] 前記複数の電子部品は、さらに、  
前記第1主面上に配置され、前記電力増幅器の出力端に接続される  
フィルタを含む第3電子部品を含み、  
前記第2電子部品の少なくとも一部は、前記モジュール基板の平面  
視において前記第3電子部品の少なくとも一部と重なっている、  
請求項6に記載の高周波モジュール。
- [請求項8] 前記能動回路は、電力増幅器である、  
請求項1～3のいずれか1項に記載の高周波モジュール。
- [請求項9] さらに、前記モジュール基板内にグランド電極層を備え、  
前記第2電子部品の少なくとも一部は、前記モジュール基板の平面  
視において前記グランド電極層の少なくとも一部と重なっている、  
請求項1～8のいずれか1項に記載の高周波モジュール。
- [請求項10] 前記第2電子部品は、半導体部品である、  
請求項1～9のいずれか1項に記載の高周波モジュール。
- [請求項11] 互いに対向する第1主面及び第2主面を有するモジュール基板と、  
前記第1主面上及び前記第2主面上に配置された複数の電子部品と  
、  
前記第2主面上に配置され、電源端子を含む複数の外部接続端子と  
、を備え、  
前記複数の電子部品は、  
前記第2主面上に配置され、前記電源端子に接続される能動回路を  
含む第1電子部品と、  
前記第2主面上に配置され、前記電源端子と前記能動回路とを接続  
する経路とグランドとの間に接続されるキャパシタを含む第2電子部  
品と、を含み、



前記第2主面上に配置された他の電子部品のいずれよりも前記第2電子部品の方が前記電源端子の近くに配置されている、  
高周波モジュール。

[請求項12] 前記第2電子部品は、前記モジュール基板の平面視において前記第1電子部品と前記電源端子との間に配置されている、  
請求項11に記載の高周波モジュール。

[請求項13] 前記能動回路は、低雑音増幅器である、  
請求項11又は12に記載の高周波モジュール。

[請求項14] 前記複数の電子部品は、さらに、  
前記第1主面上に配置され、前記低雑音増幅器の入力端に接続されるインダクタを含む第3電子部品を含み、  
前記第2電子部品の少なくとも一部は、前記モジュール基板の平面視において前記第3電子部品の少なくとも一部と重なっている、  
請求項13に記載の高周波モジュール。

[請求項15] 前記能動回路は、電力増幅器を制御する制御回路である、  
請求項11又は12に記載の高周波モジュール。

[請求項16] 前記複数の電子部品は、さらに、  
前記第1主面上に配置され、前記電力増幅器の出力端に接続されるフィルタを含む第3電子部品を含み、  
前記第2電子部品の少なくとも一部は、前記モジュール基板の平面視において前記第3電子部品の少なくとも一部と重なっている、  
請求項15に記載の高周波モジュール。

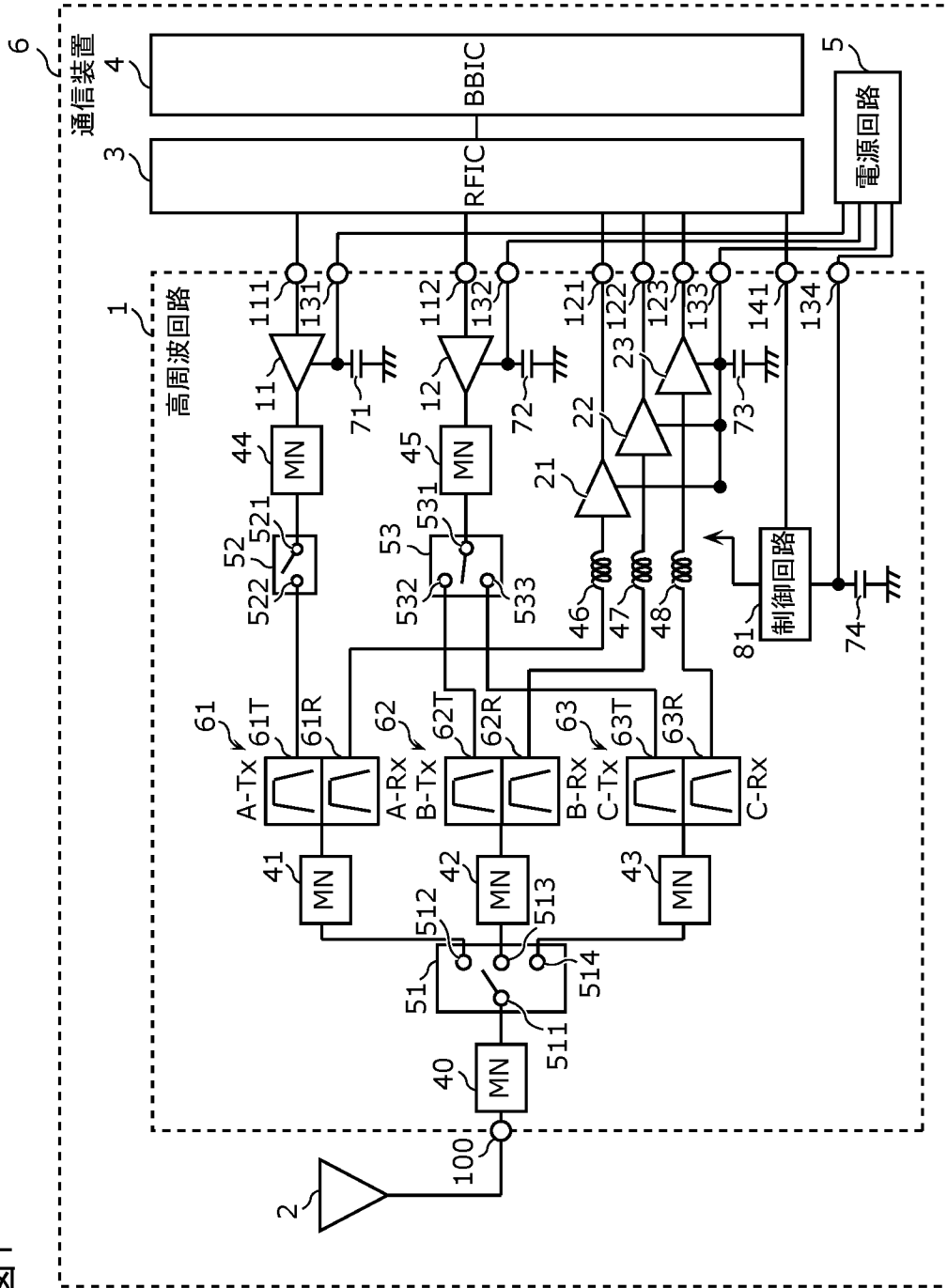
[請求項17] 前記能動回路は、電力増幅器である、  
請求項11又は12に記載の高周波モジュール。

[請求項18] さらに、前記モジュール基板内にグランド電極層を備え、  
前記第2電子部品の少なくとも一部は、前記モジュール基板の平面視において前記グランド電極層の少なくとも一部と重なっている、  
請求項11～17のいずれか1項に記載の高周波モジュール。

- [請求項19] 前記第2電子部品は、半導体部品である、  
請求項11～18のいずれか1項に記載の高周波モジュール。
- [請求項20] 互いに対向する第1主面及び第2主面を有するモジュール基板と、  
前記第1主面上及び前記第2主面上に配置された複数の電子部品と  
、  
前記第2主面上に配置され、電源端子を含む複数の外部接続端子と  
、を備え、  
前記複数の電子部品は、  
前記第2主面上に配置され、前記電源端子に接続される能動回路を  
含む第1電子部品と、  
前記第2主面上に配置され、前記電源端子と前記能動回路とを接続  
する経路とグラウンドとの間に接続されるキャパシタを含む第2電子部  
品と、を含み、  
前記第2電子部品は、前記モジュール基板の平面視において前記電  
源端子と前記第1電子部品との間に配置されている、  
高周波モジュール。

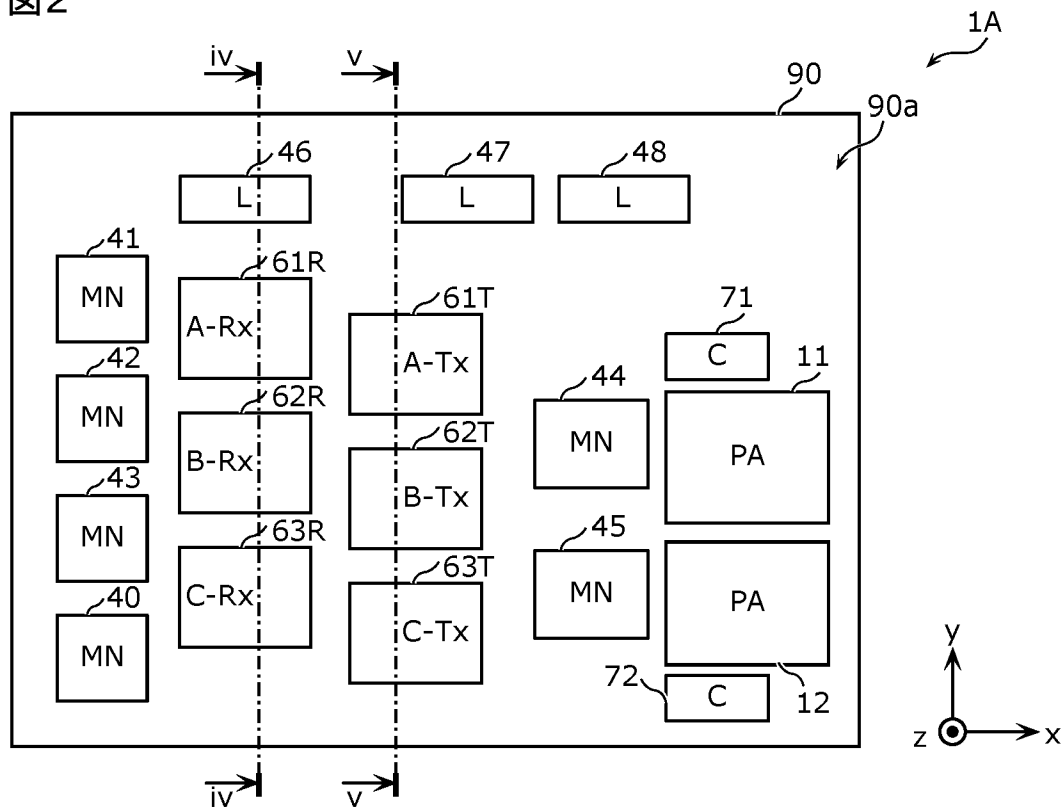
[図1]

図1



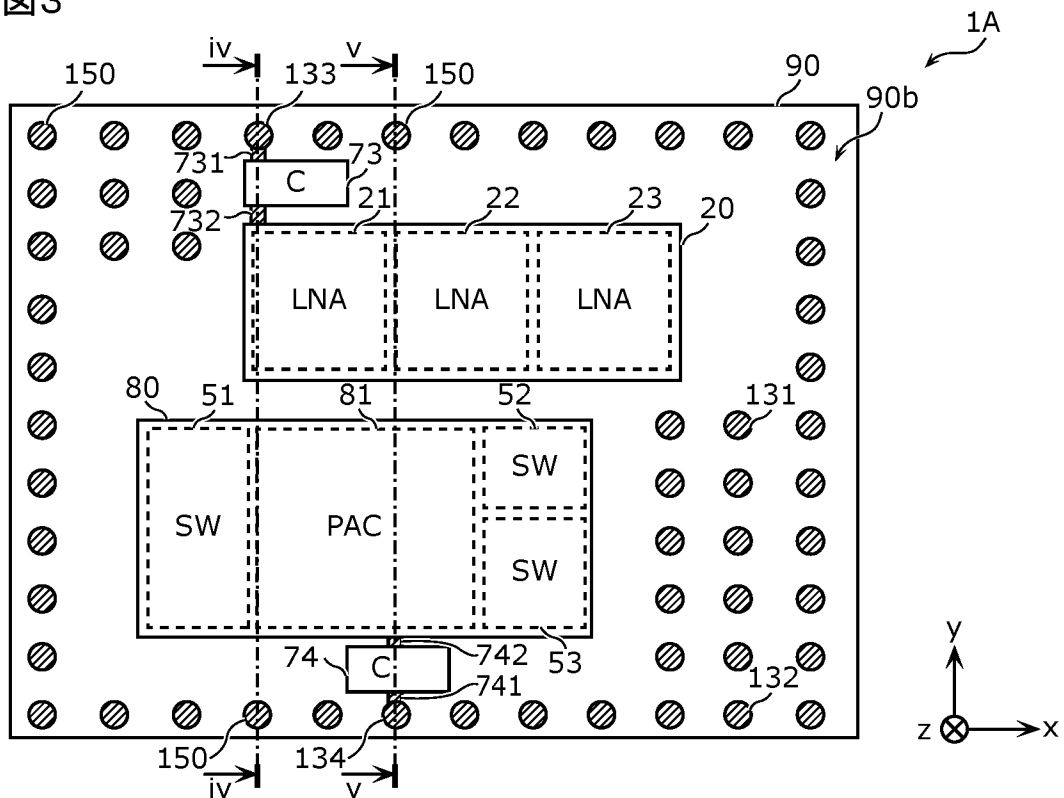
[図2]

図2



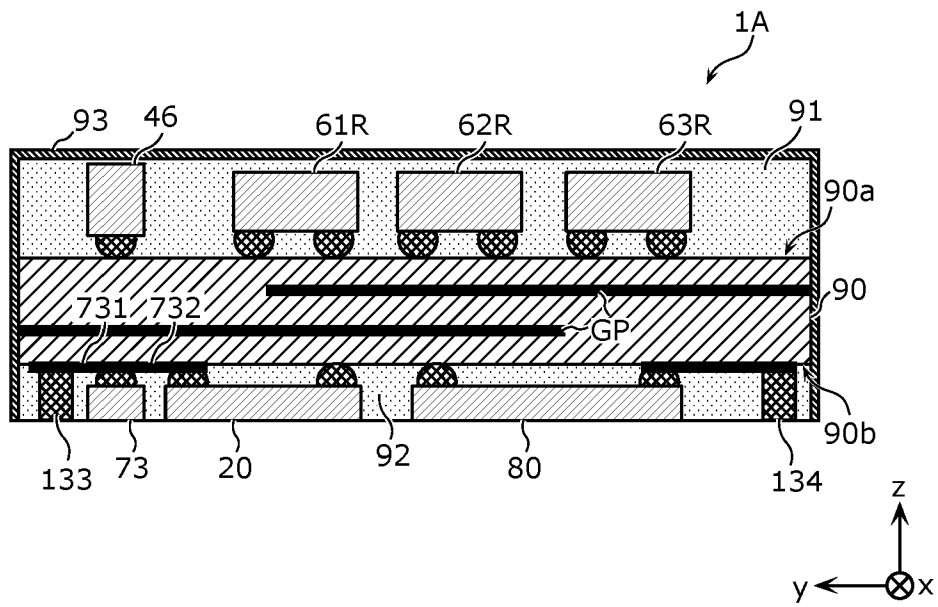
[図3]

図3



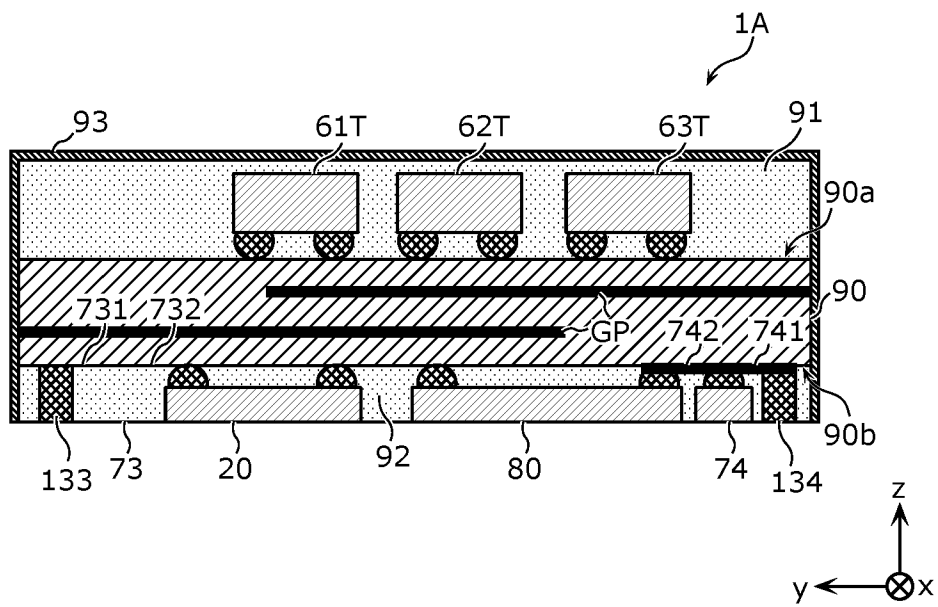
[図4]

図4



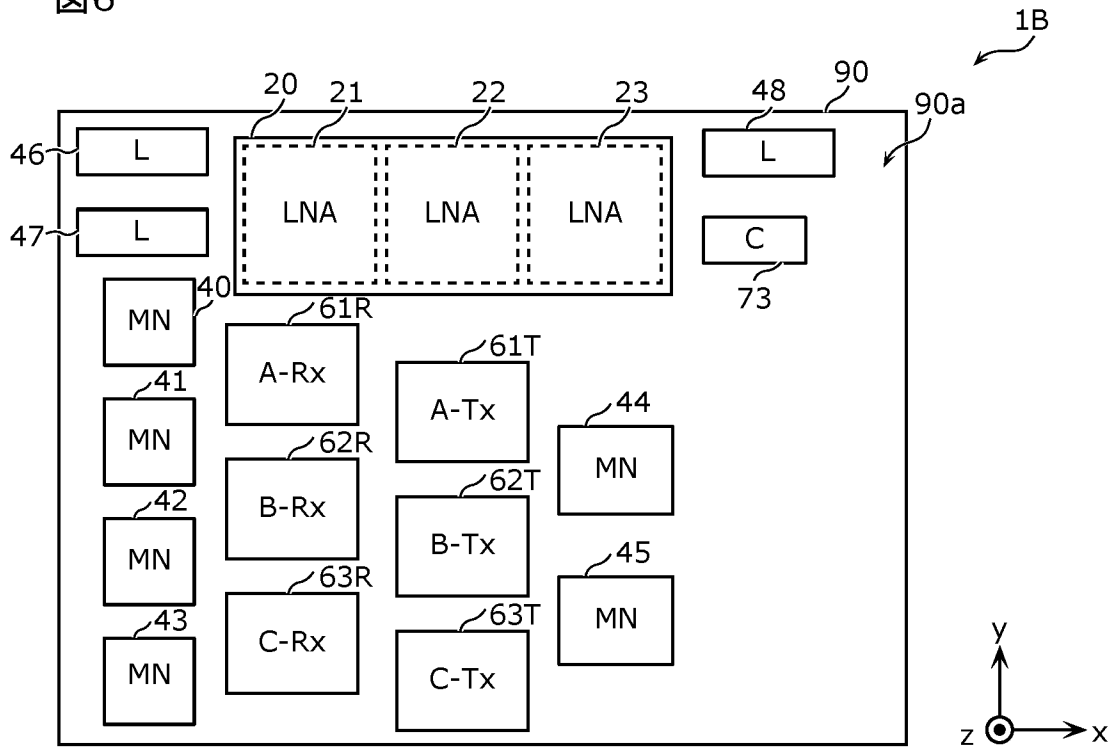
[図5]

図5



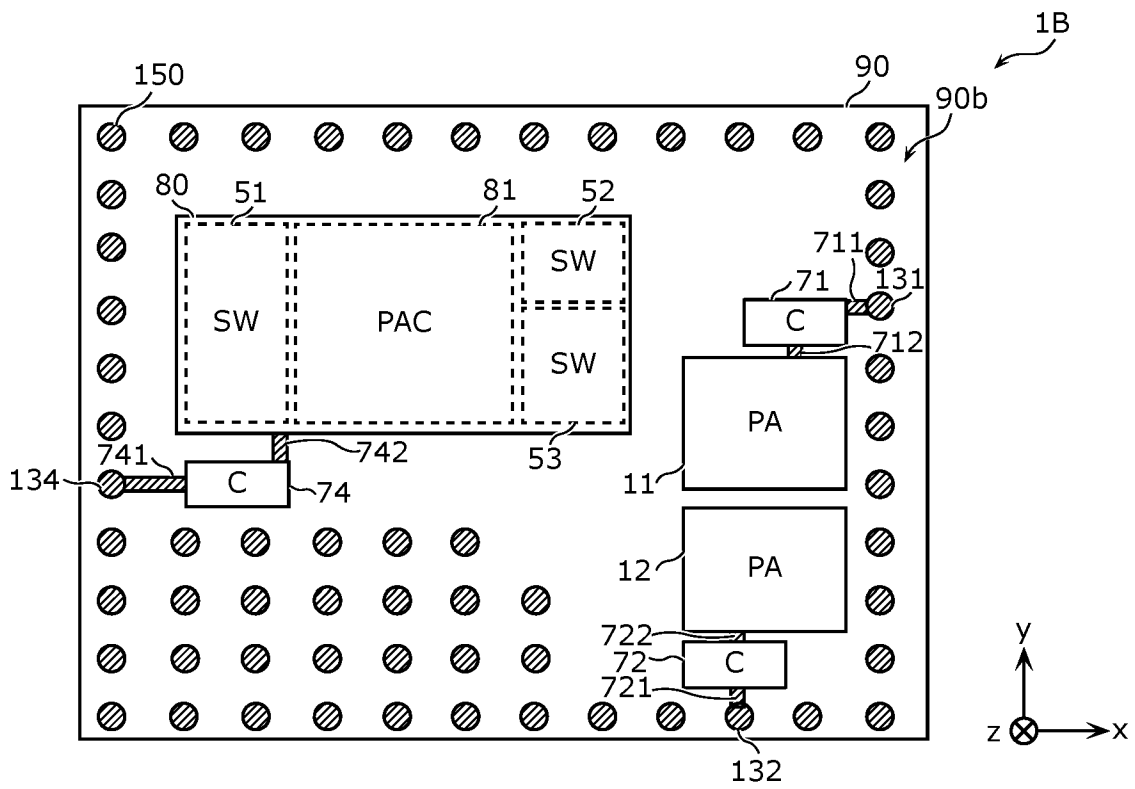
[図6]

図6



[図7]

図7



## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2022/030292**

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H04B 1/38</i> (2015.01)i; <i>H01L 25/00</i> (2006.01)i; <i>H01L 25/065</i> (2006.01)i; <i>H01L 25/07</i> (2006.01)i; <i>H01L 25/18</i> (2006.01)i; <i>H04B 1/00</i> (2006.01)i FI: H04B1/38; H04B1/00 260; H01L25/00 B; H01L25/08 D		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H04B1/38; H01L25/00; H01L25/065; H01L25/07; H01L25/18; H04B1/00		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2022 Registered utility model specifications of Japan 1996-2022 Published registered utility model applications of Japan 1994-2022		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2020-120159 A (SEIKO EPSON CORP.) 06 August 2020 (2020-08-06) paragraphs [0016], [0021]-[0023], [0029], [0037], [0064]-[0069], [0099], fig. 4, 6-16, 19	11-12, 18, 20 1-4, 6, 8-10, 13, 15, 17, 19 5, 7, 14, 16
Y	JP 2007-241802 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 20 September 2007 (2007-09-20) paragraph [0086]	1-4, 6, 8-10
Y A	JP 2019-176452 A (MURATA MFG. CO., LTD.) 10 October 2019 (2019-10-10) paragraphs [0018], [0049], fig. 3B	4, 6, 8, 13, 15, 17 5, 7, 14, 16
Y	JP 8-116024 A (HITACHI, LTD.) 07 May 1996 (1996-05-07) paragraph [0005]	10, 19
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>16 September 2022</b>		Date of mailing of the international search report <b>27 September 2022</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

**PCT/JP2022/030292**

<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-150283 A (FUJITSU LTD.) 09 June 2005 (2005-06-09) paragraphs [0007], [0029], [0034], fig. 4, 5	1-20
A	JP 2003-101432 A (MATSUSHITA ELECTRIC IND. CO., LTD.) 04 April 2003 (2003-04-04) paragraph [0026], fig. 4	5, 14
A	JP 2010-273215 A (TDK CORP.) 02 December 2010 (2010-12-02) paragraphs [0036], [0048], [0049], [0109], [0110], fig. 2, 3, 8, 11-13	7, 16



**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

(1)

This international application includes three groups of inventions below that do not meet the requirement of unity of invention.

Main invention: Claims 1-10

First additional invention: Claims 11-19

Second additional invention: Claim 20

(2)

The invention of claims 1-10 is characterized in that the power supply terminal is disposed closer to the second electronic component than any of the other external connection terminals.

The invention of claims 11-19 is characterized in that the second electronic component is disposed closer to the power supply terminal than any of the other electronic components disposed on the second main surface.

The invention of claim 20 is characterized in that in a plan view of the module substrate, the second electronic component is disposed between the power supply terminal and the first electronic component.

Meanwhile, each of

(i) the technical feature shared between the invention of claims 1-10 and the invention of claims 11-19;

(ii) the technical feature shared between the invention of claims 1-10 and the invention of claim 20; and

(iii) the technical feature shared between the invention of claims 11-19 and the invention of claim 20.

is disclosed in document 1 below and does not make a contribution over the prior art, and thus is not a special technical feature.

Document 1:

JP 2020-120159 A (SEIKO EPSON CORP.) 06 August 2020 (2020-08-06),

paragraphs [0016], [0021]-[0023], [0029], [0037], [0064]-[0069], [0099], fig. 4, 6-16, 19

& US 2020/0235701 A1

paragraphs [0040], [0046]-[0048], [0054], [0062], [0092]-[0099], [0129], fig. 4, 6-16, 19

& CN 11464133 A

(3)

Considering the above, the invention of claims 1-10, the invention of claims 11-19, and the invention of claim 20 have no technical relationship thereamong involving one or more of the same or corresponding special technical features, and thus are not considered so linked as to form a single general inventive concept.

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

- Remark on Protest**
- The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
  - The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
  - No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2022/030292**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2020-120159	A	06 August 2020	US 2020/0235701 A1 paragraphs [0040], [0046]- [0048], [0054], [0062], [0092]- [0099], [0129], fig. 4, 6-16, 19 CN 11464133 A	
JP	2007-241802	A	20 September 2007	(Family: none)	
JP	2019-176452	A	10 October 2019	US 2019/0190563 A1 paragraphs [0034], [0065], fig. 3B CN 209201072 U	
JP	8-116024	A	07 May 1996	(Family: none)	
JP	2005-150283	A	09 June 2005	(Family: none)	
JP	2003-101432	A	04 April 2003	(Family: none)	
JP	2010-273215	A	02 December 2010	(Family: none)	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H04B 1/38(2015.01)i; H01L 25/00(2006.01)i; H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H04B 1/00(2006.01)i FI: H04B1/38; H04B1/00 260; H01L25/00 B; H01L25/08 D</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H04B1/38; H01L25/00; H01L25/065; H01L25/07; H01L25/18; H04B1/00</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2022年	日本国実用新案登録公報	1996 - 2022年	日本国登録実用新案公報	1994 - 2022年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2022年																			
日本国実用新案登録公報	1996 - 2022年																			
日本国登録実用新案公報	1994 - 2022年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X Y A</td> <td>JP 2020-120159 A（セイコーエプソン株式会社）06.08.2020（2020 - 08 - 06） 段落[0016], [0021]-[0023], [0029], [0037], [0064]-[0069], [0099], 図4, 6-16, 19</td> <td>11-12, 18, 20  1-4, 6, 8-10, 13, 15, 17, 19  5, 7, 14, 16</td> </tr> <tr> <td>Y</td> <td>JP 2007-241802 A（松下電器産業株式会社）20.09.2007（2007 - 09 - 20） 段落[0086]</td> <td>1-4, 6, 8-10</td> </tr> <tr> <td>Y A</td> <td>JP 2019-176452 A（株式会社村田製作所）10.10.2019（2019 - 10 - 10） 段落[0018], [0049], 図3B</td> <td>4, 6, 8, 13, 15, 17  5, 7, 14, 16</td> </tr> <tr> <td>Y</td> <td>JP 8-116024 A（株式会社日立製作所）07.05.1996（1996 - 05 - 07） 段落[0005]</td> <td>10, 19</td> </tr> <tr> <td>A</td> <td>JP 2005-150283 A（富士通株式会社）09.06.2005（2005 - 06 - 09） 段落[0007], [0029], [0034], 図4-5</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X Y A	JP 2020-120159 A（セイコーエプソン株式会社）06.08.2020（2020 - 08 - 06） 段落[0016], [0021]-[0023], [0029], [0037], [0064]-[0069], [0099], 図4, 6-16, 19	11-12, 18, 20  1-4, 6, 8-10, 13, 15, 17, 19  5, 7, 14, 16	Y	JP 2007-241802 A（松下電器産業株式会社）20.09.2007（2007 - 09 - 20） 段落[0086]	1-4, 6, 8-10	Y A	JP 2019-176452 A（株式会社村田製作所）10.10.2019（2019 - 10 - 10） 段落[0018], [0049], 図3B	4, 6, 8, 13, 15, 17  5, 7, 14, 16	Y	JP 8-116024 A（株式会社日立製作所）07.05.1996（1996 - 05 - 07） 段落[0005]	10, 19	A	JP 2005-150283 A（富士通株式会社）09.06.2005（2005 - 06 - 09） 段落[0007], [0029], [0034], 図4-5	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X Y A	JP 2020-120159 A（セイコーエプソン株式会社）06.08.2020（2020 - 08 - 06） 段落[0016], [0021]-[0023], [0029], [0037], [0064]-[0069], [0099], 図4, 6-16, 19	11-12, 18, 20  1-4, 6, 8-10, 13, 15, 17, 19  5, 7, 14, 16																		
Y	JP 2007-241802 A（松下電器産業株式会社）20.09.2007（2007 - 09 - 20） 段落[0086]	1-4, 6, 8-10																		
Y A	JP 2019-176452 A（株式会社村田製作所）10.10.2019（2019 - 10 - 10） 段落[0018], [0049], 図3B	4, 6, 8, 13, 15, 17  5, 7, 14, 16																		
Y	JP 8-116024 A（株式会社日立製作所）07.05.1996（1996 - 05 - 07） 段落[0005]	10, 19																		
A	JP 2005-150283 A（富士通株式会社）09.06.2005（2005 - 06 - 09） 段落[0007], [0029], [0034], 図4-5	1-20																		
<p><input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p>																				
<p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>																				
<p>国際調査を完了した日</p> <p>16.09.2022</p>	<p>国際調査報告の発送日</p> <p>27.09.2022</p>																			
<p>名称及びあて先</p> <p>日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>川口 貴裕 5K 3055</p> <p>電話番号 03-3581-1101 内線 3556</p>																			

C. 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2003-101432 A (松下電器産業株式会社) 04.04.2003 (2003 - 04 - 04) 段落[0026], 図4	5, 14
A	JP 2010-273215 A (TDK株式会社) 02.12.2010 (2010 - 12 - 02) 段落[0036], [0048]-[0049], [0109]-[0110], 図2-3, 8, 11-13	7, 16

## 第III欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

(1)

この国際出願は、発明の単一性の要件を満たさない以下の3群の発明を包含する。

主発明：請求項1～10

第1追加発明：請求項11～19

第2追加発明：請求項20

(2)

請求項1～10に係る発明は、他の外部接続端子のいずれよりも電源端子の方が第2電子部品の近くに配置されていることを特徴としている。

請求項11～19に係る発明は、第2主面上に配置された他の電子部品のいずれよりも第2電子部品のほうが電源端子の近くに配置されていることを特徴としている。

請求項20に係る発明は、第2電子部品が、モジュール基板の平面視において電源端子と第1電子部品との間に配置されていることを特徴としている。

なお、

(i) 請求項1～10に係る発明と、請求項11～19に係る発明との間に共通する技術的特徴、  
(ii) 請求項1～10に係る発明と、請求項20に係る発明との間に共通する技術的特徴、及び、  
(iii) 請求項11～19に係る発明と、請求項20に係る発明との間に共通する技術的特徴、  
は、いずれも、以下の文献1に記載されており、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴ではない。

文献1：

JP 2020-120159 A (セイコーエプソン株式会社) 06.08.2020(2020-08-06)

段落[0016], [0021]-[0023], [0029], [0037], [0064]-[0069], [0099], 図4, 6-16, 19

& US 2020/0235701 A1

段落[0040], [0046]-[0048], [0054], [0062], [0092]-[0099], [0129], 図4, 6-16, 19

& CN 11464133 A

(3)

これらのことから、請求項1～10に係る発明と、請求項11～19に係る発明と、請求項20に係る発明とは、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的關係がないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の  
申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2022/030292

引用文献	公表日	パテントファミリー文献	公表日
JP 2020-120159 A	06.08.2020	US 2020/0235701 A1 段落[0040],[0046]-[0048], [0054],[0062],[0092]- [0099],[0129],図4,6-16,19 CN 11464133 A	
JP 2007-241802 A	20.09.2007	(ファミリーなし)	
JP 2019-176452 A	10.10.2019	US 2019/0190563 A1 段落[0034],[0065],図3B CN 209201072 U	
JP 8-116024 A	07.05.1996	(ファミリーなし)	
JP 2005-150283 A	09.06.2005	(ファミリーなし)	
JP 2003-101432 A	04.04.2003	(ファミリーなし)	
JP 2010-273215 A	02.12.2010	(ファミリーなし)	