

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5427495号
(P5427495)

(45) 発行日 平成26年2月26日 (2014. 2. 26)

(24) 登録日 平成25年12月6日 (2013.12.6)

(51) Int. Cl.		F I			
G02F	1/133	(2006.01)	G02F	1/133	550
G09G	3/20	(2006.01)	G09G	3/20	622E
G09G	3/36	(2006.01)	G09G	3/20	670J
			G09G	3/36	

請求項の数 15 (全 27 頁)

(21) 出願番号	特願2009-161117 (P2009-161117)	(73) 特許権者	502356528 株式会社ジャパンディスプレイ 東京都港区西新橋三丁目7番1号
(22) 出願日	平成21年7月7日 (2009.7.7)	(73) 特許権者	506087819 パナソニック液晶ディスプレイ株式会社 兵庫県姫路市飾磨区委鹿日田町1-6
(65) 公開番号	特開2011-17794 (P2011-17794A)	(74) 代理人	110000154 特許業務法人はるか国際特許事務所
(43) 公開日	平成23年1月27日 (2011.1.27)	(72) 発明者	落合 孝洋 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内
審査請求日	平成24年7月2日 (2012.7.2)	(72) 発明者	後藤 充 千葉県茂原市早野3300番地 株式会社 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 ゲート信号線駆動回路及び表示装置

(57) 【特許請求の範囲】

【請求項1】

周期的にくり返す信号ハイ期間にゲート信号線にハイ電圧を印加するとともに、前記信号ハイ期間以外の期間である信号ロー期間に前記ゲート信号線にロー電圧を印加する、ゲート信号線駆動回路において、

前記信号ハイ期間に応じて、オン状態となって前記ゲート信号線にハイ電圧を印加するとともに、前記信号ロー期間に応じてオフ状態となるハイ電圧印加スイッチング素子と、

前記ゲート信号線に対して互いに並列に接続されるとともに、それぞれオン状態において前記ゲート信号線にロー電圧を印加する少なくとも第1及び第2のロー電圧印加スイッチング素子と、

を備え、

順に到来する2以上の所定数の前記信号ハイ期間を含み前記信号ロー期間から始まる第1の期間において、前記第1のロー電圧印加スイッチング素子はオフ状態となり、前記第2のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、

順に到来する前記所定数の前記信号ハイ期間を含み前記信号ロー期間から始まり前記第1の期間に続く第2の期間において、前記第2のロー電圧印加スイッチング素子はオフ状態となり、前記第1のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、

前記第2の期間の始まりに応じて、前記第2のロー電圧印加スイッチング素子がオフさ

れるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子の入力側にハイ電圧が印加される、

ことを特徴とするゲート信号線駆動回路。

【請求項2】

請求項1に記載のゲート信号線駆動回路であって、

前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のロー電圧印加スイッチング素子がオンされる、

ことを特徴とするゲート信号線駆動回路。

【請求項3】

請求項2に記載のゲート信号線駆動回路であって、

前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子がオンされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子がオフされる、

ことを特徴とするゲート信号線駆動回路。

【請求項4】

請求項1乃至請求項3のいずれかに記載のゲート信号駆動回路であって、

前記ハイ電圧印加スイッチング素子のスイッチに対して互いに並列に接続されるとともに、それぞれオン状態において前記ハイ電圧印加スイッチング素子のスイッチにロー電圧を印加する少なくとも第1及び第2のスイッチング信号供給スイッチング素子とを、

さらに備え、

前記第1の期間において、前記第1のスイッチング信号供給スイッチング素子はオフ状態となり、前記第2のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、

前記第2の期間において、前記第2のスイッチング信号供給スイッチング素子はオフ状態となり、前記第1のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となる、

ことを特徴とする、ゲート信号線駆動回路。

【請求項5】

請求項4に記載のゲート信号線駆動回路であって、

前記第2の期間の始まりに応じて、前記第2のスイッチング信号供給スイッチング素子がオフされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子の入力側にハイ電圧が印加される、

ことを特徴とするゲート信号線駆動回路。

【請求項6】

請求項5に記載のゲート信号線駆動回路であって、

前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のスイッチング信号供給スイッチング素子がオンされる、

ことを特徴とするゲート信号線駆動回路。

【請求項7】

請求項6に記載のゲート信号線駆動回路であって、

前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子がオンされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子がオフされる、

ことを特徴とするゲート信号線駆動回路。

【請求項8】

請求項1乃至請求項7のいずれかに記載のゲート信号線駆動回路を備える表示装置。

【請求項9】

表示パネルと、

前記表示パネルに延伸するゲート信号線を介してゲート信号を供給するゲート信号線駆

10

20

30

40

50

動回路とを備える表示装置において、

前記ゲート信号線駆動回路は、

前記表示パネルの1フレームを表示する期間であるフレーム期間毎にくり返し信号ハイ期間に前記ゲート信号線にハイ電圧を印加するとともに、前記信号ハイ期間以外の期間である信号ロー期間に前記ゲート信号線にロー電圧を印加し、

前記信号ハイ期間に応じて、オン状態となって前記ゲート信号線にハイ電圧を印加するとともに、前記信号ロー期間に応じてオフ状態となるハイ電圧印加スイッチング素子と、

前記ゲート信号線に対して互いに並列に接続されるとともに、それぞれオン状態において前記ゲート信号線にロー電圧を印加する少なくとも第1及び第2のロー電圧印加スイッチング素子と、

を備え、

前記フレーム期間の2以上の所定数倍の長さとなる第1の期間において、前記第1のロー電圧印加スイッチング素子はオフ状態となり、前記第2のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、

前記第1の期間に続き前記フレーム期間の前記所定数倍の長さとなる第2の期間において、前記第2のロー電圧印加スイッチング素子はオフ状態となり、前記第1のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、

前記第2の期間の始まりに応じて、前記第2のロー電圧印加スイッチング素子がオフされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子の入力側にハイ電圧が印加される、

ことを特徴とする表示装置。

【請求項10】

請求項9に記載の表示装置であって、

前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のロー電圧印加スイッチング素子がオンされる、

ことを特徴とする表示装置。

【請求項11】

請求項10に記載の表示装置であって、

前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子がオンされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子がオフされる、

ことを特徴とする表示装置。

【請求項12】

請求項9乃至請求項11のいずれかに記載の表示装置であって、

前記ハイ電圧印加スイッチング素子のスイッチに対して互いに並列に接続されるとともに、それぞれオン状態において前記ハイ電圧印加スイッチング素子のスイッチにロー電圧を印加する少なくとも第1及び第2のスイッチング信号供給スイッチング素子とを、

さらに備え、

前記第1の期間において、前記第1のスイッチング信号供給スイッチング素子はオフ状態となり、前記第2のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、

前記第2の期間において、前記第2のスイッチング信号供給スイッチング素子はオフ状態となり、前記第1のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となる、

ことを特徴とする、表示装置。

【請求項13】

請求項12に記載の表示装置であって、

前記第2の期間の始まりに応じて、前記第2のスイッチング信号供給スイッチング素子

10

20

30

40

50

がオフされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子の入力側にハイ電圧が印加される、

ことを特徴とする表示装置。

【請求項14】

請求項13に記載の表示装置であって、

前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のスイッチング信号供給スイッチング素子がオンされる、

ことを特徴とする表示装置。

【請求項15】

請求項14に記載の表示装置であって、

前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子がオンされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子がオフされる、

ことを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲート信号線駆動回路及びそれを用いた表示装置に関する。特に、ゲート信号線駆動回路におけるスイッチング素子の閾値電圧の抑制に関し、当該スイッチング素子を用いることにより、表示装置における表示性能の向上に関する。

【背景技術】

【0002】

従来より、例えば、液晶表示装置において、ゲート信号線を走査するゲート信号線駆動回路に備えられたシフトレジスタ回路が、表示画面の画素領域に配置される薄膜トランジスタ(Thin Film Transistor:以下、TFTと記す)と同一基板上に形成される方式、すなわち、シフトレジスタ内蔵方式が採用される場合がある。従来技術に係るシフトレジスタ回路として、特許文献1に記載されている。

【0003】

ゲート信号線駆動回路に備えられたシフトレジスタ回路を構成する複数の基本回路それぞれは、1フレーム期間のうち、その基本回路からゲート信号が出力されるゲート信号線に対応するゲート走査期間(以下、信号ハイ期間と記す)にのみ、ハイ電圧がゲート信号 G_{out} としてゲート信号線に出力され、それ以外の期間(以下、信号ロー期間と記す)は、ロー電圧がゲート信号 G_{out} としてゲート信号線に出力される。

【0004】

図12は、従来技術に係るシフトレジスタ回路の基本回路の構成を、簡単に示した模式図である。シフトレジスタ回路の基本回路には、信号ロー期間に応じてゲート信号線にロー電圧を出力するロー電圧印加スイッチング素子SWAと、信号ハイ期間に応じてゲート信号線にハイ電圧を出力するハイ電圧印加スイッチング素子SWGとが備えられている。

【0005】

ロー電圧印加スイッチング素子SWAの入力側には、ロー電圧線 V_{GL} が接続されている。ゲート信号 G_{out} として信号ロー期間にロー電圧が安定して出力されるよう、信号ロー期間に応じて、ロー電圧印加スイッチング素子SWAはオンされ、ロー電圧線 V_{GL} の電圧であるロー電圧がゲート信号 G_{out} として出力される。また、信号ハイ期間に応じて、ロー電圧印加スイッチング素子SWAはオフされる。ロー電圧印加スイッチング素子SWAのスイッチに印加される電圧をノードN2とする。ロー電圧印加スイッチング素子SWAがオンされている間、ノードN2はハイ電圧となっており、ロー電圧印加スイッチング素子SWAのスイッチには、ハイ電圧が印加される。また、ロー電圧印加スイッチング素子SWAがオフされている間、ノードN2はロー電圧となっており、ロー電圧印加スイッチング素子SWAのスイッチにはロー電圧が印加される。

10

20

30

40

50

【 0 0 0 6 】

ハイ電圧印加スイッチング素子 S W G の入力側には、基本クロック信号 C L K が接続されている。対応するゲート信号線に対して、信号ハイ期間にハイ電圧が出力されるよう、信号ハイ期間に応じて、ハイ電圧印加スイッチング素子 S W G はオンされ、基本クロック信号 C L K の電圧がゲート信号 G_{out} として出力される。ここで、基本クロック信号 C L K は、信号ハイ期間には、ハイ電圧となっている。また、信号ロー期間に応じて、ハイ電圧印加スイッチング素子 S W G はオフされ、基本クロック信号 C L K の信号は遮断され出力されない。ハイ電圧印加スイッチング素子 S W G のスイッチに印加される電圧をノード N 1 とする。ハイ電圧印加スイッチング素子 S W G がオンされている間、ノード N 1 はハイ電圧となっており、ハイ電圧印加スイッチング素子 S W G のスイッチにはハイ電圧が印加される。また、ハイ電圧印加スイッチング素子 S W G がオフされている間、ノード N 1 はロー電圧となっており、ハイ電圧印加スイッチング素子 S W G のスイッチにはロー電圧が印加される。

10

【 0 0 0 7 】

ハイ電圧印加スイッチング素子 S W G のスイッチには、信号ロー期間に応じて、ロー電圧を供給するスイッチング信号供給スイッチング素子 S W B が接続されている。スイッチング信号供給スイッチング素子 S W B の入力側にはロー電圧線 V_{GL} が接続されていて、信号ロー期間に応じて、スイッチング信号供給スイッチング素子 S W B はオンされ、ノード N 1 はロー電圧となり、ハイ電圧印加スイッチング素子 S W G のスイッチにロー電圧が印加される。また、信号ハイ期間に応じて、スイッチング信号供給スイッチング素子 S W B はオフされる。スイッチング信号供給スイッチング素子 S W B のスイッチに印加される電圧は、ロー電圧印加スイッチング素子 S W A のスイッチに印加される電圧と導通しており、同じくノード N 2 である。スイッチング信号供給スイッチング素子 S W B がオンされている間、上述の通り、ノード N 2 はハイ電圧となっており、スイッチング信号供給スイッチング素子 S W B のスイッチにはハイ電圧が印加される。

20

【 0 0 0 8 】

図 1 3 は、従来技術に係るシフトレジスタ回路の基本回路の回路図である。図 1 3 に示す通り、ロー電圧印加スイッチング回路 2 1 1 に備えられたトランジスタ T 6 が、ロー電圧印加スイッチング素子 S W A に相当している。同様に、ハイ電圧印加スイッチング回路 2 1 2 に備えたトランジスタ T 5 が、ハイ電圧印加スイッチング素子 S W G に相当している。また、スイッチング信号供給スイッチング回路 2 1 3 に備えられたトランジスタ T 2 が、スイッチング信号供給スイッチング素子 S W B に相当している。

30

【 0 0 0 9 】

信号ロー期間に応じて、ノード N 2 はハイ電圧に維持され、トランジスタ T 6 はオンされ、ロー電圧線 V_{GL} のロー電圧が、出力端子 O U T より、ゲート信号 G_n として出力される。また、トランジスタ T 2 もオンされ、ノード N 1 はロー電圧線 V_{GL} のロー電圧に維持される。

【 0 0 1 0 】

一方、入力端子 I N 3 に前段の基本回路のゲート信号 G_{n-1} が入力されるが、ゲート信号 G_{n-1} により、信号ハイ期間に応じて、トランジスタ T 1 がオンされ、ノード N 1 はハイ電圧となり、入力端子 I N 1 より入力される基本クロック信号 V_n の電圧が、出力端子 O U T より、ゲート信号 G_n として出力される。また、同時に、ゲート信号 G_{n-1} により、トランジスタ T 7 がオンされることにより、ノード N 2 はロー電圧に変化する。その後、ノード N 1 がハイ電圧に変化するに伴い、トランジスタ T 4 がオンされることにより、ノード N 2 はロー電圧線 V_{GL} のロー電圧に維持される。

40

【 0 0 1 1 】

すなわち、信号ロー期間に応じて、ノード N 1 はロー電圧に、ノード N 2 はハイ電圧に維持され、信号ハイ期間に応じて、ノード N 1 はハイ電圧に、ノード N 2 はロー電圧に変化する。

【 先行技術文献 】

50

【特許文献】

【0012】

【特許文献1】特開2007-95190号公報

【発明の概要】

【発明が解決しようとする課題】

【0013】

1 フレーム期間のうち、信号ロー期間がほとんどの期間を占めているため、ロー電圧印加スイッチング素子SWAやスイッチング信号供給スイッチング素子SWBは、長時間にわたって、オンされた状態に保たれる。この間、ロー電圧印加スイッチング素子SWAやスイッチング信号供給スイッチング素子SWBのスイッチには、長時間にわたって、ハイ電圧が印加されることとなる。

10

【0014】

回路において、特定の素子に長時間、ハイ電圧が印加されてしまうと、一般には、その素子の特性が早く劣化を始める。スイッチング素子が、オンやオフにする駆動能力が不十分になると、他所からノイズ信号を遮断出来ずに、ゲート信号 G_{out} にノイズ信号が含まれてしまうなど、ゲート信号線駆動回路としての性能が劣化してしまう。

【0015】

また、素子が長時間駆動されることにより、素子の特性が劣化し、駆動時間の限界を超えて駆動されると、素子としての寿命を迎えてしまう。特定の素子が寿命を迎え、駆動能力を発揮出来なくなると、その素子が原因となって、ゲート信号線駆動回路全体としての寿命を決定してしまうこととなる。

20

【0016】

さらに、特定のスイッチング素子に長時間、正バイアスとなるハイ電圧が印加されてしまうと、そのスイッチング素子の閾値電圧 V_{th} が高電圧側にシフトする。これは、 V_{th} シフトと呼ばれている。そのスイッチング素子の閾値電圧 V_{th} が臨界値を超えてしまうと、そのスイッチング素子は、十分にオンまたはオフされた状態が維持できなくなる。

【0017】

例えば、ロー電圧印加スイッチング素子SWAの閾値電圧 V_{th} が臨界値を超えてしまうと、信号ロー期間に応じて、ロー電圧印加スイッチング素子SWAが十分にオンされず、ゲート信号に十分なロー電圧を印加出来なくなり、ゲート信号にノイズが印加されてしまう。また、スイッチング信号供給スイッチング素子SWBの閾値電圧 V_{th} が臨界値を超えてしまうと、信号ロー期間に応じて、スイッチング信号供給スイッチング素子SWBは十分にオンされず、ノードN1に十分なロー電圧を印加出来なくなり、トランジスタT5が十分にオフされず、ゲート信号に、基本クロック信号CLKの信号の一部がノイズとして印加されてしまう。

30

【0018】

また、スイッチング素子の閾値電圧 V_{th} が臨界値を超えていないとしても、閾値電圧 V_{th} により、スイッチング素子のオン状態からオフ状態（オフ状態からオン状態）への切り替えに有限の時間を要することになる。例えば、図13に示す基本回路の場合、前段の基本回路のゲート信号 G_{n-1} により、同時に、トランジスタT1、T7がオンされ、それにより、それぞれ、ノードN1がハイ電圧に、ノードN2がロー電圧に、変化する。ノードN2がロー電圧に変化することにより、トランジスタT2がオフされるが、この変化には有限の時間がかかる。それゆえ、ノードN1は、トランジスタT2が十分にオフされる前に、トランジスタT1がオンされ、この期間には、トランジスタT1を介してハイ電圧線 V_{GH} と、トランジスタT2を介してロー電圧線 V_{GL} と、ともに導通する不具合も生じ、これもゲート信号にノイズが印加される原因となる。

40

【0019】

ゲート信号に、ノイズが印加されると、信号ロー期間においても、ゲート信号線に接続された画素に、他の画素に書きこまれるべき表示データ電圧が、書きこまれてしまい、表示性能が低下してしまう。

50

【0020】

本発明は、このような課題を鑑みて、長時間にわたってハイ電圧が印加されているスイッチング素子の V_{th} シフトを抑制し、ゲート信号におけるノイズが抑制されるゲート信号線駆動回路、及び、それを用いた表示装置の提供にある。

【課題を解決するための手段】

【0021】

(1)本発明に係るゲート信号線駆動回路は、周期的にくり返す信号ハイ期間にゲート信号線にハイ電圧を印加するとともに、前記信号ハイ期間以外の期間である信号ロー期間に前記ゲート信号線にロー電圧を印加する、ゲート信号線駆動回路であって、前記信号ハイ期間に応じて、オン状態となって前記ゲート信号線にハイ電圧を印加するとともに、前記信号ロー期間に応じてオフ状態となるハイ電圧印加スイッチング素子と、前記ゲート信号線に対して互いに並列に接続されるとともに、それぞれオン状態において前記ゲート信号線にロー電圧を印加する少なくとも第1及び第2のロー電圧印加スイッチング素子と、を備え、順に到来する2以上の所定数の前記信号ハイ期間を含み前記信号ロー期間から始まる第1の期間において、前記第1のロー電圧印加スイッチング素子はオフ状態となり、前記第2のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、順に到来する前記所定数の前記信号ハイ期間を含み前記信号ロー期間から始まり前記第1の期間に続く第2の期間において、前記第2のロー電圧印加スイッチング素子はオフ状態となり、前記第1のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となる、ことを特徴とする。

10

20

【0022】

(2)上記(1)に記載のゲート信号線駆動回路であって、前記第2の期間の始まりに応じて、前記第2のロー電圧印加スイッチング素子がオフされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子の入力側にハイ電圧が印加されてもよい。

【0023】

(3)上記(2)に記載のゲート信号線駆動回路であって、前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のロー電圧印加スイッチング素子がオンされてもよい。

【0024】

(4)上記(3)に記載のゲート信号線駆動回路であって、前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子がオンされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子がオフされてもよい。

30

【0025】

(5)上記(1)乃至(4)のいずれかに記載のゲート信号駆動回路であって、前記ハイ電圧印加スイッチング素子のスイッチに対して互いに並列に接続されるとともに、それぞれオン状態において前記ハイ電圧印加スイッチング素子のスイッチにロー電圧を印加する少なくとも第1及び第2のスイッチング信号供給スイッチング素子とを、さらに備え、前記第1の期間において、前記第1のスイッチング信号供給スイッチング素子はオフ状態となり、前記第2のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、前記第2の期間において、前記第2のスイッチング信号供給スイッチング素子はオフ状態となり、前記第1のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となるとしてもよい。

40

【0026】

(6)上記(5)に記載のゲート信号線駆動回路であって、前記第2の期間の始まりに応じて、前記第2のスイッチング信号供給スイッチング素子がオフされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子の入力側にハイ電圧が印加されてもよい。

【0027】

50

(7) 上記(6)に記載のゲート信号線駆動回路であって、前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のスイッチング信号供給スイッチング素子がオンされてもよい。

【0028】

(8) 上記(7)に記載のゲート信号線駆動回路であって、前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子がオンされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子がオフされてもよい。

【0029】

(9) 本発明に係る表示装置は、上記(1)乃至(8)のいずれかに記載のゲート信号線駆動回路を備える表示装置としてもよい。

10

【0030】

(10) 本発明に係る表示装置は、表示パネルと、前記表示パネルに延伸するゲート信号線を介してゲート信号を供給するゲート信号線駆動回路とを備える表示装置であって、前記ゲート信号線駆動回路は、前記表示パネルの1フレームを表示する期間であるフレーム期間毎にくり返し信号ハイ期間に前記ゲート信号線にハイ電圧を印加するとともに、前記信号ハイ期間以外の期間である信号ロー期間に前記ゲート信号線にロー電圧を印加し、前記信号ハイ期間に応じて、オン状態となって前記ゲート信号線にハイ電圧を印加するとともに、前記信号ロー期間に応じてオフ状態となるハイ電圧印加スイッチング素子と、前記ゲート信号線に対して互いに並列に接続されるとともに、それぞれオン状態において前記ゲート信号線にロー電圧を印加する少なくとも第1及び第2のロー電圧印加スイッチング素子と、を備え、前記フレーム期間の2以上の所定数倍の長さとなる第1の期間において、前記第1のロー電圧印加スイッチング素子はオフ状態となり、前記第2のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、前記第1の期間に続き前記フレーム期間の前記所定数倍の長さとなる第2の期間において、前記第2のロー電圧印加スイッチング素子はオフ状態となり、前記第1のロー電圧印加スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となることを特徴としてもよい。

20

【0031】

(11) 上記(10)に記載の表示装置であって、前記第2の期間の始まりに応じて、前記第2のロー電圧印加スイッチング素子がオフされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子の入力側にハイ電圧が印加されてもよい。

30

【0032】

(12) 上記(11)に記載の表示装置であって、前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のロー電圧印加スイッチング素子がオンされてもよい。

【0033】

(13) 上記(12)に記載の表示装置であって、前記第2の期間の始まりに応じて、前記第1のロー電圧印加スイッチング素子がオンされるタイミングに遅れて、前記第2のロー電圧印加スイッチング素子がオフされてもよい。

40

【0034】

(14) 上記(10)乃至(13)のいずれかに記載の表示装置であって、前記ハイ電圧印加スイッチング素子のスイッチに対して互いに並列に接続されるとともに、それぞれオン状態において前記ハイ電圧印加スイッチング素子のスイッチにロー電圧を印加する少なくとも第1及び第2のスイッチング信号供給スイッチング素子とを、さらに備え、前記第1の期間において、前記第1のスイッチング信号供給スイッチング素子はオフ状態となり、前記第2のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号ハイ期間に応じてオフ状態となり、前記第2の期間において、前記第2のスイッチング信号供給スイッチング素子はオフ状態となり、前記第1のスイッチング信号供給スイッチング素子は、前記信号ロー期間に応じてオン状態となり、前記信号

50

ハイ期間に応じてオフ状態となるとしてもよい。

【0035】

(15) 上記(14)に記載の表示装置であって、前記第2の期間の始まりに応じて、前記第2のスイッチング信号供給スイッチング素子がオフされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子の入力側にハイ電圧が印加されてもよい。

【0036】

(16) 上記(15)に記載の表示装置であって、前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子の入力側にロー電圧が印加されるタイミングに遅れて、前記第1のスイッチング信号供給スイッチング素子がオンされてもよい。

10

【0037】

(17) 上記(16)に記載の表示装置であって、前記第2の期間の始まりに応じて、前記第1のスイッチング信号供給スイッチング素子がオンされるタイミングに遅れて、前記第2のスイッチング信号供給スイッチング素子がオフされてもよい。

【発明の効果】

【0038】

本発明により、長時間にわたってハイ電圧が印加されているスイッチング素子の V_{th} シフトを抑制し、ゲート信号におけるノイズが抑制されるゲート信号線駆動回路、及び、それを用いた表示装置が提供される。

20

【図面の簡単な説明】

【0039】

【図1】本発明の実施形態に係る液晶表示装置の全体斜視図である。

【図2】本発明の実施形態に係る液晶表示装置に備えられたTFT基板の等価回路の概念図である。

【図3】本発明の実施形態に係るシフトレジスタ回路のブロック図である。

【図4】本発明の実施形態に係るシフトレジスタ回路の基本回路の回路図である。

【図5】本発明の実施形態に係る2対の交流電圧線の電圧の時間変化を示す図である。

【図6】本発明の実施形態に係るn番目の基本回路に係る入力信号、ノード、ゲート信号の電圧の時間変化を示す図である。

30

【図7】本発明の実施形態に係る2対の交流電圧線の電圧の時間変化を示す図である。

【図8】本発明の実施形態に係る時間経過に対する閾値電圧の変化を表す図である。

【図9】本発明の実施形態の変形例1に係る2対の交流電圧線の電圧の時間変化を示す図である。

【図10】本発明の実施形態の変形例2に係る2対の交流電圧線の電圧の時間変化を示す図である。

【図11】本発明の実施形態に係る他の一例を示す液晶表示装置に備えられたTFT基板の等価回路の概念図である。

【図12】従来技術に係るシフトレジスタ回路の基本回路の構成を示す模式図である。

【図13】従来技術に係るシフトレジスタ回路の基本回路を示す回路図である。

40

【発明を実施するための形態】

【0040】

本発明の実施形態に係る表示装置は、たとえば、IPS(In-Plane Switching)方式の液晶表示装置であって、図1に示す液晶表示装置の全体斜視図の通り、後述するゲート信号線105、映像信号線107、画素電極110、コモン電極111及びTFT109などが配置されたTFT基板102と、当該TFT基板102に対向し、カラーフィルタが設けられたフィルタ基板101と、当該両基板に挟まれた領域に封入された液晶材料と、TFT基板102のフィルタ基板101側と反対側に接して位置するバックライト103と、を含んで構成されている。

【0041】

50

図2は、TFT基板102の等価回路の概念図である。図2において、TFT基板102には、ゲート信号線駆動回路104に接続された多数のゲート信号線105が、互いに等間隔において、表示領域となる表示パネルの中を図中横方向に延びている。

【0042】

ゲート信号線駆動回路104には、シフトレジスタ制御回路114と、シフトレジスタ回路112が備えられており、シフトレジスタ制御回路114は、シフトレジスタ回路112に対して、後述する制御信号115を出力している。

【0043】

シフトレジスタ回路112には、複数のゲート信号線105それぞれに対応して、基本回路113が複数備えられている。例えば、ゲート信号線105が800本存在しているとき、同じく、基本回路113が800個、シフトレジスタ回路112に備えられている。シフトレジスタ制御回路114から入力される制御信号115により、各基本回路113は、1フレーム期間のうち、対応するゲート走査期間(信号ハイ期間)にはハイ電圧となり、それ以外の期間(信号ロー期間)にはロー電圧となるゲート信号を、対応するゲート信号線105に出力している。

10

【0044】

また、データ駆動回路106に接続された多数の映像信号線107が互いに等間隔において、表示領域となる表示パネルの中を図中縦方向に延びている。そして、これらゲート信号線105及び映像信号線107により基盤状に並ぶ画素領域がそれぞれ区画されている。これら画素領域により、表示領域となる表示パネルが構成される。また、各ゲート信号線105と平行にコモン信号線108が図中横方向に延びている。

20

【0045】

ゲート信号線105及び映像信号線107により区画される各画素領域の隅には、TFT109が形成されており、映像信号線107と画素電極110に接続されている。また、TFT109のゲート電極は、ゲート信号線105と接続されている。各画素領域には、対応するコモン信号線108に接続され、さらに、画素電極110に対向するように、コモン電極111が形成されている。

【0046】

以上の回路構成において、各画素回路のコモン電極111にコモン信号線108を介して基準電圧が印加される。また、ゲート信号線105に供給されたゲート信号により、TFT109のゲート電極にゲート電圧が選択的に印加され、TFT109を流れる電流が制御される。ゲート電極に選択的にゲート電圧が印加されたTFT109を介して、映像信号線107に供給された映像信号の電圧が選択的に、画素電極110に印加される。これにより、画素電極110とコモン電極111との間に電位差が生じ、液晶分子の配向などを制御し、それにより、バックライト103からの光を遮蔽の度合を制御し、画像を表示することとなる。

30

【0047】

図3は、シフトレジスタ回路112のブロック図である。例えば、ゲート信号線105が800本ある場合、800本のゲート信号線105にそれぞれ対応する800個の基本回路113が、シフトレジスタ回路112に備えられている。図3には、800個の基本回路113のうち、 $n=1$ から $n=5$ の5個の基本回路113について示してある。図3には、 n 番目の基本回路が、基本回路113 n として記されている。

40

【0048】

シフトレジスタ制御回路114がシフトレジスタ回路112へ出力する制御信号115は、4相の互いに位相の異なる基本クロック信号 V_1, V_2, V_3, V_4 、ハイ電圧線 V_{GH} 、ロー電圧線 V_{GL} 、2対の交流電圧線 $V_{GL_AC1}, V_{GL_AC1B}, V_{GL_AC2}, V_{GL_AC2B}$ 、補助信号 V_{ST} などによって構成されている。

【0049】

図3に示す基本回路113それぞれには、図の基本回路113 1に示す通り、4つの入力端子 $IN1, IN2, IN3, IN4$ と、1つの出力端子 OUT とが備えられ、さら

50

に、ハイ電圧線 V_{GH} 、ロー電圧線 V_{GL} 、2対の交流電圧線 V_{GL_AC1} 、 V_{GL_AC1B} 、 V_{GL_AC2} 、 V_{GL_AC2B} とが、それぞれ接続されている。

【0050】

n 番目の基本回路 113 n の入力端子 $IN1$ 、 $IN2$ について説明する。 n 番目の基本回路 113 n において、基本クロック信号 V_n 、 V_{n+2} が、それぞれ、入力端子 $IN1$ 、 $IN2$ に入力される。ここで、入力端子 $IN1$ 、 $IN2$ には、4相からなる基本クロック信号のいずれかが接続されており、 n の値を変化させた場合であっても、 $V_{n+4} = V_n = V_{n-4}$ などとすればよい。

【0051】

n 番目の基本回路 113 n の出力端子 OUT から出力されるゲート信号を G_n と定義する。 n 番目の基本回路 113 n の入力端子 $IN3$ には、 $n-1$ 番目の基本回路 113 $(n-1)$ のゲート信号 G_{n-1} が、同じく入力端子 $IN4$ には、 $n+2$ 番目の基本回路 113 $(n+2)$ のゲート信号 G_{n+2} が、それぞれ、入力される。なお、1番目の基本回路 113 1 の入力端子 $IN3$ には、対応するゲート信号がないため、補助信号 V_{ST} が、同様に、799目の基本回路 113 799 の入力端子 $IN4$ には、801番目のダミー回路のゲート信号 G_{801} が、800番目の基本回路 113 800 の入力端子 $IN4$ には、802番目のダミー回路のゲート信号 G_{802} が、それぞれ入力され、801番目の基本回路 113 - 801 及び 802番目の基本回路 113 - 802 の入力端子 $IN4$ には補助信号 V_{ST} が入力される。

【0052】

図4は、シフトレジスタ回路 112 の n 番目の基本回路 113 n の回路図である。図13に示す従来技術に係るシフトレジスタ回路の基本回路との主な相違点として、従来技術に係る基本回路において、ロー電圧印加スイッチング回路 211 には、ロー電圧印加スイッチング素子 SWA に相当するトランジスタ $T6$ が1個備えられているところ、本実施形態に係る基本回路 113 には、ロー電圧印加スイッチング回路 11 に、第1のロー電圧印加スイッチング素子に相当するトランジスタ $T6$ と、第2のロー電圧印加スイッチング素子に相当するトランジスタ $T6A$ とが、出力端子 OUT に対して2個並列に接続されて設けられている。同様に、従来技術に係る基本回路において、スイッチング信号供給スイッチング回路 213 には、スイッチング信号供給スイッチング素子 SWB に相当するトランジスタ $T2$ が1個備えられているところ、本実施形態に係る基本回路 113 には、スイッチング信号供給スイッチング回路 13 に、第1のスイッチング信号供給スイッチング素子に相当する $T2$ と、第2のスイッチング信号供給スイッチング素子に相当する $T2A$ とが、ノード $N1$ に対して2個並列に接続されて設けられている。

【0053】

また、本実施形態に係る基本回路 113 において、ノード $N2$ は、制御スイッチング素子となるトランジスタ $TA1$ 、 $TA2$ 、 $TA3$ 、 $TA4$ を介して、1対の交流電圧線 V_{GL_AC1} 、 V_{GL_AC1B} に接続されている。また、トランジスタ $T2$ 、 $T2A$ の入力側には、もう1対の交流電圧線 V_{GL_AC2} 、 V_{GL_AC2B} それぞれに接続され、トランジスタ $T2$ 、 $T2A$ の出力側は、ともにノード $N1$ と接続されている。同様に、トランジスタ $T6$ 、 $T6A$ の入力側には、この1対の交流電圧線 V_{GL_AC2} 、 V_{GL_AC2B} それぞれに接続され、トランジスタ $T6$ 、 $T6A$ の出力側は、ともに出力端子 OUT と接続されている。

【0054】

トランジスタ $TA1$ 、 $TA3$ のゲートは、1対の交流電圧線 V_{GL_AC1} 、 V_{GL_AC1B} それぞれに接続されている。ノード $N2$ は、制御スイッチング素子となるトランジスタ $TA1$ 、 $TA3$ を介して、それぞれ、ノード $N2A$ 、 $N2B$ と接続されている。

【0055】

トランジスタ $TA4$ 、 $TA2$ のゲートにも、同様に、1対の交流電圧線 V_{GL_AC1} 、 V_{GL_AC1B} それぞれに接続されている。トランジスタ $TA2$ を介して、交流電圧線 V_{GL_AC1} とノード $N2A$ が、また、トランジスタ $TA4$ を介して、交流電圧線 V

10

20

30

40

50

G_{L_AC1B} とノード $N2B$ が、それぞれ接続されている。

【0056】

トランジスタ $T2$, $T2A$ のゲートには、それぞれ、ノード $N2A$, $N2B$ が、同様に、トランジスタ $T6$, $T6A$ のゲートには、それぞれ、ノード $N2A$, $N2B$ が、接続されている。

【0057】

図5は、2対の交流電圧線の電圧の時間変化を、ある基本回路113-nのゲート信号 G_n の電圧の時間変化とともに、示した図である。横軸方向は時間を表し、縦軸方向には、2対の交流電圧線及びゲート信号それぞれのハイ電圧(H)とロー電圧(L)が表されている。

10

【0058】

図5に示す通り、1対の交流電圧線 V_{GL_AC1} , V_{GL_AC1B} は互いにほぼ逆位相となっており、また、もう1対の交流電圧線 V_{GL_AC2} , V_{GL_AC2B} も互いにほぼ逆位相となっている。さらに、交流電圧線 V_{GL_AC1} と交流電圧線 V_{GL_AC2} も互いにほぼ逆位相となっている。

【0059】

すなわち、図5に示す通り、第1の期間 P_1 において、交流電圧線 V_{GL_AC1} , V_{GL_AC2B} はロー電圧となっており、交流電圧線 V_{GL_AC1B} , V_{GL_AC2} はハイ電圧となっている。そして、第1の期間 P_1 に続く第2の期間 P_2 において、交流電圧線 V_{GL_AC1} , V_{GL_AC2B} はハイ電圧となっており、交流電圧線 V_{GL_AC1B} , V_{GL_AC2} はロー電圧となっている。そして、第1の期間 P_1 と第2の期間 P_2 が交互に繰り返される。

20

【0060】

図5に示す通り、フレーム期間 P_F は、ゲート信号 G_n がハイ電圧となる信号ハイ期間 P_H と、ゲート信号 G_n がロー電圧となる信号ロー期間 P_L によって構成しており、フレーム期間 P_F を1周期としてくり返されている。それゆえ、信号ハイ期間 P_H が時間とともに周期的にくり返され、ゲート信号 G_n は周期的にハイ電圧となっている。

【0061】

図5において、第1の期間 P_1 は、順に到来する2つの信号ハイ期間 P_H を含む期間であり、第1の期間 P_1 に続く第2の期間 P_2 も同じ数である2つの信号ハイ期間 P_H を含む期間である。第1の期間 P_1 と第2の期間 P_2 の長さは等しく、それぞれの長さは、フレーム期間 P_F の2倍の長さである。すなわち、これら2対の交流電圧線は、第1の期間 P_1 と第2の期間 P_2 を足した期間がフレーム期間 P_F の4倍の長さと同しく、それを1周期として、繰り返されている。また、第1の期間 P_1 と第2の期間 P_2 とのそれぞれの切り替えは、ゲート信号 G_n がロー電圧となっている信号ロー期間 P_L の期間中に行われている。

30

【0062】

ここで、表示領域となる表示パネルの1画面(フレーム)を表示する期間であるフレーム期間 P_F において、各基本回路113より、順に、それぞれの信号ハイ期間 P_H にハイ電圧を出力するゲート信号が出力される。さらに、すべての基本回路113よりゲート信号が出力された後に、次のフレーム期間 P_F が始まるまでに、帰線期間(ブランキング期間)が設けられる。すなわち、フレーム期間 P_F とは、信号ハイ期間 P_H にゲート信号線105の総数を乗じた期間に、帰線期間を足したものである。これら2対の交流電圧線は、シフトレジスタ回路112を構成する各基本回路113に接続されているので、すべての基本回路113において、ゲート信号がロー電圧となっている期間である帰線期間に、第1の期間 P_1 と第2の期間 P_2 の切り替えがなされるのが望ましい。

40

【0063】

さらに、図5に楕円(a)として示される第1の期間 P_1 から第2の期間 P_2 への切り替えの際に、交流電圧線 V_{GL_AC1} , V_{GL_AC2B} はともにロー電圧からハイ電圧に、交流電圧線 V_{GL_AC1B} , V_{GL_AC2} はともにハイ電圧からロー電圧に、

50

変化しているが、この変化のタイミングには微小な遅延が存在している。図5に楕円(b)として示される第2の期間 P_2 から第1の期間 P_1 への切り替えの際も同様である。これら微小な遅延についての詳細は、後に説明する。

【0064】

第2の期間 P_2 において、交流電圧線 V_{GL_AC1} はハイ電圧であり、交流電圧線 V_{GL_AC1B} はロー電圧である。このとき、図4に示す通り、トランジスタ T_{A1} はオン状態であり、トランジスタ T_{A2} はオフ状態である。それゆえ、ノード N_{2A} は、トランジスタ T_{A1} によりノード N_2 と導通されており、また、トランジスタ T_{A2} により交流電圧線 V_{GL_AC1} とは遮断されている。また、ノード N_{2B} は、トランジスタ T_{A3} によりノード N_2 から遮断されており、また、トランジスタ T_{A4} により交流電圧線 V_{GL_AC1} のロー電圧がノード N_{2B} に印加される。同様に、第1の期間 P_1 において、ノード N_{2A} はノード N_2 から遮断され、ロー電圧に維持され、ノード N_{2B} はノード N_2 と導通している。

10

【0065】

ここで、第2の期間 P_2 における n 番目の基本回路 $113-n$ の駆動動作について説明する。前述の通り、トランジスタ T_2 、 T_6 のゲートには、ノード N_{2A} が、トランジスタ T_{2A} 、 T_{6A} のゲートには、ノード N_{2B} が接続されており、第2の期間 P_2 には、ノード N_{2A} はノード N_2 と導通し、ノード N_{2B} はロー電圧に維持されている。

【0066】

n 番目の基本回路 $113-n$ には、ロー電圧印加スイッチング回路 11 が備えられている。ロー電圧印加スイッチング回路 11 に備えられ、第1のロー電圧印加スイッチング素子に相当するトランジスタ T_6 の入力側には、交流電圧線 V_{GL_AC2} が接続されている。それゆえ、第2の期間 P_2 において、信号ロー期間に応じて、ノード N_2 、 N_{2A} がハイ電圧となり、トランジスタ T_6 がオンされ、交流電圧線 V_{GL_AC2} のロー電圧が、出力端子 OUT より、ゲート信号 G_n として出力される。信号ハイ期間に応じて、ノード N_2 、 N_{2A} はロー電圧となり、トランジスタ T_6 はオフされる。第2の期間 P_2 において、ノード N_{2B} はロー電圧に維持されるので、第2のロー電圧印加スイッチング素子に相当するトランジスタ T_{6A} はオフ状態で維持される。

20

【0067】

また、 n 番目の基本回路 $113-n$ には、ハイ電圧印加スイッチング回路 12 が備えられており、ハイ電圧印加スイッチング回路 12 には、ハイ電圧印加スイッチング素子 SWG に相当するトランジスタ T_5 と、昇圧容量 C_1 が、備えられている。

30

【0068】

トランジスタ T_5 の入力側には、入力端子 IN_1 が接続されており、入力端子 IN_1 に基本クロック信号 V_n が入力される。トランジスタ T_5 のゲートには、ノード N_1 の電圧が印加される。ノード N_1 は、信号ハイ期間に応じて、ハイ電圧となり、この時、トランジスタ T_5 のゲートには、ノード N_1 のハイ電圧が印加されるので、トランジスタ T_5 はオンされ、基本クロック信号 V_n の信号が、出力端子 OUT より、ゲート信号 G_n として出力される。また、ノード N_1 は、信号ロー期間に応じて、ロー電圧となり、この時、トランジスタ T_5 はオフされる。

40

【0069】

ノード N_1 をロー電圧に制御する回路が、スイッチング信号供給スイッチング回路 13 である。スイッチング信号供給スイッチング回路 13 に備えられ、第1のスイッチング信号供給スイッチング素子に相当するトランジスタ T_2 の入力側には、交流電圧線 V_{GL_AC2} が接続されている。第2の期間 P_2 において、トランジスタ T_6 と同様に、信号ロー期間に応じて、ノード N_2 、 N_{2A} がハイ電圧となり、トランジスタ T_2 がオンされ、交流電圧線 V_{GL_AC2} のロー電圧が、ノード N_1 に印加され、トランジスタ T_5 はオフされる。また、信号ハイ期間に応じて、ノード N_2 、 N_{2A} はロー電圧となり、トランジスタ T_2 はオフされる。第2の期間 P_2 において、ノード N_{2B} はロー電圧に維持され、第2のスイッチング信号供給スイッチング素子に相当するトランジスタ T_{2A} は、オフ

50

状態で維持される。

【 0 0 7 0 】

このように、信号ハイ期間に応じて、ノードN 1はハイ電圧に、ノードN 2はロー電圧となり、信号ロー期間に応じて、ノードN 1はロー電圧に、ノードN 2はハイ電圧に維持される。図4に示す他のトランジスタや容量は、これらノードを制御するために備えられている。

【 0 0 7 1 】

図6は、n番目の基本回路1 1 3 nのノードN 1, N 2の電圧の時間的な変化を、入力信号である基本クロック信号 V_n と、近傍の基本回路のゲート信号とともに示したものである。以下、図6に示す各信号の電圧の時間変化とともに、n番目の基本回路1 1 3 nの駆動動作について説明する。

10

【 0 0 7 2 】

図4に示す通り、トランジスタT 1のゲート及び入力側には、入力端子IN 3が接続されており(ダイオード接続)、前段の基本回路1 1 3 (n - 1)からのゲート信号 G_{n-1} が入力端子IN 3に入力される。図6に示す期間Paに、ゲート信号 G_{n-1} がハイ電圧となるので、期間Paに、トランジスタT 1はオンされ、ノードN 1にハイ電圧が印加される。

【 0 0 7 3 】

トランジスタT 4のゲートには、ノードN 1が接続され、期間PaにノードN 1がハイ電圧となるので、トランジスタT 4はオンされる。トランジスタT 4の入力側には、ロー電圧線 V_{GL} が接続されているので、トランジスタT 4がオンされると、ロー電圧線 V_{GL} のロー電圧がノードN 2に印加される。

20

【 0 0 7 4 】

信号ハイ期間である期間Pbにおいて、ノードN 1はハイ電圧に維持され、トランジスタT 5はオンされた状態で維持される。期間Pbに、入力端子IN 1に入力される基本クロック信号 V_n は、ハイ電圧となる。よって、期間Pbにおいて、基本クロック信号 V_n のハイ電圧が、トランジスタT 5を介して、出力端子OUTより、ゲート信号 G_n として出力される。

【 0 0 7 5 】

ここで、実際には、トランジスタT 1に、閾値電圧 V_{th} が存在するために、期間Paにおいて、ノードN 1の電圧は、前段の基本回路1 1 3 (n - 1)からのゲート信号 G_{n-1} のハイ電圧から、トランジスタT 1の閾値電圧 V_{th} を減じた電圧となってしまう。この電圧では、信号ハイ期間である期間Pbにおいて、トランジスタT 5を十分にオンすることが出来ない場合もあり得るので、ハイ電圧印加スイッチング回路1 2には、昇圧容量C 1がトランジスタT 5と並列に接続されている。期間Pbになると、ゲート信号 G_{n-1} がロー電圧に変化し、トランジスタT 1がオフされるが、ノードN 1はハイ電圧に維持され、トランジスタT 5はオン状態を保つ。期間Pbには、出力端子OUTに、入力端子IN 1に入力される基本クロック信号 V_n のハイ電圧が印加され、昇圧容量C 1の容量カップリングにより、ノードN 1は更に高電圧に昇圧される。これは、ブートストラップ電圧と呼ばれている。

30

40

【 0 0 7 6 】

前述の通り、トランジスタT 4のゲートにはノードN 1が接続されているので、ノードN 1がハイ電圧である期間、すなわち、期間Pa, Pb, Pcの間、トランジスタT 4はオン状態に維持され、ロー電圧線 V_{GL} のロー電圧を出力し、ノードN 2はロー電圧に維持される。

【 0 0 7 7 】

図4に示す通り、トランジスタT 9の入力側には、ロー電圧線 V_{GL} が接続されており、トランジスタT 9のゲートには入力端子IN 4が接続されている。入力端子IN 4に、次々段の基本回路1 1 3 (n + 2)からのゲート信号 G_{n+2} が入力される。

【 0 0 7 8 】

50

図6に示す通り、期間Pdに、ゲート信号 G_{n+2} がハイ電圧となるので、期間Pdに、トランジスタT9はオンされ、ロー電圧線 V_{GL} のロー電圧がノードN1に印加される。これにより、トランジスタT5はオフされる。また、同時に、トランジスタT4もオフされる。

【0079】

図4に示す通り、ロー電圧線 V_{GL} とハイ電圧線 V_{GH} の間には、保持容量C3及びトランジスタT3が直列に接続されている。トランジスタT3の出力側と保持容量C3の正極は、ノードN2に接続されている。また、保持容量のC3の負極にはロー電圧線 V_{GL} が、トランジスタT3の入力側にはハイ電圧線 V_{GH} が、それぞれ接続されている。トランジスタT3のゲートには、入力端子IN2が接続され、入力端子IN2に基本クロック信号 V_{n+2} が入力される。

10

【0080】

期間Pdに、基本クロック信号 V_{n+2} がハイ電圧となるので、期間Pdに、トランジスタT3はオンされ、ノードN2の電圧をハイ電圧に変化させる。同時に、保持容量C3がハイ電圧に充電される。

【0081】

その後、期間Peに、基本クロック信号 V_{n+2} がロー電圧となり、トランジスタT3がオフされた後も、保持容量C3によりノードN2の電圧はハイ電圧で維持される。さらに、基本クロック信号 V_{n+2} は周期的にハイ電圧となり、保持容量C3を周期的に充電し続けるので、ノードN2の電圧はハイ電圧に維持されることとなる。

20

【0082】

以上により、信号ハイ期間に応じて、期間Pa, Pb, Pcの期間においては、ノードN1はハイ電圧となり、ハイ電圧印加スイッチング素子であるトランジスタT5はオンされ、この期間、基本クロック信号 V_n の電圧が、出力端子OUTより、ゲート信号 G_n として出力される。とくに、期間Pbにおいて、基本クロック信号 V_n はハイ電圧となるので、ゲート信号 G_n もこの期間、ハイ電圧になる。また、この期間において、ノードN2はロー電圧となり、第1のロー電圧印加スイッチング素子に相当するトランジスタT6、及び、第1のスイッチング信号供給スイッチング素子に相当するトランジスタT2は、オフされる。

【0083】

30

また、信号ロー期間に応じて、1フレーム期間のうち、期間Pa, Pb, Pc以外の期間においては、ノードN2がハイ電圧で維持され、トランジスタT2がオンされ、ノードN1はロー電圧で維持される。同じく、トランジスタT6がオンされ、交流電圧線 V_{GL_AC1B} のロー電圧が、出力端子OUTより、ゲート信号 G_n として出力される。

【0084】

以上、第2の期間P₂におけるn番目の基本回路113_nの駆動動作について、説明した。これに対して、第1の期間P₁においては、前述の通り、ノードN2AはノードN2から遮断され、ロー電圧に維持され、ノードN2BはノードN2と導通している。トランジスタT2A, T6Aのゲートには、ノードN2Bが接続されており、第1の期間P₁において、トランジスタT2, T6はオフ状態に保たれ、トランジスタT2A, T6Aは、信号ロー期間に応じて、オンされ、それぞれ、ノードN1及び出力端子OUTに、交流電圧線 V_{GL_AC2B} のロー電圧が印加される。

40

【0085】

すなわち、信号ロー期間に応じて、第1のロー電圧印加スイッチング素子に相当するトランジスタT6の代わりに、第2のロー電圧印加スイッチング素子に相当するトランジスタT6Aが、第1のスイッチング信号供給スイッチング素子に相当するトランジスタT2の代わりに、第2のスイッチング信号供給スイッチング素子に相当するトランジスタT2Aが駆動される。しかしながら、これ以外の駆動動作は、上述する駆動動作と同様である。そして、第1の期間P₁と第2の期間P₂が繰り返され、それに応じて、駆動されるスイッチング素子が順次、切り替えられる。

50

【 0 0 8 6 】

図7は、2対の交流電圧線の電圧の時間変化を示す図である。図5に示す2対の交流電圧線の電圧の時間変化のうち、図5に楕円で示す(a)、(b)の近傍の期間について詳細を示したものである。ここで、(a)は、第1の期間 P_1 から第2の期間 P_2 への切り替えのタイミングを、また、(b)は、第2の期間 P_2 から第1の期間 P_1 への切り替えのタイミングを示している。図に矢印にて示される時刻を、それぞれ、 t_1 、 t_2 、 t_3 、 t_4 と定義する。

【 0 0 8 7 】

まずは、(a)について、すなわち、第1の期間 P_1 から第2の期間 P_2 への切り替えについて、説明する。

10

【 0 0 8 8 】

前述の通り、第1の期間 P_1 において、交流電圧線 V_{GL_AC1} 、 V_{GL_AC2B} がロー電圧に、交流電圧線 V_{GL_AC1B} 、 V_{GL_AC2} はハイ電圧となっている。前述の通り、第1の期間 P_1 においては、ノード $N2B$ がノード $N2$ と導通し、ノード $N2A$ がロー電圧に維持されているので、第2のロー電圧印加スイッチング素子に相当するトランジスタ $T6A$ 及び第2のスイッチング信号供給スイッチング素子に相当するトランジスタ $T2A$ が駆動される。このとき、第1のロー電圧印加スイッチング素子に相当するトランジスタ $T6$ 及び第1のスイッチング信号供給スイッチング素子に相当するトランジスタ $T2$ はオフ状態で維持される。

【 0 0 8 9 】

20

まず、時刻 t_1 に、交流電圧線 V_{GL_AC2} がハイ電圧からロー電圧に変化する。これにより、トランジスタ $T6$ 、 $T2$ の入力側がロー電圧に変化する。そのタイミングに遅れて、時刻 t_2 に、交流電圧線 V_{GL_AC1} がロー電圧からハイ電圧に変化する。これにより、トランジスタ $T A 1$ がオンされ、ノード $N2$ は、ノード $N2B$ に加えて、ノード $N2A$ とも導通する。また、交流電圧線 V_{GL_AC1B} のハイ電圧によってオン状態となっているトランジスタ $T A 2$ の入力側がハイ電圧に変化する。時刻 t_2 以前には、ノード $N2A$ はロー電圧であり、ハイ電圧となっているノード $N2$ が、トランジスタ $T A 1$ がオンされることにより、単に、ノード $N2A$ と導通するだけならば、ノード $N2$ の電圧が大きく低下してしまうところ、トランジスタ $T A 2$ により、ノード $N2A$ がロー電圧からハイ電圧に変化するので、時刻 t_2 において、ノード $N2$ の電圧の低下は抑制されている。そして、ノード $N2A$ がノード $N2$ と導通したことにより、第1のロー電圧印加スイッチング素子に相当するトランジスタ $T6$ 及び第1のスイッチング信号供給スイッチング素子に相当するトランジスタ $T2$ も駆動されることとなる。また、時刻 t_2 に、トランジスタ $T A 4$ もオンされる。

30

【 0 0 9 0 】

次に、時刻 t_3 に、交流電圧線 V_{GL_AC1B} がハイ電圧からロー電圧に変化する。これにより、トランジスタ $T A 3$ がオフされ、ノード $N2B$ がノード $N2$ から遮断される。また、トランジスタ $T A 2$ もオフされ、ノード $N2A$ が交流電圧線 V_{GL_AC1} から遮断される。さらに、時刻 t_2 よりオン状態となっているトランジスタ $T A 4$ の入力側がロー電圧に変化するので、ノード $N2B$ がハイ電圧からロー電圧に変化し、第2のロー電圧印加スイッチング素子に相当するトランジスタ $T6A$ 及び第2のスイッチング信号供給スイッチング素子に相当するトランジスタ $T2A$ がオフされる。その後、時刻 t_4 に、交流電圧線 V_{GL_AC2B} がロー電圧からハイ電圧に変化する。これにより、トランジスタ $T6A$ 、 $T2A$ の入力側がハイ電圧に変化する。

40

【 0 0 9 1 】

よって、第2の期間 P_2 において、トランジスタ $T6$ 、 $T2$ が駆動され、トランジスタ $T6A$ 、 $T2A$ がオフ状態に維持される。

【 0 0 9 2 】

以上、(a)について、すなわち、第1の期間 P_1 から第2の期間 P_2 への切り替えについて、説明したが、(b)について、すなわち、第2の期間 P_2 から第1の期間 P_1 へ

50

の切り替えについても同様である。時刻 t_1 にトランジスタ T_{6A} , T_{2A} の入力側がロー電圧に変化する。その後、時刻 t_2 に、トランジスタ T_{A3} , T_{A2} がオンされ、ノード N_{2A} は、ノード N_2 と導通し、ハイ電圧に変化することにより、トランジスタ T_6 , T_2 が駆動される。次に、時刻 t_3 に、トランジスタ T_{A1} , T_{A4} がオフされ、ノード N_{2B} がノード N_2 から遮断され、ロー電圧に変化することにより、トランジスタ T_{6A} , T_{2A} がオフされる。その後、時刻 t_4 に、トランジスタ T_6 , T_2 の入力側がハイ電圧に変化する。

【0093】

以上が、本発明の本実施形態に係るゲート線駆動回路及びそれを用いた表示装置の構成と駆動動作である。図13に示す従来技術にかかるシフトレジスタ回路においては、トランジスタ T_2 , T_6 のゲートに、信号ロー期間に応じて、長時間、ハイ電圧が印加されていたところ、図4に示す本実施形態に係る基本回路113において、トランジスタのゲートにハイ電圧が印加される時間が、トランジスタ T_2 , T_6 と、トランジスタ T_{2A} , T_{6A} に、それぞれ分担されている。これにより、スイッチング素子の劣化への時間を遅らせることができ、また、長寿命化を実現させることが出来ている。

【0094】

また、トランジスタのゲートにハイ電圧が印加される時間が、トランジスタ T_2 , T_6 と、トランジスタ T_{2A} , T_{6A} に、それぞれ分担され、それぞれのトランジスタは、オフ状態となる期間が存在している。トランジスタのゲートにハイ電圧が印加され、トランジスタがオン状態になっているときに生じた V_{th} シフトが、そのトランジスタがオフ状態となっている期間に、緩和されている。これにより、スイッチング素子の V_{th} シフトが抑制されている。

【0095】

特に、このトランジスタが T F T であり、さらに、T F T における半導体薄膜が非晶質シリコン (Amorphous Silicon: 以下、 $a-Si$ と記す) で構成されている場合、本発明の効果はさらに高まる。 $a-Si$ の T F T に正バイアス電圧が長時間印加された場合に、 V_{th} シフトが顕著に表れるからである。たとえば、後述する通り、素子温度を 70° の環境下で、 $a-Si$ の T F T に $30V$ の正バイアス電圧が 3 時間印加されることにより、 V_{th} シフトが $10V$ 程度生じてしまう。

【0096】

さらに、トランジスタがオフ状態になっているときに、逆バイアス電圧が印加される場合に、本発明の効果は高まる。例えば、第1の期間 P_1 において、トランジスタ T_2 , T_6 のゲートにはロー電圧が印加され、トランジスタ T_2 , T_6 はオフ状態に保たれる。このとき、トランジスタ T_2 , T_6 の入力側には、それぞれ、交流電圧線 V_{GL_AC2} のハイ電圧が印加される。すなわち、トランジスタ T_2 , T_6 の入力側には、それぞれ、ゲートよりも高い電圧がかかっており、トランジスタ T_2 , T_6 には、ともに逆バイアス電圧が印加されている。トランジスタに逆バイアス電圧が印加されると、 V_{th} シフトが逆向きに進行するので、トランジスタがオフ状態になっているときに、逆バイアス電圧が印加されることにより、さらに、 V_{th} シフトの抑制が大きく促進される。

【0097】

従来技術に係るシフトレジスタ回路におけるトランジスタ T_2 , T_6 のように、あるスイッチング素子に長時間ハイ電圧が印加される直流駆動 (以下、D C 駆動と記す) において生じる V_{th} シフトが問題となっている。これに対して、本発明に係るシフトレジスタ回路においては、2個のスイッチング素子があり、一方のスイッチング素子が駆動され、他方のスイッチング素子がオフされる状態を交互に繰り返す交流駆動 (以下、A C 駆動と記す) により、従来技術において問題となっていた V_{th} シフトが抑制されている。すなわち、D C 駆動において生じていた問題を、A C 駆動により抑制されており、A C 駆動の中でも、出来る限り短期間ずつ、上記状態を交互に繰り返した方がよいと予想される。よって、前述の通り、帰線期間において交流電圧線がロー電圧からハイ電圧に (ハイ電圧からロー電圧) に変化する場合、1フレーム期間 P_f 毎に上記状態の切り替えをすると、 V

10

20

30

40

50

t_h シフトが最も抑制されると予想される。

【 0 0 9 8 】

図 8 は、異なる電圧印加方式に対する V_{t_h} シフトと時間経過の関係を表す図である。図の縦軸は、トランジスタ T 2 , T 6 などにおける V_{t_h} シフトを表し、単位は最大シフト電圧に対するシフト電圧の比で表されている。図の横軸は、電圧印加時間を表している。4本の曲線は、DC 駆動の場合と、異なる3つの周波数による AC 駆動の場合とを表している。

【 0 0 9 9 】

図 8 に示す表示装置はすべて、画面（フレーム）表示周波数が 60 Hz、すなわち、フレーム期間 P_F が 1 / 60 秒となっている。AC 駆動のうち、30 Hz とは、AC 駆動の周期が 1 / 30 秒、すなわち、フレーム期間 P_F の 2 倍を意味する。2 個のスイッチング素子のうち、第 1 のスイッチング素子がオフされ、第 2 のスイッチング素子が駆動される第 1 の期間 P_1 と、第 1 のスイッチング素子が駆動され、第 2 のスイッチング素子がオフされる第 2 の期間 P_2 との合計の期間を 1 周期として AC 駆動されるので、第 1 の期間 P_1 及び第 2 の期間 P_2 はそれぞれ 1 フレーム期間 P_F となっている。同様に、7.5 Hz とは、AC 駆動の周期が、フレーム期間 P_F の 8 倍であり、第 1 の期間 P_1 及び第 2 の期間 P_2 はそれぞれ、フレーム期間 P_F の 4 倍である。また、1.9 Hz とは、AC 駆動の周期が、フレーム期間 P_F の 32 倍であり、第 1 の期間 P_1 及び第 2 の期間 P_2 はそれぞれ、フレーム期間 P_F の 16 倍である。

【 0 1 0 0 】

図 8 が示す通り、DC 駆動よりも AC 駆動の方が、 V_{t_h} シフトがより抑制されている。AC 駆動においては、AC 駆動周波数が小さくなればなるほど、すなわち、第 1 の期間 P_1 及び第 2 の期間 P_2 それぞれが長くなればなるほど、 V_{t_h} シフトがより抑制されている。これは、DC 駆動との比較から予想に反する結果となっている。

【 0 1 0 1 】

第 1 の期間 P_1 及び第 2 の期間 P_2 それぞれが、1 フレーム期間 P_F である時よりも、1 フレーム期間 P_F より長い期間とした時の方が、 V_{t_h} シフトの効果は高まることとなる。第 1 の期間 P_1 及び第 2 の期間 P_2 の切り替えは、フレーム期間 P_F のうち、シフトレジスタ回路のいずれの基本回路からもゲート信号が出力されない帰線期間に行われるのが望ましいので、この場合、第 1 の期間 P_1 及び第 2 の期間 P_2 それぞれは、フレーム期間 P_F の 2 以上の整数倍となる。

【 0 1 0 2 】

図 8 に示す通り、第 1 の期間 P_1 及び第 2 の期間 P_2 は 1 フレーム期間 P_F より長くすればするほど、 V_{t_h} シフトがより抑制されている。第 1 の期間 P_1 及び第 2 の期間 P_2 の上限は、DC 駆動において、 V_{t_h} シフトが閾値電圧 V_{t_h} の臨界値を超える電圧印加時間となるので、この時間以下となるよう第 1 の期間 P_1 及び第 2 の期間 P_2 を設定すると良い。

【 0 1 0 3 】

さらに、第 1 の期間 P_1 及び第 2 の期間 P_2 の切り替えのタイミングで、交流電圧線の電圧が図 7 に示す変化をしていることにより、2 個のトランジスタ T 6 , T 6 A により、信号ロー期間に応じて、安定的に、出力端子 OUT からゲート信号 G_n としてロー電圧が出力される。同様に、2 個のトランジスタ T 2 , T 2 A により、安定的に、ノード N 1 にロー電圧が印加される。これにより、ゲート信号 G_n に生じるノイズが抑制される。

【 0 1 0 4 】

例えば、図 7 に (a) として示す通り、第 1 の期間 P_1 から第 2 の期間 P_2 の切り替えのタイミングにおいて、時刻 t_1 に交流電圧線 V_{GL_AC2} がハイ電圧からロー電圧に変化し、そのタイミングに遅れて、時刻 t_2 に交流電圧線 V_{GL_AC1} がロー電圧からハイ電圧に変化している。これにより、第 1 のロー電圧印加スイッチング素子に相当するトランジスタ T 6 及び第 1 のスイッチング信号供給スイッチング素子に相当するトランジスタ T 2 の入力側が時刻 t_1 にハイ電圧からロー電圧に変化したタイミングに遅れて、こ

10

20

30

40

50

の2個のトランジスタT6, T2が、時刻t2にオンされるので、トランジスタT6, T2から、安定的に、ロー電圧が出力される。

【0105】

実際には、ノードN2Aが安定的にハイ電圧になるまでには、時刻t2からしばらくの時間を要するし、また、2個のトランジスタT6, T2それぞれが有する閾値電圧 V_{th} により、安定的にロー電圧が出力されるまでには、さらにしばらくの時間を要する。しかし、この間も、第2のロー電圧印加スイッチング素子に相当するトランジスタT6A及び第2のスイッチング信号供給スイッチング素子に相当するトランジスタT2Aはともにオン状態に維持され、安定的に、ロー電圧が出力されているので、出力端子OUT及びノードN1それぞれに、安定的に、ロー電圧が印加されている。

10

【0106】

その後、時刻t3に、交流電圧線 V_{GL_AC1B} がハイ電圧からロー電圧に変化し、トランジスタT6A, T2Aはオフされる。すなわち、トランジスタT6, T2がオンされるタイミングに遅れて、トランジスタT6A, T2Aがオフされることにより、時刻t2と時刻t3の間の期間に、トランジスタT6, T2が十分にオンされている状態により近づけることが出来る。

【0107】

時刻t3に、交流電圧線 V_{GL_AC1B} がハイ電圧からロー電圧に変化し、トランジスタTA3がオフされることにより、ノードN2BはノードN2から遮断される。これとともに、トランジスタTA4により、ノードN2Bがロー電圧に変化する。ノードN2Bがロー電圧に変化することにより、2個のトランジスタT6A, T2Aはオフされる。実際には、ノードN2Bが安定的にロー電圧になるまでには、時刻t3からしばらくの時間を要するし、また、2個のトランジスタT6A, T2Aそれぞれが有する閾値電圧 V_{th} により、安定的にオフされるまでには、さらにしばらくの時間を要する。しかし、このとき、交流電圧線 V_{GL_AC2B} はロー電圧で維持されているので、トランジスタT6A, T2Aが十分にオフされていない状態であっても、ロー電圧が出力される。

20

【0108】

その後、時刻t4に、交流電圧線 V_{GL_AC2B} がロー電圧からハイ電圧に変化する。すなわち、トランジスタT6A, T2Aがオフされるタイミングに遅れて、トランジスタT6A, T2Aの入力側がハイ電圧に変化することにより、時刻t3と時刻t4の間の期間に、トランジスタT6A, T2Aが十分にオフされている状態により近づけることが出来る。そして、時刻t4以降、第2の期間P2に、オフ状態となったトランジスタT6A, T2Aの入力側に、ハイ電圧が印加される。これはすなわち、トランジスタT6A, T2Aに逆バイアス電圧を印加することとなるので、 V_{th} シフトがより抑制される。

30

【0109】

以上、図7に(a)として示されている、第1の期間P1から第2の期間P2の切り替えのタイミングにおける交流電圧線の変化について説明したが、図7に(b)として示されている、第2の期間P2から第1の期間P1の切り替えのタイミングにおける交流電圧線の変化も同様である。

【0110】

図7に示すように、交流電圧線の電圧が時間変化することにより、第1の期間P1及び第2の期間P2の切り替えのタイミングにおいて、ロー電圧印加スイッチング回路11から出力端子OUTに、より安定的にロー電圧が出力され、スイッチング信号供給スイッチング回路13からノードN1に、より安定的にロー電圧が印加される。

40

【0111】

信号ロー期間に応じて、ノードN1が十分にロー電圧に維持されないと、トランジスタT5が一部オンされることとなり、基本クロック信号 V_n の信号を、信号ロー期間に応じて、十分に遮断されずに、ゲート信号 G_n にノイズとなって印加されてしまうところ、ノードN1が、信号ロー期間に応じて、安定的にロー電圧に維持されることにより、ゲート信号 G_n におけるノイズが抑制される。また、出力端子OUTに、信号ロー期間に応じて

50

、安定的にロー電圧が印加されないと、トランジスタT5を介して発生したノイズや、基本回路外部に発生しているノイズを、吸収することが出来ないところ、出力端子OUTに、信号ロー期間に応じて、安定的にロー電圧が印加されることにより、ゲート信号G_nにおけるノイズがさらに抑制される。

【0112】

[変形例1]

2対の交流電圧線は、図7に示す電圧の時間変化をするものの他、以下のように電圧が時間変化をするものであってもよい。図9は、本発明の本実施形態に係る2対の交流電圧線の電圧の時間変化の変形例1を示す図である。図に示す(a)、(b)は、図7と同様である。

10

【0113】

図9に(a)として示される2対の交流電圧線の電圧の時間変化は、図7に(a)として示される2対の交流電圧線の変化と比較して、交流電圧線V_{GL-AC1}が変化する時刻t₂と、交流電圧線V_{GL-AC1B}が変化する時刻t₃が、同じタイミングとなっている点が異なっている。

【0114】

図7に(a)として示される2対の交流電圧線の電圧の時間変化と異なり、図9に(a)として示される2対の交流電圧線の電圧の時間変化においては、交流電圧線V_{GL-AC1}がロー電圧からハイ電圧に、交流電圧線V_{GL-AC1B}がハイ電圧からロー電圧に、同時に変化している。これにより、トランジスタT₆、T₂がオンされるタイミングと、トランジスタT_{6A}、T_{2A}がオフされるタイミングが同時となる。

20

【0115】

この場合、実際には、このタイミングより後しばらくの間は、トランジスタT₆、T₂が徐々にオフ状態からオン状態に変化しつつ、トランジスタT_{6A}、T_{2A}が徐々にオン状態からオフ状態に変化することとなる。しかし、交流電圧線V_{GL-AC2}、V_{GL-AC2B}がともにロー電圧に維持されているので、これらのトランジスタの入力側はすべてロー電圧に維持されている。それゆえ、図7に示す2対の交流電圧線の電圧の時間変化と比較して、安定度は劣ってしまうものの、なお安定的に、ロー電圧印加スイッチング回路11から出力端子OUTに、スイッチング信号供給スイッチング回路13からノードN1に、なお安定的にロー電圧が印加される。図9に(b)として示される交流電圧線の電圧の時間変化についても同様である。

30

【0116】

図9に示す1対の交流電圧線V_{GL-AC1}、V_{GL-AC1B}は、完全に逆位相となっているため、図7に示す場合と比べて、回路設計が容易になるという利点を有している。

【0117】

[変形例2]

図10は、本発明の本実施形態に係る2対の交流電圧線の電圧の時間変化の変形例2を示す図である。図に示す(a)、(b)は、図7及び図9と同様である。

【0118】

図10に(a)として示される2対の交流電圧線の電圧の時間変化は、図7に(a)として示される2対の交流電圧線の電圧の時間変化と比較して、交流電圧線V_{GL-AC2}が変化する時刻t₁と、交流電圧線V_{GL-AC1}が変化する時刻t₂と、交流電圧線V_{GL-AC1B}が変化する時刻t₃とが、すべて同じタイミングになっている点が異なっている。

40

【0119】

図9に(a)として示される2対の交流電圧線の電圧の時間変化と同様に、トランジスタT₆、T₂がオンされるタイミングと、トランジスタT_{6A}、T_{2A}がオフされるタイミングが同時となる。さらに、図9に(a)として示される2対の交流電圧線の電圧の時間変化と異なり、時刻t₁と時刻t₂が重なっていることにより、トランジスタT₆、T

50

2 がオンされるタイミングと同時に、トランジスタ T 6 , T 2 の入力側がハイ電圧からロー電圧に変化している。

【 0 1 2 0 】

この場合、トランジスタ T 6 , T 2 がオンされるタイミングにおいて、トランジスタ T 6 , T 2 より、安定的にロー電圧が出力されるとは言えない。しかし、実際には、このタイミングより後しばらくの間に、トランジスタ T 6 , T 2 が徐々にオフ状態からオン状態に変化することとなるので、このタイミングにおけるトランジスタ T 6 , T 2 の入力側の電圧変化の影響をあまり受けない。

【 0 1 2 1 】

(a)として示される 2 対の交流電圧線の電圧の時間変化において、最も重要なことは、交流電圧線 V_{GL_AC1B} がハイ電圧からロー電圧に変化するタイミングに遅れて、交流電圧線 V_{GL_AC2B} がロー電圧からハイ電圧に変化していること、すなわち、時刻 t_3 と時刻 t_4 との間に有限の期間が存在していることにある。これにより、トランジスタ T 6 A , T 2 A が十分にオフされている状態により近づけた後に、トランジスタ T 6 A , T 2 A の入力側がロー電圧からハイ電圧に変化することにより、トランジスタ T 6 A , T 2 A がオフされたタイミングの後に、ノイズとなる電圧が出力されることが抑制される。

【 0 1 2 2 】

それゆえ、図 7 及び図 9 に示す 2 対の交流電圧線の電圧の時間変化と比較して、安定度はさらに劣ってしまうものの、なお安定的に、ロー電圧印加スイッチング回路 1 1 から出力端子 O U T に、スイッチング信号供給スイッチング回路 1 3 からノード N 1 に、なお安定的にロー電圧が印加される。図 1 0 に (b)として示される交流電圧線の電圧の時間変化についても同様である。

【 0 1 2 3 】

図 1 0 に示す 1 対の交流電圧線 V_{GL_AC1} , V_{GL_AC1B} により、図 9 に示す 1 対の交流電圧線 V_{GL_AC1} , V_{GL_AC1B} と同様に、回路設計が容易になるという利点を有している上に、第 1 期間 P_1 及び第 2 の期間 P_2 の切り替えを行うのが望ましい帰線期間の中で、時刻 t_3 と時刻 t_4 との間の期間を長く確保することが出来るという利点を有している。

【 0 1 2 4 】

以上、本発明の本実施形態に係るゲート信号線駆動回路及び表示装置について説明した。図 4 に示す基本回路 1 1 3 においては、ロー電圧印加スイッチング回路 1 1 及びスイッチング信号供給スイッチング回路 1 3 において、並列に接続されるトランジスタを、それぞれ 2 個のトランジスタとしている。これは、基本回路 1 1 3 において、ゲートにハイ電圧が長時間印加されているロー電圧印加スイッチング素子及びスイッチング信号供給スイッチング素子両方について、ハイ電圧が印加される時間をそれぞれ 2 個のトランジスタで分担している。基本回路 1 1 3 に備えられるトランジスタのうち、ゲートに長時間ハイ電圧が印加されるトランジスタすべてにおいて、 V_{th} シフトの抑制などがされ、本発明の効果は高まっている。

【 0 1 2 5 】

しかしながら、ロー電圧印加スイッチング素子とスイッチング信号供給スイッチング素子のいずれかのみ、並列に接続された 2 個のトランジスタとしていてもよい。すなわち、図 1 3 に示す従来技術に係る基本回路において、ロー電圧印加スイッチング回路に備えられるトランジスタを、2 個のトランジスタ T 6 , T 6 A としても構わない。同様に、スイッチング信号供給スイッチング回路に備えられるトランジスタを、2 個のトランジスタ T 2 , T 2 A としても構わない。いずれの場合であっても、回路に 2 個並列に備えられたトランジスタそれぞれにおいて、 V_{th} シフトの抑制などがされ、本発明の効果は得られている。

【 0 1 2 6 】

また、図 4 に示す本実施形態に係る基本回路 1 1 3 においては、ロー電圧印加スイッチ

10

20

30

40

50

ング回路 11 及びスイッチング信号供給スイッチング回路 13 に設けられたトランジスタが駆動されずオフ状態で維持される間、当該トランジスタには、逆バイアス電圧が印加されている。このことにより、 V_{th} シフトはさらに抑制されることになるが、必ずしも逆バイアス電圧は必要ではない。当該トランジスタの入力側がロー電圧線 V_{GL} に接続されている場合であっても、 V_{th} シフトの抑制の効果は得られる。

【0127】

さらに、図 4 に示す本実施形態に係る基本回路 113 においては、ロー電圧印加スイッチング回路 11 及びスイッチング信号供給スイッチング回路 13 それぞれに、2 個のトランジスタが並列に備えられているが、2 個に限定されることはない。3 個、4 個とさらに、増加させてもよい。その場合、それぞれのノードに対応して接続される 3 対、4 対の交流電圧線とさらに、増加させることとなる。例えば、3 個のトランジスタが設けられる場合、3 個のトランジスタのうち、1 個のトランジスタが駆動されて他の 2 個のトランジスタがオフされる場合や、2 個のトランジスタが駆動されて他の 1 個のトランジスタがオフされる場合などが考えられる。しかし、いずれの場合においても、駆動されるスイッチング素子の切り替えの前後において、前の期間を第 1 の期間とし、後の期間を第 2 の期間とし、前に駆動されるスイッチング素子を第 1 のスイッチング素子と、後に駆動されるスイッチング素子を第 2 のスイッチング素子とすれば、本実施形態に係る場合と同様に、本発明は説明され、なおかつ、本発明の効果が得られている。

【0128】

なお、本発明の実施形態に係るシフトレジスタ回路 112 は、図 2 に示す通り、表示領域の片側にすべての基本回路 113 が配置されているが、この場合に限られない。例えば、基本回路 113 が表示領域の左右両側に配置されていてもよい。例えば、ゲート信号線 105 が 800 本あるとすると、両側にそれぞれ 400 個ずつ基本回路 113 が配置され、例えば、右側の基本回路 113 は奇数番目の信号線に、左側の基本回路 113 は偶数番目の信号線に、それぞれゲート信号を供給するとしてもよい。

【0129】

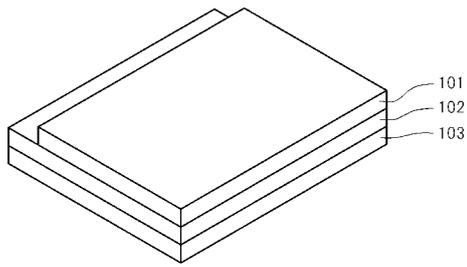
また、上記では、図 2 に示す通り、IPS 方式の液晶表示装置について説明しているが、本発明に係る表示装置は、VA (Vertically Aligned) 方式や TN (Twisted Nematic) 方式等、その他の駆動方式の液晶表示装置であってもよいし、有機 EL 表示装置など、他の表示装置であってもよい。図 11 は、VA 方式及び TN 方式の液晶表示装置に備えられる TFT 基板 102 の等価回路の概念図である。VA 方式及び TN 方式の場合には、コモン電極 111 が TFT 基板 102 と対向するフィルタ基板 101 に設けられている。

【符号の説明】

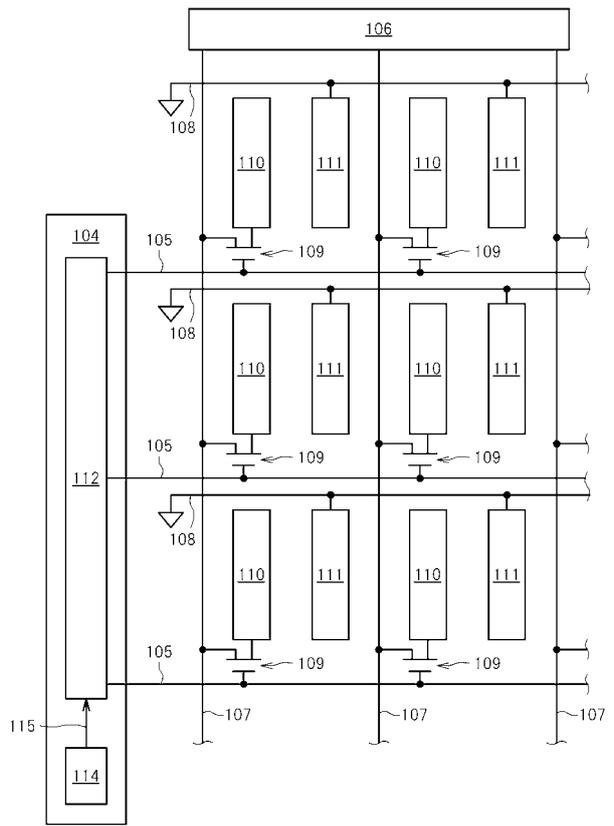
【0130】

11 ロー電圧印加スイッチング回路、12 ハイ電圧印加スイッチング回路、13 スwitchング信号供給スイッチング回路、14 制御電圧出力回路、101 フィルタ基板、102 TFT 基板、103 バックライト、104 ゲート信号線駆動回路、105 ゲート信号線、106 データ駆動回路、107 映像信号線、108 コモン信号線、109 TFT、110 画素電極、111 コモン電極、112 シフトレジスタ回路、113 基本回路、114 シフトレジスタ制御回路、115 制御信号、211 ロー電圧印加スイッチング回路、212 ハイ電圧印加スイッチング回路、213 スwitchング信号供給スイッチング回路、C1 昇圧容量、C3 保持容量、CLK 基本クロック信号、CLKS 補助信号、 G_n , G_{out} ゲート信号、IN1, IN2, IN3, IN4 入力端子、N1, N2, N2A, N2B ノード、OUT 出力端子、SWA ロー電圧印加スイッチング素子、SWB スwitchング信号供給スイッチング素子、SWG ハイ電圧印加スイッチング素子、TA1, TA2, TA3, TA4, T1, T2, T2A, T5, T6, T6A, T7 トランジスタ、 V_{GH} ハイ電圧線、 V_{GL} ロー電圧線、 V_{GL_AC1} , V_{GL_AC1B} , V_{GL_AC2} , V_{GL_AC2B} 交流電圧線、 V_{ST} 補助信号、 V_n , V_1 , V_2 , V_3 , V_4 基本クロック信号。

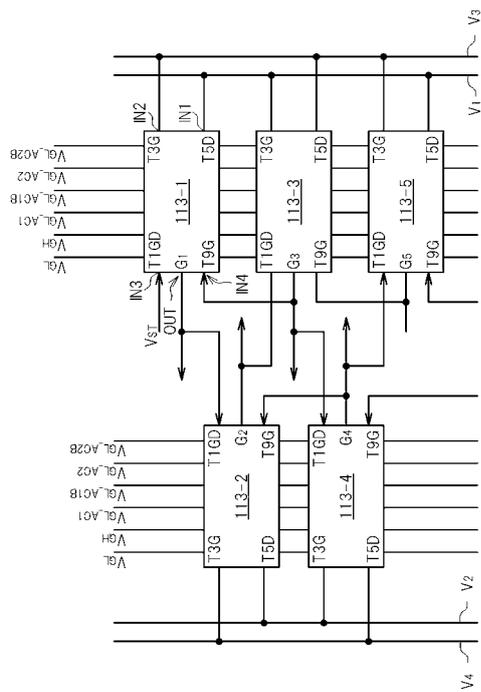
【図1】



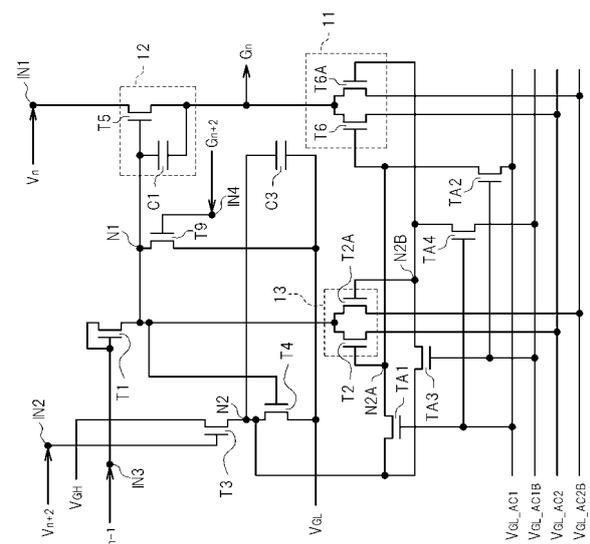
【図2】



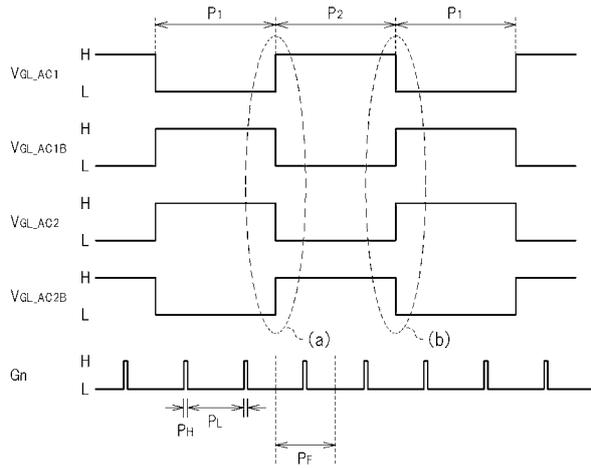
【図3】



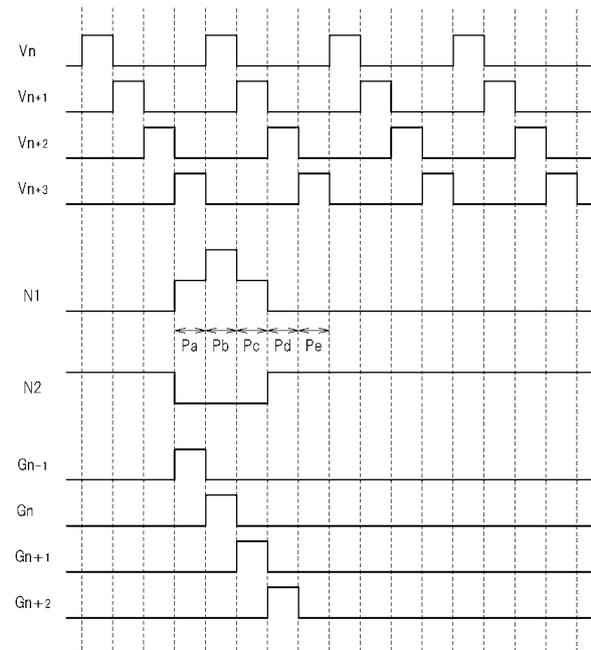
【図4】



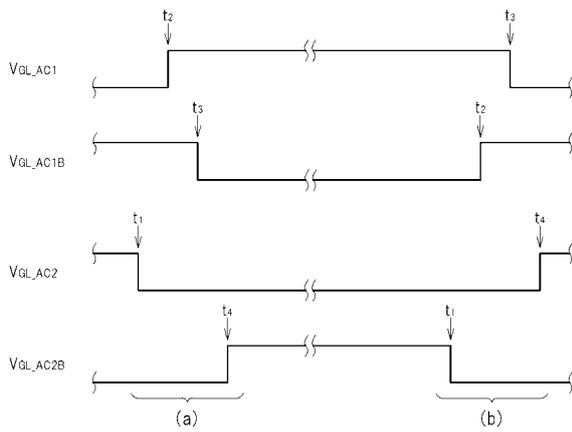
【 図 5 】



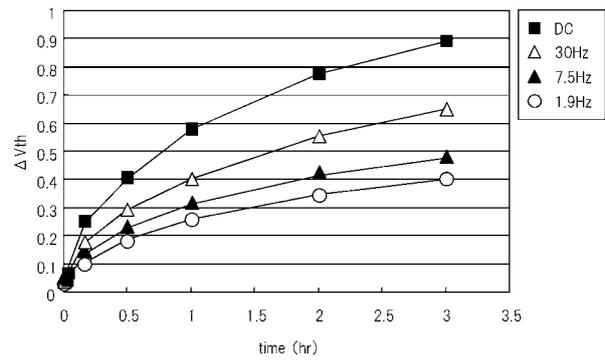
【 図 6 】



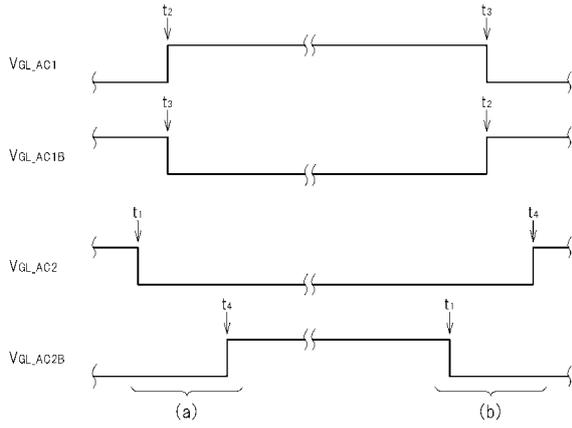
【 図 7 】



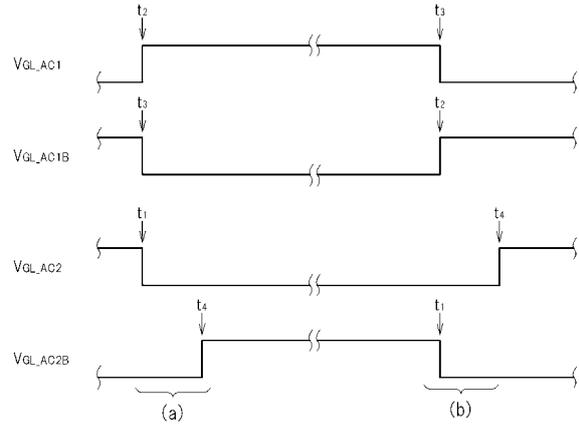
【 図 8 】



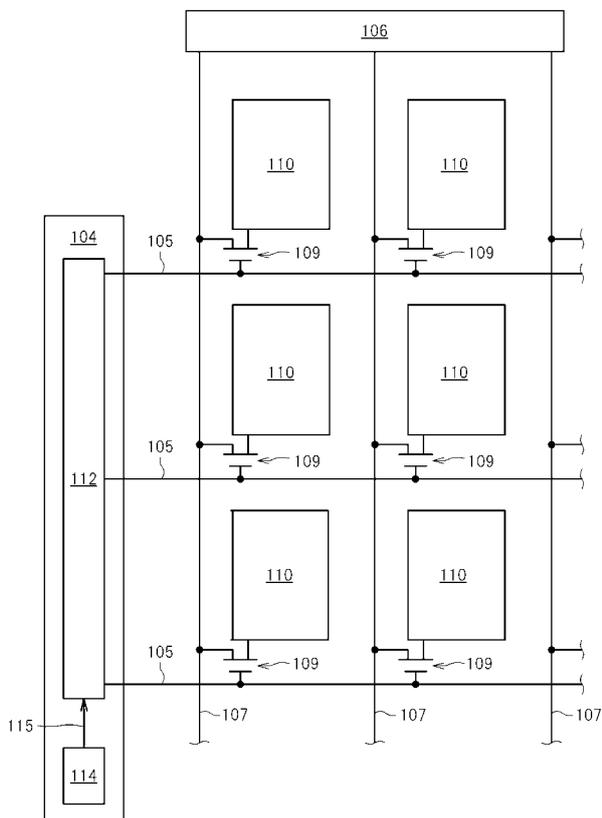
【図 9】



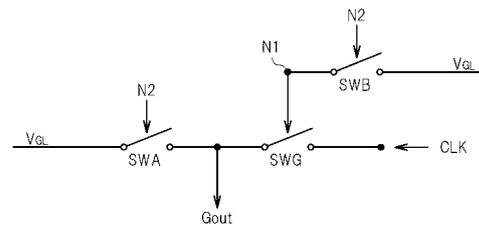
【図 10】



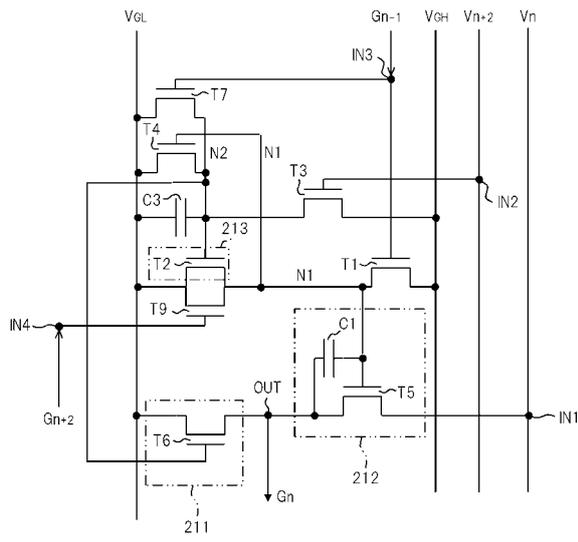
【図 11】



【図 12】



【 図 13 】



フロントページの続き

- (72)発明者 中安 洋三
千葉県茂原市早野3300番地 株式会社日立ディスプレイズ内
- (72)発明者 岡田 侑樹
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内
- (72)発明者 高田 直樹
東京都国分寺市東恋ヶ窪一丁目280番地 株式会社日立製作所中央研究所内

審査官 藤田 都志行

- (56)参考文献 特開2007-250052(JP,A)
特開2008-3602(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|-------|
| G02F | 1/133 |
| G09G | 3/20 |
| G09G | 3/36 |