

특허청구의 범위

청구항 1

표면 및 이면을 갖는 반도체 칩과,

상기 반도체 칩의 상기 표면 상에 적층된 밀봉 수지층과,

상기 밀봉 수지층을 두께 방향으로 관통하고, 상기 밀봉 수지층의 측면과 동일 평면을 이루는 측면 및 상기 밀봉 수지층의 표면과 동일 평면을 이루는 선단면을 갖는 포스트와,

상기 포스트의 상기 선단면에 설치된 외부 접속 단자를 포함하는 반도체 장치.

청구항 2

제1항에 있어서,

상기 외부 접속 단자가, 상기 포스트의 상기 선단면과 상기 포스트의 상기 측면에 걸쳐서 형성되어 있는 반도체 장치.

청구항 3

제1항 또는 제2항에 있어서,

상기 반도체 칩의 주연을 따라, 복수의 상기 포스트가 설치되고,

모든 상기 포스트의 상기 측면이 상기 밀봉 수지층의 상기 측면과 동일 평면을 이루고 있는 반도체 장치.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 반도체 칩과 상기 밀봉 수지층 사이에 개재되고, 복수의 패드 개구를 갖는 패시베이션막과,

각 상기 패드 개구로부터 노출되는 전극 패드를 더 포함하고,

상기 포스트는, 상기 패드 개구 내로 파고들어, 상기 전극 패드에 접속되어 있는 반도체 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 포스트의 상기 측면은, 상기 밀봉 수지층과 접촉하는 평면에서 보아 C자 형상의 원호면을 포함하는 반도체 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 포스트가, Cu로 이루어지는 반도체 장치.

청구항 7

제1항 내지 제6항 중 어느 한 항에 있어서,

상기 외부 접속 단자가, 상기 포스트의 상기 선단면으로부터 상기 포스트의 상기 측면에 있어서의 상기 밀봉 수지층으로부터 노출된 부분으로 돌아 들어가고, 그 부분을 피복하는 대략 구형상으로 형성된 땀납 볼을 포함하는 반도체 장치.

청구항 8

제7항에 있어서,

상기 땀납 볼이, 상기 포스트의 상기 측면에 있어서의 상기 밀봉 수지층으로부터 노출된 부분을 피복하는 피복 부분을 갖고 있는 반도체 장치.

청구항 9

제8항에 있어서,

상기 땀납 볼의 상기 피복 부분이, 상기 포스트의 상기 측면을 따라서 평행하게 연장되는 박막 형상으로 형성되어 있는 반도체 장치.

청구항 10

제1항 내지 제9항 중 어느 한 항에 있어서,

상기 반도체 칩의 상기 이면을 덮는 이면 피복막과,

적외선에 대한 차광성을 갖는 재료로 이루어지고, 상기 반도체 칩의 측면을 덮는 차광막을 더 포함하는 반도체 장치.

청구항 11

제10항에 있어서,

상기 이면 피복막은, 금속 재료로 이루어지는 반도체 장치.

청구항 12

제10항 또는 제11항에 있어서,

상기 차광막은, 금속 재료로 이루어지는 반도체 장치.

청구항 13

제10항 내지 제12항 중 어느 한 항에 있어서,

상기 차광막 및 상기 이면 피복막은, 일체적으로 형성되어 있는 반도체 장치.

청구항 14

제10항 또는 제11항에 있어서,

상기 차광막은, 수지 재료로 이루어지는 반도체 장치.

청구항 15

제10항 또는 제11항에 있어서,

상기 차광막은, 수지 재료로 이루어지는 층과 금속 재료로 이루어지는 층의 적층 구조를 갖고 있는 반도체 장치.

청구항 16

제13항에 있어서,

상기 금속 재료가, Pd, Ni, Ti, Cr 및 TiW로 이루어지는 군으로부터 선택되는 일종인 청구항 11, 12, 또는 청구항 11 혹은 청구항 12에 따른 반도체 장치.

청구항 17

제14항 또는 제15항에 있어서,

상기 수지 재료가, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 및 페놀로 이루어지는 군으로부터 선택되는 일종인 반도체 장치.

청구항 18

제10항 내지 제17항 중 어느 한 항에 있어서,
상기 이면 피복막의 두께가, $3\mu\text{m} \sim 100\mu\text{m}$ 인 반도체 장치.

청구항 19

제10항 내지 제18항 중 어느 한 항에 있어서,
상기 차광막의 두께가, $0.1\mu\text{m} \sim 10\mu\text{m}$ 인 반도체 장치.

청구항 20

표면 및 이면을 갖는 복수의 반도체 칩이 그 집합체인 반도체 웨이퍼를 이룬 상태에서, 각 상기 반도체 칩의 상기 표면 상에 기둥 형상의 포스트를 형성하는 포스트 형성 공정과,
상기 반도체 웨이퍼의 상기 표면 상에, 상기 포스트의 선단면과 동일 평면을 이루는 표면을 갖는 밀봉 수지층을 형성하는 밀봉 공정과,
상기 밀봉 공정 후, 상기 반도체 칩의 주연을 따라 설정된 다이싱 라인 상에, 상기 밀봉 수지층의 상기 표면으로부터 과내려간 홈을 형성하고, 이 홈의 내면의 일부로서 상기 포스트의 측면을 노출시키는 홈 형성 공정과,
상기 홈 형성 공정 후, 상기 포스트의 상기 선단면 상에, 상기 밀봉 수지층의 상기 표면에 대하여 용기한 단자를 형성하는 단자 형성 공정과,
상기 단자 형성 공정 후, 상기 반도체 웨이퍼를, 상기 다이싱 라인을 따라 각 상기 반도체 칩으로 분할하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 21

제20항에 있어서,
상기 밀봉 공정은,
상기 반도체 웨이퍼의 상기 표면 상에, 상기 포스트를 완전하게 피복하도록 밀봉 수지층을 형성하는 수지 피복 공정과,
상기 포스트의 상기 선단면이 상기 밀봉 수지층으로부터 노출될 때까지, 상기 밀봉 수지층을 연삭하는 연삭 공정을 포함하는 반도체 장치의 제조 방법.

청구항 22

제20항 또는 제21항에 있어서,
상기 반도체 칩으로 분할하는 공정은, 상기 반도체 웨이퍼의 상기 이면으로부터 상기 반도체 웨이퍼를 파내려가는 것에 의해, 상기 홈의 내측과 상기 반도체 웨이퍼의 상기 이면측을 연통시키는 다이싱 공정을 포함하는 반도체 장치의 제조 방법.

청구항 23

제20항 또는 제21항에 있어서,
상기 반도체 칩으로 분할하는 공정은, 상기 홈의 내측으로부터 상기 반도체 웨이퍼를 파내려가는 것에 의해, 상기 홈의 내측과 상기 반도체 웨이퍼의 상기 이면측을 연통시키는 다이싱 공정을 포함하는 반도체 장치의 제조 방법.

청구항 24

제20항에 있어서,
상기 단자 형성 공정에 앞서, 상기 홈의 내면에, 적외선에 대한 차광성을 갖는 차광성 재료를 피착시킴으로써, 상기 홈의 상기 내면의 일부로서 노출되는 상기 반도체 칩의 측면에 차광막을 형성하는 공정과,

상기 단자 형성 공정 후, 상기 반도체 웨이퍼를 상기 이면측으로부터 연삭함으로써, 상기 차광막이 형성된 상기 홈을 상기 반도체 웨이퍼의 상기 이면측으로 관통시키는 이면 연삭 공정을 더 포함하는 반도체 장치의 제조 방법.

청구항 25

제24항에 있어서,

상기 이면 연삭 공정에 의해 노출된 상기 반도체 웨이퍼의 상기 이면에, 해당 이면을 덮는 이면 피복막을 형성하는 공정을 더 포함하는 반도체 장치의 제조 방법.

청구항 26

제24항 또는 제25항에 있어서,

상기 차광막을 형성하는 공정은,

상기 홈의 상기 내면의 일부로서 노출되는 상기 포스트의 상기 측면 및 상기 반도체 칩의 상기 측면의 전역에 상기 차광막을 형성하는 공정과,

상기 차광막에 있어서의 상기 반도체 칩의 상기 측면 상의 제1 부분을, 해당 차광막에 대하여 에칭 선택비를 갖는 재료로 이루어지는 보호층에 의해 피복하는 공정과,

상기 차광막의 제1 부분을 상기 보호층에 의해 보호한 상태에서, 상기 차광막에 있어서의 상기 포스트의 상기 측면 상의 제2 부분을 선택적으로 제거하는 공정과,

상기 차광막의 상기 제2 부분의 제거 후, 상기 보호층을 완전하게 제거하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 27

제26항에 있어서,

상기 이면 피복막을 형성하는 공정이, 복수의 상기 반도체 칩의 상기 이면을 일괄해서 덮는 막을 형성하는 공정을 포함하고,

상기 반도체 칩으로 분할하는 공정은, 상기 다이싱 라인 상에서, 상기 반도체 칩의 상기 이면을 일괄해서 피복하는 상기 이면 피복막을 절단하는 공정을 포함하는 청구항 25에 따른 반도체 장치의 제조 방법.

청구항 28

제26항에 있어서,

상기 이면 피복막을 형성하는 공정이, 복수의 상기 반도체 칩의 상기 이면을 개별로 덮는 막을 형성하는 공정을 포함하고,

상기 이면 연삭 공정이, 상기 반도체 칩으로 분할하는 공정을 겸하고 있는 청구항 25에 따른 반도체 장치의 제조 방법.

청구항 29

제24항 또는 제25항에 있어서,

상기 차광막을 형성하는 공정은,

상기 홈의 상기 내면의 일부로서 노출되는 포스트의 상기 측면 및 상기 반도체 칩의 상기 측면의 전역에 제1 차광막을 형성하는 공정과,

상기 제1 차광막에 있어서의 상기 반도체 칩의 상기 측면 상의 제1 부분을, 해당 제1 차광막에 대한 에칭 선택비 및 적외선에 대한 차광성을 갖는 재료로 이루어지는 제2 차광막에 의해 피복하는 공정과,

상기 제1 차광막의 상기 제1 부분을 상기 제2 차광막에 의해 보호한 상태에서, 상기 제1 차광막에 있어서의 상기 포스트의 상기 측면 상의 제2 부분을 선택적으로 제거하는 공정과,

상기 제1 차광막의 상기 제2 부분의 제거 후, 상기 제2 차광막을 선택적으로 제거함으로써, 상기 제1 차광막과 상기 제2 차광막의 적층 구조를 갖는 상기 차광막을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

청구항 30

제29항에 있어서,

상기 제1 차광막 및 상기 제2 차광막은, 그들의 한쪽이 금속 재료로 이루어지고, 다른 쪽이 수지 재료로 이루어지는 반도체 장치의 제조 방법.

청구항 31

제20항에 있어서,

상기 밀봉 공정에 앞서, 상기 홈을 형성해야 할 라인을 따르도록 상기 홈과 동일 형상을 갖는 임시 홈을 형성하는 공정을 더 포함하고,

상기 밀봉 공정은, 상기 밀봉 수지층을 형성함과 동시에, 상기 임시 홈에 수지 재료를 충전하는 공정을 포함하고,

상기 홈 형성 공정은,

상기 임시 홈의 폭과 동일 폭을 갖는 제1 블레이드에 의해, 충전된 상기 수지 재료를 선택적으로 제거함으로써, 상기 포스트의 상기 측면을 노출시키는 공정과,

상기 제1 블레이드의 폭보다도 작은 폭을 갖는 제2 블레이드에 의해, 상기 반도체 칩의 상기 측면 상에 상기 수지 재료가 막 형상으로 남도록, 상기 수지 재료를 선택적으로 제거함으로써, 상기 반도체 칩의 상기 측면에 상기 수지 재료로 이루어지는 차광막을 형성하는 공정을 포함하는 반도체 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은, WLCSP(Wafer Level Chip Size Package:웨이퍼 레벨 칩사이즈 패키지)가 적용된 반도체 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 종래, 반도체 장치의 소형화에 유효한 패키지 기술로서, WLCSP가 알려져 있다. WLCSP가 적용된 반도체 장치에서는, 복수의 반도체 칩이 집합한 웨이퍼 상태에서 패키징이 완료되고, 다이싱에 의해 잘라내진 개개의 반도체 칩의 사이즈가 패키지 사이즈로 된다.

[0003] 예를 들면, 특허 문헌 1의 도 7은, 칩 사이즈의 LSI(반도체 칩)와, LSI 상에 형성된 패시베이션막과, 패시베이션막 상에 형성된 에폭시 수지와, 에폭시 수지 내에 그 두께 방향으로 관통해서 형성된 범프와, 범프의 선단에 배치된 뿔납 볼을 구비하는 칩 사이즈 패키지를 개시하고 있다. LSI의 주연부에는, 그 표면에 범프와 동수의 전극이 설치되어 있다. 또한, 패시베이션막 상에는, 뿔납 볼의 위치를 전극의 위치보다도 LSI의 표면을 따라 안쪽으로 이동시키기 위한 배선 금속이 형성되어 있다. 이 배선 금속은, 전극보다도 안쪽의 위치에 있어서, 범프와 접속되어 있다.

선행기술문헌

특허문헌

[0004] (특허문헌 0001) 일본 특허 출원 공개 평성 9-64049호 공보

발명의 내용

해결하려는 과제

- [0005] 칩 사이즈 패키지의 실장 기관에의 실장 시의 뿔납 볼의 변형을 고려하여, 인접하는 뿔납 볼간에는, 그들이 서로 접촉하는 것을 방지하기 위한 클리어런스를 설치해야만 한다. 따라서, 뿔납 볼을 지지하는 포스트의 역할을 담당하는 범프의 간격을 일정 이상으로 작게 할 수는 없다.
- [0006] 또한, 칩 사이즈 패키지의 사이즈의 증대를 회피하기 위해, 범프는, 가장 외측(LSI의 주연측)에 배치되는 전극보다도 내측에 배치된다. 따라서, 범프와 LSI의 주연 사이에는, 범프 및 뿔납 볼이 배치되지 않는, 오버행이라고 불리우는 부분이 존재한다.
- [0007] 그 때문에, 패키지 사이즈는, 범프(뿔납 볼)의 수 및 오버행의 폭에 의해 결정되고, 그 소형화에는 한계가 있다.
- [0008] 본 발명의 주된 목적은, 패키지 사이즈를 종래의 한계를 넘어서 소형화할 수 있는, 반도체 장치 및 그 제조 방법을 제공하는 것이다.

과제의 해결 수단

- [0009] 상기한 목적을 달성하기 위해서, 본 발명에 따른 반도체 장치는, 표면 및 이면을 갖는 반도체 칩과, 상기 반도체 칩의 상기 표면에 적층된 밀봉 수지층과, 상기 밀봉 수지층을 두께 방향으로 관통하고, 상기 밀봉 수지층의 측면과 동일 평면을 이루는 측면 및 상기 밀봉 수지층의 표면과 동일 평면을 이루는 선단면을 갖는 포스트와, 상기 포스트의 상기 선단면에 설치된 외부 접속 단자를 포함한다.
- [0010] 이 반도체 장치에서는, 포스트의 측면이 밀봉 수지층의 측면과 동일 평면을 이루고 있다. 즉, 포스트의 측면이 밀봉 수지층의 측면으로부터 노출되고 있다. 따라서, 포스트와 반도체 칩의 주연 사이에, 오버행이 존재하지 않으므로, 종래의 반도체 장치와 비교하여, 오버행의 폭 만큼, 반도체 장치의 패키지 사이즈를 작게 할 수 있다. 그 결과, 패키지 사이즈를 종래의 한계를 초과해서 소형화할 수 있다.
- [0011] 이러한 반도체 장치는, 예를 들면, 이하의 공정A?E를 포함하는 제조 방법에 의해 제조할 수 있다.
- [0012] A. 표면 및 이면을 갖는 복수의 반도체 칩이 그 집합체인 반도체 웨이퍼를 이룬 상태에서, 각 상기 반도체 칩의 상기 표면 상에 기둥 형상의 포스트를 형성하는 포스트 형성 공정
- [0013] B. 상기 반도체 웨이퍼의 상기 표면 상에, 상기 포스트의 선단면과 동일 평면을 이루는 표면을 갖는 밀봉 수지층을 형성하는 밀봉 공정
- [0014] C. 상기 밀봉 공정 후, 상기 반도체 칩의 주연을 따라 설정된 다이싱 라인 상에, 상기 밀봉 수지층의 상기 표면으로부터 파 내려간 홈을 형성하고, 이 홈의 내면의 일부로서 상기 포스트의 측면을 노출시키는 홈 형성 공정
- [0015] D. 상기 홈 형성 공정 후, 상기 포스트의 상기 선단면 상에, 상기 밀봉 수지층의 상기 표면에 대하여 융기한 단자를 형성하는 단자 형성 공정
- [0016] E. 상기 단자 형성 공정 후, 상기 반도체 웨이퍼를, 상기 다이싱 라인을 따라 각 상기 반도체 칩으로 분할하는 공정
- [0017] 밀봉 공정은, 상기 반도체 웨이퍼의 상기 표면 상에, 상기 포스트를 완전하게 피복하도록 밀봉 수지층을 형성하는 수지 피복 공정과, 상기 포스트의 상기 선단면이 상기 밀봉 수지층으로부터 노출될 때까지, 상기 밀봉 수지층을 연삭하는 연삭 공정을 포함하고 있어도 된다.
- [0018] 또한, 반도체 웨이퍼를 각 반도체 칩으로 분할하는 공정은, 상기 반도체 웨이퍼의 상기 이면으로부터 상기 반도체 웨이퍼를 파내려가는 것에 의해, 상기 홈의 내측과 상기 반도체 웨이퍼의 상기 이면측을 연통시키는 다이싱 공정이어도 되고, 상기 홈의 내측으로부터 상기 반도체 웨이퍼를 파내려가는 것에 의해, 상기 홈의 내측과 상기 반도체 웨이퍼의 상기 이면측을 연통시키는 다이싱 공정이어도 된다.
- [0019] 또한, 외부 접속 단자는, 포스트의 선단면과 포스트의 측면에 걸쳐서 설치되어 있는 것이 바람직하다. 이에 의해, 포스트의 선단면과 포스트의 측면이 이루는 각부가 외부 접속 단자에 의해 덮여지고, 포스트의 선단면과 외부 접속 단자의 경계가 외부에 노출되지 않는다. 그 때문에, 포스트 및 외부 접속 단자에 응력이 가해졌을 때에, 그 응력이 포스트의 선단면과 외부 접속 단자의 경계에 집중하는 것을 방지할 수 있고, 포스트로부터의 외부 접속 단자의 박리가 발생하는 것을 방지할 수 있다.
- [0020] 또한, 반도체 칩의 주연을 따라 복수의 포스트가 설치되고, 모든 포스트의 측면이 밀봉 수지층의 측면과 동일 평면을 이루고 있는 것이 바람직하다. 이 경우, 반도체 칩의 실장 기관에의 실장 후에, 모든 포스트의 측면에

대한 외부 접속 단자의 피착 상태를 시인할 수 있다. 따라서, 반도체 칩의 실장 기판에의 실장 상태의 외관 검사를 용이하게 행할 수 있다.

- [0021] 또한, 상기 반도체 장치는, 상기 반도체 칩과 상기 밀봉 수지층 사이에 개재되고, 복수의 패드 개구를 갖는 패시베이션막과, 각 상기 패드 개구로부터 노출되는 전극 패드를 더 포함하고 있어도 된다. 그 경우, 상기 포스트는, 상기 패드 개구 내로 파고들어, 상기 전극 패드에 접속되어 있어도 된다.
- [0022] 또한, 상기 포스트의 상기 측면은, 상기 밀봉 수지층과 접촉하는 평면에서 보아 C자 형상의 원호면을 포함하고 있어도 된다. 또한, 상기 포스트는, Cu로 이루어져 있어도 된다.
- [0023] 또한, 상기 외부 접속 단자는, 상기 포스트의 상기 선단면으로부터 상기 포스트의 상기 측면에 있어서의 상기 밀봉 수지층으로부터 노출된 부분으로 돌아 들어가고, 그 부분을 피복하는 대략 구형상으로 형성된 뿔을 포함하고 있어도 된다.
- [0024] 그 경우, 뿔이, 상기 포스트의 상기 측면에 있어서의 상기 밀봉 수지층으로부터 노출된 부분을 피복하는 피복 부분을 갖고 있어도 된다. 또한, 상기 뿔의 상기 피복 부분은, 상기 포스트의 상기 측면을 따라서 평행하게 연장되는 박막 형상으로 형성되어 있어도 된다.
- [0025] 그런데, WLCSP가 적용된 반도체 장치는, 패키지 사이즈가 작으므로, 디지털 카메라나 휴대 전화기 등의 소형 기기에 적합하지만, LSI(반도체 칩)의 측면이 드러나게 되어 있다. 그 때문에, 스트로보(flash gun)를 탑재한 기기에는 부적합하다. 스트로보가 발광하면, 스트로보로부터의 광이 기기의 내부에도 확산한다. 반도체 장치 기기 내에 설치되어 있으면, 그 광에 포함되는 적외선이 LSI의 측면으로부터 그 내부에 진입하여, LSI에 만들어진 IC가 노이즈의 발생 등의 오동작을 일으킬 우려가 있다.
- [0026] 그래서, 본 발명의 주된 목적은, 반도체 칩의 내부에의 적외선의 진입을 방지할 수 있는, 반도체 장치 및 그 제조 방법을 제공하는 것이다.
- [0027] 이 주된 목적을 달성하기 위해서, 본 발명의 반도체 장치는, 상기 반도체 칩의 상기 이면을 덮는 이면 피복막과, 적외선에 대한 차광성을 갖는 재료로 이루어지고, 상기 반도체 칩의 측면을 덮는 차광막을 더 포함하는 것이 바람직하다.
- [0028] 이에 의해, 반도체 칩의 측면으로부터 그 내부에의 적외선의 진입을 방지할 수 있다. 또한, 반도체 칩의 표면 및 이면이 각각 밀봉 수지층 및 이면 피복막으로 덮여 있으므로, 반도체 칩의 표면 및 이면으로부터 내부에의 적외선의 진입은 없다. 따라서, 반도체 칩의 내부에의 적외선의 진입이 없으므로, 적외선의 진입에 기인하는 IC의 오동작 등의 문제점의 발생을 방지할 수 있다.
- [0029] 적외선에 대한 차광성을 갖는 재료로서는, 금속 재료를 예시할 수 있다. 예를 들면, 이면 피복막 및/또는 차광막이 금속 재료로 이루어지는 경우, 적외선에 대하여 양호한 차광성을 발휘할 수 있다.
- [0030] 또한, 차광막 및 이면 피복막은, 일체적으로 형성되어 있어도 된다. 이 경우, 차광막 및 이면 피복막을 각각 별체로 형성하는 방법과 비교하여, 반도체 장치의 제조 공정수를 삭감할 수 있다.
- [0031] 또한, 차광막은, 수지 재료로 형성되어 있어도 되고, 수지 재료로 이루어지는 층과 금속 재료로 이루어지는 층의 적층 구조를 갖고 있어도 된다.
- [0032] 또한, 적외선에 대한 차광성을 갖는 금속 재료로서는, Pd, Ni, Ti, Cr 및 TiW로 이루어지는 군으로부터 선택되는 일종인 것이 바람직하다.
- [0033] 또한, 적외선에 대한 차광성을 갖는 수지 재료로서는, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 및 페놀로 이루어지는 군으로부터 선택되는 일종인 것이 바람직하다.
- [0034] 또한, 이면 피복막의 두께는, 3 μ m?100 μ m인 것이 바람직하다. 또한, 차광막의 두께는, 0.1 μ m?10 μ m인 것이 바람직하다.
- [0035] 이면 피복막 및 차광막을 갖는 반도체 장치는, 예를 들면, 상기 A?E를 포함하는 공정과, 또한 이하의 F?H를 포함하는 공정을 포함하는 제조 방법에 의해 제조할 수 있다.
- [0036] F. 상기 단자 형성 공정에 앞서, 상기 홈의 내면에, 적외선에 대한 차광성을 갖는 차광성 재료를 피착시킴으로써, 상기 홈의 상기 내면의 일부로서 노출되는 상기 반도체 칩의 측면에 차광막을 형성하는 공정
- [0037] G. 상기 단자 형성 공정 후, 상기 반도체 웨이퍼를 상기 이면측으로부터 연삭함으로써, 상기 차광막이 형성된 상

기 홈을 상기 반도체 웨이퍼의 상기 이면측에 관통시키는 이면 연삭 공정

[0038] H.상기 이면 연삭 공정에 의해 노출된 상기 반도체 웨이퍼의 상기 이면에, 해당 이면을 덮는 이면 피복막을 형성하는 공정

[0039] 공정 F의 차광막을 형성하는 공정은, 상기 홈의 상기 내면의 일부로서 노출되는 상기 포스트의 상기 측면 및 상기 반도체 칩의 상기 측면의 전역에 상기 차광막을 형성하는 공정과, 상기 차광막에 있어서의 상기 반도체 칩의 상기 측면 상의 제1 부분을, 해당 차광막에 대하여 에칭 선택비를 갖는 재료로 이루어지는 보호층에 의해 피복하는 공정과, 상기 차광막의 제1 부분을 상기 보호층에 의해 보호한 상태에서, 상기 차광막에 있어서의 상기 포스트의 상기 측면 상의 제2 부분을 선택적으로 제거하는 공정과, 상기 차광막의 상기 제2 부분의 제거 후, 상기 보호층을 완전하게 제거하는 공정을 포함하고 있어도 된다.

[0040] 이 경우, 상기 이면 피복막을 형성하는 공정이, 복수의 상기 반도체 칩의 상기 이면을 일괄해서 덮는 막을 형성하는 공정을 포함하고 있으면, 공정 E의 상기 반도체 칩으로 분할하는 공정은, 상기 다이싱 라인 상에서, 상기 반도체 칩의 상기 이면을 일괄해서 피복하는 상기 이면 피복막을 절단하는 공정을 포함하고 있어도 된다. 또한, 공정 H의 상기 이면 피복막을 형성하는 공정이, 복수의 상기 반도체 칩의 상기 이면을 개별로 덮는 막을 형성하는 공정을 포함하고 있으면, 공정 G의 상기 이면 연삭 공정이, 공정 E의 상기 반도체 칩으로 분할하는 공정을 겸하고 있어도 된다.

[0041] 또한, 공정 F의 상기 차광막을 형성하는 공정은, 상기 홈의 상기 내면의 일부로서 노출되는 상기 포스트의 상기 측면 및 상기 반도체 칩의 상기 측면의 전역에 제1 차광막을 형성하는 공정과, 상기 제1 차광막에 있어서의 상기 반도체 칩의 상기 측면 상의 제1 부분을, 해당 제1 차광막에 대한 에칭 선택비 및 적외선에 대한 차광성을 갖는 재료로 이루어지는 제2 차광막에 의해 피복하는 공정과, 상기 제1 차광막의 상기 제1 부분을 상기 제2 차광막에 의해 보호한 상태에서, 상기 제1 차광막에 있어서의 상기 포스트의 상기 측면 상의 제2 부분을 선택적으로 제거하는 공정과, 상기 제1 차광막의 상기 제2 부분의 제거 후, 상기 제2 차광막을 선택적으로 제거함으로써, 상기 제1 차광막과 상기 제2 차광막의 적층 구조를 갖는 상기 차광막을 형성하는 공정을 포함하고 있어도 된다.

[0042] 이 경우, 상기 제1 차광막 및 상기 제2 차광막은, 그들의 한쪽이 금속 재료로 이루어지고, 다른 쪽이 수지 재료로 이루어져 있어도 된다.

[0043] 또한, 공정 B의 밀봉 공정에 앞서, 상기 홈을 형성해야 할 라인을 따르도록 상기 홈과 동일 형상을 갖는 임시 홈을 형성하는 공정을 더 포함하는 경우, 공정 B의 상기 밀봉 공정은, 상기 밀봉 수지층을 형성함과 동시에, 상기 임시 홈에 수지 재료를 충전하는 공정을 포함하고 있어도 된다. 그 경우, 공정 C의 홈 형성 공정은, 상기 일시 홈의 폭과 동일 폭을 갖는 제1 블레이드에 의해, 충전된 상기 수지 재료를 선택적으로 제거함으로써, 상기 포스트의 상기 측면을 노출시키는 공정과, 상기 제1 블레이드의 폭보다도 작은 폭을 갖는 제2 블레이드에 의해, 상기 반도체 칩의 상기 측면 상에 상기 수지 재료가 막 형상으로 남도록, 상기 수지 재료를 선택적으로 제거함으로써, 상기 반도체 칩의 상기 측면에 상기 수지 재료로 이루어지는 차광막을 형성하는 공정을 포함하고 있어도 된다.

도면의 간단한 설명

- [0044] 도 1은 본 발명의 제1 실시 형태에 따른 반도체 장치의 모식적인 평면도.
- 도 2는 본 발명의 제1 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 1의 A-A 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 3A는 도 2에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 3B는 도 3A의 다음 공정을 도시하는 모식적인 단면도.
- 도 3C는 도 3B의 다음 공정을 도시하는 모식적인 단면도.
- 도 3D는 도 3C의 다음 공정을 도시하는 모식적인 단면도.
- 도 3E는 도 3D의 다음 공정을 도시하는 모식적인 단면도.
- 도 3F는 도 3E의 다음 공정을 도시하는 모식적인 단면도.

- 도 3G는 도 3F의 다음 공정을 도시하는 모식적인 단면도.
- 도 3H는 도 3G의 다음 공정을 도시하는 모식적인 단면도.
- 도 3I는 도 3H의 다음 공정을 도시하는 모식적인 단면도.
- 도 3J는 도 3I의 다음 공정을 도시하는 모식적인 단면도.
- 도 3K는 도 3J의 다음 공정을 도시하는 모식적인 단면도.
- 도 3L은 도 3K의 다음 공정을 도시하는 모식적인 단면도.
- 도 4는 본 발명의 제2 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 5A는 도 4에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 5B는 도 5A의 다음 공정을 도시하는 모식적인 단면도.
- 도 5C는 도 5B의 다음 공정을 도시하는 모식적인 단면도.
- 도 5D는 도 5C의 다음 공정을 도시하는 모식적인 단면도.
- 도 5E는 도 5D의 다음 공정을 도시하는 모식적인 단면도.
- 도 5F는 도 5E의 다음 공정을 도시하는 모식적인 단면도.
- 도 5G는 도 5F의 다음 공정을 도시하는 모식적인 단면도.
- 도 5H는 도 5G의 다음 공정을 도시하는 모식적인 단면도.
- 도 5I는 도 5H의 다음 공정을 도시하는 모식적인 단면도.
- 도 5J는 도 5I의 다음 공정을 도시하는 모식적인 단면도.
- 도 6은 본 발명의 제3 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 7A는 도 6에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 7B는 도 7A의 다음 공정을 도시하는 모식적인 단면도.
- 도 7C는 도 7B의 다음 공정을 도시하는 모식적인 단면도.
- 도 7D는 도 7C의 다음 공정을 도시하는 모식적인 단면도.
- 도 7E는 도 7D의 다음 공정을 도시하는 모식적인 단면도.
- 도 7F는 도 7E의 다음 공정을 도시하는 모식적인 단면도.
- 도 7G는 도 7F의 다음 공정을 도시하는 모식적인 단면도.
- 도 7H는 도 7G의 다음 공정을 도시하는 모식적인 단면도.
- 도 7I는 도 7H의 다음 공정을 도시하는 모식적인 단면도.
- 도 7J는 도 7I의 다음 공정을 도시하는 모식적인 단면도.
- 도 7K는 도 7J의 다음 공정을 도시하는 모식적인 단면도.
- 도 7L은 도 7K의 다음 공정을 도시하는 모식적인 단면도.
- 도 8은 본 발명의 제4 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 9A는 도 8에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 9B는 도 9A의 다음 공정을 도시하는 모식적인 단면도.

- 도 9C는 도 9B의 다음 공정을 도시하는 모식적인 단면도.
- 도 9D는 도 9C의 다음 공정을 도시하는 모식적인 단면도.
- 도 9E는 도 9D의 다음 공정을 도시하는 모식적인 단면도.
- 도 9F는 도 9E의 다음 공정을 도시하는 모식적인 단면도.
- 도 9G는 도 9F의 다음 공정을 도시하는 모식적인 단면도.
- 도 9H는 도 9G의 다음 공정을 도시하는 모식적인 단면도.
- 도 9I는 도 9H의 다음 공정을 도시하는 모식적인 단면도.
- 도 9J는 도 9I의 다음 공정을 도시하는 모식적인 단면도.
- 도 9K는 도 9J의 다음 공정을 도시하는 모식적인 단면도.
- 도 9L은 도 9K의 다음 공정을 도시하는 모식적인 단면도.
- 도 10은 본 발명의 제5 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 11은 본 발명의 제6 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 12A는 도 11에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 12B는 도 12A의 다음 공정을 도시하는 모식적인 단면도.
- 도 12C는 도 12B의 다음 공정을 도시하는 모식적인 단면도.
- 도 12D는 도 12C의 다음 공정을 도시하는 모식적인 단면도.
- 도 12E는 도 12D의 다음 공정을 도시하는 모식적인 단면도.
- 도 12F는 도 12E의 다음 공정을 도시하는 모식적인 단면도.
- 도 12G는 도 12F의 다음 공정을 도시하는 모식적인 단면도.
- 도 13은 본 발명의 제7 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 14A는 도 13에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 14B는 도 14A의 다음 공정을 도시하는 모식적인 단면도.
- 도 15는 도 2에 도시하는 반도체 장치의 변형예를 도시하는 모식적인 단면도.
- 도 16은 본 발명의 제8 실시 형태에 따른 반도체 장치의 모식적인 평면도.
- 도 17은 본 발명의 제8 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 16의 B-B 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 18A는 도 17에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 18B는 도 18A의 다음 공정을 도시하는 모식적인 단면도.
- 도 18C는 도 18B의 다음 공정을 도시하는 모식적인 단면도.
- 도 18D는 도 18C의 다음 공정을 도시하는 모식적인 단면도.
- 도 18E는 도 18D의 다음 공정을 도시하는 모식적인 단면도.
- 도 18F는 도 18E의 다음 공정을 도시하는 모식적인 단면도.
- 도 18G는 도 18F의 다음 공정을 도시하는 모식적인 단면도.
- 도 18H는 도 18G의 다음 공정을 도시하는 모식적인 단면도.

- 도 18I는 도 18H의 다음 공정을 도시하는 모식적인 단면도.
- 도 18J는 도 18I의 다음 공정을 도시하는 모식적인 단면도.
- 도 19는 본 발명의 제9 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 20A는 도 19에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 20B는 도 20A의 다음 공정을 도시하는 모식적인 단면도.
- 도 20C는 도 20B의 다음 공정을 도시하는 모식적인 단면도.
- 도 20D는 도 20C의 다음 공정을 도시하는 모식적인 단면도.
- 도 20E는 도 20D의 다음 공정을 도시하는 모식적인 단면도.
- 도 20F는 도 20E의 다음 공정을 도시하는 모식적인 단면도.
- 도 20G는 도 20F의 다음 공정을 도시하는 모식적인 단면도.
- 도 20H는 도 20G의 다음 공정을 도시하는 모식적인 단면도.
- 도 21은 본 발명의 제10 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 22A는 도 21에 도시하는 반도체 장치의 제조 도중의 상태를 도시하는 모식적인 단면도.
- 도 22B는 도 22A의 다음 공정을 도시하는 모식적인 단면도.
- 도 22C는 도 22B의 다음 공정을 도시하는 모식적인 단면도.
- 도 22D는 도 22C의 다음 공정을 도시하는 모식적인 단면도.
- 도 22E는 도 22D의 다음 공정을 도시하는 모식적인 단면도.
- 도 22F는 도 22E의 다음 공정을 도시하는 모식적인 단면도.
- 도 22G는 도 22F의 다음 공정을 도시하는 모식적인 단면도.
- 도 22H는 도 22G의 다음 공정을 도시하는 모식적인 단면도.
- 도 22I는 도 22H의 다음 공정을 도시하는 모식적인 단면도.
- 도 23은 본 발명의 제11 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 24는 본 발명의 제12 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있는 도면.
- 도 25는 도 17에 도시하는 반도체 장치의 변형예를 도시하는 모식적인 단면도.

발명을 실시하기 위한 구체적인 내용

- [0045] 이하에서는, 본 발명의 실시 형태를, 첨부 도면을 참조해서 상세하게 설명한다.
- [0046] <제1 실시 형태>
- [0047] 도 1은, 본 발명의 제1 실시 형태에 따른 반도체 장치의 모식적인 평면도이다. 도 2는, 본 발명의 제1 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 1의 A-A 절단면에 있어서의 단면을 나타내고 있다.
- [0048] 반도체 장치(1)는, WLCSP가 적용된 반도체 장치이다. 반도체 장치(1)는, 반도체 칩(2)을 구비하고 있다. 반도체 칩(2)은, 예를 들면, 실리콘 칩으로서, 표면(3), 측면(4) 및 이면(5)을 갖는 평면에서 보아 사각 형상으로 형성되어 있다.
- [0049] 반도체 칩(2)의 표면(3)에는, 패시베이션막(표면보호막)(6)이 형성되어 있다. 패시베이션막(6)은, 예를 들면, 산화실리콘 또는 질화실리콘으로 이루어진다. 이 패시베이션막(6)에는, 반도체 칩(2)에 만들어 놓어진 소자(도

시 생략)와 전기적으로 접속된 내부 배선의 일부를 전극 패드(7)로서 노출시키기 위한 복수의 패드 개구(8)가 형성되어 있다. 즉, 패시베이션막(6)은, 각 전극 패드(7)의 중앙부 상으로부터 제거되어 있다.

- [0050] 패시베이션막(6) 상에는, 밀봉 수지층(9)이 적층되어 있다. 밀봉 수지층(9)은, 예를 들면, 에폭시 수지로 이루어진다. 밀봉 수지층(9)은, 패시베이션막(6)의 표면을 덮고, 반도체 장치(1)(반도체 칩(2))의 표면(3)측을 밀봉하고 있다. 그리고, 밀봉 수지층(9)은, 표면(10)이 평탄면으로 형성됨과 함께, 그 측면(11)이 반도체 칩(2)의 측면(4)과 동일 평면에 형성되어 있다. 이에 의해, 반도체 장치(1)는, 평면에서 보아, 반도체 칩(2)의 사이즈와 동일한 외형 사이즈(패키지 사이즈)를 갖고 있다.
- [0051] 각 전극 패드(7) 상에는, 대략 원주 형상의 포스트(12)가 밀봉 수지층(9)을 그 두께 방향으로 관통해서 설치되어 있다. 포스트(12)는, 예를 들면, 구리(Cu)로 이루어진다. 포스트(12)의 하단부는, 패드 개구(8) 내로 파고 들어, 전극 패드(7)에 접속되어 있다. 포스트(12)의 선단면(상단부)(13)은, 밀봉 수지층(9)의 표면(10)과 동일 평면을 이루고 있다. 포스트(12)의 측면(14)은, 밀봉 수지층(9)과 접촉하는 평면에서 보아 C자 형상의 원호면(15)과, 밀봉 수지층(9)의 측면(11)으로부터 노출되고, 그 측면(11)과 동일 평면을 이루는 평탄면(16)을 갖고 있다. 또한, 이하에서는, 평탄면(16)을 간단히 「측면(16)」이라고 기재하는 경우가 있다.
- [0052] 복수의 전극 패드(7)(패드 개구(8))는, 반도체 칩(2)의 주연을 따른 사각 고리 형상으로 일렬로 나열해서 배치되어 있다. 그 때문에, 포스트(12)는, 반도체 칩(2)의 주연을 따른 사각 고리 형상으로 일렬로 나열해서 배치되어 있다. 이에 의해, 모든 포스트(12)의 측면(16)은, 밀봉 수지층(9)의 측면(11)과 동일 평면을 이루고 있다. 그리고, 인접하는 포스트(12)간의 간격은, 반도체 장치(1)의 실장 기관(도시 생략)에의 실장 시에, 다음으로 설명하는 뿔납 볼(17)이 변형해도, 인접하는 뿔납 볼(17)이 서로 접촉하지 않는 거리에 설정되어 있다.
- [0053] 각 포스트(12)의 선단면(13) 상에는, 외부 접속 단자로서의 뿔납 볼(17)이 접합되어 있다. 뿔납 볼(17)은, 대략 구 형상으로 형성되어 있다. 또한, 뿔납 볼(17)의 하부는, 포스트(12)의 선단면(13)으로부터 측면(16)에 있어서의 밀봉 수지층(9)으로부터 노출된 부분으로 돌아 들어가서, 그 부분을 피복하고 있다. 다시 말해서, 뿔납 볼(17)은, 포스트(12)의 선단면(13)과 측면(16)에 걸쳐서 설치되어 있다. 뿔납 볼(17)은, 전극 패드(7) 및 포스트(12)를 개재하여, 반도체 칩(2)에 만들어 넣어진 소자와 전기적으로 접속되어 있다.
- [0054] 뿔납 볼(17)이 실장 기관 상의 패드(도시 생략)에 접속됨으로써, 반도체 장치(1)의 실장 기관에의 실장이 달성된다. 즉, 뿔납 볼(17)이 실장 기관 상의 패드에 접속됨으로써, 반도체 장치(1)가 실장 기관 상에 지지됨과 함께, 실장 기관과 반도체 칩(2)의 전기적인 접속이 달성된다.
- [0055] 또한, 반도체 칩(2)의 측면(4)은, 그 전역이 차광막(18)에 의해 덮여 있다. 차광막(18)은, 적외선에 대한 차광성을 갖는 금속 재료로 이루어진다. 적외선에 대한 차광성을 갖는 금속 재료로서는, 예를 들면, Pd(팔라듐), Ni(니켈), Ti(티타늄), Cr(크롬) 및 TiW(티타늄-텅스텐 합금) 등을 예시할 수 있다. 차광막(18)의 두께는, 예를 들면, 0.1 μ m 이상 10 μ m 이하이다.
- [0056] 또한, 반도체 칩(2)의 이면(5)은, 그 전역이 이면 피복막(19)에 의해 덮여 있다. 이면 피복막(19)은, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 또는 페놀 등의 수지 재료로 이루어진다. 이면 피복막(19)의 두께는, 예를 들면, 3 μ m 이상 100 μ m 이하이다.
- [0057] 도 3A?도 3L은, 도 2에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다.
- [0058] 반도체 장치(1)의 제조는, 반도체 칩(2)이 개편(個片)으로 절단되기 전의 웨이퍼(20)의 상태에서 진행된다. 반도체 칩(2)(웨이퍼(20))의 표면에는, 패시베이션막(6)이 형성되어 있다.
- [0059] 우선, 도 3A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 패시베이션막(6)에 복수의 패드 개구(8)가 형성된다.
- [0060] 다음으로, 도 3B에 도시하는 바와 같이, 각 전극 패드(7) 상에, 기둥 형상의 포스트(12)가 형성된다. 포스트(12)는, 예를 들면, 패시베이션막(6) 상에, 포스트(12)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(12)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(12)는, 패시베이션막(6) 및 전극 패드(7) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.
- [0061] 다음으로, 도 3C에 도시하는 바와 같이, 패시베이션막(6) 상에, 밀봉 수지층(9)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(12)를 매몰시키는 높이(포스트(12)를 완전하게 피복하는 높이)까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해지는 것에 의해, 패시베이션막(6) 상에, 밀

봉 수지층(9)이 형성된다.

- [0062] 그 후, 밀봉 수지층(9)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(9)의 연삭은, 포스트(12)의 선단면(13)이 밀봉 수지층(9)의 표면(10)으로부터 노출될 때까지 계속된다. 이 연삭의 결과, 도 3D에 도시하는 바와 같이, 밀봉 수지층(9)의 표면(10)과 동일 평면을 이루는 포스트(12)의 선단면(13)이 얻어진다.
- [0063] 다음으로, 반도체 칩(2)의 표면측으로부터 다이싱 블레이드(21)가 진출됨으로써, 도 3E에 도시하는 바와 같이, 각 반도체 칩(2)의 주연을 따라 설정된 다이싱 라인 상에, 밀봉 수지층(9)의 표면으로부터 파내려간 홈(22)이 형성된다. 홈(22)은, 밀봉 수지층(9) 및 패시베이션막(6)을 관통하여, 그 저면이 반도체 칩(2)의 이면(5) 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(22)은, 그 측면간의 폭이 그 깊이 방향으로 일정하게 형성되어 있다. 이에 의해, 각 포스트(12)의 측면(16) 및 반도체 칩(2)의 측면(4)이 홈(22)의 내면(측면)의 일부로서 노출된다.
- [0064] 그 후, 도 3F에 도시하는 바와 같이, 홈(22)의 내면의 전역에 차광막(18)이 피착된다. 차광막(18)은, 예를 들면, 차광막(18)의 재료로 이루어지는 금속을 홈(22)의 내면에 증착시키는 것에 의해 형성되어도 되고, 무전해 도금에 의해 형성되어도 된다.
- [0065] 차광막(18)의 형성 후, 도 3G에 도시하는 바와 같이, 밀봉 수지층(9)의 재료와 동일한 액상의 수지(예를 들면, 에폭시 수지)가, 홈(22) 내에 공급된다. 이 액상의 수지는, 차광막(18)에 대하여 예칭 선택비를 갖고 있고, 그 표면이 반도체 칩(2)의 표면(3)과 동일 평면으로 되는 높이까지 공급된다. 이에 의해, 해당 액상의 수지로 이루어지고, 홈(22)에 매설된 보호층(25)이 형성된다. 보호층(25)은, 차광막(18)에 있어서의 반도체 칩(2)의 측면(4) 상의 제1 부분(23)을 피복하고, 차광막(18)에 있어서의 포스트(12)의 측면(16) 상의 제2 부분(24)을 노출시킨다(제2 부분(24)을 피복하지 않음). 계속해서, 차광막(18)의 제1 부분(23)을 보호층(25)으로 피복한 상태에서, 보호층(25)에 비해서 차광막(18)을 높은 예칭 레이트로 예칭 가능한 예칭제(예칭액, 예칭 가스)가 공급된다.
- [0066] 이에 의해, 도 3H에 도시하는 바와 같이, 보호층(25)으로 피복되어 있지 않은 차광막(18)의 제2 부분(24)이 선택적으로 제거되고, 보호층(25)으로 피복되어 있는 차광막(18)의 제1 부분(23)은, 홈(22) 내에 잔존한다. 그 후, 보호층(25)이 제거된다.
- [0067] 다음으로, 도 3I에 도시하는 바와 같이, 포스트(12)의 선단면(13) 상에, 땀납 볼(17)이 배치된다. 땀납 볼(17)은, 그 습윤성에 의해, 포스트(12)의 측면(16)까지 확산된다. 이에 의해, 포스트(12)의 선단면(13) 및 측면(16)이 땀납 볼(17)에 피복된다.
- [0068] 다음으로, 도 3J에 도시하는 바와 같이, 다이싱 테이프(26)의 점착면에 땀납 볼(17)이 배치되고, 다이싱 테이프(26) 상에 웨이퍼(20)가 지지된다.
- [0069] 그리고, 반도체 칩(2)(웨이퍼(20))이 그 이면(5)측으로부터 연삭된다. 이 반도체 칩(2)의 연삭은, 도 3K에 도시하는 바와 같이, 반도체 칩(2)에 있어서의 홈(22)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(22)의 내측과 반도체 칩(2)의 이면(5)측이 연통할 때까지 행해진다. 이때, 차광막(18)에 있어서의 홈(22)의 저면에 피착된 부분이 제거된다.
- [0070] 그 후, 도 3L에 도시하는 바와 같이, 반도체 칩(2)(웨이퍼(20))의 이면(5)의 전역에, 이면 피복막(19)이 형성된다. 이면 피복막(19)은, 예를 들면, 수지 재료를 웨이퍼(20)의 이면(5)의 전역에 도포(스핀코트)하고, 그 수지 재료를 경화시킴으로써 형성할 수 있다. 또한, 이면 피복막(19)은, 필름 형상으로 형성된 수지막을 웨이퍼(20)의 이면(5)의 전역에 접착하는 것에 의해 형성할 수도 있다.
- [0071] 그리고, 다이싱 블레이드(도시 생략)를 이용하여, 다이싱 라인 상에서 이면 피복막(19)이 절단되고, 웨이퍼(20)가 각 반도체 칩(2)으로 개편화된다. 그 후, 다이싱 테이프(26)가 제거되면, 도 2에 도시하는 반도체 장치(1)가 얻어진다.
- [0072] 이상과 같이, 반도체 장치(1)에서는, 포스트(12)의 측면(16)이 밀봉 수지층(9)의 측면(11)과 동일 평면을 이루고 있다. 즉, 포스트(12)의 측면(16)이 밀봉 수지층(9)의 측면(11)으로부터 노출되어 있다. 따라서, 포스트(12)와 반도체 칩(2)의 주연 사이에, 오버행이 존재하지 않으므로, 종래의 반도체 장치와 비교하여, 오버행의 폭만큼, 반도체 장치(1)의 패키지 사이즈를 작게 할 수 있다. 그 결과, 패키지 사이즈를 종래의 한계를 초월해서 소형화할 수 있다.
- [0073] 또한, 땀납 볼(17)은, 포스트(12)의 선단면(13)과 측면(16)에 걸쳐서 설치되어 있다. 이에 의해, 포스트(12)의

선단면(13)과 측면(16)이 이루는 각부가 뿔납 볼(17)에 의해 덮여져, 포스트(12)의 선단면(13)과 뿔납 볼(17)의 경계가 외부에 노출되지 않는다. 그 때문에, 포스트(12) 및 뿔납 볼(17)에 응력이 가해졌을 때에, 그 응력이 포스트(12)의 선단면과 뿔납 볼(17)의 경계에 집중하는 것을 방지할 수 있고, 또한, 뿔납 볼(17)과 포스트(12)가 접촉하기 때문에, 접촉 면적을 측면(16)의 면적분만큼 크게 할 수 있으므로, 포스트(12)로부터의 뿔납 볼(17)의 박리가 발생하는 것을 방지할 수 있다.

[0074] 또한, 반도체 칩(2)의 주연을 따라 복수의 포스트(12)가 설치되고, 모든 포스트(12)의 측면(16)이 밀봉 수지층(9)의 측면(11)과 동일 평면을 이루고 있다. 그 때문에, 반도체 칩(2)의 실장 기판에의 실장 후에, 모든 포스트(12)의 측면(16)에 대한 뿔납 볼(17)의 피착 상태를 시인할 수 있다. 따라서, 반도체 칩(2)의 실장 기판에의 실장 상태의 외관 검사를 용이하게 행할 수 있다.

[0075] 또한, 반도체 장치(1)에서는, 반도체 칩(2)의 측면(4)이 적외선에 대한 차광성을 갖는 재료로 이루어지는 차광막(18)으로 덮여 있다. 이에 의해, 반도체 칩(2)의 측면(4)으로부터 그 내부에의 적외선의 진입을 방지할 수 있다. 또한, 반도체 칩(2)의 표면(3) 상에 밀봉 수지층(9)이 적층되고, 반도체 칩(2)의 이면(5)이 이면 피복막(19)으로 덮여 있으므로, 반도체 칩(2)의 표면(3) 및 이면(5)으로부터 내부에의 적외선의 진입은 없다. 따라서, 반도체 칩(2)의 내부에의 적외선의 진입이 없으므로, 적외선의 진입에 기인하는 IC의 오동작 등의 문제점의 발생을 방지할 수 있다.

[0076] <제2 실시 형태>

[0077] 도 4는, 본 발명의 제2 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 4에 있어서, 도 2에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.

[0078] 도 2에 도시하는 반도체 장치(1)에서는, 반도체 칩(2)의 측면(4)은, 그 전역이 금속 재료로 이루어지는 차광막(18)에 의해 덮여 있는 것으로 하였다. 이것에 대하여, 도 4에 도시하는 반도체 장치(31)에서는, 반도체 칩(2)의 측면(4)은, 그 전역이 수지 재료로 이루어지는 차광막(32)에 의해 덮여 있다. 차광막(32)은, 이면 피복막(19)과 동일한 수지 재료, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리아미드 또는 페놀 등의 수지 재료로 이루어진다.

[0079] 도 5A?도 5J는, 도 4에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다. 또한, 도 5A?도 5J에 있어서, 도 3A?도 3L에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다.

[0080] 반도체 장치(31)의 제조는, 반도체 칩(2)이 개편으로 절단되기 전의 웨이퍼(20)의 상태에서 진행된다. 반도체 칩(2)(웨이퍼(20))의 표면에는, 패시베이션막(6)이 형성되어 있다.

[0081] 우선, 도 5A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 패시베이션막(6)에 복수의 패드 개구(8)가 형성된다.

[0082] 다음으로, 도 5B에 도시하는 바와 같이, 각 전극 패드(7) 상에, 기둥 형상의 포스트(12)가 형성된다. 포스트(12)는, 예를 들면, 패시베이션막(6) 상에, 포스트(12)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(12)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(12)는, 패시베이션막(6) 및 전극 패드(7) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.

[0083] 다음으로, 반도체 칩(2)의 표면측으로부터 다이싱 블레이드(33)가 진출됨으로써, 도 5C에 도시하는 바와 같이, 각 반도체 칩(2)의 주연을 따라 설정된 다이싱 라인 상에, 밀봉 수지층(9)의 표면으로부터 파내려간 임시 홈으로서의 홈(34)이 형성된다. 홈(34)은, 밀봉 수지층(9) 및 패시베이션막(6)을 관통하여, 그 저면이 반도체 칩(2)의 이면(5) 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(34)은, 그 측면간의 폭이 그 깊이 방향으로 일정하게 형성되어 있다. 이에 의해, 각 포스트(12)의 측면(16) 및 반도체 칩(2)의 측면(4)이 홈(34)의 내면(측면)의 일부로서 노출된다.

[0084] 다음으로, 패시베이션막(6) 상에, 밀봉 수지층(9)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(12)를 매몰시키는 높이(포스트(12)를 완전하게 피복하는 높이)까지 공급된다. 이 때, 액상의 수지는, 각 포스트(12)의 측면(16) 및 반도체 칩(2)의 측면(4)이 보이지 않게 될 때까지, 홈(34) 내에도

충전된다. 그리고, 수지를 경화시키기 위한 처리가 행해지는 것에 의해, 패시베이션막(6) 상에, 밀봉 수지층(9)이 형성되고, 동시에, 홈(34)을 완전하게 다 메우는 수지 재료층(35)이 형성된다.

[0085] 그 후, 밀봉 수지층(9)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(9)의 연삭은, 포스트(12)의 선단면(13)이 밀봉 수지층(9)의 표면(10)으로부터 노출될 때까지 계속된다. 이 연삭의 결과, 도 5D에 도시하는 바와 같이, 밀봉 수지층(9)의 표면(10)과 동일 평면을 이루는 포스트(12)의 선단면(13)이 얻어진다.

[0086] 다음으로, 반도체 칩(2)의 표면측으로부터 제1 블레이드로서의 다이싱 블레이드(36)가 진출됨으로써, 도 5E에 도시하는 바와 같이, 수지 재료층(35)에 있어서의 반도체 칩(2)의 표면(3)보다도 상측의 부분이 선택적으로 제거된다. 다이싱 블레이드(36)는, 도 5C에 도시하는 공정에 있어서 홈(34)을 형성하기 위해서 이용된 다이싱 블레이드(33)와 동일한 두께를 갖고 있다. 이에 의해, 각 포스트(12)의 측면(16)이 노출된다.

[0087] 다음으로, 반도체 칩(2)의 표면측으로부터 제2 블레이드로서의 다이싱 블레이드(37)가 진출됨으로써, 도 5F에 도시하는 바와 같이, 홈(34) 내에 잔존하는 수지 재료층(35)의 중앙 부분이 선택적으로 제거된다. 다이싱 블레이드(37)는, 도 5E에 도시하는 공정에 있어서 수지 재료층(35)에 있어서의 반도체 칩(2)의 표면(3)보다도 상측의 부분을 제거하기 위해서 이용된 다이싱 블레이드(36)보다도 작은 두께를 갖고 있다. 이에 의해, 수지 재료층(35)이 반도체 칩(2)의 측면(4) 및 홈(34)의 저면 상에 막 형상으로 잔존하고, 그 잔존한 부분이 차광막(32)이 된다.

[0088] 다음으로, 도 5G에 도시하는 바와 같이, 포스트(12)의 선단면(13) 상에, 뿔납 볼(17)이 배치된다. 뿔납 볼(17)은, 그 습윤성에 의해, 포스트(12)의 측면(16)까지 확산된다. 이에 의해, 포스트(12)의 선단면(13) 및 측면(16)이 뿔납 볼(17)에 피복된다.

[0089] 다음으로, 도 5H에 도시하는 바와 같이, 다이싱 테이프(26)의 점착면에 뿔납 볼(17)이 배치되고, 다이싱 테이프(26) 상에 웨이퍼(20)가 지지된다.

[0090] 그리고, 반도체 칩(2)(웨이퍼(20))이 그 이면(5)측으로부터 연삭된다. 이 반도체 칩(2)의 연삭은, 도 5I에 도시하는 바와 같이, 반도체 칩(2)에 있어서의 홈(34)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(34)의 내측과 반도체 칩(2)의 이면(5)측이 연통할 때까지 행해진다. 이때, 차광막(32)에 있어서의 홈(34)의 저면에 피착된 부분이 제거된다.

[0091] 그 후, 도 5J에 도시하는 바와 같이, 반도체 칩(2)(웨이퍼(20))의 이면(5)의 전역에, 이면 피복막(19)이 형성된다. 이면 피복막(19)은, 예를 들면, 수지 재료를 웨이퍼(20)의 이면(5)의 전역에 도포(스핀코트)하고, 그 수지 재료를 경화시킴으로써 형성할 수 있다. 또한, 이면 피복막(19)은, 필름 형상으로 형성된 수지막을 웨이퍼(20)의 이면(5)의 전역에 접착하는 것에 의해 형성할 수도 있다.

[0092] 그리고, 다이싱 블레이드(도시 생략)를 이용하여, 다이싱 라인 상에서 이면 피복막(19)이 절단되고, 웨이퍼(20)가 각 반도체 칩(2)으로 개편화된다. 그 후, 다이싱 테이프(26)이 제거되면, 도 4에 도시하는 반도체 장치(31)가 얻어진다.

[0093] 이와 같이 해서 얻어지는 반도체 장치(31)의 구성에 있어서도, 도 2에 도시하는 반도체 장치(1)의 구성과 마찬가지로의 효과를 발휘할 수 있다.

[0094] <제3 실시 형태>

[0095] 도 6은, 본 발명의 제3 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 6에 있어서, 도 2에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.

[0096] 도 2에 도시하는 반도체 장치(1)에서는, 금속 재료로 이루어지는 차광막(18)과 수지 재료로 이루어지는 이면 피복막(19)이 별개로 형성되어 있는 것으로 하였다. 이것에 대하여, 도 6에 도시하는 반도체 장치(41)에서는, 반도체 칩(2)의 측면(4) 및 이면(5)은, 그 전역이 보호막(42)에 의해 덮여 있다. 다시 말해서, 보호막(42)은, 반도체 칩(2)의 측면(4)의 전역을 덮는 차광막(43)과, 반도체 칩(2)의 이면(5)의 전역을 덮는 이면 피복막(44)을 일체적으로 구비하고 있다. 보호막(42)은, 적외선에 대한 차광성을 갖는 금속 재료로 이루어진다. 적외선에 대한 차광성을 갖는 금속 재료로서는, 예를 들면, Pd, Ni, Ti, Cr 및 TiW 등을 예시할 수 있다. 보호막(42)에 있어서의 차광막(43)을 이루는 부분의 두께는, 예를 들면, 0.1 μ m 이상 10 μ m 이하이다. 또한, 보호막(42)에 있

어서의 이면 피복막(44)을 이루는 부분의 두께는, 예를 들면, 5 μ m 이상 50 μ m 이하이다.

- [0097] 도 7A?도 7L은, 도 6에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다. 또한, 도 7A?도 7L에 있어서, 도 3A?도 3L에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다.
- [0098] 반도체 장치(41)의 제조는, 반도체 칩(2)이 개편으로 절단되기 전의 웨이퍼(20)의 상태에서 진행된다. 반도체 칩(2)(웨이퍼(20))의 표면에는, 패시베이션막(6)이 형성되어 있다.
- [0099] 우선, 도 7A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 패시베이션막(6)에 복수의 패드 개구(8)가 형성된다.
- [0100] 다음으로, 도 7B에 도시하는 바와 같이, 각 전극 패드(7) 상에, 기둥 형상의 포스트(12)가 형성된다. 포스트(12)는, 예를 들면, 패시베이션막(6) 상에, 포스트(12)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(12)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(12)는, 패시베이션막(6) 및 전극 패드(7) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.
- [0101] 다음으로, 도 7C에 도시하는 바와 같이, 패시베이션막(6) 상에, 밀봉 수지층(9)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(12)를 매몰시키는 높이(포스트(12)를 완전하게 피복하는 높이)까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해지는 것에 의해, 패시베이션막(6) 상에, 밀봉 수지층(9)이 형성된다.
- [0102] 그 후, 밀봉 수지층(9)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(9)의 연삭은, 포스트(12)의 선단면(13)이 밀봉 수지층(9)의 표면(10)으로부터 노출될 때까지 계속된다. 이 연삭의 결과, 도 7D에 도시하는 바와 같이, 밀봉 수지층(9)의 표면(10)과 동일 평면을 이루는 포스트(12)의 선단면(13)이 얻어진다.
- [0103] 다음으로, 반도체 칩(2)의 표면측으로부터 다이싱 블레이드(21)가 진출됨으로써, 도 7E에 도시하는 바와 같이, 각 반도체 칩(2)의 주연을 따라 설정된 다이싱 라인 상에, 밀봉 수지층(9)의 표면으로부터 파내려간 홈(22)이 형성된다. 홈(22)은, 밀봉 수지층(9) 및 패시베이션막(6)을 관통하여, 그 저면이 반도체 칩(2)의 이면(5) 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(22)은, 그 측면간의 폭이 그 깊이 방향으로 일정하게 형성되어 있다. 이에 의해, 각 포스트(12)의 측면(16) 및 반도체 칩(2)의 측면(4)이 홈(22)의 내면(측면)의 일부로서 노출된다.
- [0104] 그 후, 도 7F에 도시하는 바와 같이, 홈(22)의 내면의 전역에 차광막(43)이 피착된다. 차광막(43)은, 예를 들면, 차광막(43)의 재료로 이루어지는 금속을 홈(22)의 내면에 증착시키는 것에 의해 형성되어도 되고, 무전해 도금에 의해 형성되어도 된다.
- [0105] 차광막(43)의 형성 후, 도 7G에 도시하는 바와 같이, 밀봉 수지층(9)의 재료와 동일한 액상의 수지(예를 들면, 에폭시 수지)가, 홈(22) 내에 공급된다. 이 액상의 수지는, 차광막(43)에 대하여 에칭 선택비를 갖고 있고, 그 표면이 반도체 칩(2)의 표면(3)과 동일 평면으로 되는 높이까지 공급된다. 이에 의해, 해당 액상의 수지로 이루어지고, 홈(22)에 매설된 보호층(25)이 형성된다. 보호층(25)은, 차광막(43)에 있어서의 반도체 칩(2)의 측면(4) 상의 제1 부분(23)을 피복하고, 차광막(43)에 있어서의 포스트(12)의 측면(16) 상의 제2 부분(24)을 노출시킨다(제2 부분(24)을 피복하지 않음). 계속해서, 차광막(43)의 제1 부분(23)을 보호층(25)으로 피복한 상태에서, 보호층(25)에 비해서 차광막(43)을 높은 에칭 레이트로 에칭 가능한 에칭제(에칭액, 에칭 가스)가 공급된다.
- [0106] 이에 의해, 도 7H에 도시하는 바와 같이, 보호층(25)으로 피복되어 있지 않은 차광막(43)의 제2 부분(24)이 선택적으로 제거되고, 보호층(25)으로 피복되어 있는 차광막(43)의 제1 부분(23)은, 홈(22) 내에 잔존한다. 그 후, 보호층(25)이 제거된다.
- [0107] 다음으로, 도 7I에 도시하는 바와 같이, 포스트(12)의 선단면(13) 상에, 땀납 볼(17)이 배치된다. 땀납 볼(17)은, 그 습윤성에 의해, 포스트(12)의 측면(16)까지 확산된다. 이에 의해, 포스트(12)의 선단면(13) 및 측면(16)이 땀납 볼(17)에 피복된다.
- [0108] 다음으로, 도 7J에 도시하는 바와 같이, 다이싱 테이프(26)의 접촉면에 땀납 볼(17)이 배치되고, 다이싱 테이프(26) 상에 웨이퍼(20)가 지지된다.

- [0109] 그리고, 반도체 칩(2)(웨이퍼(20))이 그 이면(5)측으로부터 연삭된다. 이 반도체 칩(2)의 연삭은, 도 7K에 도시하는 바와 같이, 반도체 칩(2)에 있어서의 홈(22)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(22)의 내측과 반도체 칩(2)의 이면(5)측이 연통할 때까지 행해진다. 이때, 차광막(43)에 있어서의 홈(22)의 저면에 피착된 부분이 제거된다.
- [0110] 그 후, 도 7L에 도시하는 바와 같이, 반도체 칩(2)(웨이퍼(20))의 이면(5)의 전역에, 이면 피복막(44)이, 반도체 칩(2)마다 피착된다. 이면 피복막(44)은, 예를 들면, 보호막(42)의 재료로 이루어지는 금속을 반도체 칩(2)의 이면(5)에 증착시키는 것에 의해 형성되어도 되고, 무전해 도금에 의해 형성되어도 된다.
- [0111] 그리고, 다이싱 테이프(26)가 제거되면, 도 6에 도시하는 반도체 장치(41)가 얻어진다.
- [0112] 이 반도체 장치(41)의 구성에 있어서도, 도 2에 도시하는 반도체 장치(1)의 구성과 마찬가지로의 효과를 발휘할 수 있다.
- [0113] <제4 실시 형태>
- [0114] 도 8은, 본 발명의 제4 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 8에 있어서, 도 2에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.
- [0115] 반도체 장치(45)에서는, 반도체 칩(2)의 측면(4)을 덮는 차광막(46)이, 금속층(47)과 수지층(48)의 적층 구조를 갖고 있다. 금속층(47)은, 예를 들면, Pd, Ni, Ti, Cr 또는 TiW로 이루어진다. 또한, 수지층(48)은, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리아미드 또는 페놀 등의 수지 재료로 이루어진다.
- [0116] 도 9A?도 9M은, 도 8에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다. 또한, 도 9A?도 9M에 있어서, 도 3A?도 3L에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다.
- [0117] 반도체 장치(45)의 제조는, 반도체 칩(2)이 개편으로 절단되기 전의 웨이퍼(20)의 상태에서 진행된다. 반도체 칩(2)(웨이퍼(20))의 표면에는, 패시베이션막(6)이 형성되어 있다.
- [0118] 우선, 도 9A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 패시베이션막(6)에 복수의 패드 개구(8)가 형성된다.
- [0119] 다음으로, 도 9B에 도시하는 바와 같이, 각 전극 패드(7) 상에, 기둥 형상의 포스트(12)가 형성된다. 포스트(12)는, 예를 들면, 패시베이션막(6) 상에, 포스트(12)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(12)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(12)는, 패시베이션막(6) 및 전극 패드(7) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.
- [0120] 다음으로, 도 9C에 도시하는 바와 같이, 패시베이션막(6) 상에, 밀봉 수지층(9)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(12)를 매몰시키는 높이(포스트(12)를 완전하게 피복하는 높이)까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해지는 것에 의해, 패시베이션막(6) 상에, 밀봉 수지층(9)이 형성된다.
- [0121] 그 후, 밀봉 수지층(9)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(9)의 연삭은, 포스트(12)의 선단면(13)이 밀봉 수지층(9)의 표면(10)으로부터 노출될 때까지 계속된다. 이 연삭의 결과, 도 9D에 도시하는 바와 같이, 밀봉 수지층(9)의 표면(10)과 동일 평면을 이루는 포스트(12)의 선단면(13)이 얻어진다.
- [0122] 다음으로, 반도체 칩(2)의 표면측으로부터 다이싱 블레이드(21)가 진출됨으로써, 도 9E에 도시하는 바와 같이, 각 반도체 칩(2)의 주연을 따라 설정된 다이싱 라인 상에, 밀봉 수지층(9)의 표면으로부터 파내려간 홈(22)이 형성된다. 홈(22)은, 밀봉 수지층(9) 및 패시베이션막(6)을 관통하여, 그 저면이 반도체 칩(2)의 이면(5) 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(22)은, 그 측면간의 폭이 그 깊이 방향으로 일정하게 형성되어 있다. 이에 의해, 각 포스트(12)의 측면(16) 및 반도체 칩(2)의 측면(4)이 홈(22)의 내면(측면)의 일부로서 노출된다.
- [0123] 그 후, 도 9F에 도시하는 바와 같이, 홈(22)의 내면의 전역에 제1 차광막으로서의 금속층(47)이 피착된다. 금속층(47)은, 예를 들면, 금속층(47)의 재료로 이루어지는 금속을 홈(22)의 내면에 증착시키는 것에 의해 형성되

어도 되고, 무전해 도금에 의해 형성되어도 된다.

- [0124] 금속층(47)의 형성 후, 도 9G에 도시하는 바와 같이, 밀봉 수지층(9)의 재료와 동일한 액상의 수지(예를 들면, 에폭시 수지)가, 홈(22) 내에 공급된다. 이 액상의 수지는, 금속층(47)에 대하여 예칭 선택비를 갖고 있고, 그 표면이 반도체 칩(2)의 표면(3)과 동일 평면으로 되는 높이까지 공급된다. 이에 의해, 해당 액상의 수지가 홈(22)에 매설된 수지 재료층(49)이 형성된다. 수지 재료층(49)은, 금속층(47)에 있어서의 반도체 칩(2)의 측면(4) 상의 제1 부분(50)을 피복하고, 금속층(47)에 있어서의 포스트(12)의 측면(16) 상의 제2 부분(51)을 노출시킨다(제2 부분(51)을 피복하지 않음). 계속해서, 금속층(47)의 제1 부분(50)을 수지 재료층(49)으로 피복한 상태에서, 수지 재료층(49)에 비해서 금속층(47)을 높은 예칭 레이트로 예칭 가능한 예칭제(예칭액, 예칭 가스)가 공급된다.
- [0125] 이에 의해, 도 9H에 도시하는 바와 같이, 수지 재료층(49)으로 피복되어 있지 않은 금속층(47)의 제2 부분(51)이 선택적으로 제거되고, 수지 재료층(49)으로 피복되어 있는 금속층(47)의 제1 부분(50)은, 홈(22) 내에 잔존한다.
- [0126] 다음으로, 반도체 칩(2)의 표면측으로부터 다이싱 블레이드(52)가 진출됨으로써, 도 9I에 도시하는 바와 같이, 홈(22) 내에 잔존하는 수지 재료층(49)의 중앙 부분이 선택적으로 제거된다. 다이싱 블레이드(52)는, 도 9E에 도시하는 공정에 있어서 홈(22)을 형성하기 위해서 이용된 다이싱 블레이드(21)보다도 작은 두께를 갖고 있다. 이에 의해, 수지 재료층(49)이 금속층(47) 상에 막 형상으로 잔존하고, 그 잔존한 부분이 제2 차광막으로서의 수지층(48)이 된다. 이렇게 해서, 금속층(47)과 수지층(48)의 적층 구조를 갖는 차광막(46)이 형성된다.
- [0127] 다음으로, 도 9J에 도시하는 바와 같이, 포스트(12)의 선단면(13) 상에, 뿔납 볼(17)이 배치된다. 뿔납 볼(17)은, 그 습윤성에 의해, 포스트(12)의 측면(16)까지 확산된다. 이에 의해, 포스트(12)의 선단면(13) 및 측면(16)이 뿔납 볼(17)에 피복된다.
- [0128] 다음으로, 도 9K에 도시하는 바와 같이, 다이싱 테이프(26)의 점착면에 뿔납 볼(17)이 배치되고, 다이싱 테이프(26) 상에 웨이퍼(20)가 지지된다.
- [0129] 그리고, 반도체 칩(2)(웨이퍼(20))이 그 이면(5)측으로부터 연삭된다. 이 반도체 칩(2)의 연삭은, 도 9L에 도시하는 바와 같이, 반도체 칩(2)에 있어서의 홈(22)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(22)의 내측과 반도체 칩(2)의 이면(5)측이 연통할 때까지 행해진다. 이때, 차광막(46)에 있어서의 홈(22)의 저면에 피착된 부분이 제거된다.
- [0130] 그 후, 도 9M에 도시하는 바와 같이, 반도체 칩(2)(웨이퍼(20))의 이면(5)의 전역에, 이면 피복막(19)이 형성된다. 이면 피복막(19)은, 예를 들면, 수지 재료를 웨이퍼(20)의 이면(5)의 전역에 도포(스핀코트)하고, 그 수지 재료를 경화시킴으로써 형성할 수 있다. 또한, 이면 피복막(19)은, 필름 형상으로 형성된 수지막을 웨이퍼(20)의 이면(5)의 전역에 접착하는 것에 의해 형성할 수도 있다.
- [0131] 그리고, 다이싱 블레이드(도시 생략)를 이용하여, 다이싱 라인 상에서 이면 피복막(19)이 절단되고, 웨이퍼(20)가 각 반도체 칩(2)으로 개편화된다. 그 후, 다이싱 테이프(26)가 제거되면, 도 8에 도시하는 반도체 장치(45)가 얻어진다.
- [0132] 이 반도체 장치(45)의 구성에 있어서도, 도 2에 도시하는 반도체 장치(1)의 구성과 마찬가지로의 효과를 발휘할 수 있다.
- [0133] <제5 실시 형태>
- [0134] 도 10은, 본 발명의 제5 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 10에 있어서, 도 2에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.
- [0135] 반도체 장치(53)에서는, 반도체 칩(2)의 측면(4)을 덮는 차광막(54)이, 수지층(55)과 금속층(56)의 적층 구조를 갖고 있다. 수지층(55)은, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 또는 페놀 등의 수지 재료로 이루어진다. 또한, 금속층(56)은, 예를 들면, Pd, Ni, Ti, Cr 또는 TiW로 이루어진다.
- [0136] 이 반도체 장치(53)의 구성에 있어서도, 도 2에 도시하는 반도체 장치(1)의 구성과 마찬가지로의 효과를 발휘할 수 있다.

- [0137] <제6 실시 형태>
- [0138] 도 11은, 본 발명의 제6 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 11에 있어서, 도 2에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.
- [0139] 반도체 장치(57)에서는, 반도체 칩(2)의 측면(4)을 덮는 차광막(18) 및 반도체 칩(2)의 이면(5)을 덮는 이면 피복막(19)이 생략되어 있다.
- [0140] 도 12A?도 12G는, 도 11에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다. 또한, 도 12A?도 12G에 있어서, 도 3A?도 3E에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다.
- [0141] 반도체 장치(57)의 제조는, 반도체 칩(2)이 개편으로 절단되기 전의 웨이퍼(20)의 상태에서 진행된다. 반도체 칩(2)(웨이퍼(20))의 표면에는, 패시베이션막(6)이 형성되어 있다.
- [0142] 우선, 도 12A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 패시베이션막(6)에 복수의 패드 개구(8)가 형성된다.
- [0143] 다음으로, 도 12B에 도시하는 바와 같이, 각 전극 패드(7) 상에, 기둥 형상의 포스트(12)가 형성된다. 포스트(12)는, 예를 들면, 패시베이션막(6) 상에, 포스트(12)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(12)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(12)는, 패시베이션막(6) 및 전극 패드(7) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.
- [0144] 다음으로, 도 12C에 도시하는 바와 같이, 패시베이션막(6) 상에, 밀봉 수지층(9)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(12)를 매몰시키는 높이(포스트(12)를 완전하게 피복하는 높이)까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해지는 것에 의해, 패시베이션막(6) 상에, 밀봉 수지층(9)이 형성된다.
- [0145] 그 후, 밀봉 수지층(9)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(9)의 연삭은, 포스트(12)의 선단면(13)이 밀봉 수지층(9)의 표면(10)으로부터 노출될 때까지 계속된다. 이 연삭의 결과, 도 12D에 도시하는 바와 같이, 밀봉 수지층(9)의 표면(10)과 동일 평면을 이루는 포스트(12)의 선단면(13)이 얻어진다.
- [0146] 다음으로, 반도체 칩(2)의 표면측으로부터 다이싱 블레이드(21)가 진출됨으로써, 도 12E에 도시하는 바와 같이, 각 반도체 칩(2)의 주연을 따라 설정된 다이싱 라인 상에, 밀봉 수지층(9)의 표면으로부터 파내려간 홈(58)이 형성된다. 홈(58)은, 밀봉 수지층(9) 및 패시베이션막(6)을 관통하여, 그 저면이 반도체 칩(2)의 표면(3)에 도달하는 깊이로 파내려가진다. 이에 의해, 각 포스트(12)의 측면(16)이 홈(58)의 내면에 노출된다.
- [0147] 그 후, 도 12F에 도시하는 바와 같이, 포스트(12)의 선단면(13) 상에, 땀납 볼(17)이 배치된다. 땀납 볼(17)은, 그 습윤성에 의해, 포스트(12)의 측면(16)까지 확산된다. 이에 의해, 포스트(12)의 선단면(13) 및 측면(16)이 땀납 볼(17)에 피복된다. 그리고, 다이싱 테이프(도시 생략)의 접촉면에 땀납 볼(17)이 배치되고, 다이싱 테이프 상에 웨이퍼(20)가 지지된 상태에서, 반도체 칩(2)의 이면(5)측으로부터 다이싱 라인 상에, 다이싱 블레이드(21)와 동일한 블레이드 폭을 갖는 다이싱 블레이드(59)가 진출된다.
- [0148] 그리고, 웨이퍼(20)가 이면(5)측으로부터 파내려가지고, 도 12G에 도시하는 바와 같이, 웨이퍼(20)가 각 반도체 칩(2)으로 개편화된다. 그 후, 다이싱 테이프가 제거되면, 도 11에 도시하는 반도체 장치(57)가 얻어진다.
- [0149] 이 반도체 장치(57)의 구성에 있어서도, 도 2에 도시하는 반도체 장치(1)의 구성과 마찬가지로의 효과를 발휘할 수 있다.
- [0150] <제7 실시 형태>
- [0151] 도 13은, 본 발명의 제7 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 2의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 13에 있어서, 도 2에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.

- [0152] 도 1에 도시하는 반도체 장치(1)에서는, 뿔납 볼(17)이 대략 구 형상으로 형성되어 있는 것으로 하였다. 이것에 대하여, 도 13에 도시하는 반도체 장치(60)에서는, 뿔납 볼(61)에, 밀봉 수지층(9)의 측면(11) 및 포스트(12)의 측면(16)과 평행한 볼 측면(62)이 형성되어 있다.
- [0153] 구체적으로는, 뿔납 볼(61)은, 포스트(12)의 측면(16)으로 돌아 들어가고, 그 부분을 피복하고 있다. 이 피복 부분(63)은, 포스트(12)의 측면(16)을 따라 평행하게 연장되는 박막 형상으로 형성되어 있다. 그리고, 이 피복 부분(63)의 외측(반도체 칩(2)의 주연측)의 측면이 볼 측면(62)을 이루고 있다.
- [0154] 또한, 반도체 장치(60)에서는, 반도체 칩(2)의 측면(4)을 덮는 차광막(18) 및 반도체 칩(2)의 이면(5)을 덮는 이면 피복막(19)이 생략되어 있다.
- [0155] 도 14A?도 14B는, 도 13에 도시하는 반도체 장치의 각 제조 공정에 있어서의 모식적인 단면도이다.
- [0156] 도 14A?도 14B에 도시하는 공정은, 도 12A?도 12E 에 도시하는 공정 후에 계속해서 행해진다.
- [0157] 도 12E에 도시하는 공정에 의해, 밀봉 수지층(9)의 표면으로부터 파내려간 홈(58)이 형성된 후, 도 14A에 도시하는 바와 같이, 포스트(12)의 선단면(13) 상에, 뿔납 볼(61)이 배치된다. 뿔납 볼(61)은, 그 습윤성에 의해, 포스트(12)의 측면(16)까지 확산된다. 이에 의해, 포스트(12)의 선단면(13) 및 측면(16)이 뿔납 볼(61)에 피복된다. 그리고, 다이싱 테이프(도시 생략)의 접촉면에 반도체 칩(2)의 이면(5)이 접촉되어, 다이싱 테이프 상에 웨이퍼(20)가 지지된 상태에서, 웨이퍼(20)의 표면(3)측으로부터 홈(58) 내로 다이싱 블레이드(64)가 진출된다.
- [0158] 그리고, 웨이퍼(20)가 표면(3)측으로부터 파내려가져, 도 14B에 도시하는 바와 같이, 웨이퍼(20)가 각 반도체 칩(2)으로 개편화된다. 이때, 뿔납 볼(61)에 있어서의 다이싱 라인과 겹치는 부분은, 다이싱 블레이드(64)의 진출에 따라 절단된다. 이에 의해, 뿔납 볼(61)에 볼 측면(62)이 형성된다. 그 후, 다이싱 테이프가 제거되면, 도 13에 도시하는 반도체 장치(60)가 얻어진다.
- [0159] 이렇게 해서 얻어지는 반도체 장치(60)에 있어서도, 도 2에 도시하는 반도체 장치(1)와 마찬가지로의 효과를 발휘할 수 있다.
- [0160] 이상, 본 발명의 제1? 제7 실시 형태를 설명했지만, 본 발명은, 또 다른 형태로 실시할 수도 있다.
- [0161] 예를 들면, 도 15에 도시하는 바와 같이, 홈(22)의 측면이, 반도체 칩(2)의 표면(3)측만큼 그 간격이 넓어지는 테이퍼 형상으로 형성되어 있어도 된다.
- [0162] 이러한 테이퍼 형상의 홈(22)은, 예를 들면, 도 3E 에 도시하는 공정에 있어서, 반도체 칩(2)의 표면(3)측으로부터 진출되는 다이싱 블레이드(21)로서, 그 두께가 날끝에 근접할수록 작아지는 단면 대략 코자형의 날을 갖는 것을 채용함으로써 형성할 수 있다.
- [0163] 또한, 도 2에 도시하는 반도체 장치(1)에서는, 차광막(18)의 재료로서 적외선에 대한 차광성을 갖는 금속 재료가 채용되고, 이면 피복막(19)의 재료로서 수지 재료가 채용된 구성을 채택하였지만, 차광막(18)의 재료로서 수지 재료가 채용되고, 이면 피복막(19)의 재료로서, 적외선에 대한 차광성을 갖는 금속 재료(예를 들면, Pd, Ni, Ti, Cr 및 TiW)가 채용되어도 된다. 이 경우, 차광막(18)의 재료인 수지 재료로서는, 적외선에 대한 차광성을 갖는 수지 재료, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리이미드, 폴리이미드 또는 페놀 등이 채용되는 것이 바람직하다.
- [0164] 또한, 포스트(12)의 재료로서, 구리를 예시했지만, 포스트(12)의 재료로서는, 금(Au) 또는 Ni(니켈) 등의 금속 재료가 채용되어도 된다.
- [0165] 또한, 포스트(12)는, 반도체 칩(2)의 주연을 따른 고리 형상으로 일렬로 나열해서 배치되어 있는 것으로 했지만, 포스트(12)의 수(핀수)에 따라서는, 포스트(12)는, 반도체 칩(2)의 주연을 따른 고리 형상으로 복수 열로 배열해서 배치되어도 된다. 예를 들면, 100개의 포스트(12)가 설치되는 경우, 포스트(12)는, 반도체 칩(2)의 주연을 따른 고리 형상으로 5열로 배열해서 배치되어도 된다.
- [0166] <제8 실시 형태>
- [0167] 도 16은, 본 발명의 제8 실시 형태에 따른 반도체 장치의 모식적인 평면도이다. 도 17은, 본 발명의 제8 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 16의 B-B 절단면에 있어서의 단면을 나타내고 있다.
- [0168] 반도체 장치(71)는, WLCSP가 적용된 반도체 장치로서, 반도체 칩(72)을 구비하고 있다. 반도체 칩(72)은, 예를 들면, 실리콘 칩으로서, 평면에서 보아 사각 형상으로 형성되어 있다.

- [0169] 반도체 칩(72)의 최표면에는, 패시베이션막(표면보호막)(73)이 형성되어 있다. 패시베이션막(73)은, 예를 들면, 산화실리콘 또는 질화실리콘으로 이루어진다. 또한, 반도체 칩(72)에는, 반도체 칩(72)에 만들어 넣어진 소자와 전기적으로 접속된 복수의 전극 패드(74)가 형성되어 있다. 패시베이션막(73)은, 각 전극 패드(74)의 중앙부 상으로부터 제거되어 있다.
- [0170] 패시베이션막(73) 상에는, 유기 절연막(85)이 형성되어 있다. 유기 절연막(85)은, 예를 들면, 폴리이미드 등의 유기 재료로 이루어진다. 유기 절연막(85)에는, 전극 패드(74)를 노출시키기 위한 복수의 패드 개구(75)가 형성되어 있다. 복수의 전극 패드(74)(패드 개구(75))는, 반도체 칩(72)의 주연을 따른 사각 고리 형상으로 일렬로 나열해서 배치되어 있다.
- [0171] 유기 절연막(85) 상에는, 복수의 재배선(76)이 형성되어 있다. 재배선(76)은, 예를 들면, 알루미늄 등의 금속 재료로 이루어진다. 각 재배선(76)은, 전극 패드(74)로부터 패드 개구(75)를 거쳐서, 유기 절연막(85) 상으로 인출되어, 유기 절연막(85)의 표면을 따라 연장하고 있다.
- [0172] 또한, 유기 절연막(85) 상에는, 밀봉 수지층(77)이 적층되어 있다. 밀봉 수지층(77)은, 예를 들면, 에폭시 수지로 이루어진다. 밀봉 수지층(77)은, 유기 절연막(85) 및 재배선(76)의 표면을 덮고, 반도체 장치(71)(반도체 칩(72))의 표면측을 밀봉하고 있다. 그리고, 밀봉 수지층(77)은, 표면이 평탄면으로 형성됨과 함께, 그 측면이 반도체 칩(72)의 측면과 동일 평면으로 형성되어 있다.
- [0173] 각 재배선(76) 상에는, 원주 형상의 포스트(78)가 밀봉 수지층(77)을 그 두께 방향으로 관통해서 설치되어 있다. 포스트(78)는, 예를 들면, 구리(Cu)로 이루어진다. 또한, 포스트(78)의 선단면은, 밀봉 수지층(77)의 표면과 동일 평면을 이루고 있다.
- [0174] 각 포스트(78)의 선단면 상에는, 외부 접속 단자로서의 뿔납 볼(80)이 접합되어 있다. 뿔납 볼(80)은, 전극 패드(74), 재배선(76) 및 포스트(78)를 거쳐서, 반도체 칩(72)에 만들어 넣어진 소자와 전기적으로 접속되어 있다.
- [0175] 뿔납 볼(80)이 실장 기관 상의 패드(도시 생략)에 접속됨으로써, 반도체 장치(71)의 실장 기관에의 실장이 달성된다. 즉, 뿔납 볼(80)이 실장 기관 상의 패드에 접속됨으로써, 반도체 장치(71)가 실장 기관 상에 지지됨과 함께, 실장 기관과 반도체 칩(72)의 전기적인 접속이 달성된다.
- [0176] 또한, 반도체 칩(72)의 측면은, 그 전역이 차광막(81)에 의해 덮여 있다. 차광막(81)은, 적외선에 대한 차광성을 갖는 금속 재료로 이루어진다. 적외선에 대한 차광성을 갖는 금속 재료로서는, 예를 들면, Pd(팔라듐), Ni(니켈), Ti(티타늄), Cr(크롬) 및 TiW(티타늄-텅스텐 합금) 등을 예시할 수 있다. 차광막(81)의 두께는, 예를 들면, 0.1 μ m 이상 10 μ m 이하이다.
- [0177] 또한, 반도체 칩(72)의 이면은, 그 전역이 이면 피복막(82)에 의해 덮여 있다. 이면 피복막(82)은, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 또는 페놀 등의 수지 재료로 이루어진다. 이면 피복막(82)의 두께는, 예를 들면, 3 μ m 이상 100 μ m 이하이다.
- [0178] 도 18A?도 18J는, 도 17에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다.
- [0179] 반도체 장치(71)의 제조는, 반도체 칩(72)이 개편으로 절단되기 전의 웨이퍼의 상태에서 진행된다. 반도체 칩(72)(웨이퍼)의 표면에는, 패시베이션막(73)이 형성되어 있다. 패시베이션막(73) 상에는, 유기 절연막(85)이 형성되어 있다.
- [0180] 우선, 도 18A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 유기 절연막(85)에 복수의 패드 개구(75)가 형성된다.
- [0181] 다음으로, 유기 절연막(85) 및 각 패드 개구(75)로부터 노출되는 전극 패드(74) 상에, 재배선(76)의 재료로 이루어지는 도금층이 형성되고, 도 18B에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 그 도금층이 복수의 재배선(76)으로 패터닝된다.
- [0182] 그 후, 도 18C에 도시하는 바와 같이, 각 재배선(76) 상에, 원주 형상의 포스트(78)가 형성된다. 포스트(78)는, 예를 들면, 유기 절연막(85) 및 재배선(76) 상에, 포스트(78)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(78)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(78)는, 유기 절연막(85) 및 재배선(76) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써

형성할 수도 있다.

- [0183] 다음으로, 유기 절연막(85) 상에, 밀봉 수지층(77)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(78)를 매몰시키는 높이까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해진 후, 밀봉 수지층(77)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(77)의 연삭은, 도 18D에 도시하는 바와 같이, 포스트(78)의 선단면이 밀봉 수지층(77)의 표면과 동일 평면이 될 때까지 계속된다.
- [0184] 다음으로, 반도체 칩(72)의 표면측으로부터 다이싱 블레이드(도시 생략)가 진출됨으로써, 도 18E에 도시하는 바와 같이, 각 반도체 칩(72)의 주연을 따라 설정된 다이싱 라인 상에 밀봉 수지층(77)의 표면으로부터 파내려간 홈(83)이 형성된다. 홈(83)은, 그 저면이 반도체 칩(72)의 이면 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(83)은, 그 측면간의 폭이 그 깊이 방향으로 일정하게 형성되어 있다.
- [0185] 그 후, 도 18F에 도시하는 바와 같이, 홈(83)의 내면의 전역에 차광막(81)이 피착된다. 차광막(81)은, 예를 들면, 차광막(81)의 재료로 이루어지는 금속을 홈(83)의 내면에 증착시키는 것에 의해 형성되어도 되고, 무전해 도금에 의해 형성되어도 된다.
- [0186] 다음으로, 도 18G에 도시하는 바와 같이, 포스트(78)의 선단면 상에, 땀납 볼(80)이 배치된다.
- [0187] 다음으로, 도 18H에 도시하는 바와 같이, 다이싱 테이프(84)의 접촉면에 땀납 볼(80)이 배치되고, 다이싱 테이프(84) 상에 웨이퍼가 지지된다.
- [0188] 그리고, 반도체 칩(72)(웨이퍼)이 그 이면측으로부터 연삭된다. 이 반도체 칩(72)의 연삭은, 도 18I에 도시하는 바와 같이, 반도체 칩(72)에 있어서의 홈(83)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(83)의 내측과 반도체 칩(72)의 이면측이 연통할 때까지 행해진다. 이때, 차광막(81)에 있어서의 홈(83)의 저면에 피착된 부분이 제거된다.
- [0189] 그 후, 도 18J에 도시하는 바와 같이, 반도체 칩(72)(웨이퍼)의 이면의 전역에, 이면 피복막(82)이 형성된다. 이면 피복막(82)은, 예를 들면, 수지 재료를 웨이퍼의 이면의 전역에 도포(스핀코트)하고, 그 수지 재료를 경화시킴으로써 형성할 수 있다. 또한, 이면 피복막(82)은, 필름 형상으로 형성된 수지막을 웨이퍼의 이면의 전역에 접착하는 것에 의해 형성할 수도 있다.
- [0190] 그리고, 다이싱 블레이드(도시 생략)를 이용하여, 다이싱 라인 상에서 이면 피복막(82)이 절단되고, 웨이퍼가 각 반도체 칩(72)으로 개편화된다. 다이싱 블레이드(도시 생략)는, 도 18E에 도시하는 공정에 있어서 홈(83)을 형성하기 위해서 이용된 다이싱 블레이드와 동일한 두께를 갖고 있다. 그 후, 다이싱 테이프(84)가 제거되면, 도 17에 도시하는 반도체 장치(71)가 얻어진다.
- [0191] 이상과 같이, 반도체 장치(71)에서는, 반도체 칩(72)의 측면이 적외선에 대한 차광성을 갖는 재료로 이루어지는 차광막(81)으로 덮여 있다. 이에 의해, 반도체 칩(72)의 측면으로부터 그 내부에의 적외선의 진입을 방지할 수 있다. 또한, 반도체 칩(72)의 표면 상에 밀봉 수지층(77)이 적층되고, 반도체 칩(72)의 이면이 이면 피복막(82)으로 덮여 있으므로, 반도체 칩(72)의 표면 및 이면으로부터 내부에의 적외선의 진입은 없다. 따라서, 반도체 칩(72)의 내부에의 적외선의 진입이 없으므로, 적외선의 진입에 기인하는 IC의 오동작 등의 문제점의 발생을 방지할 수 있다.
- [0192] <제9 실시 형태>
- [0193] 도 19는, 본 발명의 제9 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 19에 있어서, 도 17에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.
- [0194] 도 17에 도시하는 반도체 장치(71)에서는, 반도체 칩(72)의 측면은, 그 전역이 금속 재료로 이루어지는 차광막(81)에 의해 덮여 있는 것으로 하였다. 이것에 대하여, 도 19에 도시하는 반도체 장치(86)에서는, 반도체 칩(72)의 측면은, 그 전역이 밀봉 수지층(87)에 의해 덮여 있다. 즉, 유기 절연막(85) 상에 적층된 밀봉 수지층(87)은, 유기 절연막(85) 및 재배선(76)의 표면, 및 반도체 칩(72)의 측면의 전역을 덮고, 반도체 장치(86)(반도체 칩(72))의 표면 및 측면을 밀봉하고 있다. 밀봉 수지층(87)에 있어서의 반도체 칩(72)의 측면을 덮는 부분은, 반도체 칩(72)의 내부에의 적외선의 진입을 방지하기 위한 차광막(88)을 이루고 있다. 차광막(88)은, 예를 들면, 5 μ m 이상 50 μ m 이하의 두께로 형성된다.

- [0195] 도 20A?도 20H는, 도 19에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다. 또한, 도 20A?도 20H에 있어서, 도 18A?도 18J에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다.
- [0196] 반도체 장치(86)의 제조는, 반도체 칩(72)이 개편으로 절단되기 전의 웨이퍼의 상태에서 진행된다. 반도체 칩(72)(웨이퍼)의 표면에는, 패시베이션막(73)이 형성되어 있다. 패시베이션막(73) 상에는, 유기 절연막(85)이 형성되어 있다.
- [0197] 우선, 도 20A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 유기 절연막(85)에 복수의 패드 개구(75)가 형성된다.
- [0198] 다음으로, 유기 절연막(85) 및 각 패드 개구(75)로부터 노출되는 전극 패드(74) 상에, 재배선(76)의 재료로 이루어지는 도금층이 형성되고, 도 20B에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 그 도금층이 복수의 재배선(76)으로 패터닝된다.
- [0199] 그 후, 도 20C에 도시하는 바와 같이, 각 재배선(76) 상에, 원주 형상의 포스트(78)가 형성된다. 포스트(78)는, 예를 들면, 유기 절연막(85) 및 재배선(76) 상에, 포스트(78)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(78)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(78)는, 유기 절연막(85) 및 재배선(76) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.
- [0200] 다음으로, 반도체 칩(72)의 표면측으로부터 다이싱 블레이드(도시 생략)가 진출됨으로써, 도 20D에 도시하는 바와 같이, 각 반도체 칩(72)의 주연을 따라 설정된 다이싱 라인 상에, 홈(89)이 형성된다. 홈(89)은, 그 저면이 반도체 칩(72)의 이면 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(89)은, 그 측면간의 폭이 깊이 방향으로 일정하게 형성되어 있다.
- [0201] 다음으로, 유기 절연막(85) 상 및 홈(89)의 내부에, 밀봉 수지층(87)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 홈(89)의 내부를 다 메우고, 포스트(78)를 매몰시키는 높이까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해진 후, 밀봉 수지층(87)이 그 표면측으로부터 연삭된다. 이 밀봉 수지층(87)의 연삭은, 도 20E에 도시하는 바와 같이, 포스트(78)의 선단면이 밀봉 수지층(87)의 표면과 동일 평면이 될 때까지 계속된다.
- [0202] 그리고, 반도체 칩(72)(웨이퍼)이 그 이면측으로부터 연삭된다. 이 반도체 칩(72)의 연삭은, 도 20F에 도시하는 바와 같이, 반도체 칩(72)에 있어서의 홈(89)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(89) 내를 다 메우는 밀봉 수지층(87)의 하단부가 반도체 칩(72)의 이면측에 노출될 때까지 행해진다.
- [0203] 그 후, 도 20G에 도시하는 바와 같이, 반도체 칩(72)(웨이퍼)의 이면의 전역에, 이면 피복막(82)이 형성된다. 이면 피복막(82)은, 예를 들면, 수지 재료를 반도체 웨이퍼의 이면의 전역에 도포(스핀코트)하고, 그 수지 재료를 경화시킴으로써 형성할 수 있다. 또한, 이면 피복막(82)은, 필름 형상으로 형성된 수지막을 반도체 칩(72)(웨이퍼)의 이면의 전역에 접착하는 것에 의해 형성할 수도 있다.
- [0204] 다음으로, 도 20H에 도시하는 바와 같이, 각 포스트(78)의 선단면 상에, 땀납 볼(80)이 배치된다. 그 후, 다이싱 블레이드(도시 생략)를 이용하여, 다이싱 라인 상에서 이면 피복막(82) 및 밀봉 수지층(87)이 절단된다. 다이싱 블레이드는, 도 20D에 도시하는 공정에 있어서, 홈(89)을 형성하기 위해서 이용된 다이싱 블레이드보다도 두께가 작은 것이 이용된다. 이에 의해, 홈(89)의 내면(반도체 칩(72)의 측면)에, 밀봉 수지층(87)이 남겨지고, 그 남겨진 부분이 차광막(88)이 된다.
- [0205] 이렇게 해서 얻어지는 반도체 장치(86)의 구성에 있어서도, 도 17에 도시하는 반도체 장치(71)의 구성과 마찬가지로의 효과를 발휘할 수 있다.
- [0206] <제10 실시 형태>
- [0207] 도 21은, 본 발명의 제10 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 21에 있어서, 도 17에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.

- [0208] 도 17에 도시하는 반도체 장치(71)에서는, 금속 재료로 이루어지는 차광막(81)과 수지 재료로 이루어지는 이면 피복막(82)이 별개로 형성되어 있는 것으로 하였다. 이것에 대하여, 도 21에 도시하는 반도체 장치(90)에서는, 반도체 칩(72)의 측면 및 이면은, 그 전역이 보호막(91)에 의해 덮여 있다. 다시 말해서, 보호막(91)은, 반도체 칩(72)의 측면의 전역을 덮는 차광막(92)과, 반도체 칩(72)의 이면의 전역을 덮는 이면 피복막(93)을 일체적으로 구비하고 있다. 보호막(91)은, 적외선에 대한 차광성을 갖는 금속 재료로 이루어진다. 적외선에 대한 차광성을 갖는 금속 재료로서는, 예를 들면, Pd, Ni, Ti, Cr 및 TiW 등을 예시할 수 있다. 보호막(91)에 있어서의 차광막(92)을 이루는 부분의 두께는, 예를 들면, 0.1 μ m 이상 10 μ m 이하이다. 또한, 보호막(91)에 있어서의 이면 피복막(93)을 이루는 부분의 두께는, 예를 들면, 5 μ m 이상 50 μ m 이하이다.
- [0209] 도 22A?도 22I는, 도 21에 도시하는 반도체 장치의 제조 방법을 공정순으로 도시하는 모식적인 단면도이다. 또한, 도 22A?도 22I에 있어서, 도 18A?도 18J에 도시하는 부분 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다.
- [0210] 반도체 장치(90)의 제조는, 반도체 칩(72)이 개편으로 절단되기 전의 웨이퍼의 상태에서 진행된다. 반도체 칩(72)(웨이퍼)의 표면에는, 패시베이션막(73)이 형성되어 있다. 패시베이션막(73) 상에는, 유기 절연막(85)이 형성되어 있다.
- [0211] 우선, 도 22A에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 유기 절연막(85)에 복수의 패드 개구(75)가 형성된다.
- [0212] 다음으로, 유기 절연막(85) 및 각 패드 개구(75)로부터 노출되는 전극 패드(74) 상에, 재배선(76)의 재료로 이루어지는 도금층이 형성되고, 도 22B에 도시하는 바와 같이, 포토리소그래피 및 에칭에 의해, 그 도금층이 복수의 재배선(76)으로 패터닝된다.
- [0213] 그 후, 도 22C에 도시하는 바와 같이, 각 재배선(76) 상에, 원주 형상의 포스트(78)가 형성된다. 포스트(78)는, 예를 들면, 유기 절연막(85) 및 재배선(76) 상에, 포스트(78)가 형성되는 부분에 대응하는 개구를 갖는 마스크를 형성한 후, 그 마스크의 개구 내에, 포스트(78)의 재료인 구리를 도금 성장시키고, 그 후, 마스크를 제거함으로써 형성할 수 있다. 또한, 포스트(78)는, 유기 절연막(85) 및 재배선(76) 상에, 도금법에 의해 구리막(도시 생략)을 형성하고, 그 후, 포토리소그래피 및 에칭에 의해, 구리막을 선택적으로 제거함으로써 형성할 수도 있다.
- [0214] 다음으로, 유기 절연막(85) 상에, 밀봉 수지층(77)의 재료인 액상의 수지(예를 들면, 에폭시 수지)가 공급된다. 액상의 수지는, 포스트(78)를 매몰시키는 높이까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해진 후, 밀봉 수지층(77)이 그 표면층으로부터 연삭된다. 이 밀봉 수지층(77)의 연삭은, 도 22D에 도시하는 바와 같이, 포스트(78)의 선단면이 밀봉 수지층(77)의 표면과 동일 평면이 될 때까지 계속된다.
- [0215] 다음으로, 반도체 칩(72)의 표면층으로부터 다이싱 블레이드(도시 생략)가 진출됨으로써, 도 22E에 도시하는 바와 같이, 각 반도체 칩(72)의 주연을 따라 설정된 다이싱 라인 상에, 밀봉 수지층(77)의 표면으로부터 파내려간 홈(83)이 형성된다.
- [0216] 그 후, 도 22F에 도시하는 바와 같이, 포스트(78)의 선단면 상에, 뿔납 볼(80)이 배치된다.
- [0217] 다음으로, 도 22G에 도시하는 바와 같이, 다이싱 테이프(84)의 점착면에 뿔납 볼(80)이 배치되고, 다이싱 테이프(84) 상에 웨이퍼가 지지된다.
- [0218] 그리고, 반도체 칩(72)(웨이퍼)이 그 이면층으로부터 연삭된다. 이 반도체 칩(72)의 연삭은, 도 22H에 도시하는 바와 같이, 반도체 칩(72)에 있어서의 홈(83)의 아래쪽에 형성된 부분이 완전하게 제거되고, 홈(83)의 내측과 반도체 칩(72)의 이면층이 연통할 때까지 행해진다.
- [0219] 그 후, 도 22I에 도시하는 바와 같이, 반도체 칩(72)(웨이퍼)의 이면의 전역, 및 반도체 칩(72)에 있어서의 홈(83)의 측면에 면한 부분의 전역에 보호막(91)이 피착된다. 보호막(91)은, 예를 들면, 보호막(91)의 재료로 이루어지는 금속을 반도체 칩(72)의 이면 및 홈(83)의 측면에 증착시키는 것에 의해 형성되어도 되고, 무전해 도금에 의해 형성되어도 된다.
- [0220] 그리고, 다이싱 테이프(84)가 제거되면, 도 21에 도시하는 반도체 장치(90)가 얻어진다.
- [0221] 이 반도체 장치(90)의 구성에 있어서도, 도 17에 도시하는 반도체 장치(71)의 구성과 마찬가지로의 효과를 발휘할 수 있다.

- [0222] <제11 실시 형태>
- [0223] 도 23은, 본 발명의 제11 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 23에 있어서, 도 17에 도시하는 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.
- [0224] 반도체 장치(94)에서는, 반도체 칩(72)의 측면을 덮는 차광막(95)이, 금속 재료로 이루어지는 금속층(96)과 수지 재료로 이루어지는 수지층(97)의 적층 구조를 갖고 있다. 금속층(96)은, 예를 들면, Pd, Ni, Ti, Cr 또는 TiW로 이루어진다. 또한, 수지층(97)은, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 또는 페놀 등의 수지 재료로 이루어진다.
- [0225] 이러한 차광막(95)을 갖는 반도체 장치(94)는, 도 18A?도 18C에 도시하는 공정에 이어서, 이하에 설명하는 공정이 행해지는 것에 의해 얻어진다.
- [0226] 우선, 반도체 칩(72)의 표면측으로부터 다이싱 블레이드(도시 생략)가 진출됨으로써, 각 반도체 칩(72)의 주연을 따라 설정된 다이싱 라인 상에, 홈(83)이 형성된다. 홈(83)은, 그 저면이 반도체 칩(72)의 이면 근방의 위치까지 도달하는 깊이로 파내려가진다. 또한, 홈(83)은, 그 측면간의 폭이 그 깊이 방향으로 일정하게 형성된다.
- [0227] 다음으로, 홈(83)의 내면의 전역에 금속층(96)이 피착된다. 금속층(96)은, 예를 들면, 금속층(96)의 재료로 이루어지는 금속을 홈(83)의 내면에 증착시키는 것에 의해 형성되어도 되고, 무전해 도금에 의해 형성되어도 된다.
- [0228] 그 후, 그 금속층(96) 상 및 유기 절연막(85)을 포함하는 반도체 칩(72) 상에, 밀봉 수지층(77)의 재료인 액상의 수지가 공급된다. 액상의 수지는, 홈(83) 내를 다 메우고, 포스트(78)를 매몰시키는 높이까지 공급된다. 그리고, 수지를 경화시키기 위한 처리가 행해진 후, 밀봉 수지층(77)이 그 표면측으로부터 연삭된다.
- [0229] 다음으로, 포스트(78)의 선단면 상에, 땀납 볼(80)이 배치된다.
- [0230] 다음으로, 다이싱 테이프(84)의 점착면에 땀납 볼(80)이 배치되고, 다이싱 테이프(84) 상에 웨이퍼가 지지된다.
- [0231] 그리고, 반도체 칩(72)(웨이퍼)이 그 이면측으로부터 연삭된다. 이 반도체 칩(72)의 연삭은, 반도체 칩(72)에 있어서의 홈(83)의 아래쪽에 형성된 부분이 완전하게 제거되고, 밀봉 수지층(77)에 있어서의 홈(83) 내에 형성된 부분이 반도체 칩(72)의 이면측에 노출될 때까지 행해진다. 이때, 금속층(96)에 있어서의 홈(83)의 저면에 피착된 부분이 제거된다.
- [0232] 그 후, 반도체 칩(72)(웨이퍼)의 이면의 전역에, 이면 피복막(82)이 형성된다. 이면 피복막(82)은, 예를 들면, 수지 재료를 웨이퍼의 이면의 전역에 도포(스핀코트)하고, 그 수지 재료를 경화시킴으로써 형성할 수 있다. 또한, 이면 피복막(82)은, 필름 형상으로 형성된 수지막을 웨이퍼의 이면의 전역에 접착하는 것에 의해 형성할 수도 있다.
- [0233] 계속해서, 다이싱 블레이드(도시 생략)를 이용하여, 다이싱 라인 상에서 이면 피복막(82) 및 밀봉 수지층(77)이 절단된다. 다이싱 블레이드는, 홈(83)을 형성하기 위해서 이용된 다이싱 블레이드보다도 두께가 작은 것이 이용된다. 이에 의해, 금속층(96)의 표면에 밀봉 수지층(77)이 남겨지고, 그 남겨진 부분이 수지층(97)이 된다. 그 후, 다이싱 테이프(84)가 제거되면, 도 23에 도시하는 반도체 장치(94)가 얻어진다.
- [0234] 이렇게 해서 얻어진 반도체 장치(94)의 구성에 있어서도, 도 17에 도시하는 반도체 장치(71)의 구성과 마찬가지로의 효과를 발휘할 수 있다.
- [0235] <제12 실시 형태>
- [0236] 도 24는, 본 발명의 제12 실시 형태에 따른 반도체 장치의 모식적인 단면도로서, 도 17의 반도체 장치의 단면과 동일 절단면에 있어서의 단면을 나타내고 있다. 또한, 도 24에 있어서, 도 17에 도시하는 각 부에 상당하는 부분에는, 그들의 각 부에 붙인 참조 부호와 동일한 참조 부호를 붙이고 있다. 그리고, 이하에서는, 동일한 참조 부호를 붙인 부분에 관한 설명을 생략한다.
- [0237] 반도체 장치(79)에서는, 밀봉 수지층(77)이 반도체 칩(72)의 측면으로 돌아 들어가서, 그 측면을 덮는 측면 피복막(98)을 이루고 있다. 또한, 밀봉 수지층(77)의 더욱 외측(반도체 칩(72)의 주연측)에는, 금속막(99)이 형

성되어 있다. 이에 의해, 반도체 칩(72)의 측면은, 측면 피복막(98) 및 금속막(99)에 의해 덮여지고, 측면 피복막(98) 및 금속막(99)에 의해, 차광막이 형성되어 있다. 금속막(99)은, 예를 들면, Pd, Ni, Ti, Cr 또는 TiW로 이루어진다.

- [0238] 이러한 반도체 장치(79)의 구성에 있어서도, 도 17에 도시하는 반도체 장치(71)의 구성과 마찬가지로의 효과를 발휘할 수 있다.
- [0239] 이상, 본 발명의 제8?제12 실시 형태를 설명했지만, 본 발명은, 또 다른 형태로 실시할 수도 있다.
- [0240] 예를 들면, 도 25에 도시하는 바와 같이, 홈(83)의 측면이, 반도체 칩(72)의 표면측만큼 그 간격이 넓어지는 테이퍼 형상으로 형성되어 있어도 된다.
- [0241] 이러한 테이퍼 형상의 홈(83)은, 예를 들면, 도 18E에 도시하는 공정에 있어서, 반도체 칩(72)의 표면측으로부터 진출되는 다이싱 블레이드로서, 그 두께가 날끝에 근접할수록 작아지는 단면이 대략 크자형인 날을 갖는 것을 채용함으로써 형성할 수 있다.
- [0242] 또한, 도 17에 도시하는 반도체 장치(71)에서는, 차광막(81)의 재료로서 적외선에 대한 차광성을 갖는 금속 재료가 채용되고, 이면 피복막(82)의 재료로서 수지 재료가 채용된 구성을 채택하였지만, 차광막(81)의 재료로서 수지 재료가 채용되고, 이면 피복막(82)의 재료로서, 적외선에 대한 차광성을 갖는 금속 재료(예를 들면, Pd, Ni, Ti, Cr 및 TiW)가 채용되어도 된다. 이 경우, 차광막(81)의 재료인 수지 재료로서는, 적외선에 대한 차광성을 갖는 수지 재료, 예를 들면, 에폭시 수지, 폴리 아미드이미드, 폴리아미드, 폴리이미드 또는 페놀 등이 채용되는 것이 바람직하다.
- [0243] 본 발명의 실시 형태는, 본 발명의 기술적 내용을 명확하게 하기 위해서 이용된 구체예에 불과하며, 본 발명은 이들의 구체예에 한정해서 해석되어서는 안 되고, 본 발명의 정신 및 범위는 첨부된 청구의 범위에 의해서만 한정된다.
- [0244] 또한, 본 발명의 각 실시 형태에 있어서 나타낸 구성 요소는, 본 발명의 범위에서 조합할 수 있다.
- [0245] 본 출원은, 2009년 11월 10일에 일본 특허청에 제출된 일본 특허 출원 2009-256876호 및 2009년 11월 26일에 일본 특허청에 제출된 일본 특허 출원 2009-268533호에 대응하고 있으며, 이들의 출원의 전체 개시는 여기에 인용에 의해 편입되는 것으로 한다.

부호의 설명

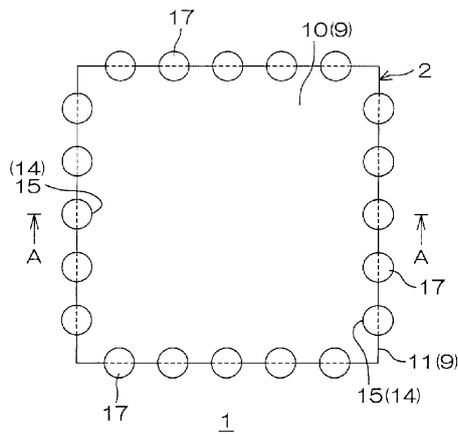
- [0246] 1 : 반도체 장치
- 2 : 반도체 칩
- 3 : (반도체 칩의) 표면
- 4 : (반도체 칩의) 측면
- 5 : (반도체 칩의) 이면
- 7 : 전극 패드
- 8 : 패드 개구
- 9 : 밀봉 수지층
- 10 : (밀봉 수지층의) 표면
- 11 : (밀봉 수지층의) 측면
- 12 : 포스트
- 13 : (포스트의) 선단면
- 14 : (포스트의) 측면
- 15 : (포스트의) 원호면
- 16 : (포스트의) 평탄면(측면)

- 17 : 뿔납 볼
- 18 : 차광막
- 19 : 이면 피복막
- 20 : 웨이퍼
- 22 : 홈
- 23 : (차광막의) 제1 부분
- 24 : (차광막의) 제2 부분
- 25 : 보호층
- 31 : 반도체 장치
- 32 : 차광막
- 34 : 홈
- 35 : 수지 재료층
- 41 : 반도체 장치
- 42 : 보호막
- 43 : 차광막
- 44 : 이면 피복막
- 45 : 반도체 장치
- 46 : 차광막
- 47 : 금속층
- 48 : 수지층
- 49 : 수지 재료층
- 50 : (금속층의) 제1 부분
- 51 : (금속층의) 제2 부분
- 53 : 반도체 장치
- 54 : 차광막
- 55 : 수지층
- 56 : 금속층
- 57 : 반도체 장치
- 58 : 홈
- 60 : 반도체 장치
- 61 : 뿔납 볼
- 62 : 볼 측면
- 63 : 피복부 분
- 71 : 반도체 장치
- 72 : 반도체 칩
- 74 : 전극 패드

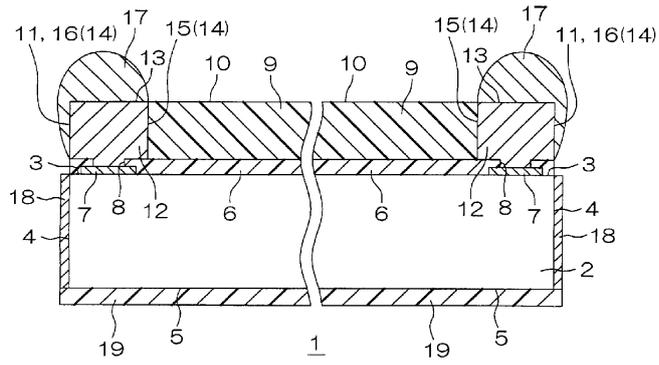
- 75 : 패드 개구
- 77 : 밀봉 수지층
- 78 : 포스트
- 79 : 반도체 장치
- 80 : 뿔납 볼
- 81 : 차광막
- 82 : 이면 피복막
- 83 : 홈
- 86 : 반도체 장치
- 87 : 밀봉 수지층
- 88 : 차광막
- 89 : 홈
- 90 : 반도체 장치
- 91 : 보호막
- 92 : 차광막
- 93 : 이면 피복막
- 94 : 반도체 장치
- 95 : 차광막
- 96 : 금속층
- 97 : 수지층
- 98 : 측면 피복막
- 99 : 금속막

도면

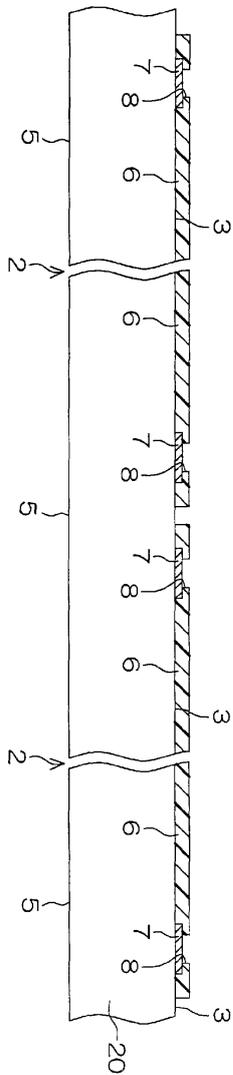
도면1



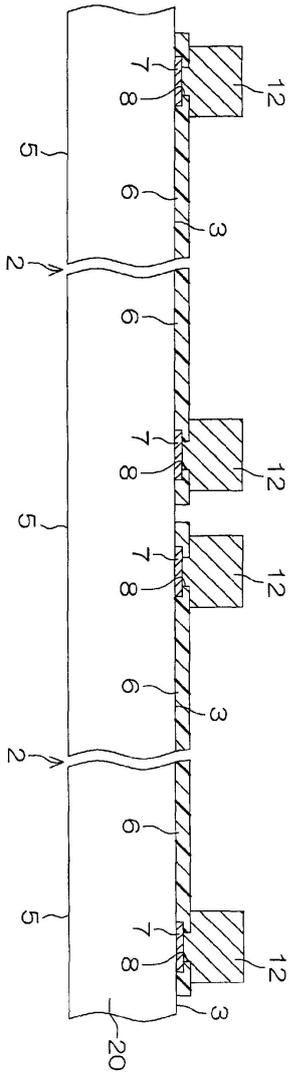
도면2



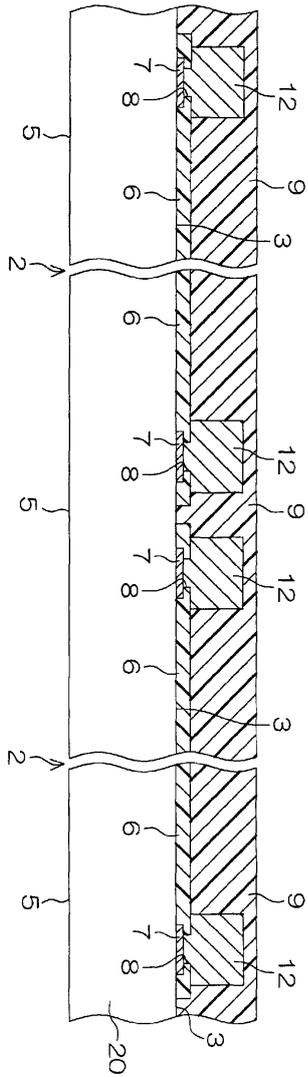
도면3a



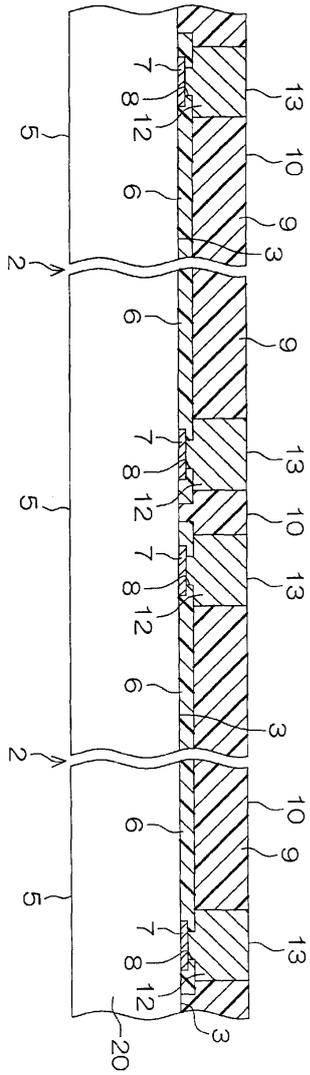
도면3b



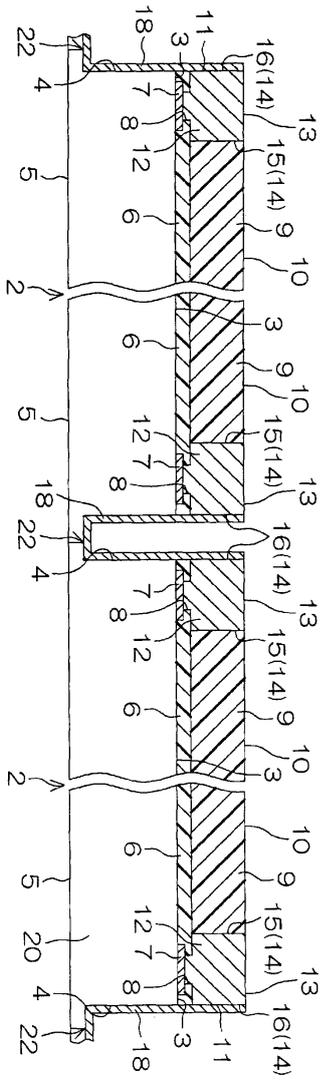
도면3c



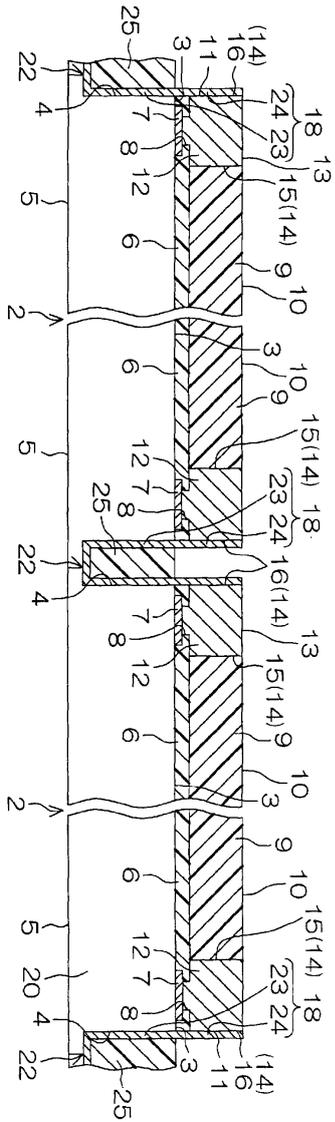
도면3d



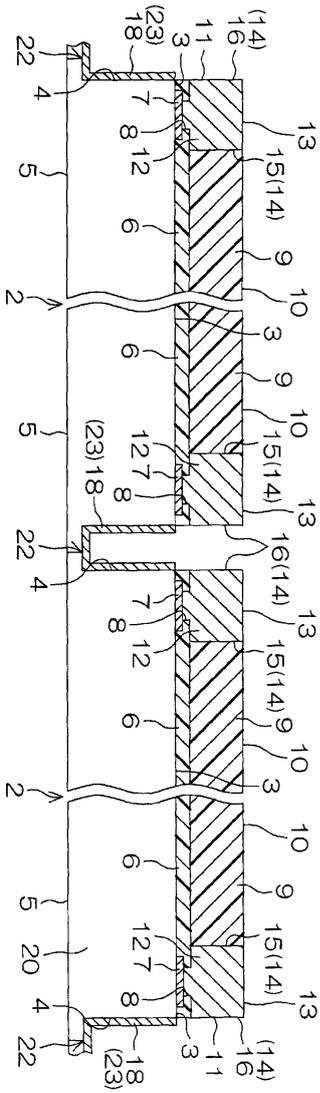
도면3f



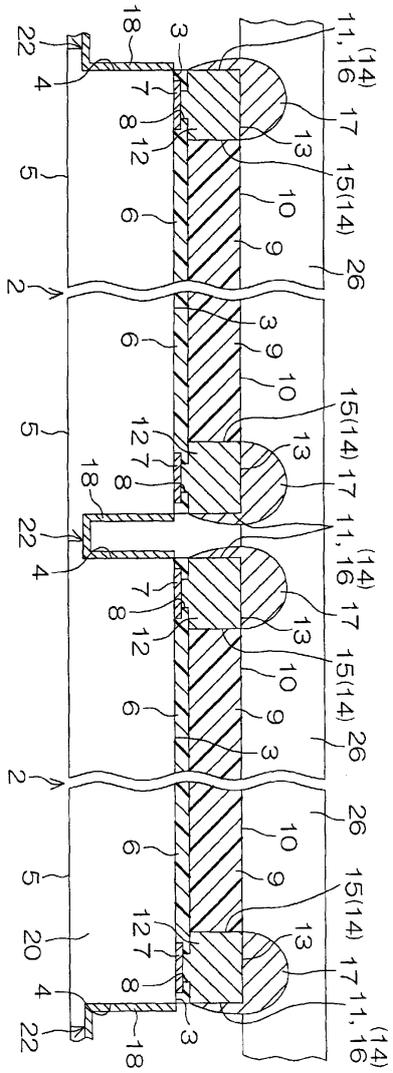
도면3g



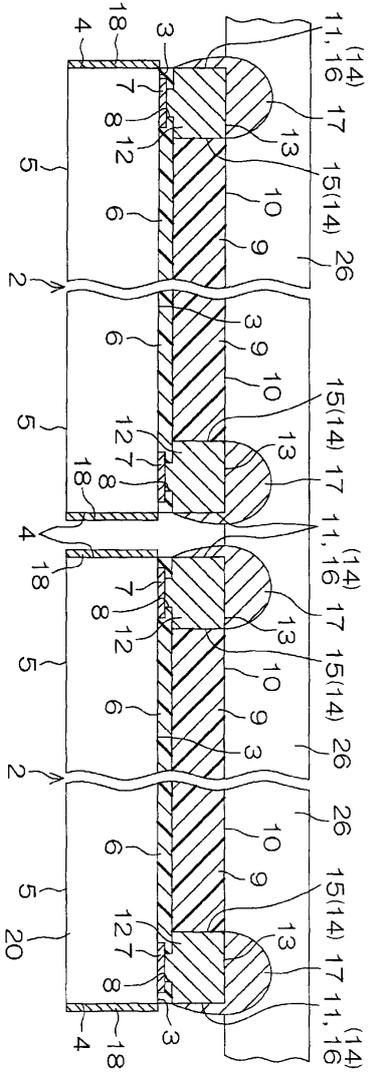
도면3h



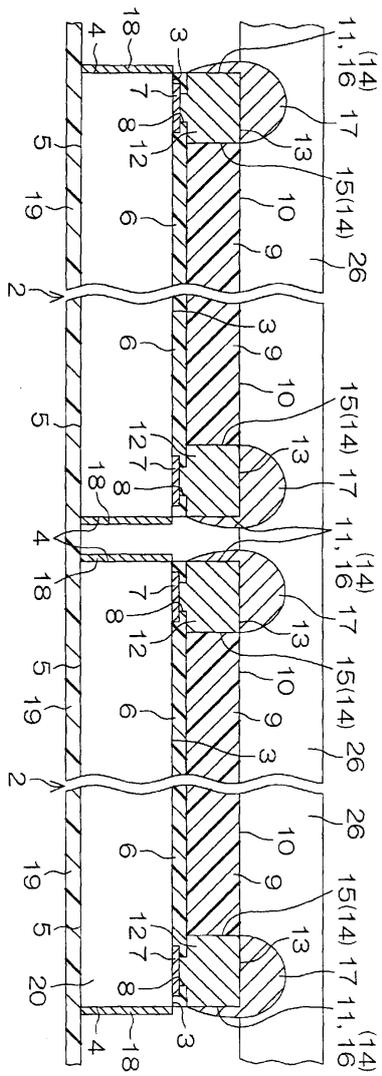
도면3j



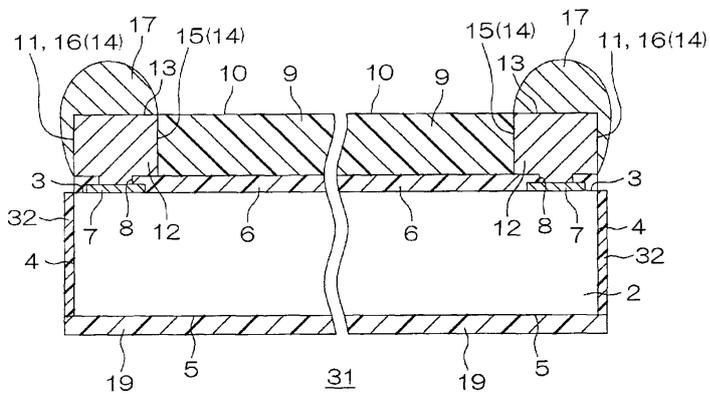
도면3k



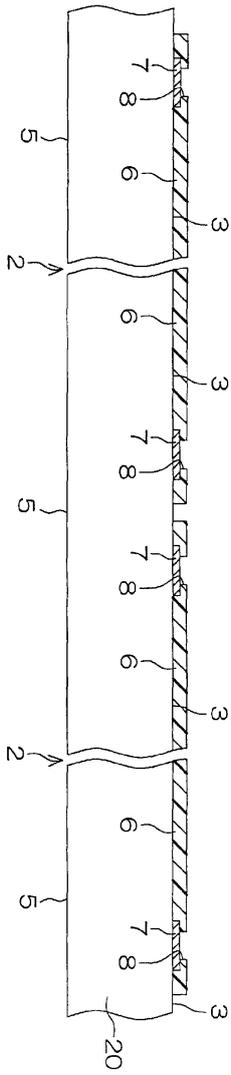
도면31



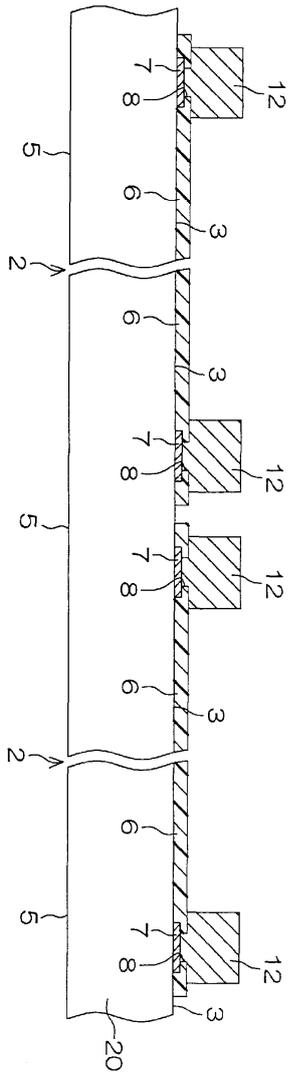
도면4



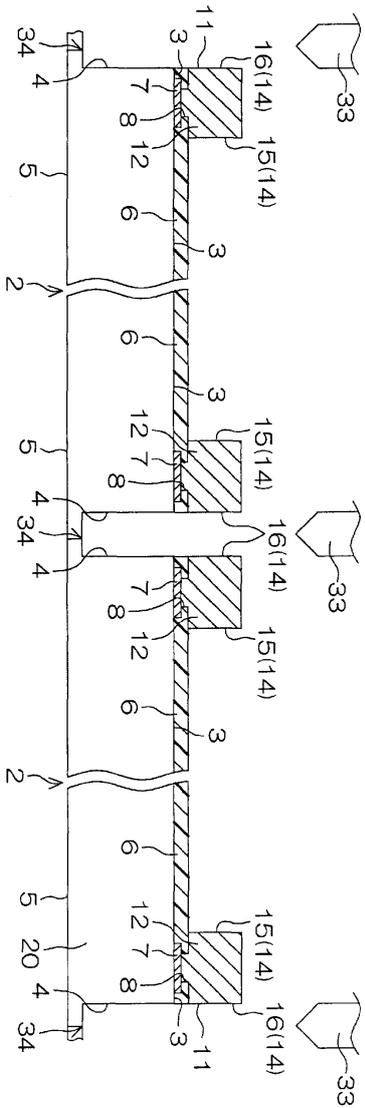
도면5a



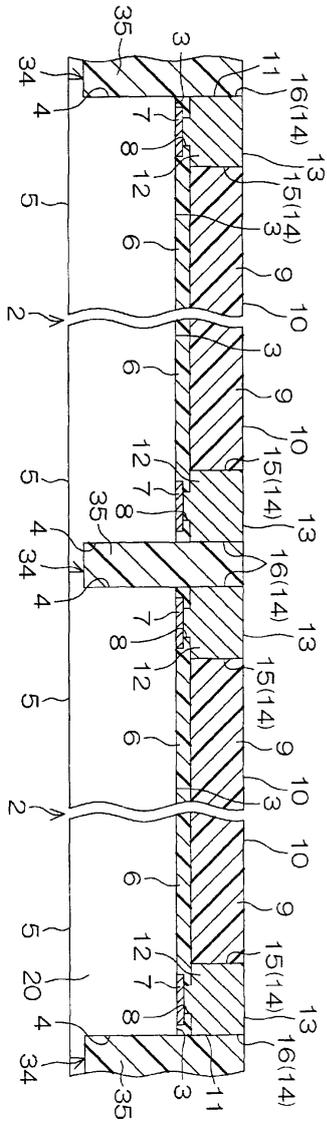
도면5b



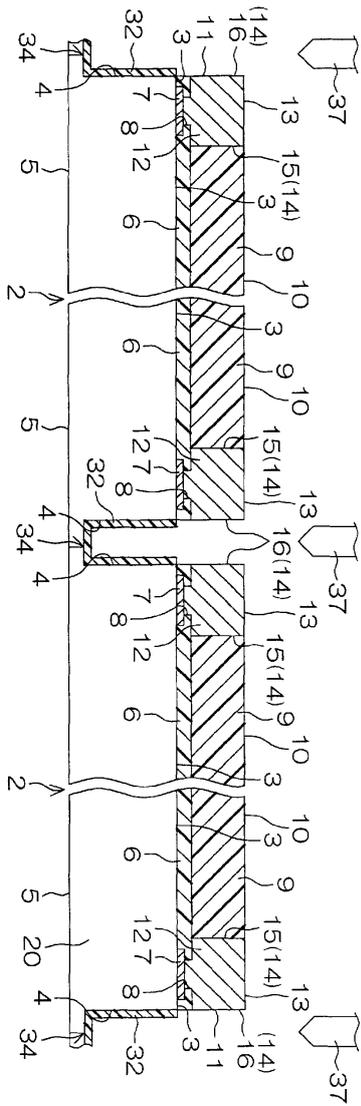
도면5c



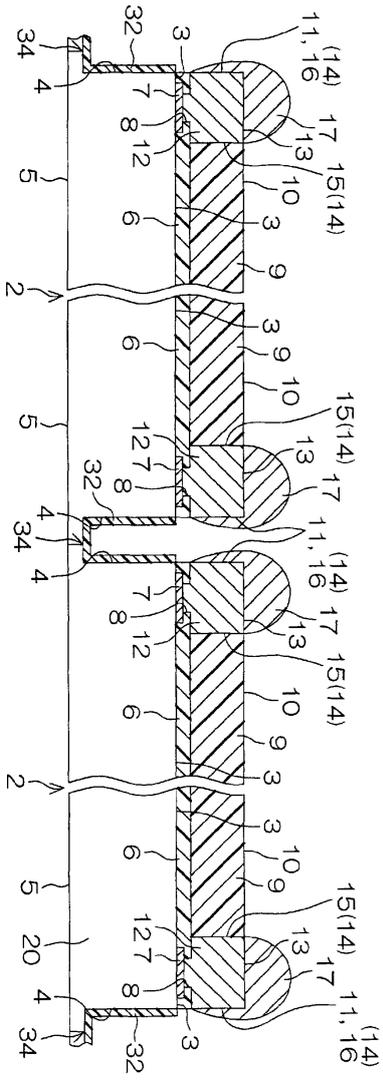
도면5d



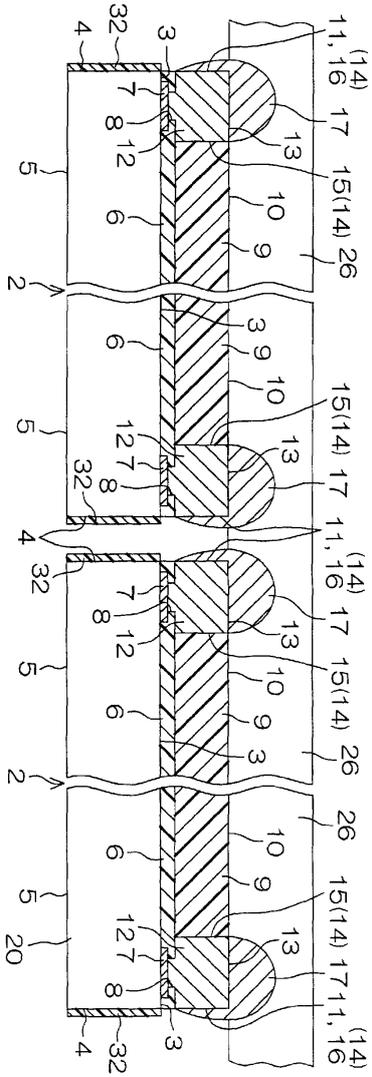
도면5f



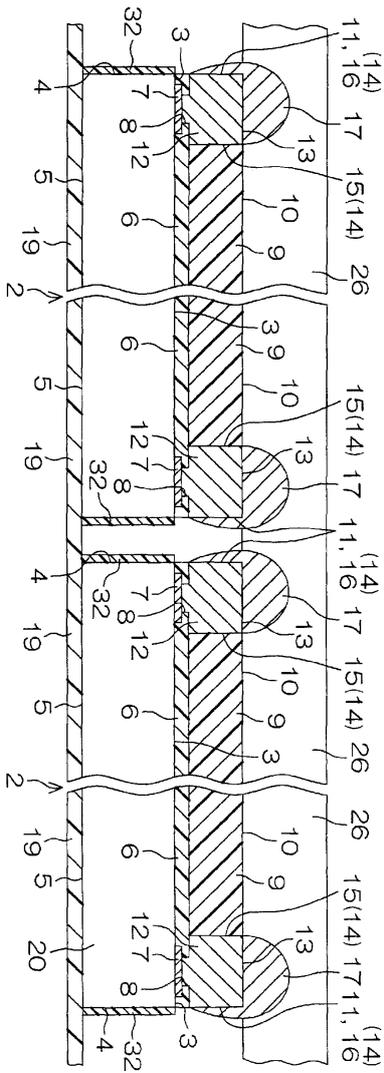
도면5g



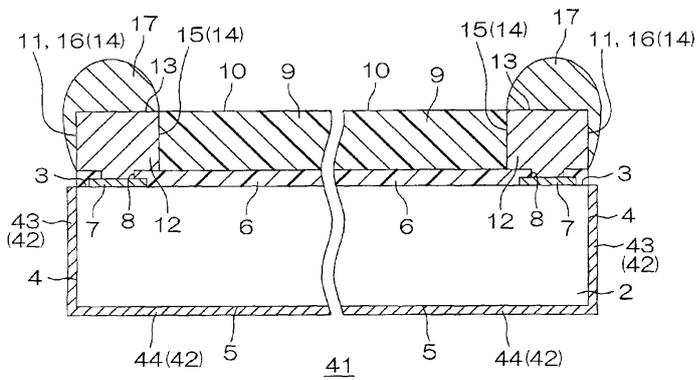
도면5i



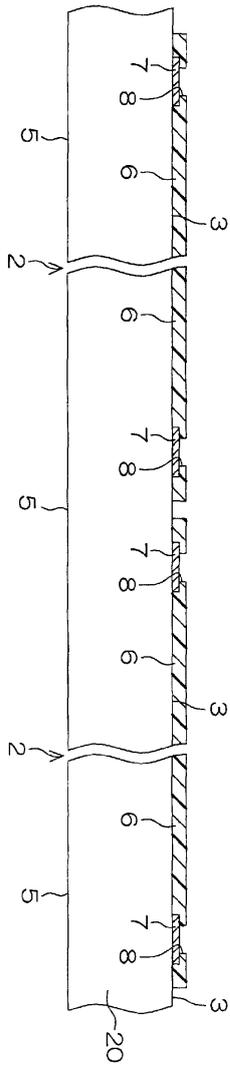
도면5j



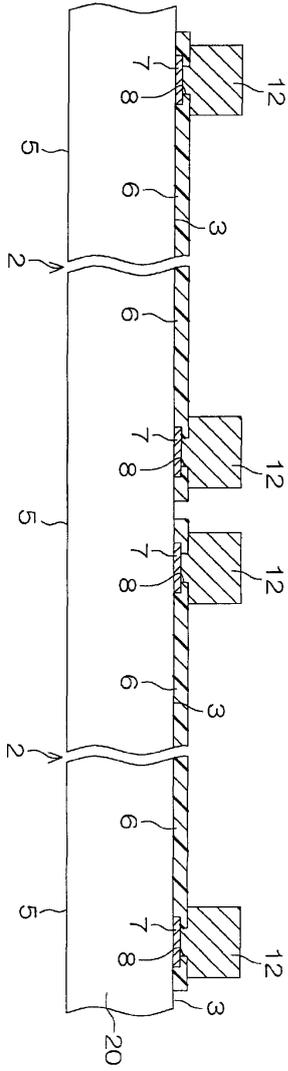
도면6



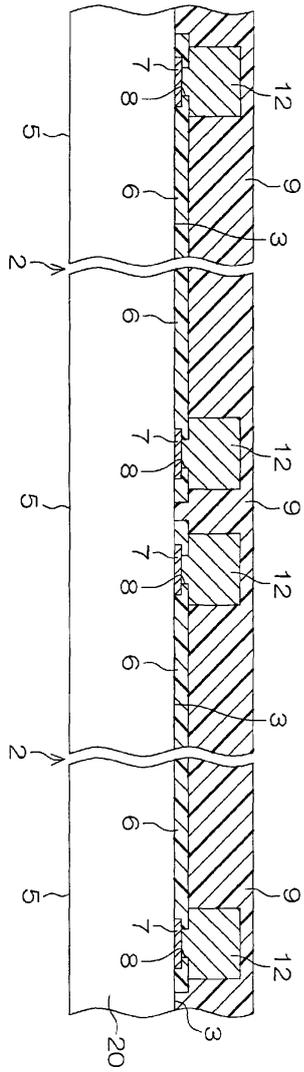
도면7a



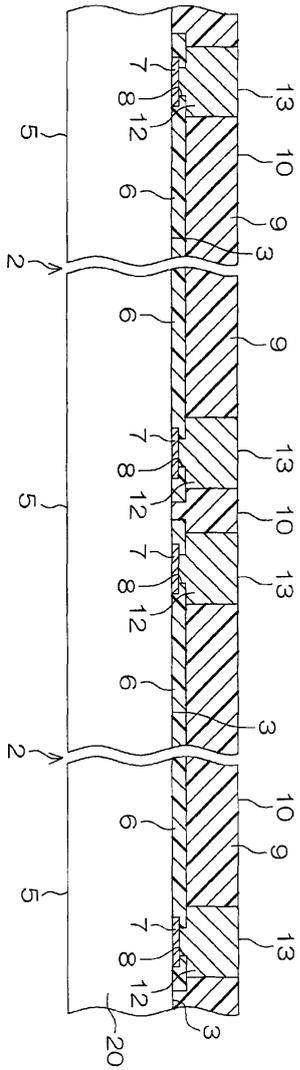
도면7b



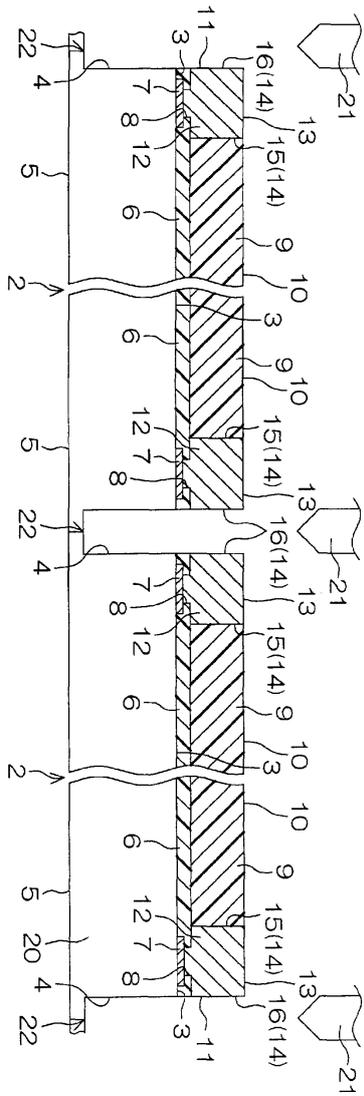
도면7c



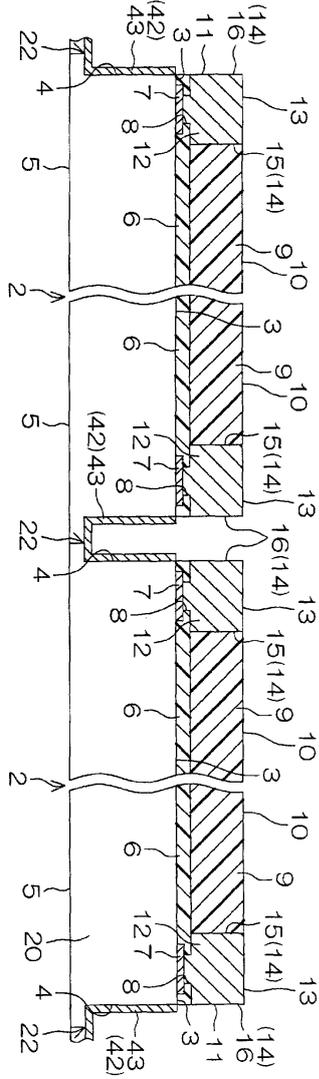
도면7d



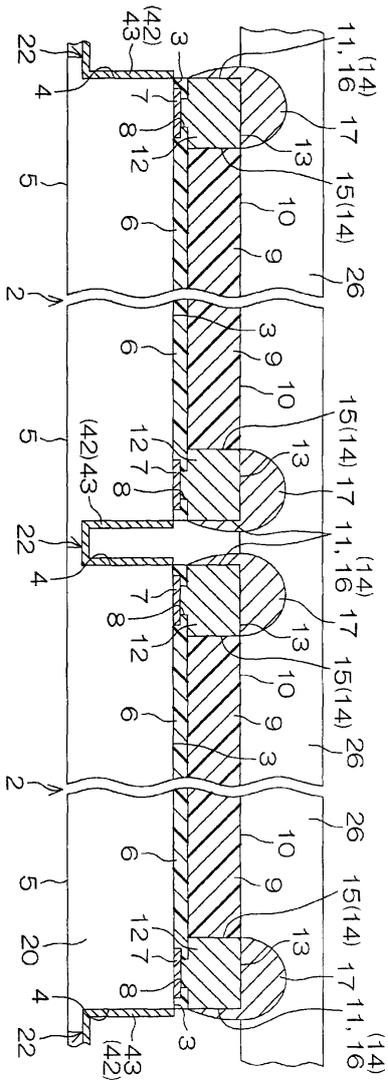
도면7e



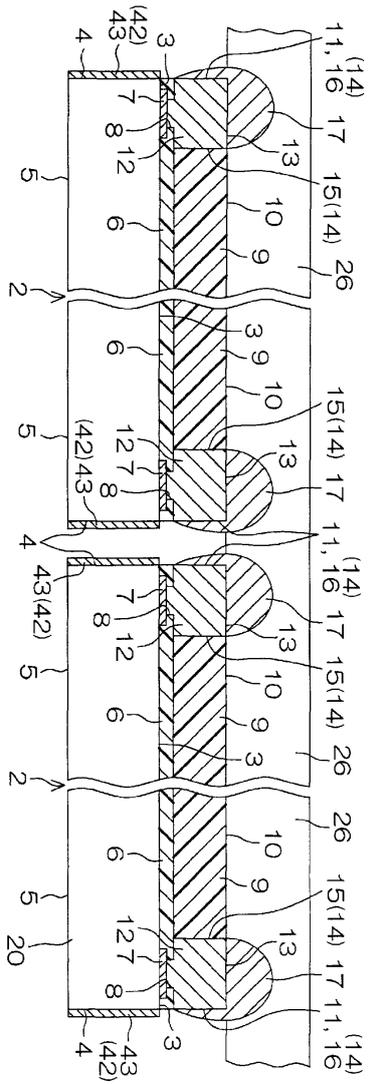
도면개



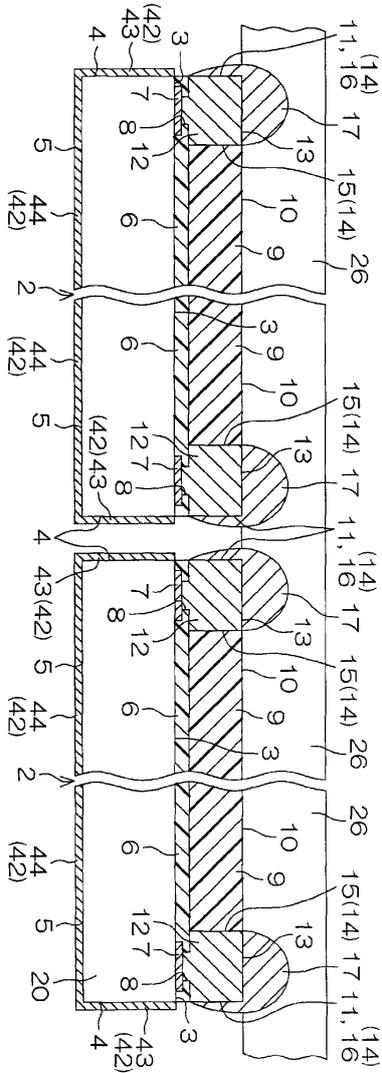
도면7j



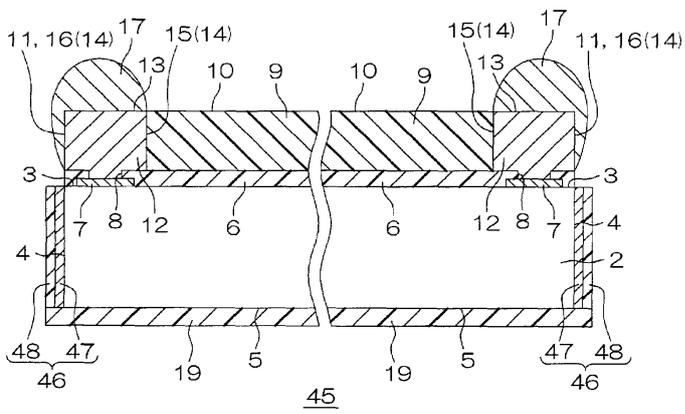
도면7k



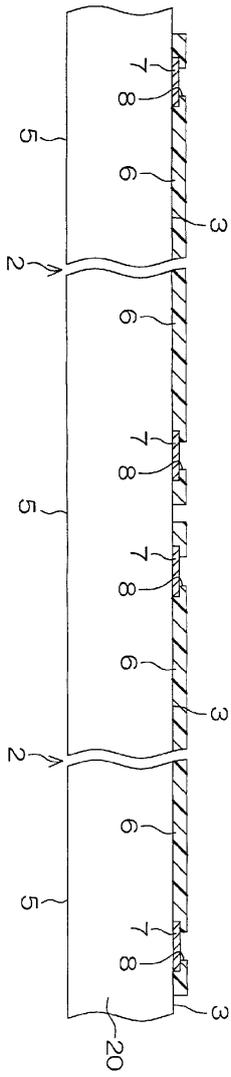
도면7



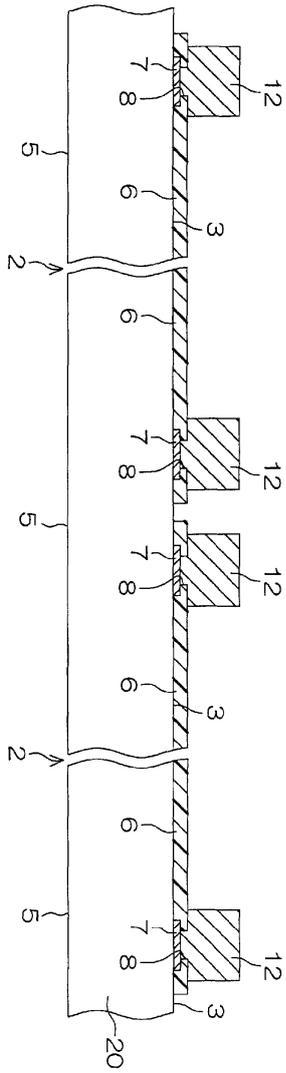
도면8



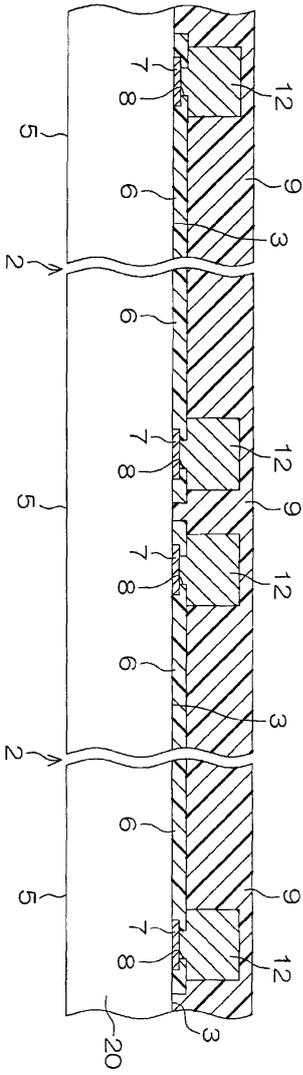
도면9a



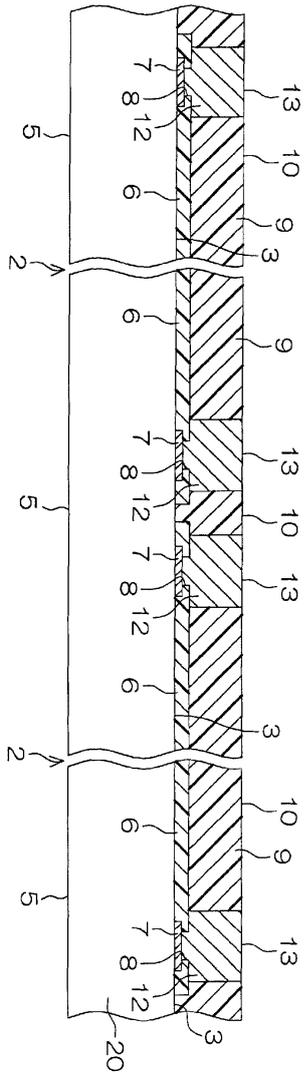
도면9b



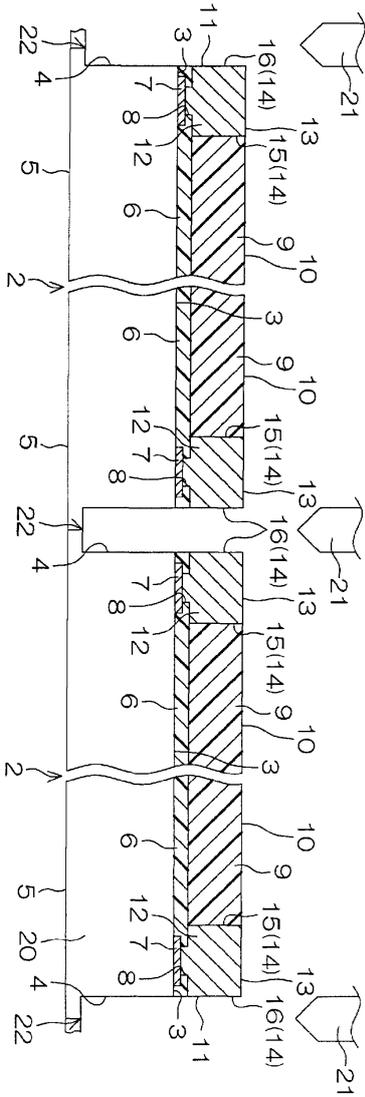
도면9c



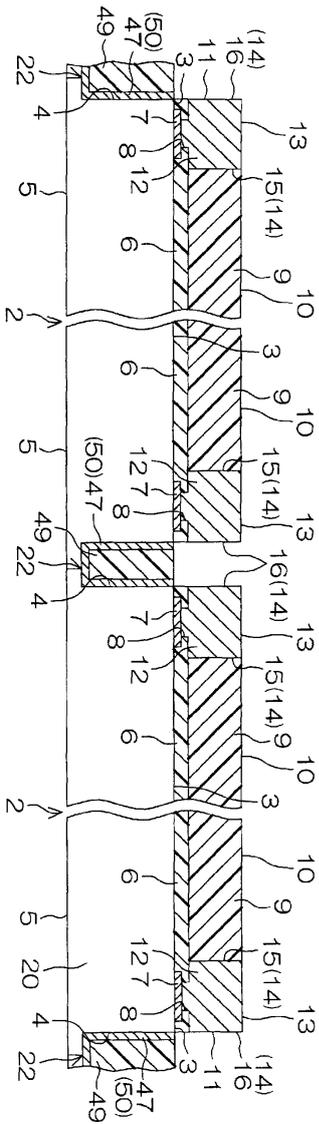
도면9d



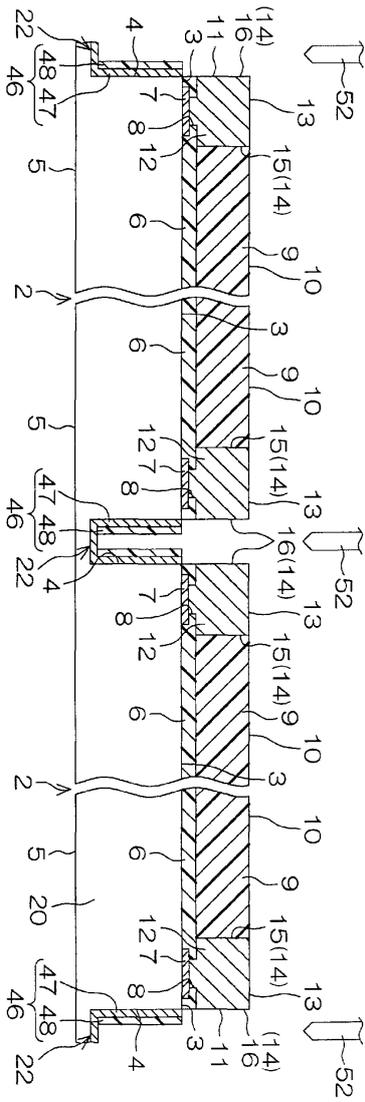
도면9e



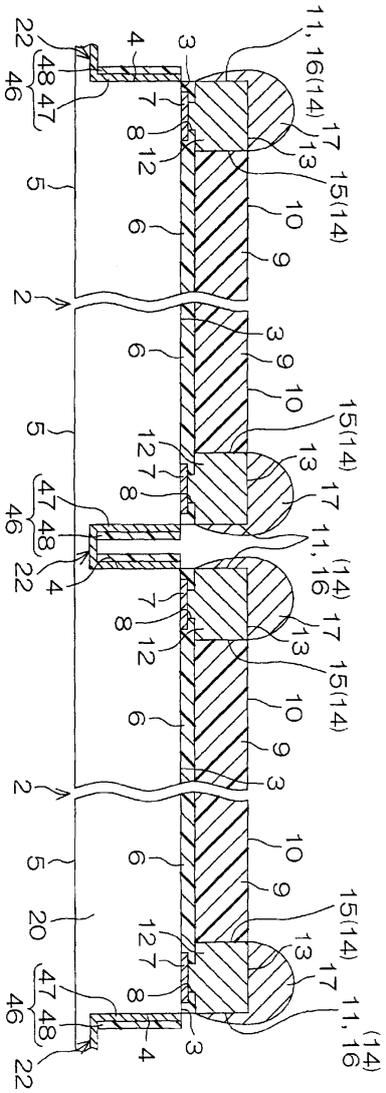
도면9h



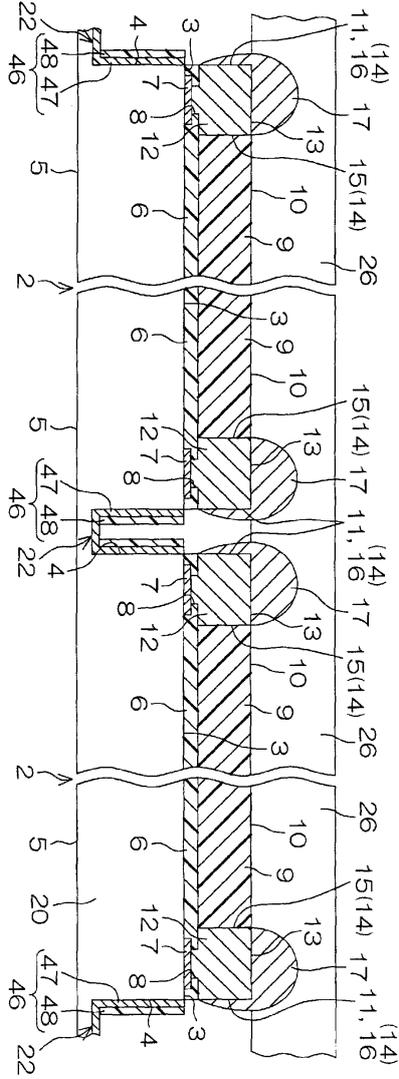
도면9i



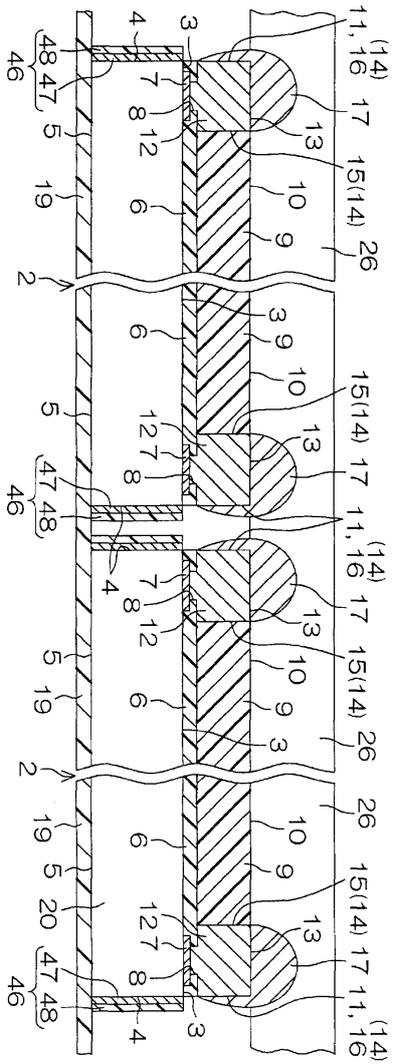
도면9j



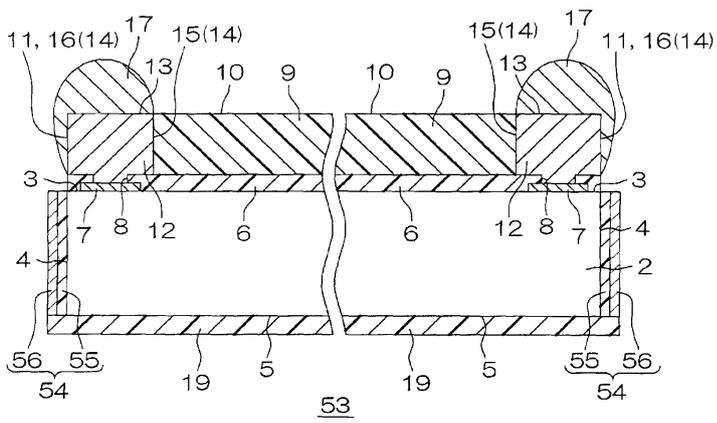
도면9k



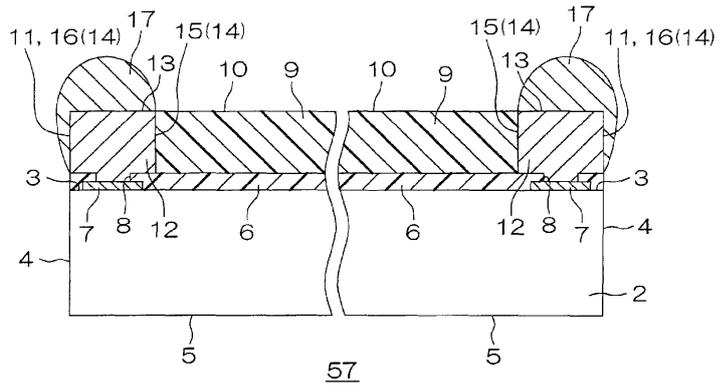
도면9m



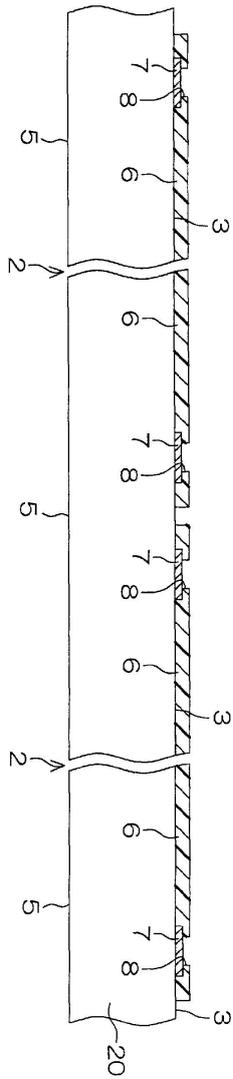
도면10



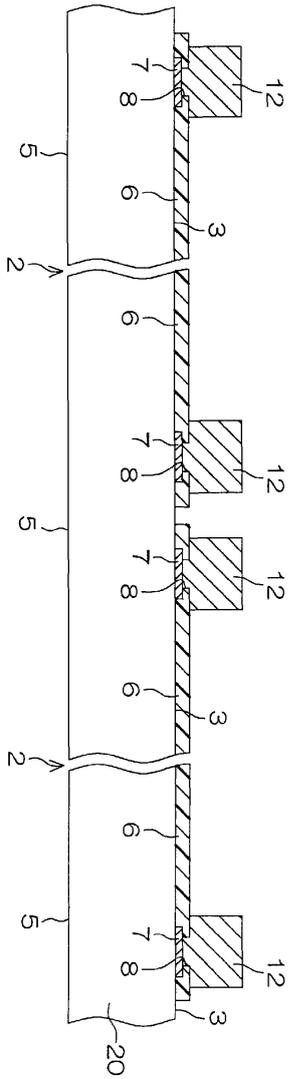
도면11



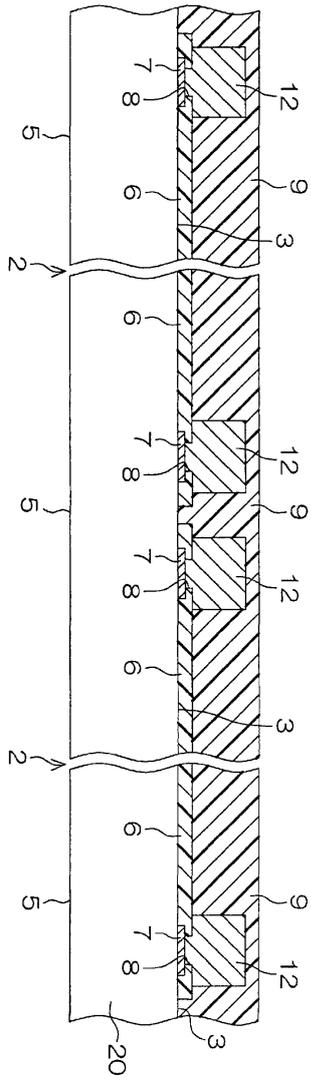
도면12a



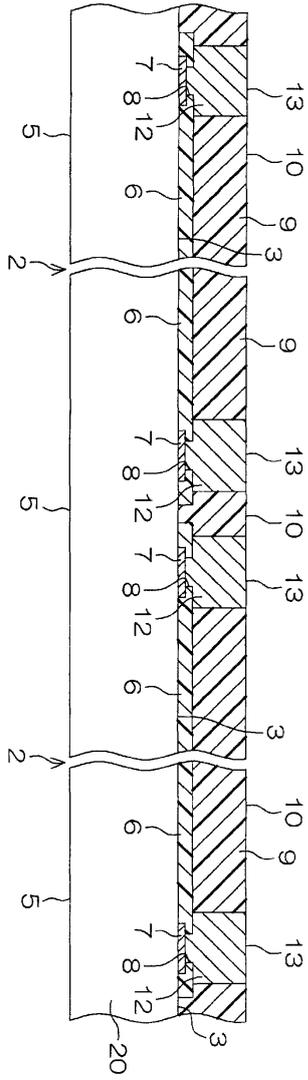
도면12b



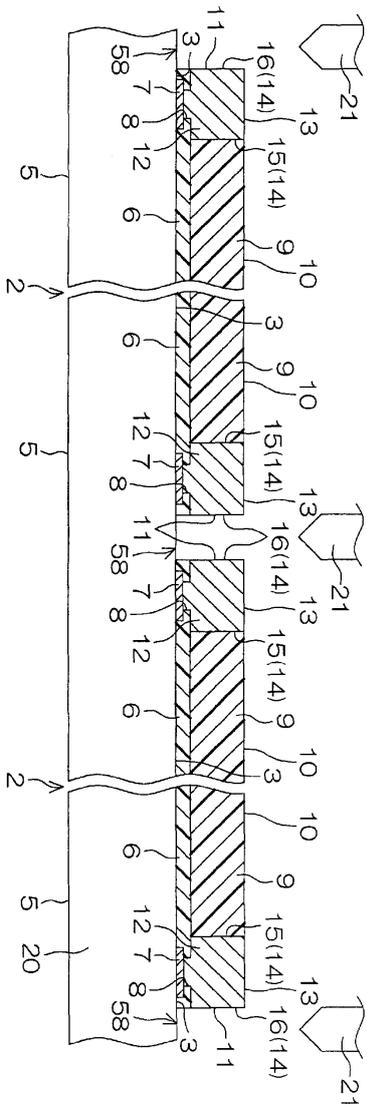
도면12c



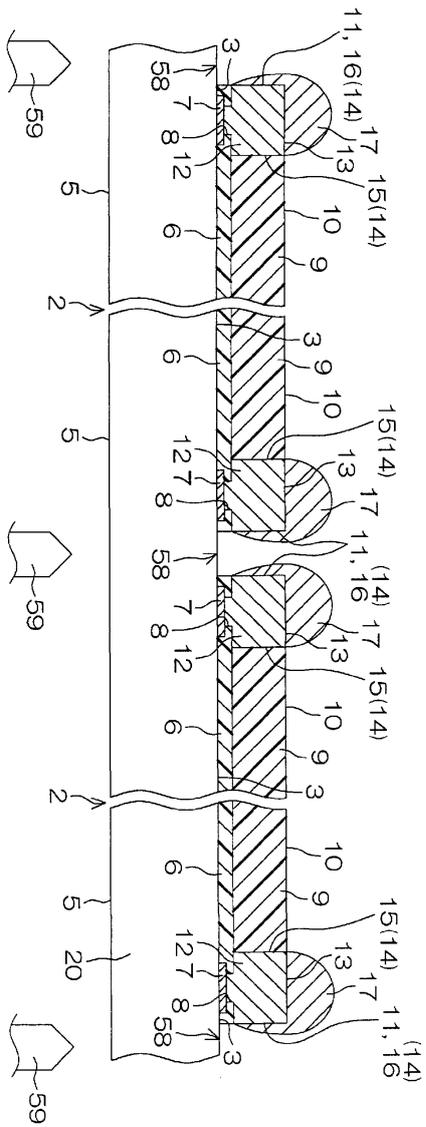
도면12d



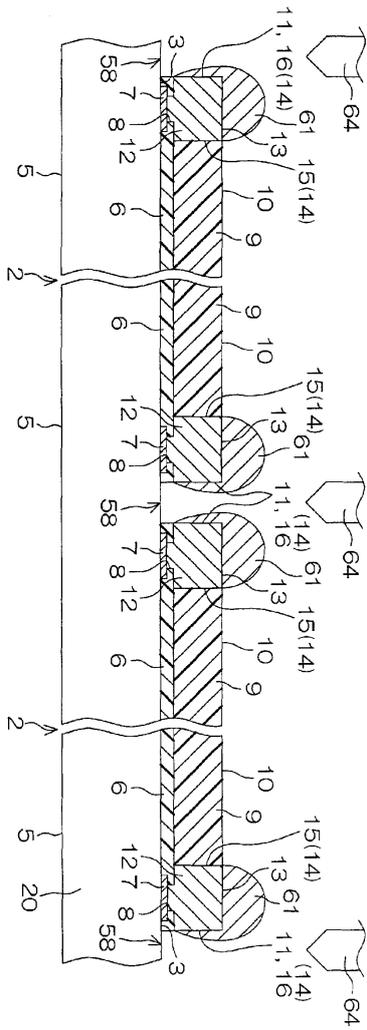
도면12e



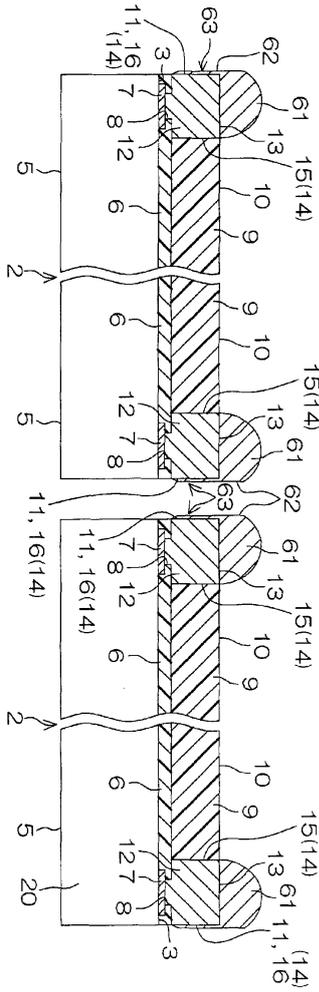
도면12f



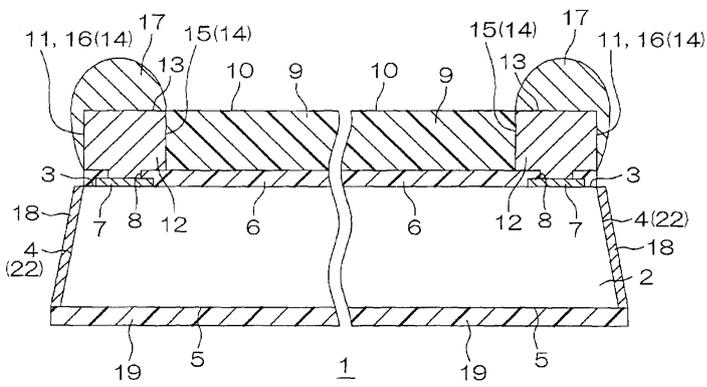
도면14a



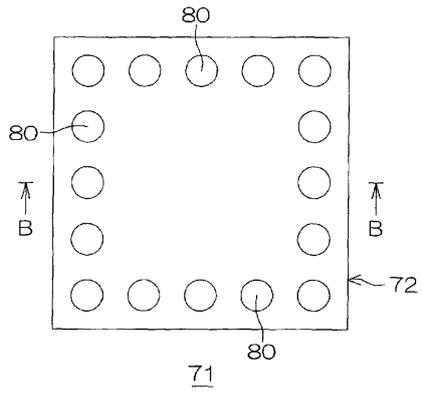
도면14b



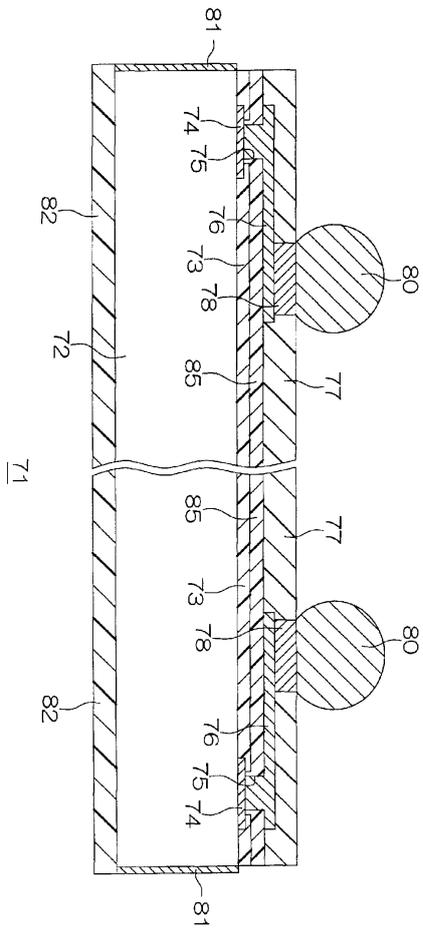
도면15



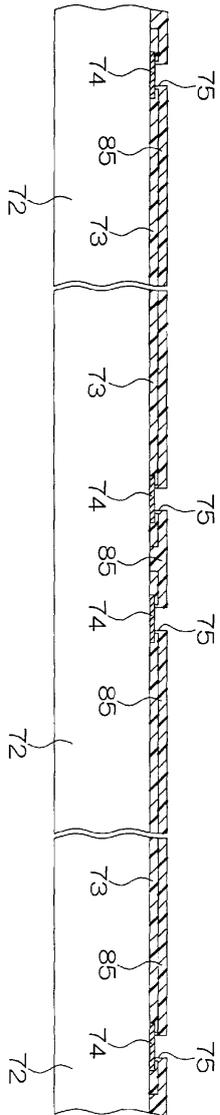
도면16



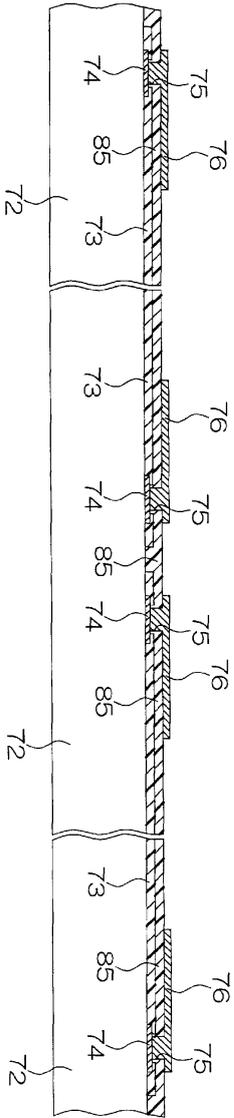
도면17



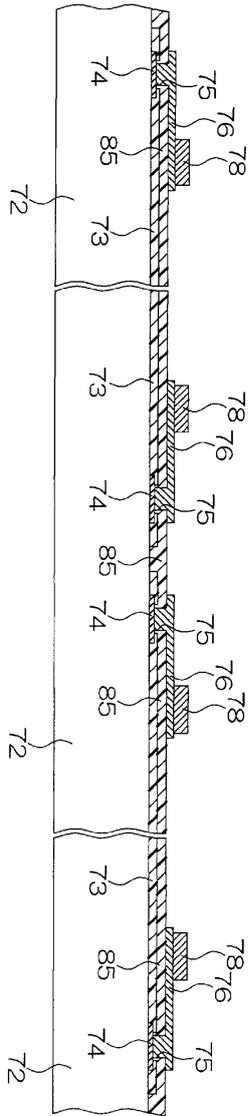
도면18a



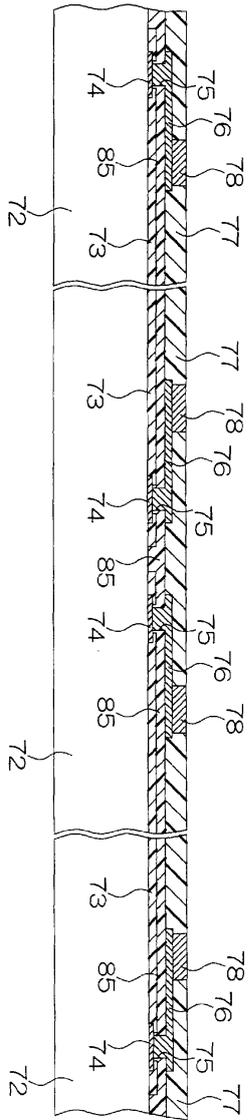
도면18b



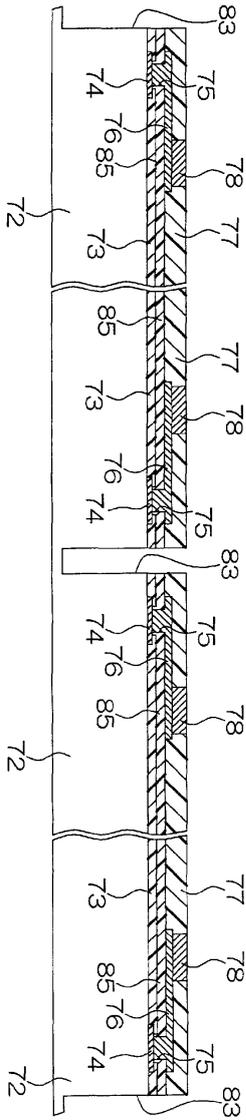
도면18c



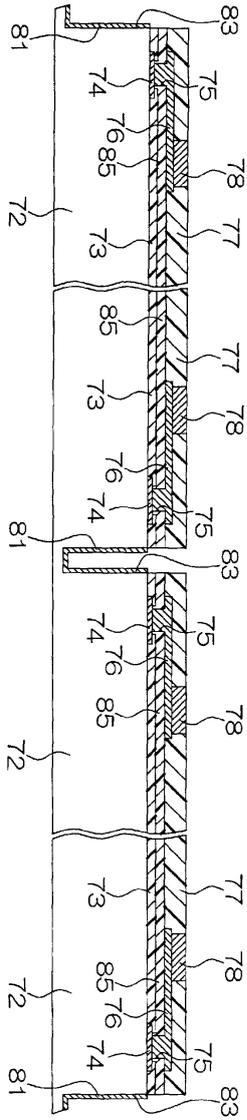
도면18d



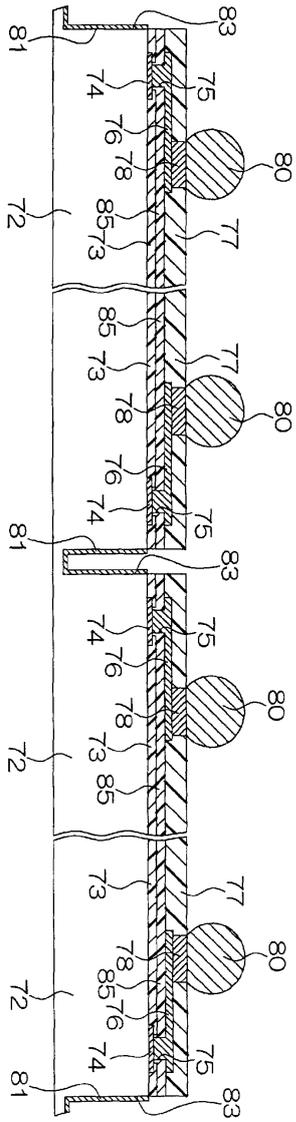
도면18e



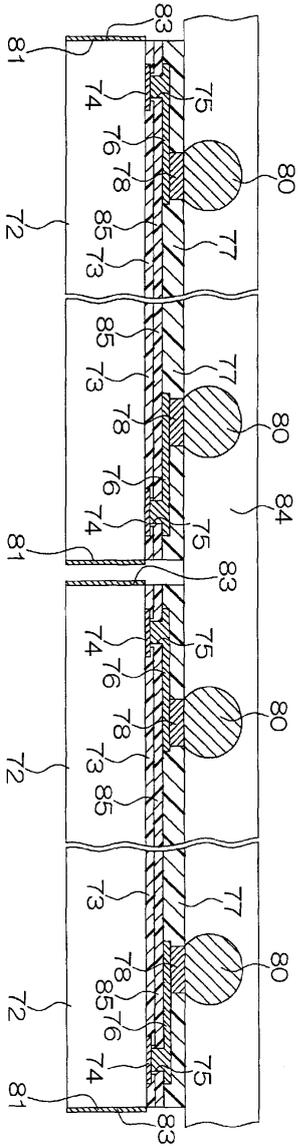
도면18f



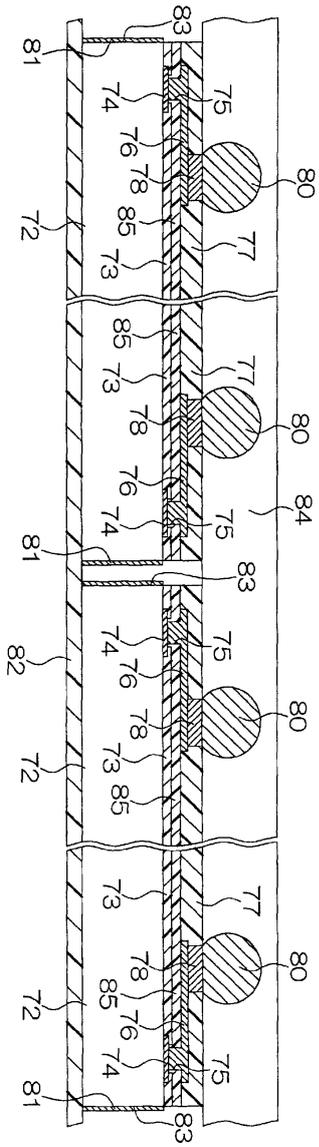
도면18g



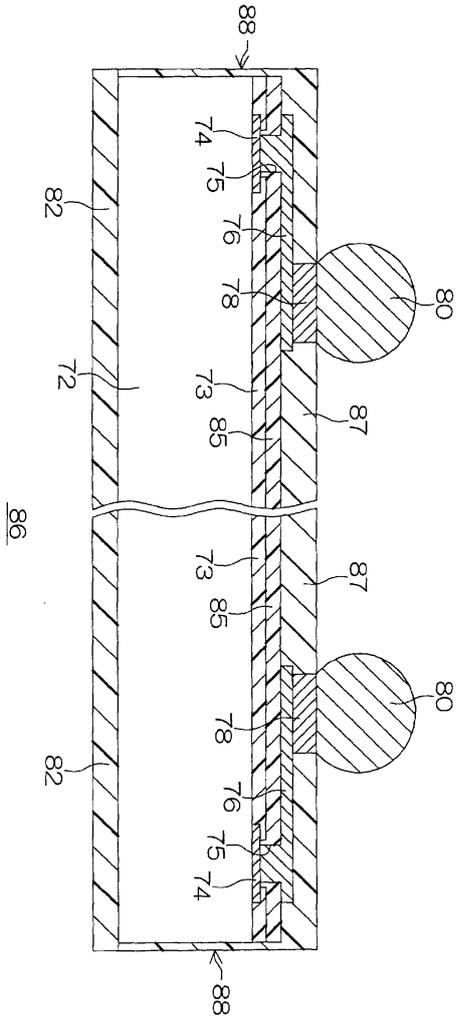
도면18i



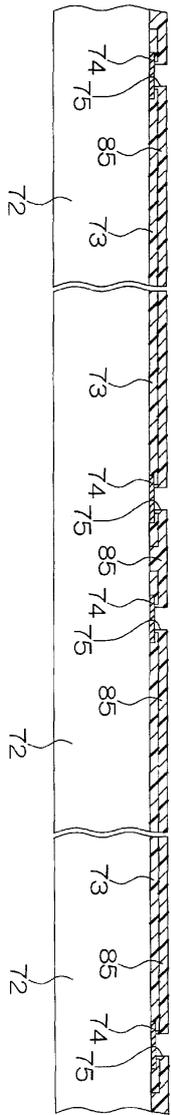
도면18j



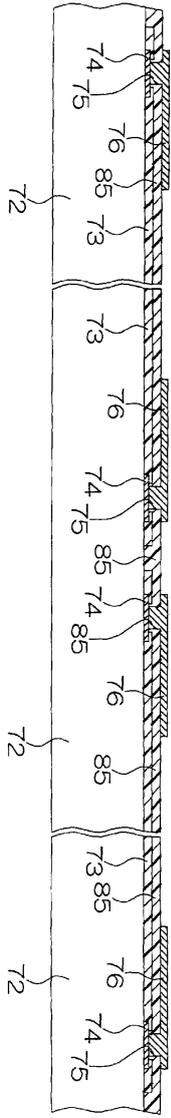
도면19



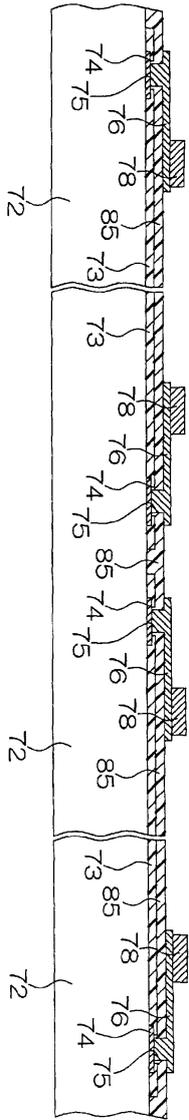
도면20a



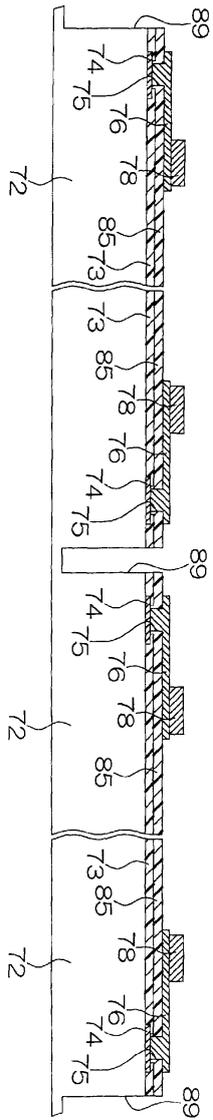
도면20b



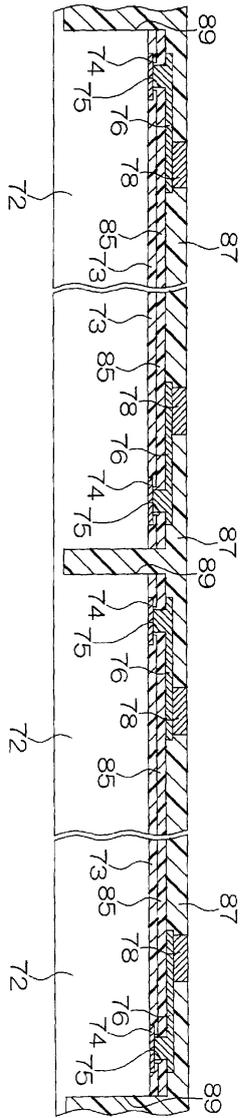
도면20c



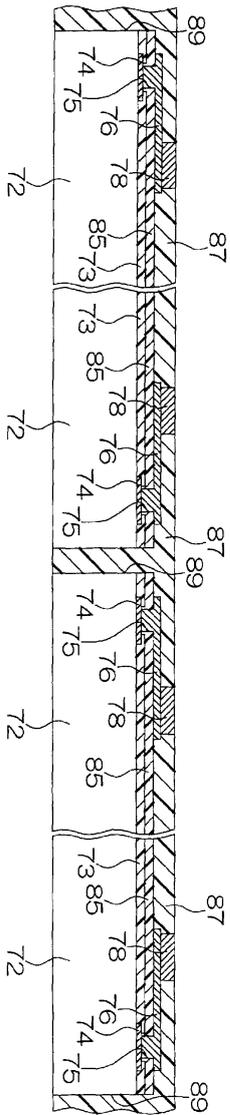
도면20d



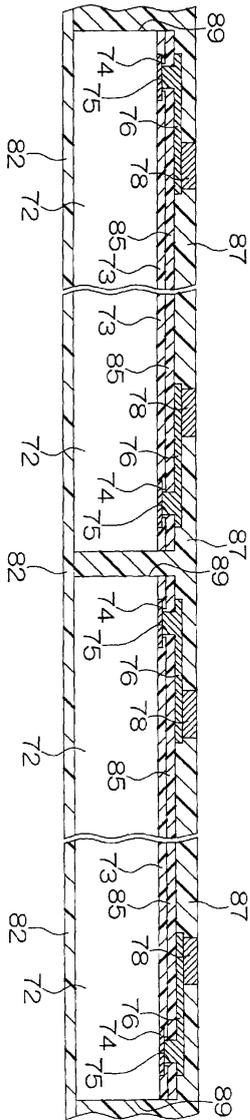
도면20e



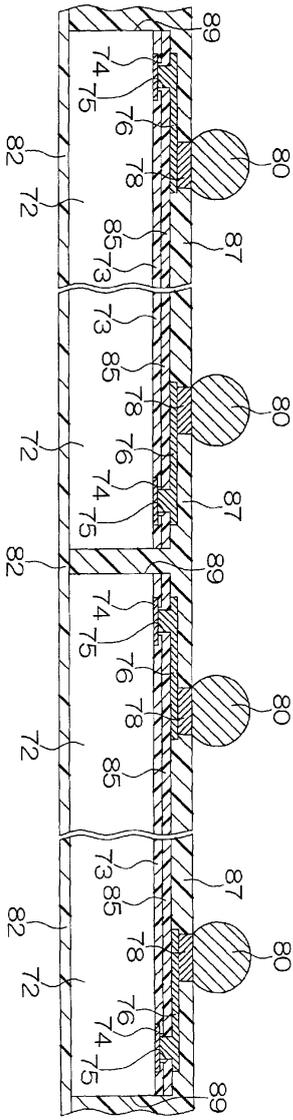
도면20f



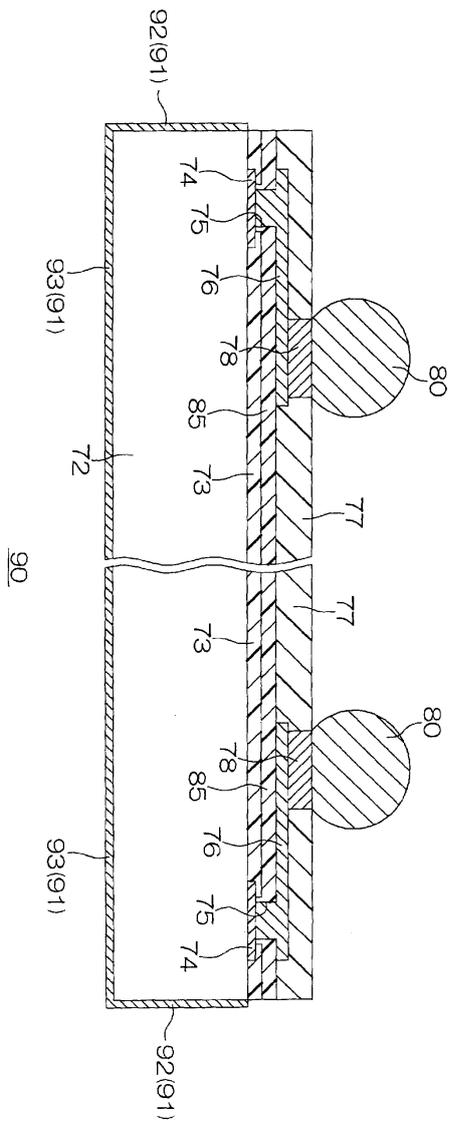
도면20g



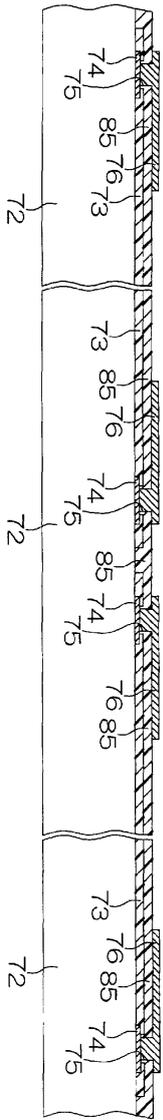
도면20h



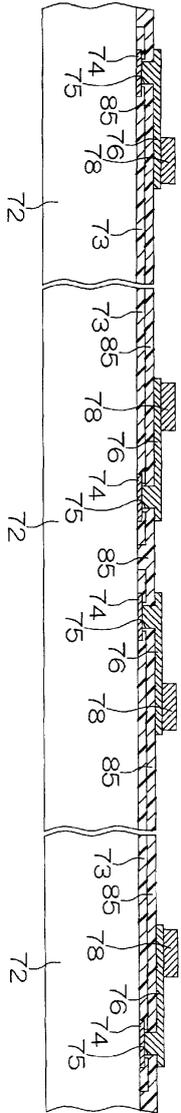
도면21



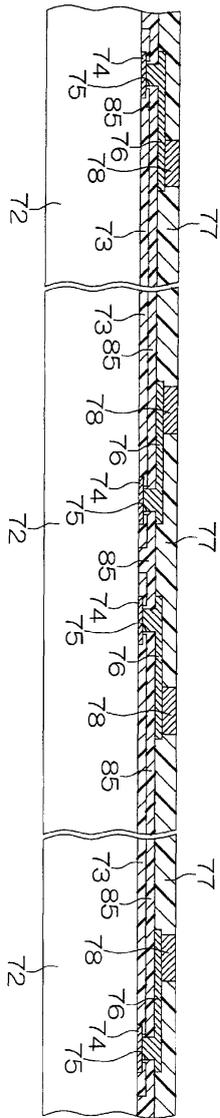
도면22b



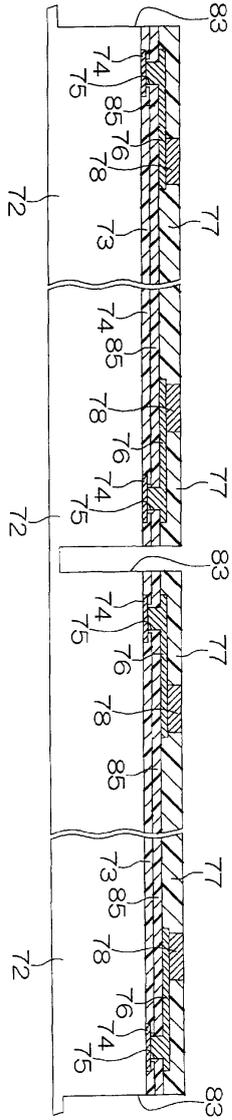
도면22c



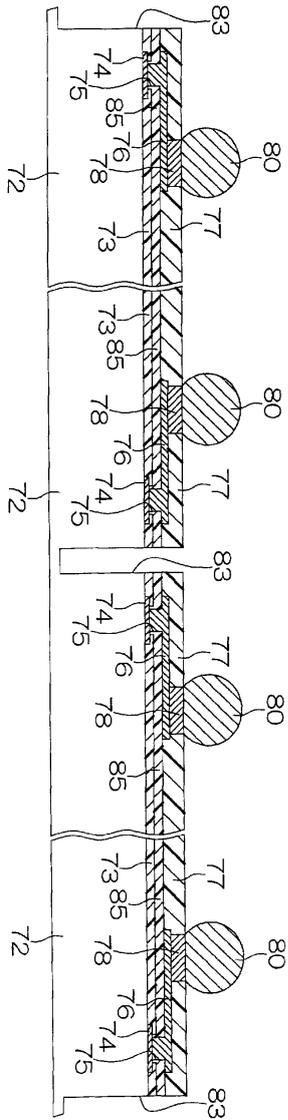
도면22d



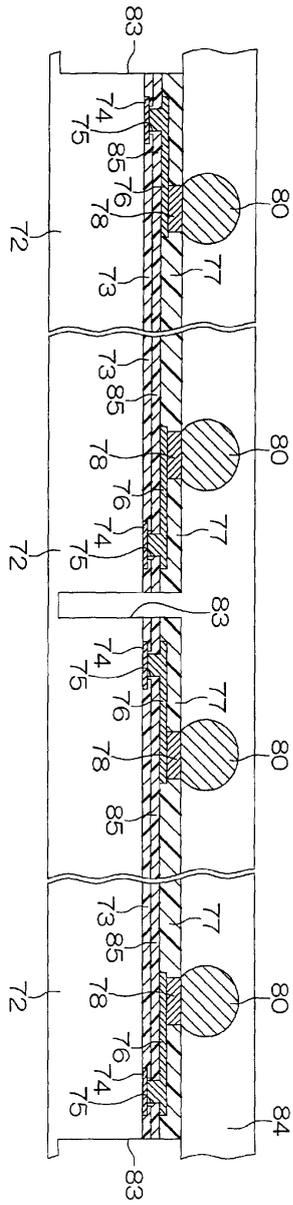
도면22e



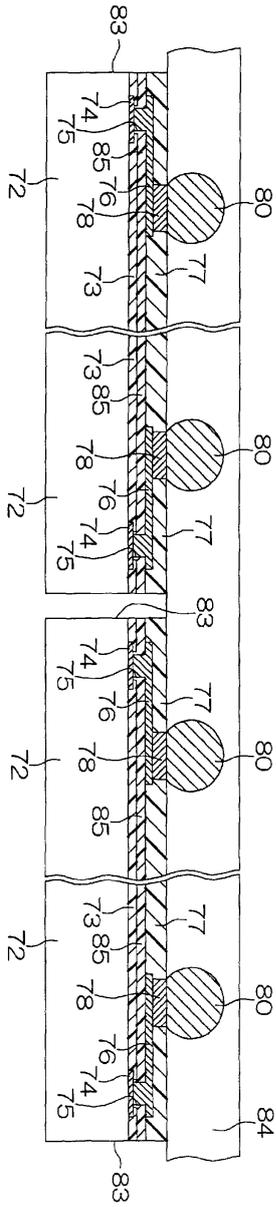
도면22f



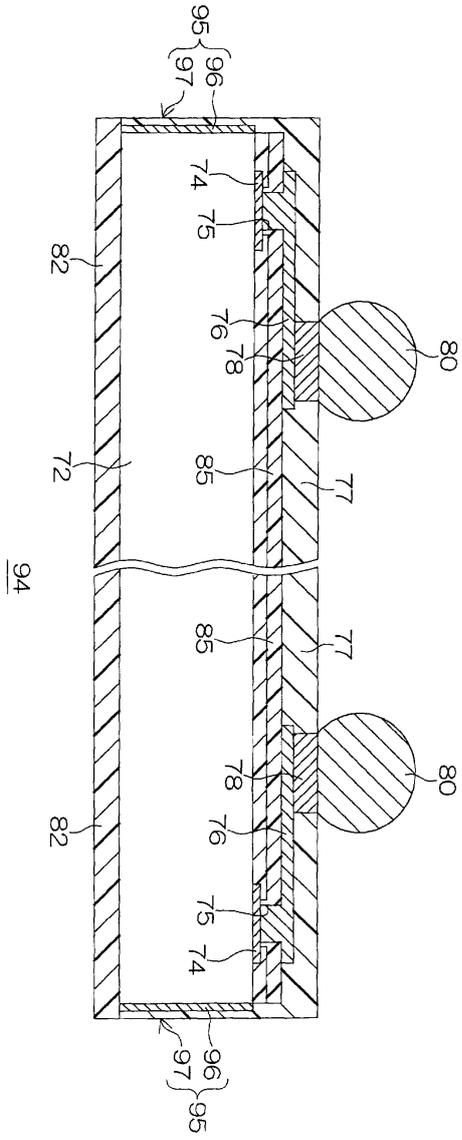
도면22g



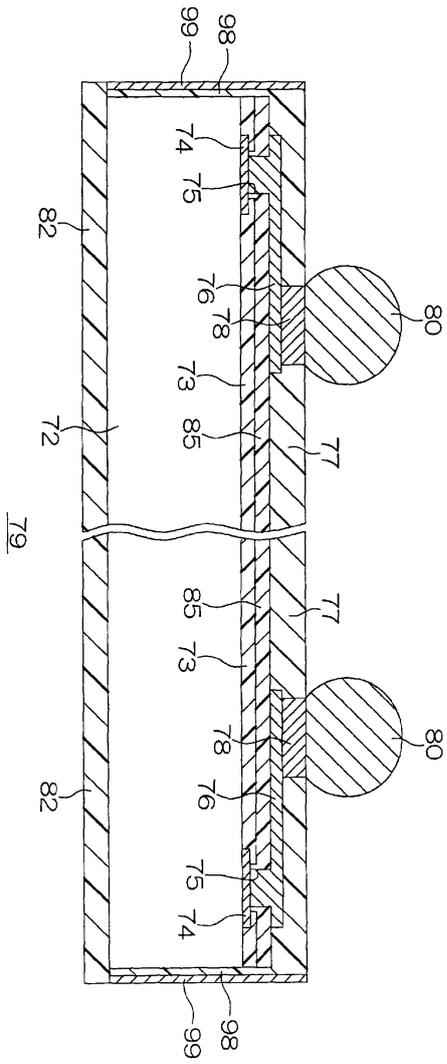
도면22h



도면23



도면24



도면25

