



(21)申請案號：100114663 (22)申請日：中華民國 100 (2011) 年 04 月 27 日

(51)Int. Cl. : *G11C11/406 (2006.01)* *G11C11/403 (2006.01)*

(30)優先權：2010/05/06 美國 61/332,037

2011/02/22 美國 13/031,906

(71)申請人：麥肯科技有限公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72)發明人：魯斯拉 猶哲許 LUTHRA, YOGESH (IN)

(74)代理人：林志剛

(56)參考文獻：

US 7170807B2

US 7187581B2

US 7542345B2

US 7606066B2

US 2006/0011940A1

US 2009/0080244A1

US 2009/0201723A1

US 2010/0091586A1

審查人員：蕭明椿

申請專利範圍項數：35 項 圖式數：15 共 88 頁

(54)名稱

再新半導體記憶體裝置的技術

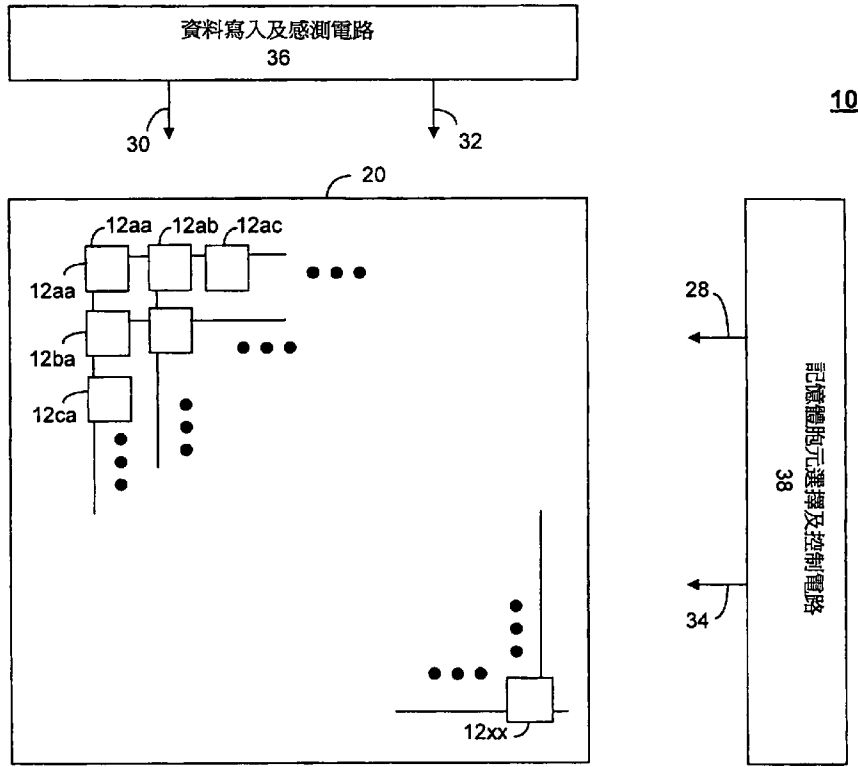
TECHNIQUES FOR REFRESHING A SEMICONDUCTOR MEMORY DEVICE

(57)摘要

揭示了再新半導體記憶體裝置的技術。在一個特定範例性實施例中，可將該等技術實現為一種半導體記憶體裝置，其包括以列及行的陣列所配置之複數個記憶體胞元。各個記憶體胞元可包括耦接至源極線的第一區及耦接至載子注入線的第二區。各個記憶體胞元也可包括電容耦接至至少一個字線且設置於該第一區與該第二區之間的本體區以及耦接至該本體區的至少一部分的解耦電阻器。

Techniques for refreshing a semiconductor memory device are disclosed. In one particular exemplary embodiment, the techniques may be realized as a semiconductor memory device including a plurality of memory cells arranged in an array of rows and columns. Each memory cell may include a first region coupled to a source line and a second region coupled to a carrier injection line. Each memory cell may also include a body region capacitively coupled to at least one word line and disposed between the first region and the second region and a decoupling resistor coupled to at least a portion of the body region.

指定代表圖：



第1圖

符號簡單說明：

10 . . . 半導體記憶體裝置

12 . . . 記憶體胞元

20 . . . 記憶體胞元陣列

28 . . . 字線

30 . . . 位元線

32 . . . 源極線

34 . . . 載子注入線

36 . . . 資料寫入及感測電路

38 . . . 記憶體胞元選擇及控制電路

發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

公告本

※申請案號：100114663

※申請日：100年04月27日

※IPC分類：
G11C 11/406 (2006.01)

G11C 11/403 (2006.01)

一、發明名稱：(中文/英文)

再新半導體記憶體裝置的技術

Techniques for refreshing a semiconductor memory device

二、中文發明摘要：

揭示了再新半導體記憶體裝置的技術。在一個特定範例性實施例中，可將該等技術實現為一種半導體記憶體裝置，其包括以列及行的陣列所配置之複數個記憶體胞元。各個記憶體胞元可包括耦接至源極線的第一區及耦接至載子注入線的第二區。各個記憶體胞元也可包括電容耦接至至少一個字線且設置於該第一區與該第二區之間的本體區以及耦接至該本體區的至少一部分的解耦電阻器。

三、英文發明摘要：

Techniques for refreshing a semiconductor memory device are disclosed. In one particular exemplary embodiment, the techniques may be realized as a semiconductor memory device including a plurality of memory cells arranged in an array of rows and columns. Each memory cell may include a first region coupled to a source line and a second region coupled to a carrier injection line. Each memory cell may also include a body region capacitively coupled to at least one word line and disposed between the first region and the second region and a decoupling resistor coupled to at least a portion of the body region.

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

10：半導體記憶體裝置

12：記憶體胞元

20：記憶體胞元陣列

28：字線

30：位元線

32：源極線

34：載子注入線

36：資料寫入及感測電路

38：記憶體胞元選擇及控制電路

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

六、發明說明：

此專利申請案主張2010年5月6日申請之美國臨時專利申請序號第61/332,037號的權益，其全部以引用方式併入本文中。

【發明所屬之技術領域】

本揭示一般關於半導體記憶體裝置且較具體而言關於再新半導體記憶體裝置的技術。

【先前技術】

半導體產業已經歷了允許半導體記憶體裝置的密度及/或複雜度增加之科技進步。並且，該等科技進步已經容許了各種類型半導體記憶體裝置的功率消耗及封裝大小之減少。有一個持續趨勢是採用及/或製造先進半導體記憶體裝置，其使用了改善性能、降低漏電流、及增強整體縮放的技術、材料、及裝置。絕緣層上矽（SOI）及大塊基板（bulk substrate）為可被用來製造此種半導體記憶體裝置的材料之實例。此種半導體記憶體裝置可包括例如部份空乏（PD）裝置、全空乏（FD）裝置、多閘極裝置（例如，雙閘極、三閘極、或周邊閘極）、及Fin-FET裝置。

半導體記憶體裝置可包括具有記憶體電晶體的記憶體胞元，該記憶體電晶體具有其中可儲存電荷的電氣浮動本體區。當過量的多數電荷載子被儲存於電氣浮動本體區時，記憶體胞元可儲存邏輯高位準（例如，二進制「1」資

料狀態)。當電氣浮動本體區耗盡多數電荷載子時，記憶體胞元可儲存邏輯低位準（例如，二進制「0」資料狀態）。並且，可將半導體記憶體裝置製造於絕緣層上矽（SOI）基板或大塊基板（例如，致能本體隔離）上。例如，可將半導體記憶體裝置製造成三維（3-D）裝置（例如，多閘極裝置、Fin-FET裝置、及垂直柱裝置）。

在一個習知技術中，半導體記憶體裝置的記憶體胞元可藉由施加偏壓信號至記憶體電晶體的源極/汲極區及閘極來加以讀取。因此，習知的讀取技術可包含：感測回應於施加該源極/汲極區及閘極偏壓信號而由/在記憶體胞元之電氣浮動本體區所提供/所產生的電流量以決定該記憶體胞元的資料狀態。例如，記憶體胞元可具有對應於或二或更多不同邏輯狀態的二或更多不同電流狀態（例如，對應於二個不同邏輯狀態的二個不同電流條件/狀態：二進制「0」資料狀態及二進制「1」料狀態）。

在另一習知技術中，半導體記憶體裝置的記憶體胞元可藉由施加偏壓信號至記憶體電晶體的源極/汲極區及閘極來加以寫入。因此，習知的寫入技術可能導致在記憶體胞元之電氣浮動本體區的多數電荷載子增加/減少，這接著決定該記憶體胞元的資料狀態。此種過量的多數電荷載子可能起因於通道衝擊游離化、能帶間穿隧（閘極誘導的汲極漏電「gate-induced drain leakage, GIDL」）、或直接注入。多數電荷載子可例如藉由使用背閘極脈衝而經由汲極區電洞移除、源極區電洞移除、或汲極與源極區電洞

移除來加以移除。

通常，習知的讀取及/或寫入操作可導致相對大的功率消耗及大的電壓電位擺動，這可能造成對半導體記憶體裝置中的未選定記憶體胞元之擾動。並且，在讀取及寫入操作期間之負與正閘極偏壓間的脈衝可能降低記憶體胞元之電氣浮動本體區中的多數電荷載子之淨數量，這接著可能導致該記憶體胞元之資料狀態的不準確決定。此外，倘若具有的電壓電位低於記憶體電晶體之臨限電壓電位的偏壓信號被施加至該記憶體電晶體的閘極，該閘極下方之少數電荷載子的通道可能被消除。然而，一些該等少數電荷載子可能仍「陷落」於界面缺陷中。一些該等陷落的少數電荷載子可能與多數電荷載子結合，其可能由於所施加的偏壓信號而被吸引至閘極。結果，可能降低電氣浮動本體區中的多數電荷載子之淨數量。此現象（其典型被定性為電荷泵取）會有問題，因為多數電荷載子的淨數量可能在記憶體胞元的電氣浮動本體區中被降低，這接著可能導致該記憶體胞元之資料狀態的不準確決定。

有鑑於前述，可理解的是，可能會有與操作半導體記憶體裝置的習知技術關聯的顯著問題及缺點。

【發明內容】

揭示了再新半導體記憶體裝置的技術。在一個特定範例性實施例中，可將該等技術實現為一種半導體記憶體裝置，其包括以列及行的陣列所配置之複數個記憶體胞元。

各個記憶體胞元可包括耦接至源極線的第一區及耦接至載子注入線的第二區。各個記憶體胞元也可包括電容耦接至至少一個字線且設置於該第一區與該第二區之間的本體區以及耦接至該本體區的至少一部分的解耦電阻器。

依據此特定範例性實施例的其他態樣，該第一區可為N摻雜區且該第二區可為P摻雜區。

依據此特定範例性實施例的另外態樣，該本體區可為未摻雜區。

依據此特定範例性實施例的額外態樣，該本體區可包含第一部分及第二部分。

依據此特定範例性實施例的其他態樣，該本體區的第一部分及該本體區的第二部分可為該本體區的不同部分。

依據此特定範例性實施例的另外態樣，該解耦電阻器可耦接至該本體區的第二部分。

依據此特定範例性實施例的額外態樣，該解耦電阻器可經由位元線耦接至該本體區的第二部分。

依據此特定範例性實施例的其他態樣，複數個字線可電容耦接至該本體區。

依據此特定範例性實施例的另外態樣，該複數個字線可電容耦接至該本體區的複數個側部分。

依據此特定範例性實施例的額外態樣，該複數個字線的各者可電容耦接至在該本體區之共同側上的不同部分。

依據此特定範例性實施例的其他態樣，該複數個字線的該各者可電容耦接至該本體區的相對側部分。

依據此特定範例性實施例的另外態樣，該複數個字線可包含第一字線及第二字線。

依據此特定範例性實施例的額外態樣，該第一字線可電容耦接至該本體區的第一部分且該第二字線可電容耦接至該本體區的第二部分。

依據此特定範例性實施例的其他態樣，該解耦電阻器可具有造成流動經過該解耦電阻器的電流介於可表示邏輯低位準的電流與可表示邏輯高位準的電流之間的電阻。

在另一特定範例性實施例中，可將該等技術實現為一種偏壓半導體記憶體裝置的方法，該方法包含施加複數個電壓電位至以列及行的陣列所配置之複數個記憶體胞元的步驟。該方法也包含經由該陣列的各別源極線施加第一電壓電位至第一區及經由該陣列的各別載子注入線施加第二電壓電位至第二區。該方法可進一步包含經由該陣列之被電容耦接至該本體區的至少一個各別字線施加第三電壓電位至本體區的第一部分及經由該陣列的各別位元線及解耦電阻器施加第四電壓電位至該本體區的第二部分。

依據此特定範例性實施例的其他態樣，該各別源極線可耦接至電氣接地。

依據此特定範例性實施例的另外態樣，施加至該本體區的第二部分之該第四電壓電位可為恆定電壓電位。

依據此特定範例性實施例的額外態樣，該方法可進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯低位準操作。

依據此特定範例性實施例的其他態樣，該方法可進一步包含維持在保持操作期間施加至該各別載子注入線的該第二電壓電位以便實施寫入邏輯低位準操作。

依據此特定範例性實施例的另外態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

依據此特定範例性實施例的額外態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施讀取操作。

依據此特定範例性實施例的其他態樣，該解耦電阻器及該各別位元線可耦接至該各別載子注入線。

依據此特定範例性實施例的另外態樣，該方法可進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯低位準操作。

依據此特定範例性實施例的額外態樣，該方法可進一步包含維持在保持操作期間施加至該各別載子注入線的該第二電壓電位以便實施寫入邏輯低位準操作。

依據此特定範例性實施例的其他態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

依據此特定範例性實施例的另外態樣，該方法可進一

步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施讀取操作。

依據此特定範例性實施例的額外態樣，施加至該第二區的該第二電壓電位可為恆定電壓電位。

依據此特定範例性實施例的其他態樣，該方法可進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位與施加至該各別位元線的該第四電壓電位以便實施寫入邏輯低位準操作。

依據此特定範例性實施例的另外態樣，該方法可進一步包含維持在保持操作期間施加至該各別位元線的該第四電壓電位以便實施寫入邏輯高位準操作。

依據此特定範例性實施例的額外態樣，該方法可進一步包含增加在保持操作期間施加至該至少一個各別位元線的該第三電壓電位以便實施寫入邏輯高位準操作。

依據此特定範例性實施例的其他態樣，該方法可進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位與施加至該各別位元線的該第四電壓電位以便實施讀取操作。

依據此特定範例性實施例的另外態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位、施加至該至少一個各別字線的該第三電壓電位、及施加至該各別位元線的該第四電壓電位以便實施寫入邏輯低位準操作。

依據此特定範例性實施例的額外態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

依據此特定範例性實施例的其他態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

依據此特定範例性實施例的另外態樣，該方法可進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位、施加至該至少一個各別字線的該第三電壓電位、及施加至該各別位元線的該第四電壓電位以便實施讀取操作。

本揭示現在將參照如隨附圖式中所示之其範例性實施例來較詳細地加以描述。儘管本揭示參照範例性實例來加以描述於下，應理解的是本揭示不限於此。得到本文中的教導之熟習本技藝之人士將認識額外的實施方式、修改、及實施例以及其他的使用領域（該等使用領域如本文中所描述在本揭示的範圍內，且對於該等使用領域而言本揭示可能有顯著效用）。

【實施方式】

參照第 1 圖，顯示了依據本揭示的實施例之包含記憶體胞元陣列 20、資料寫入及感測電路 36、及記憶體胞元選

擇及控制電路 38 的半導體記憶體裝置 10 之方塊圖。記憶體胞元陣列 20 可包含複數個記憶體胞元 12，各個記憶體胞元經由字線 (WL) 28 及載子注入線 (EP) 34 耦接至記憶體胞元選擇及控制電路 38，且經由位元線 (CN) 30 及源極線 (EN) 32 耦接至資料寫入及感測電路 36。可理解的是，位元線 (CN) 30 及源極線 (EN) 32 為用來區別二個信號線的名稱，且它們可交換使用。

資料寫入及感測電路 36 可從選定的記憶體胞元 12 讀取資料且可寫入資料至該選定的記憶體胞元。在範例性實施例中，資料寫入及感測電路 36 可包括複數個資料感測放大器電路。各個資料感測放大器電路可接收至少一個位元線 (CN) 30 及電流或電壓參考信號。例如，各個資料感測放大器可為用以感測記憶體胞元 12 中所儲存之資料狀態的交叉耦接型感測放大器。資料寫入及感測電路 36 可包括至少一個多工器，其可耦接資料感測放大器電路至至少一個位元線 (CN) 30。在範例性實施例中，多工器可耦接複數個位元線 (CN) 30 至資料感測放大器電路。

各個資料感測放大器電路可採用電壓及 / 或電流感測電路及 / 或技術。在範例性實施例中，各個資料感測放大器電路可採用電流感測電路及 / 或技術。例如，電流感測放大器可比較來自選定的記憶體胞元 12 之電流與參考電流 (例如，一或更多個參考胞元的電流)。從該比較，可決定是否選定的記憶體胞元 12 儲存了邏輯高位準 (例如，二進制「1」資料狀態) 或邏輯低位準 (例如，二進制「0」

資料狀態)。可由熟習本技藝之人士加以理解的是，可將各種類型或形式的資料寫入及感測電路 36 (包括一或更多個用以藉由使用電壓或電流感測技術感測記憶體胞元 12 中所儲存之資料狀態的感測放大器) 用來讀取記憶體胞元 12 中所儲存的資料。

記憶體胞元選擇及控制電路 38 可藉由施加控制信號於一或更多個字線 (WL) 28 及 / 或載子注入線 (EP) 34 上來選擇及 / 或致能一或更多個預定的記憶體胞元 12 以促進從該記憶體胞元讀取資料。記憶體胞元選擇及控制電路 38 可從位址信號 (例如，列位址信號) 產生此種控制信號。此外，記憶體胞元選擇及控制電路 38 可包括字線解碼器及 / 或驅動器。例如，記憶體胞元選擇及控制電路 38 可包括用以選擇及 / 或致能一或更多個預定的記憶體胞元 12 之一或更多個不同控制 / 選擇技術 (及來自彼等的電路)。值得注意地，所有此種控制 / 選擇技術以及來自彼等的電路 (無論現在已知或以後加以開發) 意圖落在本揭示的範圍內。

在範例性實施例中，半導體記憶體裝置 10 可實施二步驟寫入操作，藉此可藉由首先執行「清除」或邏輯低位準 (例如，二進制「0」資料狀態) 寫入操作將一系列的記憶體胞元 12 中的所有記憶體胞元 12 寫入至預定的資料狀態，藉此將該列的記憶體胞元 12 中的所有記憶體胞元 12 寫入至邏輯低位準 (例如，二進制「0」資料狀態)。此後，可將該列的記憶體胞元 12 中之選定的記憶體胞元 12 選擇性寫

入至預定的資料狀態（例如，邏輯高位準（二進制「1」資料狀態））。半導體記憶體裝置10也可實施一步驟寫入操作，藉此可將一系列的記憶體胞元12中之選定的記憶體胞元12選擇性寫入至邏輯高位準（例如，二進制「1」資料狀態）或者邏輯低位準（例如，二進制「0」資料狀態）而沒有首先實施「清除」操作。半導體記憶體裝置10可採用本文中所描述之範例性寫入、準備、保持、再新、及/或讀取技術的任一者。

記憶體胞元12可包含N型、P型及/或兩種類型的電晶體。記憶體胞元陣列20週邊的電路（例如，感測放大器或比較器、列及行位址解碼器、以及線驅動器（本文中未示出））也可包括P型及/或N型電晶體。無論是否P型或N型電晶體被用於記憶體陣列20中的記憶體胞元12，用以從該等記憶體胞元12讀取的合適電壓電位（例如，正或負電壓電位）將在本文中進一步加以描述。

參照第2圖，顯示了依據本揭示之實施例的記憶體胞元陣列20之記憶體胞元12的剖面圖。記憶體胞元12可用具有各種區的垂直配置來加以實施。例如，記憶體胞元12可包含N+源極區120、P-本體區122、及P+汲極區124。N+源極區120、P-本體區122、及/或P+汲極區124可用循序的連續關係來加以設置，且可從由P-基板130所定義的平面垂直延伸。在範例性實施例中，P-本體區122可為被配置成累積/儲存電荷之記憶體胞元12的電氣浮動本體區，且可與複數個字線（WL）28隔開及電容耦接。

可將記憶體胞元 12 的 N+源極區 120 耦接至對應的源極線 (EN) 32。在範例性實施例中，N+源極區 120 可由包含施體雜質的半導體材料 (例如，矽) 所形成。例如，N+源極區 120 可由以磷或砷雜質摻雜的矽材料所形成。在範例性實施例中，N+源極區 120 可由以具有 10^{20} atoms/cm³ 濃度之磷或砷摻雜的矽材料所形成。

在範例性實施例中，源極線 (EN) 32 可由金屬材料所形成。在另一範例性實施例中，源極線 (EN) 32 可由複晶矽化物材料 (例如，金屬材料與矽材料的組合) 所形成。在其他範例性實施例中，源極線 (EN) 32 可由 N+摻雜的矽層所形成。源極線 (EN) 32 可提供預定的電壓電位至記憶體胞元陣列 20 的記憶體胞元 12。例如，可將源極線 (EN) 32 耦接至複數個記憶體胞元 12 (例如，一行或一列的記憶體胞元陣列 20)。可將源極線 (EN) 32 配置於 N+源極區 120 的側邊上。

可將記憶體胞元 12 的 P-本體區 122 電容耦接至對應的字線 (WL) 28。在範例性實施例中，P-本體區 122 可具有由未摻雜的半導體材料 (例如，本質矽) 所形成之第一部分及第二部分。在範例性實施例中，P-本體區 122 可由包含受體雜質的半導體材料 (例如，矽) 所形成。P-本體區 122 可由以硼雜質摻雜的矽材料所形成。在範例性實施例中，P-本體區 122 可由具有 10^{15} atoms/cm³ 濃度之受體雜質的矽材料所形成。

可將字線 (WL) 28 電容耦接至 P-本體區 122。字線 (

WL) 28可朝向記憶體胞元陣列20的列方向且耦接至複數個記憶體胞元12。可將字線(WL) 28配置於記憶體胞元12的側邊上(例如,位在記憶體胞元陣列20之列方向上的記憶體胞元12)。可將字線(WL) 28電容耦接至P-本體區122的第一部分。P-本體區122的第一部分及第二部分可為該P-本體區122的不同部分。例如,可將字線(WL) 28配置於記憶體胞元12的至少二個側部分上。

例如,字線(WL) 28可由複晶矽化物材料(例如,金屬材料與矽材料的組合)、金屬材料、及/或複晶矽化物材料與金屬材料的組合所形成。在另一範例性實施例中,字線(WL) 28可由P+摻雜的矽材料所形成。在範例性實施例中,字線(WL) 28的各者可包括複數個由不同材料所形成的層。例如,字線(WL) 28的各者可包括被形成於複晶矽化物層之上以耦接該複晶矽化物層至記憶體胞元選擇及控制電路38的電壓/電流源之層。

可將位元線(CN) 30耦接至P-本體區122的第二部分。位元線(CN) 30可由金屬材料所形成。在另一範例性實施例中,位元線(CN) 30可由複晶矽化物材料(例如,金屬材料與矽材料的組合)所形成。在其他範例性實施例中,位元線(CN) 30可由N+摻雜的矽層所形成。例如,可將位元線(CN) 30耦接至複數個記憶體胞元12。可將位元線(CN) 30配置於P-本體區122的第二部分之側邊上。

可將記憶體胞元12的P+汲極區124耦接至對應的載子注入線(EP) 34。在範例性實施例中,記憶體胞元12的P+

汲極區 124 可由包含受體雜質的半導體材料（例如，矽）所形成。例如，P+汲極區 124 可由以硼雜質摻雜的矽材料所形成。在範例性實施例中，P+汲極區 124 可用具有 10^{20} atom/cm³ 濃度之受體雜質加以摻雜。

在範例性實施例中，載子注入線（EP）34 可由複晶矽化物材料所形成。在另一範例性實施例中，載子注入線（EP）34 可由金屬材料所形成。載子注入線（EP）34 可垂直延伸於記憶體胞元陣列 20 的列方向中且可耦接至複數個記憶體胞元 12（例如，一系列的記憶體胞元 12）。載子注入線（EP）34 可由金屬材料所形成。在另一範例性實施例中，載子注入線（EP）34 可由複晶矽化物材料（例如，金屬材料與矽材料的組合）所形成。在其他範例性實施例中，載子注入線（EP）34 可由 N+ 摻雜的矽層所形成。

在範例性實施例中，P-基板 130 可由包含受體雜質的半導體材料（例如，矽）所製成且可形成記憶體胞元陣列 20 的基底。例如，P-基板 130 可由包含硼雜質的半導體材料所製成。在範例性實施例中，P-基板 130 可由包含具有 10^{15} atoms/cm³ 濃度之硼雜質的矽所製成。在替代範例性實施例中，複數個 P-基板 130 可形成該記憶體胞元陣列 20 的基底或單一個 P-基板 130 可形成該記憶體胞元陣列 20 的基底。並且，P-基板 130 可用 P 井基板的形式來加以製成。

參照第 3 圖，顯示了依據本揭示之替代實施例的記憶體胞元陣列 20 之記憶體胞元 12 的剖面圖。記憶體胞元 12 可包含被耦接至對應的源極線（EN）32 之 N+ 源極區 120、被

電容耦接至複數個字線 (WL) 28的 P-本體區 122、及被耦接至對應的載子注入線 (EP) 34的 P+汲極區 124。N+源極區 120、P-本體區 122、及/或 P+汲極區 124可用循序的連續關係來加以設置，且可從由 P-基板 130所定義的平面垂直延伸。在範例性實施例中，P-本體區 122可為被配置成累積/儲存電荷之記憶體胞元 12的電浮動本體區，且可與複數個字線 (WL) 28隔開及電容耦接。

可將記憶體胞元 12的 N+源極區 120耦接至對應的源極線 (EN) 32。在範例性實施例中，N+源極區 120可由包含施體雜質的半導體材料 (例如，矽) 所形成。例如，N+源極區 120可由以磷或砷雜質摻雜的矽材料所形成。在範例性實施例中，N+源極區 120可由以具有 10^{20} atoms/cm³ 濃度之磷或砷摻雜的矽材料所形成。

在範例性實施例中，源極線 (EN) 32可由金屬材料所形成。在另一範例性實施例中，源極線 (EN) 32可由複晶矽化物材料 (例如，金屬材料與矽材料的組合) 所形成。在其他範例性實施例中，源極線 (EN) 32可由 N+摻雜的矽層所形成。源極線 (EN) 32可提供預定的電壓電位至記憶體胞元陣列 20的記憶體胞元 12。例如，可將源極線 (EN) 32耦接至複數個記憶體胞元 12 (例如，一行或一列的記憶體胞元陣列 20)。可將源極線 (EN) 32配置於 N+源極區 120的側邊上。

可將記憶體胞元 12的 P-本體區 122電容耦接至對應的字線 (WL) 28。在範例性實施例中，P-本體區 122可具有

由未摻雜的半導體材料（例如，本質矽）所形成之第一部分及第二部分。在範例性實施例中，P-本體區 122 可由包含受體雜質的半導體材料（例如，矽）所形成。P-本體區 122 可由以硼雜質摻雜的矽材料所形成。在範例性實施例中，P-本體區 122 可由具有 10^{15} atoms/cm³ 濃度之受體雜質的矽材料所形成。

可將複數個字線（WL）28 電容耦接至 P-本體區 122。複數個字線（WL）28 可朝向記憶體胞元陣列 20 的列方向且耦接至複數個記憶體胞元 12。複數個字線（WL）28 可包括被電容耦接至 P-本體區 122 之第一部分的第一字線（WL1）28a 及被電容耦接至該 P-本體區 122 之第二部分的第二字線（WL2）28b。P-本體區 122 的第一部分及第二部分可為該 P-本體區 122 的不同部分。可將複數個字線（WL）28 配置於記憶體胞元 12 的側部分上（例如，位在記憶體胞元陣列 20 之列方向上的記憶體胞元 12）。在範例性實施例中，可將第一字線（WL1）28a 及第二字線（WL2）28b 配置於 P-本體區 122 的相同側邊上。在另一範例性實施例中，可將第一字線（WL1）28a 及第二字線（WL2）28b 配置於 P-本體區 122 的相對側邊上。

例如，字線（WL）28 可由複晶矽化物材料（例如，金屬材料與矽材料的組合）、金屬材料、及 / 或複晶矽化物材料與金屬材料的組合所形成。在另一範例性實施例中，字線（WL）28 可由 P+ 摻雜的矽材料所形成。在範例性實施例中，字線（WL）28 的各者可包括複數個由不同材

料所形成的層。例如，字線（WL）28的各者可包括被形成於複晶矽化物層之上以耦接該複晶矽化物層至記憶體胞元選擇及控制電路38的電壓/電流源之層。

可將位元線（CN）30耦接至P-本體區122的第二部分。可將位元線（CN）30配置於P-本體區122的第二部分之側邊上。例如，可將位元線（CN）30配置於P-本體區122的第二部分之與第二字線（WL2）28b相對的側邊上。位元線（CN）30可由金屬材料所形成。在另一範例性實施例中，位元線（CN）30可由複晶矽化物材料（例如，金屬材料與矽材料的組合）所形成。在其他範例性實施例中，位元線（CN）30可由N+摻雜的矽層所形成。例如，可將位元線（CN）30耦接至複數個記憶體胞元12。

可將記憶體胞元12的P+汲極區124耦接至對應的載子注入線（EP）34。在範例性實施例中，記憶體胞元12的P+汲極區124可由包含受體雜質的半導體材料（例如，矽）所形成。例如，P+汲極區124可由以硼雜質摻雜的矽材料所形成。在範例性實施例中，P+汲極區124可用具有 10^{20} atom/cm³濃度之受體雜質加以摻雜。

在範例性實施例中，載子注入線（EP）34可由複晶矽化物材料所形成。在另一範例性實施例中，載子注入線（EP）34可由金屬材料所形成。載子注入線（EP）34可垂直延伸於記憶體胞元陣列20的列方向中且可耦接至複數個記憶體胞元12（例如，一系列的記憶體胞元12）。載子注入線（EP）34可由金屬材料所形成。在另一範例性實施例中，

載子注入線 (EP) 34可由複晶矽化物材料 (例如, 金屬材料與矽材料的組合) 所形成。在其他範例性實施例中, 載子注入線 (EP) 34可由N+摻雜的矽層所形成。

在範例性實施例中, P-基板 130可由包含受體雜質的半導體材料 (例如, 矽) 所製成且可形成記憶體胞元陣列 20的基底。例如, P-基板 130可由包含硼雜質的半導體材料所製成。在範例性實施例中, P-基板 130可由包含具有 10^{15} atoms/cm³ 濃度之硼雜質的矽所製成。在替代範例性實施例中, 複數個 P-基板 130可形成該記憶體胞元陣列 20的基底或單一個 P-基板 130可形成該記憶體胞元陣列 20的基底。並且, P-基板 130可用 P 井基板的形式來加以製成。

參照第 4 圖, 顯示了依據本揭示之實施例的記憶體胞元陣列 20之記憶體胞元 12的示意圖。記憶體胞元 12可包含被互相耦接的第一雙極電晶體 14a及第二雙極電晶體 14b。例如, 第一雙極電晶體 14a及/或第二雙極電晶體 14b可為 NPN雙極電晶體或 PNP雙極電晶體。第一雙極電晶體 14a可為 NPN雙極電晶體且第二雙極電晶體 14b可為 PNP雙極電晶體。在另一範例性實施例中, 第一雙極電晶體 14a可為 PNP雙極電晶體且第二雙極電晶體 14b可為 NPN雙極電晶體。可將記憶體胞元 12耦接至各別字線 (WL) 28、各別位元線 (CN) 30、各別源極線 (EN) 32、及/或各別載子注入線 (EP) 34。可藉由施加合適控制信號至選定的字線 (WL) 28、選定的位元線 (CN) 30、選定的源極線 (EN) 32、及/或選定的載子注入線 (EP) 34將資料寫入至選定

的記憶體胞元 12 或從該選定的記憶體胞元讀取。在範例性實施例中，字線 (WL) 28 可平行於載子注入線 (EP) 34 而水平延伸。

可將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電路及 / 或恆定電源 402 (例如，電壓電位源及電流源)。例如，可經由解耦電阻器 40 將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36。解耦電阻器 40 可具有預定的電阻以便降低各種操作 (例如，讀取或寫入操作) 期間在 P-本體區 122 的第二部分與 P+汲極區 124 間的界面之阻障電壓電位。在範例性實施例中，解耦電阻器 40 可具有預定的電阻以產生介於可表示邏輯低位準 (例如，二進制「0」資料狀態) 的電流與可表示邏輯高位準 (例如，二進制「1」資料狀態) 的電流之間的電流。在另一範例性實施例中，解耦電阻 40 可具有預定的電阻以產生 0.5 電壓電位降。可經由選定的字線 (WL) 28、選定的位元線 (CN) 30、選定的源極線 (EN) 32、及 / 或選定的載子注入線 (EP) 34 將一或更多個控制信號施加至一或更多個選定的記憶體胞元 12。電壓電位及 / 或電流可由該一或更多個選定的記憶體胞元 12 所產生且經由對應的位元線 (CN) 30 及解耦電阻器 40 被輸出至資料寫入及感測電路 36 的資料感測放大器電路。

並且，可藉由經一或更多對應的字線 (WL) 28、源極線 (EN) 32、及 / 或載子注入線 (EP) 34 施加一或更多個控制信號將資料狀態寫入至一或更多個選定的記憶體胞

元 12。經由對應的字線 (WL) 28 及 / 或載子注入線 (EP) 34 所施加的一或更多個控制信號可控制記憶體胞元 12 的第二雙極電晶體 14b 以便寫入想要的資料狀態至該記憶體胞元 12。若資料狀態經由該字線 (WL) 及 / 或載子注入線 (EP) 34 從該記憶體胞元 12 讀取及 / 或被寫入至該記憶體胞元 12，則可將位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電路，同時可將源極線 (EN) 32 分開耦接至該資料寫入及感測電路 36 的電氣接地 (V_{SS})。在範例性實施例中，可將資料寫入及感測電路 36 的資料感測放大器電路及該資料寫入及感測電路 36 的電壓 / 電流源配置於記憶體胞元陣列 20 的相對側邊上。在另一範例性實施例中，資料寫入及感測電路 36 可包括被配置於記憶體胞元陣列 20 之相對側邊上的複數個資料感測放大器電路。

參照第 5 圖，顯示了依據本揭示實施例的如第 4 圖中所示具有複數個記憶體胞元 12 之記憶體胞元陣列 20 的至少一部分之示意圖。如以上所討論，記憶體胞元 12 可包含被互相耦接的第一雙極電晶體 14a 及第二雙極電晶體 14b。第一雙極電晶體 14a 可為 NPN 雙極電晶體且第二雙極電晶體 14b 可為 PNP 雙極電晶體。可將記憶體胞元 12 耦接至各別字線 (WL) 28、各別位元線 (CN) 30、各別源極線 (EN) 32、及 / 或各別載子注入線 (EP) 34。可將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電路。例如，可經由解耦電阻器 40 將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36。

如第 5 圖中所示，可經由位元線（CN）30 及解耦電阻器 40 將複數個記憶體胞元 12 耦接至恆定電源 402（例如，電壓電位源及電流源）。在範例性實施例中，可將記憶體胞元陣列 20 之複數列及行的記憶體胞元 12 耦接至恆定電源 402。可由熟習本技藝之人士理解的是，耦接至恆定電源 402 之列及行的記憶體胞元 12 之數量可變化（例如對稱）但不限於四列乘四行、十六列乘十六行、三十二列乘三十二行、六十四列乘六十四行等等。並且，耦接至恆定電源 402 之列及行的記憶體胞元 12 之數量可為非對稱，例如但不限於四列乘二行、八列乘四行、十六列乘三十二行等等。

在範例性實施例中，記憶體胞元 12 可藉由使用二步驟操作來加以寫入，其中藉由首先執行「清除」操作（例如，將選定的列之所有記憶體胞元 12 寫入或程式化至邏輯低位準（二進制「0」資料狀態））將給定列的記憶體胞元 12 寫入至第一預定的資料狀態。尤其，選定的列之各個記憶體胞元 12 的 P-本體區 122 之第一部分受到控制以儲存具有對應於邏輯低位準（二進制「0」資料狀態）之濃度的多數電荷載子。此後，可將選定的記憶體胞元 12 寫入至第二預定的資料狀態（例如，選擇性寫入操作至該第二預定的資料狀態，邏輯高位準（二進制「1」資料狀態））。例如，記憶體胞元 12 之 P-本體區 122 的第一部分可受到控制以儲存具有對應於邏輯高位準（例如，二進制「1」資料狀態）之濃度的多數電荷載子。

參照第 6 圖，顯示了依據本揭示實施例的用以對如第 5 圖中所示之記憶體胞元 12 實施各種操作的控制信號電壓波形。例如，該等各種操作可包括被配置成實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作、讀取操作、寫入邏輯高位準（例如，二進制「1」資料狀態）操作、及/或再新操作的控制信號。在實施各種操作以前，可將該等控制信號配置成實施保持操作以便維持記憶體胞元 12 中所儲存的資料狀態（例如，邏輯高位準（二進制「1」資料狀態）或邏輯低位準（二進制「0」資料狀態））。尤其，可將該等控制信號配置成實施保持操作以便最大化記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的停留時間。並且，可將用於保持操作的控制信號配置成消除或降低記憶體胞元 12 內的活動或場（例如，可能導致電荷洩漏之接面間的電場）。在範例性實施例中，於保持操作期間，可將負電壓電位施加至可被電容耦接至記憶體胞元 12 之 P-本體區 122 的一或更多個部分之字線（WL）28，同時可經由位元線（CN）30 及解耦電阻器 40 將恆定電壓電位施加至 P-本體區 122 的第二部分。可將施加至其他區（例如，N+源極區 120 及/或 P+汲極區 124）的電壓電位維持在 0V。

例如，施加至字線（WL）28（例如，電容耦接至記憶體胞元 12 的 P-本體區 122）的負電壓電位可為 -2.0V。經由位元線（CN）30 及解耦電阻器 40 施加至 P-本體區 122 的

第二部分之恆定電壓電位可為 $1.4V$ 。在保持操作期間，可將 N+源極區 120 與 P-本體區 122 的第一部分之間的接面以及 P+汲極區 124 與 P-本體區 122 的第二部分之間的接面反向偏壓以便保留記憶體胞元 12 中所儲存的資料狀態（例如，邏輯高位準（二進制「1」資料狀態）或邏輯低位準（二進制「0」資料狀態））。

在範例性實施例中，可將控制信號配置成對一或更多個選定的記憶體胞元 12 實施一或更多寫入邏輯低位準（例如，二進制「0」資料狀態）操作。例如，可對一或更多個選定的記憶體胞元 12 實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作以便耗盡該一或更多個選定的記憶體胞元 12 之 P-本體區 122 中可能已經累積/儲存的電荷載子。可將各種電壓電位施加至記憶體胞元 12 的各種區。在範例性實施例中，可將施加至 N+源極區 120 的電壓電位耦接至電氣接地（ V_{SS} ）且可將 P+汲極區 124 維持在 $0V$ 。可經由解耦電阻器 40 將 $1.4V$ 的恆定電壓電位施加至 P-本體區 122 的第二部分。可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位提高至 $0.5V$ 。

在此種偏壓下，可將 N+源極區 120 與 P-本體區 122 的第一部分之間的接面以及 P-本體區 122 的第一部分與 P-本體區 122 的第二部分之間的接面正向偏壓。可將 P-本體區 122

的第二部分與 P+汲極區 124 之間的接面反向偏壓。P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子（例如，電洞）可流動至 P-本體區 122 的第二部分且降低在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之電壓電位阻障。並且，P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子（例如，電洞）可流動至 N+源極區 120。因此，可經由 P-本體區 122 的第二部分及/或 N+源極區 120 將 P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子（例如，電洞）耗盡。藉由移除 P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子，可將邏輯低位準（例如，二進制「0」資料狀態）寫入至記憶體胞元 12。

在範例性實施例中，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的讀取操作。也可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的再新操作。在範例性實施例中，可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作（經由位元線（CN）30）及/或再新操作。在範例性實施

例中，可經由源極線（EN）32將N+源極區120耦接至電氣接地（V_{ss}）且可將經由解耦電阻器40（例如，0.5V下降）施加至位元線（CN）30而至P-本體區122的第二部分之恆定電壓電位維持在1.4V。可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位以及施加至P+汲極區124的電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位提高至-1.0V。可將經由載子注入線（EP）34施加至P+汲極區124的電壓電位提高至1.4V。

在此種偏壓下，當邏輯低位準（例如，二進制「0」資料狀態）被儲存於記憶體胞元12中時，P-本體區122的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）可流動朝向P-本體區122的第二部分。流動至P-本體區122的第二部分之預定量的多數電荷載子可降低在P-本體區122的第二部分之電壓電位。並且，流動至P-本體區122的第二部分之預定量的多數電荷載子可降低在P-本體區122的第二部分與P+汲極區124間之接面的電壓電位阻障。然而，P-本體區122的第二部分與P+汲極區124之間的接面可維持反向偏壓或變成微弱的正向偏壓（例如，高於反向偏壓電壓及低於正向偏壓臨限電壓電位）。當P-本體區122的第二部分與P+汲極區124之間的接面被反向偏壓或微弱地正向偏壓時可能產生小量的電壓電位與電流或沒有電壓電位與電流（例如，相較於參考電壓電位或電流）

。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線 (CN) 30 (被耦接至 P-本體區 122 的第二部分) 偵測到該小量的電壓電位或電流 (例如, 相較於參考電壓電位或電流) 或沒有電壓電位或電流。

與讀取操作同時地, 可將控制信號配置成實施再新操作。在讀取操作期間的偏壓下, 可將 P-本體區 122 的第一部分與 N+源極區 120 之間的接面正向偏壓。P-本體區 122 的第一部分中所累積/儲存之預定量的剩餘多數電荷載子 (例如, 電洞) 可從該 P-本體區 122 的第一部分耗盡。並且, 如以上所討論, P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子 (例如, 電洞) 可從該 P-本體區 122 的第一部分流動至 P-本體區 122 的第二部分且因此降低在該 P-本體區 122 的第二部分之電壓電位。因此, P-本體區 122 的第一部分中所累積/儲存之多數電荷載子 (例如, 電洞) 可從該 P-本體區 122 的第一部分耗盡且可將邏輯低位準 (例如, 二進制「0」資料狀態) 再新。

在範例性實施例中, 可將控制信號配置成寫入邏輯高位準 (例如, 二進制「1」資料狀態) 至記憶體胞元陣列 20 之一或更多個選定列的一或更多個選定的記憶體胞元 12。例如, 寫入邏輯高位準 (例如, 二進制「1」資料狀態) 操作可對記憶體胞元陣列 20 之一或更多個選定的列或整個記憶體胞元陣列 20 來加以實施。在另一範例性實施例中, 寫入邏輯高位準 (例如, 二進制「1」資料狀態) 操作可具有被配置成引起多數電荷載子累積/儲存於 P-本體區

122中的控制信號。

在範例性實施例中，可經由源極線（EN）32將被施加至記憶體胞元12之N+源極區120的電壓電位耦接至電氣接地（Vss）且可將經由解耦電阻器40（例如，0.5V下降）施加至位元線（CN）30而至該記憶體胞元12之P-本體區122的第二部分之恆定電壓電位維持在與保持操作期間的電壓電位相同的電壓電位。例如，可將施加至位元線（CN）30而至P-本體區122的第二部分之電壓電位維持在1.4V。

可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位以及施加至P+汲極區124的電壓電位從該保持操作期間所施加的電壓電位提高。例如，可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位從-2.0V提高至0.5V。可將經由載子注入線（EP）34施加至P+汲極區124的電壓電位從0V提高至1.4V。

在此種偏壓下，N+源極區120與P-本體區122的第一部分之間的接面、P-本體區122的第一部分與P-本體區122的第二部分之間的接面、及P-本體區122的第二部分與P+汲極區124之間的接面可變成正向偏壓。例如，在P-本體區122的第一部分的多數電荷載子（例如，電洞）可流動朝向P-本體區122的第二部分。多數電荷載子流動至P-本體區122的第二部分可降低在P-本體區122的第二部分之電壓電位且因此降低在P-本體區122的第二部分與P+汲極區124

間之接面的電壓電位阻障。P-本體區 122 的第二部分與 P+汲極區 124 之間的接面可變成正向偏壓（例如，高於正向偏壓臨限電壓電位）。額外的多數電荷載子（例如，電洞）可流動經過 P+汲極區 124 與 P-本體區 122 的第二部分之間的該正向偏壓接面朝向 P-本體區 122 的第一部分。隨後，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 0.5V 降低至 -2.0V。因此，可經由 P+汲極區 124 及 P-本體區 122 的第二部分將預定量的多數電荷載子（例如，電洞）累積/儲存於 P-本體區 122 的第一部分中。P-本體區 122 的第一部分（例如，電容耦接至字線（WL）28）中所累積/儲存之預定量的電荷載子可表示的是，邏輯高位準（例如，二進制「1」資料狀態）可被寫入記憶體胞元 12 中。

再次地，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的第二讀取操作。也可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的再新操作。在範例性實施例中，可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作

(經由位元線 (CN) 30) 及/或再新操作。在範例性實施例中，可經由源極線 (EN) 32將 N+源極區 120耦接至電氣接地 (V_{ss}) 且可將經由解耦電阻器 40 (例如，0.5V下降) 施加至位元線 (CN) 30而至 P-本體區 122的第二部分之恆定電壓電位維持在 1.4V。可將施加至字線 (WL) 28 (其可被電容耦接至 P-本體區 122的第一部分) 的電壓電位以及施加至 P+汲極區 124的電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線 (WL) 28 (其可被電容耦接至 P-本體區 122的第一部分) 的電壓電位提高至 -1.0V。可將經由載子注入線 (EP) 34施加至 P+汲極區 124的電壓電位提高至 1.4V。

在此種偏壓下，當邏輯高位準 (例如，二進制「1」資料狀態) 被儲存於記憶體胞元 12中時，P-本體區 122的第一部分中所累積/儲存之預定量的多數電荷載子 (例如，其可表示邏輯高位準 (例如，二進制「1」資料狀態)) 可流動朝向 P-本體區 122的第二部分。流動至 P-本體區 122的第二部分之預定量的多數電荷載子可降低在 P-本體區 122的第二部分之電壓電位。流動至 P-本體區 122的第二部分之預定量的多數載子可降低在 P-本體區 122的第二部分與 P+汲極區 124間之接面的電壓電位阻障。可將 P-本體區 122的第二部分與 P+汲極區 124之間的接面正向偏壓 (例如，高於正向偏壓臨限電壓電位)。當 P-本體區 122的第二部分與 P+汲極區 124之間的接面被正向偏壓時可能產生預定量的電壓電位及/或電流。在資料寫入及感測電路 36

中的資料感測放大器可經由位元線（CN）30及解耦電阻器40（被耦接至P-本體區122的第二部分）偵測到該產生之預定量的電壓電位或與電流（例如，相較於參考電壓電位或電流）。

與讀取操作同時地，可將控制信號配置成實施再新操作。在讀取操作期間的偏壓下，可將P-本體區122的第二部分與P+汲極區124之間的接面正向偏壓。預定量的多數電荷載子（例如，電洞）可經由P-本體區122的第二部分從P+汲極區124流動至該P-本體區122的第一部分。從P+汲極區124之預定量的多數電荷載子之流動可逐漸降低在P+汲極區124的電壓電位。並且，可將P-本體區122的第一部分與N+源極區120之間的接面正向偏壓且因此預定量的電子可從N+源極區120流動至P-本體區122的第一部分。電子的流動可促進多數電荷載子（例如，電洞）流動至P-本體區122的第一部分。可將施加至字線（WL）28（例如，其可被電容耦接至P-本體區122的第一部分）的電壓電位從-1.0V降低至-2.0V且因此可將預定量的多數電荷載子累積/儲存於該P-本體區122的第一部分中。因此，可將P-本體區122的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）恢復至該P-本體區122的第一部分且可將邏輯低位準（例如，二進制「0」資料狀態）再新。

參照第7圖，顯示了依據本揭示之替代實施例的記憶體胞元陣列20之記憶體胞元12的示意圖。第7圖中所示的記憶體胞元12可類似於第4圖中所示的記憶體胞元12，除

了可經由解耦電阻器 40 將位元線 (CN) 30 耦接至載子注入線 (EP) 34 以外。可將施加至位元線 (CN) 30 的電壓電位與施加至載子注入線 (EP) 34 的電壓電位關聯。例如，施加至位元線 (CN) 30 的電壓電位可能等於施加至載子注入線 (EP) 34 的電壓電位減去在解耦電阻器 (R0) 40 的電壓電位降。

可將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電路。例如，可經由解耦電阻器 40 將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36。解耦電阻器 40 可具有預定的電阻以便降低各種操作 (例如，讀取或寫入操作) 期間在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之阻障電壓電位。在範例性實施例中，解耦電阻器 40 可具有電阻使得選定的記憶體胞元 12 所產生之電壓電位及 / 或電流可降低在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之能量阻障。

參照第 8 圖，顯示了依據本揭示替代實施例的如第 7 圖中所示具有複數個記憶體胞元 12 之記憶體胞元陣列 20 的至少一部分之示意圖。第 8 圖中所示的記憶體胞元陣列 20 可類似於第 5 圖中所示的記憶體胞元陣列 20，除了可經由解耦電阻器 40 將位元線 (CN) 30 耦接至載子注入線 (EP) 34 以外。如以上所討論，可將記憶體胞元 12 耦接至各別字線 (WL) 28、各別位元線 (CN) 30、各別源極線 (EN) 32、及 / 或各別載子注入線 (EP) 34。可將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電

路。例如，可經由解耦電阻器 40 將各別位元線（CN）30 耦接至資料寫入及感測電路 36。

如第 8 圖中所示，可將記憶體胞元陣列 20 的列方向中所配置之複數個記憶體胞元 12 耦接至各別載子注入線（EP）34。可經由各別解耦電阻器 40 將記憶體胞元陣列 20 的列方向中所配置之複數個記憶體胞元 12 的位元線（CN）30 耦接至各別載子注入線（EP）34。

參照第 9 圖，顯示了依據本揭示實施例的用以對如第 8 圖中所示之記憶體胞元 12 實施各種操作的控制信號電壓波形。例如，該等各種操作可包括被配置成實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作、讀取操作、寫入邏輯高位準（例如，二進制「1」資料狀態）操作、及/或再新操作的控制信號。在實施各種操作以前，可將該等控制信號配置成實施保持操作以便維持記憶體胞元 12 中所儲存的資料狀態（例如，邏輯高位準（二進制「1」資料狀態）或邏輯低位準（二進制「0」資料狀態））。尤其，可將該等控制信號配置成實施保持操作以便最大化記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的停留時間。並且，可將用於保持操作的控制信號配置成消除或降低記憶體胞元 12 內的活動或場（例如，可能導致電荷洩漏之接面間的電場）。在範例性實施例中，於保持操作期間，可將負電壓電位施加至可被電容耦接至記憶體胞元 12 之 P-本體區 122 的一或更多個部分之

字線 (WL) 28，同時可經由及解耦電阻器 40 將恆定電壓電位施加至位元線 (CN) 30 而至 P-本體區 122 的第二部分。可將施加至其他區 (例如，N+源極區 120 及 / 或 P+汲極區 124) 的電壓電位維持在 0V。

例如，施加至字線 (WL) 28 (例如，電容耦接至記憶體胞元 12 的 P-本體區 122) 的負電壓電位可為 -2.0V。施加至位元線 (CN) 30 而至 P-本體區 122 的第二部分之恆定電壓電位可為 1.4V。在保持操作期間，可將 N+源極區 120 與 P-本體區 122 的第一部分之間的接面以及 P+汲極區 124 與 P-本體區 122 的第二部分之間的接面反向偏壓以便保留記憶體胞元 12 中所儲存的資料狀態 (例如，邏輯高位準 (二進制「1」資料狀態) 或邏輯低位準 (二進制「0」資料狀態))。

在範例性實施例中，可將控制信號配置成對一或更多個選定的記憶體胞元 12 實施一或更多寫入邏輯低位準 (例如，二進制「0」資料狀態) 操作。例如，可對一或更多個選定的記憶體胞元 12 實施寫入邏輯低位準 (例如，二進制「0」資料狀態) 操作以便耗盡該一或更多個選定的記憶體胞元 12 之 P-本體區 122 中可能已經累積 / 儲存的電荷載子。可將各種電壓電位施加至記憶體胞元 12 的各種區。在範例性實施例中，可將施加至 N+源極區 120 的電壓電位耦接至電氣接地 (V_{SS}) 且可將施加至位元線 (CN) 30 而至 P-本體區 122 的第二部分以及 P+汲極區 124 之電壓電位維持與保持操作期間所施加的電壓電位相同。可將施加至字線

(WL) 28 (其可被電容耦接至 P-本體區 122 的第一部分) 的電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至 P+汲極區 124 以及至位元線 (CN) 30 而至 P-本體區 122 的第二部分之電壓電位維持在 0V。可將施加至字線 (WL) 28 (其可被電容耦接至 P-本體區 122 的第一部分) 的電壓電位從 -2.0V 提高至 0.5V。

在此種偏壓下，可將 N+源極區 120 與 P-本體區 122 的第一部分之間的接面以及 P-本體區 122 的第一部分與 P-本體區 122 的第二部分之間的接面正向偏壓。可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面反向偏壓。P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子 (例如，電洞) 可流動至 P-本體區 122 的第二部分且降低在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之電壓電位阻障。並且，P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子 (例如，電洞) 可流動至 N+源極區 120。因此，可經由 P-本體區 122 的第二部分及/或 N+源極區 120 將 P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子 (例如，電洞) 耗盡。藉由移除 P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子，可將邏輯低位準 (例如，二進制「0」資料狀態) 寫入至記憶體胞元 12。

在範例性實施例中，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態 (例如，邏輯低位準 (二進制

「0」資料狀態)及/或邏輯高位準(二進制「1」資料狀態)的讀取操作。也可將控制信號配置成實施記憶體胞元陣列20的一或更多選定列之一或更多個選定的記憶體胞元12中所儲存之資料狀態(例如,邏輯低位準(二進制「0」資料狀態)及/或邏輯高位準(二進制「1」資料狀態))的再新操作。在範例性實施例中,可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作(經由位元線(CN)30)及/或再新操作。在範例性實施例中,可經由源極線(EN)32將N+源極區120耦接至電氣接地(V_{ss})。可將施加至字線(WL)28(其可被電容耦接至P-本體區122的第一部分)的電壓電位、施加至P+汲極區124的電壓電位、及施加至位元線(CN)30而至P-本體區122的第二部分之電壓電位從該保持操作期間所施加的電壓電位提高。經由解耦電阻器40施加至位元線(CN)30而至P-本體區122的第二部分之電壓電位可至少部份根據被施加至P+汲極區124的電壓電位。在範例性實施例中,可將施加至字線(WL)28(其可被電容耦接至P-本體區122的第一部分)的電壓電位提高至-1.0V。可將經由載子注入線(EP)34施加至P+汲極區124的電壓電位提高至1.4V。施加至位元線(CN)30的電壓電位在跨越解耦電阻器40的0.5V下降以後於P-本體區122的第二部分可能是1.4V或0.9V。

在此種偏壓下,當邏輯低位準(例如,二進制「0」

資料狀態) 被儲存於記憶體胞元 12 中時，P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子(例如，電洞)可流動朝向 P-本體區 122 的第二部分。流動至 P-本體區 122 的第二部分之預定量的多數電荷載子(例如，表示邏輯低位準(例如，二進制「0」資料狀態))可降低在 P-本體區 122 的第二部分之電壓電位。並且，流動至 P-本體區 122 的第二部分之預定量的多數電荷載子可降低在 P-本體區 122 的第二部分與 P+汲極區 124 間之接面的電壓電位阻障。然而，P-本體區 122 的第二部分與 P+汲極區 124 之間的接面可維持反向偏壓或變成微弱的正向偏壓(例如，高於反向偏壓電壓及低於正向偏壓臨限電壓電位)。當 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面被反向偏壓或微弱地正向偏壓時可能產生小量的電壓電位與電流或沒有電壓電位與電流(例如，相較於參考電壓電位或電流)。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線(CN) 30(被耦接至 P-本體區 122 的第二部分)偵測到該小量的電壓電位或電流(例如，相較於參考電壓電位或電流)或沒有電壓電位或電流。

與讀取操作同時地，可將控制信號配置成實施再新操作。在讀取操作期間的偏壓下，可將 P-本體區 122 的第一部分與 N+源極區 120 之間的接面正向偏壓。P-本體區 122 的第一部分中所累積/儲存之預定量的剩餘多數電荷載子(例如，電洞)可經由 N+源極區 120 從該 P-本體區 122 的第一部分耗盡。並且，如以上所討論，P-本體區 122 的第一部

分中所累積/儲存之預定量的多數電荷載子（例如，電洞）可從該 P-本體區 122 的第一部分流動至 P-本體區 122 的第二部分且因此降低在該 P-本體區 122 的第二部分之電壓電位。因此，P-本體區 122 的第一部分中所累積/儲存之多數電荷載子（例如，電洞）可從該 P-本體區 122 的第一部分耗盡且可將邏輯低位準（例如，二進制「0」資料狀態）再新。

在範例性實施例中，可將控制信號配置成寫入邏輯高位準（例如，二進制「1」資料狀態）至記憶體胞元陣列 20 之一或更多個選定列之一或更多個選定的記憶體胞元 12。例如，寫入邏輯高位準（例如，二進制「1」資料狀態）操作可對記憶體胞元陣列 20 之一或更多個選定的列或整個記憶體胞元陣列 20 來加以實施。在另一範例性實施例中，寫入邏輯高位準（例如，二進制「1」資料狀態）操作可具有被配置成引起多數電荷載子累積/儲存於 P-本體區 122 中的控制信號。

在範例性實施例中，可經由源極線（EN）32 將被施加至記憶體胞元 12 之 N+源極區 120 的電壓電位耦接至電氣接地（V_{ss}）。可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位、施加至位元線（CN）30 而至該 P-本體區 122 的第二部分之電壓電位、及施加至 P+汲極區 124 的電壓電位從該保持操作期間所施加的電壓電位提高。例如，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從

-2.0V 提高至 0.5V。可將經由載子注入線 (EP) 34 施加至 P+汲極區 124 的電壓電位從 0V 提高至 1.4V。施加至位元線 (CN) 30 的電壓電位在跨越解耦電阻器 40 的 0.5V 下降以後在 P-本體區 122 的第二部分可能被提高至 1.4V 或 0.9V。

在此種偏壓下，N+源極區 120 與 P-本體區 122 的第一部分之間的接面、P-本體區 122 的第一部分與 P-本體區 122 的第二部分之間的接面、及 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面可變成正向偏壓。例如，在 P-本體區 122 的第一部分的多數電荷載子 (例如，電洞) 可流動朝向 P-本體區 122 的第二部分。多數電荷載子流動至 P-本體區 122 的第二部分可降低在 P-本體區 122 的第二部分之電壓電位且因此降低在 P-本體區 122 的第二部分與 P+汲極區 124 間之接面的電壓電位阻障。P-本體區 122 的第二部分與 P+汲極區 124 之間的接面可變成正向偏壓 (例如，高於正向偏壓臨限電壓電位)。額外的多數電荷載子 (例如，電洞) 可流動經過 P+汲極區 124 與 P-本體區 122 的第二部分之間的該正向偏壓接面朝向 P-本體區 122 的第一部分。隨後，可將施加至字線 (WL) 28 (其可被電容耦接至 P-本體區 122 的第一部分) 的電壓電位從 0.5V 降低至 -2.0V。因此，可經由 P+汲極區 124 及 P-本體區 122 的第二部分將預定量的多數電荷載子 (例如，電洞) 累積/儲存於 P-本體區 122 的第一部分中。P-本體區 122 的第一部分中所累積/儲存之預定量的電荷載子可表示的是，邏輯高位準 (例如，二進制「1」資料狀態) 可被寫入記憶體胞元 12 中。

再次地，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的第二讀取操作。也可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的再新操作。在範例性實施例中，可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作（經由位元線（CN）30）及/或再新操作。在範例性實施例中，可經由源極線（EN）32 將 N+源極區 120 耦接至電氣接地（V_{SS}）。可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位、施加至 P+汲極區 124 的電壓電位、及施加至該 P-本體區 122 的第一部分之電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位提高至 -1.0V。可將經由載子注入線（EP）34 施加至 P+汲極區 124 的電壓電位提高至 1.4V。施加至位元線（CN）30 的電壓電位在跨越解耦電阻器 40 的 0.5V 下降以後在 P-本體區 122 的第二部分可能被提高至 1.4V 或 0.9V。

在此種偏壓下，當邏輯高位準（例如，二進制「1」

資料狀態) 被儲存於記憶體胞元 12 中時，P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子(例如，其可表示邏輯高位準(例如，二進制「1」資料狀態))可流動朝向 P-本體區 122 的第二部分。流動至 P-本體區 122 的第二部分之預定量的多數電荷載子可降低在 P-本體區 122 的第二部分之電壓電位。流動至 P-本體區 122 的第二部分之預定量的多數載子可降低在 P-本體區 122 的第二部分與 P+汲極區 124 間之接面的電壓電位阻障。可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面正向偏壓(例如，高於正向偏壓臨限電壓電位)。當 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面被正向偏壓時可能產生預定量的電壓電位及/或電流。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線(CN) 30 及解耦電阻器 40 (被耦接至 P-本體區 122 的第二部分)偵測到在該 P-本體區 122 的第二部分之該產生的電壓電位或電流(例如，相較於參考電壓電位或電流)。

與讀取操作同時地，可將控制信號配置成實施再新操作。在讀取操作期間的偏壓下，可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面正向偏壓。預定量的多數電荷載子(例如，電洞)可經由 P-本體區 122 的第二部分從 P+汲極區 124 流動至該 P-本體區 122 的第一部分。從 P+汲極區 124 之預定量的多數電荷載子之流動可逐漸降低在 P+汲極區 124 的電壓電位。也可將在 P-本體區 122 的第二部分之電壓電位逐漸降低。並且，可將 P-本體區 122 的第一部

分與N+源極區120之間的接面正向偏壓且因此預定量的電子可從N+源極區120流動至P-本體區122的第一部分。電子的流動可促進多數電荷載子（例如，電洞）流動至P-本體區122的第一部分。可將施加至字線（WL）28（例如，其可被電容耦接至P-本體區122的第一部分）的電壓電位從-1.0V降低至-2.0V且因此可將預定量的多數電荷載子累積/儲存於該P-本體區122的第一部分中。因此，可將P-本體區122的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）恢復至該P-本體區122的第一部分且可將邏輯低位準（例如，二進制「0」資料狀態）再新。

參照第10圖，顯示了依據本揭示之替代實施例的記憶體胞元陣列20之記憶體胞元12的示意圖。第10圖中所示的記憶體胞元12可類似於第4圖中所示的記憶體胞元12，除了可將載子注入線（EP）34耦接至恆定電源1002（例如，電壓電位源及/或電流源）以外。可經由位元線（CN）30及解耦電阻器40將各種控制信號施加至記憶體胞元12以便適當地偏壓該記憶體胞元12以實施各種操作（例如，讀取或寫入操作）。

可將各別位元線（CN）30耦接至資料寫入及感測電路36的資料感測放大器電路。例如，可經由解耦電阻器40將各別位元線（CN）30耦接至資料寫入及感測電路36。解耦電阻器40可具有預定的電阻以便降低各種操作（例如，讀取或寫入操作）期間在P-本體區122的第二部分與P+汲極區124間的接面之阻障電壓電位。在範例性實施例中，解

耦電阻器 40 可具有電阻使得選定的記憶體胞元 12 所產生之電壓電位及 / 或電流可降低在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之能量阻障。

參照第 11 圖，顯示了依據本揭示替代實施例的如第 10 圖中所示具有複數個記憶體胞元 12 之記憶體胞元陣列 20 的至少一部分之示意圖。第 11 圖中所示的記憶體胞元陣列 20 可類似於第 5 圖中所示的記憶體胞元陣列 20，除了可將載子注入線 (EP) 34 耦接至恆定電源 1002 以外。在範例性實施例中，可將記憶體胞元陣列 20 之複數列及行的記憶體胞元 12 耦接至恆定電源 1002。可由熟習本技藝之人士理解的是，耦接至恆定電源 1002 之列及行的記憶體胞元 12 之數量可變化 (例如對稱) 但不限於四列乘四行、十六列乘十六行、三十二列乘三十二行、六十四列乘六十四行等等。並且，耦接至恆定電源 1002 之列及行的記憶體胞元 12 之數量可為非對稱，例如但不限於四列乘二行、八列乘四行、十六列乘三十二行等等。

如以上所討論，可將記憶體胞元 12 耦接至各別字線 (WL) 28、各別位元線 (CN) 30、各別源極線 (EN) 32、及 / 或各別載子注入線 (EP) 34。可將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電路。例如，可經由解耦電阻器 40 將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36。並且，可經由位元線 (CN) 30 將各種控制信號施加至記憶體胞元 12 以便適當地偏壓該記憶體胞元 12 以實施各種操作。

參照第 12 圖，顯示了依據本揭示替代實施例的用以對如第 11 圖中所示之記憶體胞元 12 實施再新操作的控制信號電壓波形。例如，該再新操作可包括被配置成實施一或更多操作的控制信號。在範例性實施例中，該再新操作可包括控制信號以實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作、讀取操作、寫入邏輯高位準（例如，二進制「1」資料狀態）操作、及/或讀取操作。在實施再新操作以前，可將該等控制信號配置成實施保持操作以便維持記憶體胞元 12 中所儲存的資料狀態（例如，邏輯高位準（二進制「1」資料狀態）或邏輯低位準（二進制「0」資料狀態））。尤其，可將該等控制信號配置成實施保持操作以便最大化記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的停留時間。並且，可將用於保持操作的控制信號配置成消除或降低記憶體胞元 12 內的活動或場（例如，可能導致電荷洩漏之接面間的電場）。在範例性實施例中，於保持操作期間，可將負電壓電位施加至可被電容耦接至記憶體胞元 12 之 P-本體區 122 的第一部分之字線（WL）28，同時可將正電壓電位施加至位元線（CN）30 而至 P-本體區 122 的第二部分及/或 P+汲極區 124。可將施加至 N+源極區 120 的電壓電位耦接至電氣接地（V_{ss}）。例如，施加至字線（WL）28（例如，電容耦接至記憶體胞元 12 的 P-本體區 122）的負電壓電位可為 -2.0V。施加至 P-本體區 122 的第一部分之正電壓電位可為 1.4V。

。並且，施加至 P+汲極區 124 的正電壓電位可為 1.4V。在保持操作期間，可將 N+源極區 120 與 P-本體區 122 的第一部分之間的接面以及 P+汲極區 124 與 P-本體區 122 的第二部分之間的接面反向偏壓以便保留記憶體胞元 12 中所儲存的資料狀態（例如，邏輯高位準（二進制「1」資料狀態）或邏輯低位準（二進制「0」資料狀態））。

在範例性實施例中，可將控制信號配置成對一或更多個選定的記憶體胞元 12 實施一或更多寫入邏輯低位準（例如，二進制「0」資料狀態）操作。例如，可對一或更多個選定的記憶體胞元 12 實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作以便耗盡該一或更多個選定的記憶體胞元 12 之 P-本體區 122 中可能已經累積/儲存的多數電荷載子。可將各種電壓電位施加至記憶體胞元 12 的各種區。可將施加至 N+源極區 120 的電壓電位維持在保持操作電壓位準（例如，電氣接地（ V_{SS} ））。可藉由恆定電源 1002 將施加至 P+汲極區 124 的電壓電位維持在恆定電壓電位（例如，在 1.4V）。可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從該保持操作期間所施加的電壓電位提高。可將施加至位元線（CN）30 而至 P-本體區 122 的第二部分之電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 -2.0V 提高至 0.5V。可將施加至位元線（CN）30 而至 P-本體區 122 的第二部分之電壓

電位從 1.4V 提高至 2.0V。

在此種偏壓下，可將 N+源極區 120 與 P-本體區 122 的第一部分之間的接面以及 P-本體區 122 的第一部分與 P-本體區 122 的第二部分之間的接面正向偏壓。可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面反向偏壓。P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子（例如，電洞）可流動至 P-本體區 122 的第二部分且降低在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之電壓電位阻障。並且，P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子（例如，電洞）可流動至 N+源極區 120。因此，可經由 P-本體區 122 的第二部分及/或 N+源極區 120 將 P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子（例如，電洞）耗盡。藉由移除 P-本體區 122 的第一部分中可能已經累積/儲存之多數電荷載子，可將邏輯低位準（例如，二進制「0」資料狀態）寫入至記憶體胞元 12。

在範例性實施例中，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的讀取操作。也可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態

)) 的再新操作。在範例性實施例中，可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作（經由位元線（CN）30）及/或再新操作。在範例性實施例中，可經由源極線（EN）32將N+源極區120耦接至電氣接地（Vss）且可將施加至P+汲極區124的恆定電壓電位維持在1.4V。可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位以及施加至位元線（CN）30而至P-本體區122的第二部分之電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位從-2.0V提高至-1.0V。可將經由解耦電阻器40施加至位元線（CN）30而至P-本體區122的第二部分之電壓電位從1.4V提高至2.0V。

在此種偏壓下，當邏輯低位準（例如，二進制「0」資料狀態）被儲存於記憶體胞元12中時，P-本體區122的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）可流動朝向P-本體區122的第二部分。流動至P-本體區122的第二部分之預定量的多數電荷載子可降低在P-本體區122的第二部分之電壓電位。並且，流動至P-本體區122的第二部分之預定量的多數電荷載子可降低在P-本體區122的第二部分與P+汲極區124間之接面的電壓電位阻障。然而，P-本體區122的第二部分與P+汲極區124之間的接面可維持反向偏壓或變成微弱的正向偏壓（例如，高

於反向偏壓電壓及低於正向偏壓臨限電壓電位)。當 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面被反向偏壓或微弱地正向偏壓時可能產生小量的電壓電位與電流或沒有電壓電位與電流(例如,相較於參考電壓電位或電流)。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線(CN) 30(被耦接至 P-本體區 122 的第二部分)偵測到該小量的電壓電位或電流(例如,相較於參考電壓電位或電流)或沒有電壓電位或電流。

與讀取操作同時地,可將控制信號配置成實施再新操作。在讀取操作期間的偏壓下,可將 P-本體區 122 的第一部分與 N+源極區 120 之間的接面正向偏壓。P-本體區 122 的第一部分中可能已經累積/儲存之預定量的剩餘多數電荷載子(例如,電洞)可經由 N+源極區 120 從該 P-本體區 122 的第一部分耗盡。並且,如以上所討論,P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子(例如,電洞)可從該 P-本體區 122 的第一部分流動至 P-本體區 122 的第二部分且因此降低在該 P-本體區 122 的第二部分之電壓電位。因此,P-本體區 122 的第一部分中所累積/儲存之多數電荷載子(例如,電洞)可從該 P-本體區 122 的第一部分耗盡且可將邏輯低位準(例如,二進制「0」資料狀態)再新。

在範例性實施例中,可將控制信號配置成寫入邏輯高位準(例如,二進制「1」資料狀態)至記憶體胞元陣列 20 之一或更多個選定列之一或更多個選定的記憶體胞元 12

。例如，寫入邏輯高位準（例如，二進制「1」資料狀態）操作可對記憶體胞元陣列 20 之一或更多個選定的列或整個記憶體胞元陣列 20 來加以實施。在另一範例性實施例中，寫入邏輯高位準（例如，二進制「1」資料狀態）操作可具有被配置成引起多數電荷載子累積/儲存於 P-本體區 122 中的控制信號。

在範例性實施例中，可經由源極線（EN）32 將記憶體胞元 12 之 N+源極區 120 耦接至電氣接地（V_{ss}）且可將經由載子注入線（EP）34 施加至該記憶體胞元 12 的 P+汲極區 124 之恆定電壓電位維持在與保持操作期間所施加的電壓電位相同的電壓電位。例如，可將施加至 P+汲極區 124 的電壓電位維持在 1.4V。

可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從該保持操作期間所施加的電壓電位提高。例如，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 -2.0V 提高至 0.5V。可將施加至位元線（CN）30 而至 P-本體區 122 的第二部分之電壓電位維持在與保持操作期間所施加的電壓電位相同的電壓電位。例如，可將施加至位元線（CN）30 而至 P-本體區 122 的第二部分之電壓電位維持在 1.4V。

在此種偏壓下，N+源極區 120 與 P-本體區 122 的第一部分之間的接面、P-本體區 122 的第一部分與 P-本體區 122 的第二部分之間的接面、及 P-本體區 122 的第二部分與 P+汲

極區 124 之間的接面可變成正向偏壓。例如，在 P-本體區 122 的第一部分的多數電荷載子（例如，電洞）可流動朝向 P-本體區 122 的第二部分。多數電荷載子流動至 P-本體區 122 的第二部分可降低在 P-本體區 122 的第二部分之電壓電位且因此降低在 P-本體區 122 的第二部分與 P+汲極區 124 間之接面的電壓電位阻障。P-本體區 122 的第二部分與 P+汲極區 124 之間的接面可變成正向偏壓（例如，高於正向偏壓臨限電壓電位）。額外的多數電荷載子（例如，電洞）可流動經過 P+汲極區 124 與 P-本體區 122 的第二部分之間的該正向偏壓接面朝向 P-本體區 122 的第一部分。隨後，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 0.5V 降低至 -2.0V。因此，可經由 P+汲極區 124 及 P-本體區 122 的第二部分將預定量的多數電荷載子（例如，電洞）累積/儲存於 P-本體區 122 的第一部分中。P-本體區 122 的第一部分（例如，電容耦接字線（WL）28）中所累積/儲存之預定量的電荷載子可表示的是，邏輯高位準（例如，二進制「1」資料狀態）可被寫入記憶體胞元 12 中。

再次地，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的第二讀取操作。也可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中

所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的再新操作。在範例性實施例中，可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作（經由位元線（CN）30）及/或再新操作。在範例性實施例中，可經由源極線（EN）32將N+源極區120耦接至電氣接地（V_{ss}）且可將經由載子注入線（EP）34施加至P+汲極區124的恆定電壓電位維持在1.4V。並且，可將施加至位元線（CN）30而至P-本體區122的第二部分之電壓電位維持在1.4V。可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位提高至-1.0V。可將經由載子注入線（EP）34施加至P+汲極區124的電壓電位提高至1.4V。

在此種偏壓下，當邏輯高位準（例如，二進制「1」資料狀態）被儲存於記憶體胞元12中時，P-本體區122的第一部分中所累積/儲存之預定量的多數電荷載子（例如，其可表示邏輯高位準（例如，二進制「1」資料狀態））可流動朝向P-本體區122的第二部分。流動至P-本體區122的第二部分之預定量的多數電荷載子可降低在P-本體區122的第二部分之電壓電位。流動至P-本體區122的第二部分之預定量的多數載子可降低在P-本體區122的第二部

分與 P+汲極區 124 間之接面的電壓電位阻障。可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面正向偏壓（例如，高於正向偏壓臨限電壓電位）。當 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面被正向偏壓時可能產生預定量的電壓電位及 / 或電流。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線（CN）30 及解耦電阻器 40（被耦接至 P-本體區 122 的第二部分）偵測到該產生之電壓電位或電流（例如，相較於參考電壓電位或電流）。

與讀取操作同時地，可將控制信號配置成實施再新操作。在讀取操作期間的偏壓下，可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面正向偏壓。預定量的多數電荷載子（例如，電洞）可經由 P-本體區 122 的第二部分從 P+汲極區 124 流動至該 P-本體區 122 的第一部分。從 P+汲極區 124 之預定量的多數電荷載子之流動可造成在 P+汲極區 124 的電壓電位之暫時降低。並且，可將 P-本體區 122 的第一部分與 N+源極區 120 之間的接面正向偏壓且因此預定量的電子可從 N+源極區 120 流動至 P-本體區 122 的第一部分。電子的流動可促進多數電荷載子（例如，電洞）流動至 P-本體區 122 的第一部分。可將施加至字線（WL）28（例如，其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 -1.0V 降低至 -2.0V 且因此可將預定量的多數電荷載子累積 / 儲存於該 P-本體區 122 的第一部分中。因此，可將 P-本體區 122 的第一部分中所累積 / 儲存之預定量的多數電荷載子（例如，電洞）恢復至該 P-本體區 122 的第一部分

且可將邏輯低位準（例如，二進制「0」資料狀態）再新。

參照第 13 圖，顯示了依據本揭示之替代實施例的記憶體胞元陣列 20 之記憶體胞元 12 的示意圖。第 13 圖中所示的記憶體胞元 12 可類似於第 4 圖中所示的記憶體胞元 12，除了可經由解耦電阻器 40 將位元線（CN）30 耦接至可變電源以外。例如，可經由解耦電阻器 40 將各種控制信號施加至位元線（CN）30 以便適當地偏壓記憶體胞元 12 以實施各種操作。

可將各別位元線（CN）30 耦接至資料寫入及感測電路 36 的資料感測放大器電路。例如，可經由解耦電阻器 40 將各別位元線（CN）30 耦接至資料寫入及感測電路 36。解耦電阻器 40 可具有預定的電阻以便降低各種操作（例如，讀取或寫入操作）期間在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之阻障電壓電位。在範例性實施例中，解耦電阻器 40 可具有電阻使得選定的記憶體胞元 12 所產生之電壓電位及 / 或電流可降低在 P-本體區 122 的第二部分與 P+汲極區 124 間的接面之能量阻障。

參照第 14 圖，顯示了依據本揭示替代實施例的如第 13 圖中所示具有複數個記憶體胞元 12 之記憶體胞元陣列 20 的至少一部分之示意圖。第 14 圖中所示的記憶體胞元陣列 20 可類似於第 5 圖中所示的記憶體胞元陣列 20，除了可經由解耦電阻器 40 將位元線（CN）30 耦接至可變電源以外。如以上所討論，可將記憶體胞元 12 耦接至各別字線（WL）

28、各別位元線 (CN) 30、各別源極線 (EN) 32、及 / 或各別載子注入線 (EP) 34。可將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36 的資料感測放大器電路。例如，可經由解耦電阻器 40 將各別位元線 (CN) 30 耦接至資料寫入及感測電路 36。可將配置於記憶體胞元 20 的列方向中的複數個記憶體胞元 12 耦接至別載子注入線 (EP) 34。

參照第 15 圖，顯示了依據本揭示實施例的用以對如第 14 圖中所示之記憶體胞元 12 實施各種操作的控制信號電壓波形。例如，該等各種操作可包括被配置成實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作、寫入邏輯高位準（例如，二進制「1」資料狀態）操作、讀取操作、及 / 或再新操作的控制信號。在實施各種操作以前，可將該等控制信號配置成實施保持操作以便維持記憶體胞元 12 中所儲存的資料狀態（例如，邏輯高位準（二進制「1」資料狀態）或邏輯低位準（二進制「0」資料狀態））。尤其，可將該等控制信號配置成實施保持操作以便最大化記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及 / 或邏輯高位準（二進制「1」資料狀態））的停留時間。並且，可將用於保持操作的控制信號配置成消除或降低記憶體胞元 12 內的活動或場（例如，可能導致電荷洩漏之接面間的電場）。在範例性實施例中，於保持操作期間，可將負電壓電位施加至可被電容耦接至記憶體胞元 12 之 P-本體區 122 的一或更多個部分之字線 (WL) 28。可將施加至其他區（例如，N+源極區

120及/或P+汲極區124)的電壓電位維持在0V。

例如，施加至字線(WL)28(例如，電容耦接至記憶體胞元12的P-本體區122)的負電壓電位可為-2.0V。在保持操作期間，可將N+源極區120與P-本體區122的第一部分之間的接面以及P+汲極區124與P-本體區122的第二部分之間的接面反向偏壓以便保留記憶體胞元12中所儲存的資料狀態(例如，邏輯高位準(二進制「1」資料狀態)或邏輯低位準(二進制「0」資料狀態))。

可將控制信號配置成對一或更多個選定的記憶體胞元12實施一或更多寫入邏輯低位準(例如，二進制「0」資料狀態)操作。在範例性實施例中，可對一或更多選定列的記憶體胞元12實施寫入邏輯低位準(例如，二進制「0」資料狀態)操作，藉此該一或更多選定列的記憶體胞元12中的所有記憶體胞元12被寫入至邏輯低位準(例如，二進制「0」資料狀態)。此後，將該一或更多選定列的記憶體胞元12中的選定記憶體胞元12選擇性地寫入至邏輯高位準(例如，二進制「1」資料狀態)。

例如，可對一或更多個選定的記憶體胞元12實施寫入邏輯低位準(例如，二進制「0」資料狀態)操作以便耗盡該一或更多個選定的記憶體胞元12之P-本體區122中可能已經累積/儲存的電荷載子。可將各種電壓電位施加至記憶體胞元12的各種區。在範例性實施例中，可將施加至N+源極區120的電壓電位耦接至電氣接地(V_{ss})。可將施加至字線(WL)28(其可被電容耦接至P-本體區122的第

一部分)的電壓電位從該保持操作期間所施加的電壓電位提高。可將施加至P+汲極區124的電壓電位以及施加至位元線(CN)30而至P-本體區122的第二部分之電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線(WL)28(其可被電容耦接至P-本體區122的第一部分)的電壓電位從-2.0V提高至0.5V。可將施加至P+汲極區124的電壓電位以及施加至位元線(CN)30而至P-本體區122的第二部分之電壓電位從0V提高至1.4V。

在此種偏壓下，可將N+源極區120與P-本體區122的第一部分之間的接面以及P-本體區122的第一部分與P-本體區122的第二部分之間的接面正向偏壓。可將P-本體區122的第二部分與P+汲極區124之間的接面反向偏壓。P-本體區122的第一部分中可能已經累積/儲存之多數電荷載子(例如，電洞)可流動至P-本體區122的第二部分且降低在P-本體區122的第二部分與P+汲極區124間的接面之電壓電位阻障。並且，P-本體區122的第一部分中可能已經累積/儲存之多數電荷載子(例如，電洞)可流動至N+源極區120。因此，可經由P-本體區122的第二部分及/或N+源極區120將P-本體區122的第一部分中可能已經累積/儲存之多數電荷載子(例如，電洞)耗盡。藉由移除P-本體區122的第一部分中可能已經累積/儲存之多數電荷載子，可將邏輯低位準(例如，二進制「0」資料狀態)寫入至記憶體胞元12。

實施寫入邏輯低位準（例如，二進制「0」資料狀態）操作以後，可將控制信號配置成寫入邏輯高位準（例如，二進制「1」資料狀態）至記憶體胞元 20 的一或更多選定列之一或更多個選定的記憶體胞元 12。在範例性實施例中，寫入邏輯高位準（例如，二進制「1」資料狀態）操作可具有被配置成引起多數電荷載子累積/儲存於 P-本體區 122 中的控制信號。

在範例性實施例中，可經由源極線（EN）32 將被施加至記憶體胞元 12 之 N+源極區 120 的電壓電位耦接至電氣接地（Vss）。可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位以及施加至 P+汲極區 124 的電壓電位維持在與寫入邏輯低位準（例如，二進制「0」資料狀態）操作期間所施加的電壓電位相同。例如，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）之電壓電位維持在 0.5V。可將經由載子注入線（EP）34 施加至 P+汲極區 124 的電壓電位維持在 1.4V。可將施加至位元線（CN）30 而至 P-本體區 122 的第二部分之電壓電位從寫入邏輯低位準（例如，二進制「0」資料狀態）操作期間所施加的電壓電位降低。在範例性實施例中，可將施加至位元線（CN）30 而至 P-本體區 122 的第二部分之電壓電位從 1.4V 降低至 0V。

在此種偏壓下，N+源極區 120 與 P-本體區 122 的第一部分之間的接面、P-本體區 122 的第一部分與 P-本體區 122 的第二部分之間的接面、及 P-本體區 122 的第二部分與 P+汲

極區 124 之間的接面可變成正向偏壓。例如，在 P-本體區 122 的第一部分的多數電荷載子（例如，電洞）可流動朝向 P-本體區 122 的第二部分。例如，多數電荷載子（例如，電洞）可流動經過 P+汲極區 124 與 P-本體區 122 的第二部分之間的該正向偏壓接面朝向 P-本體區 122 的第一部分。隨後，可將施加至字線（WL）28（其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 0.5V 降低至 -2.0V。因此，可經由 P+汲極區 124 及 P-本體區 122 的第二部分將預定量的多數電荷載子（例如，電洞）累積/儲存於 P-本體區 122 的第一部分中。P-本體區 122 的第一部分中所累積/儲存之預定量的電荷載子可表示的是，邏輯高位準（例如，二進制「1」資料狀態）可被寫入記憶體胞元 12 中。

在範例性實施例中，可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的讀取操作。也可將控制信號配置成實施記憶體胞元陣列 20 的一或更多選定列之一或更多個選定的記憶體胞元 12 中所儲存之資料狀態（例如，邏輯低位準（二進制「0」資料狀態）及/或邏輯高位準（二進制「1」資料狀態））的再新操作。在範例性實施例中，可將控制信號配置成同時實施讀取操作及再新操作。

可將控制信號配置成預定的電壓電位以實施讀取操作（經由位元線（CN）30）及/或再新操作。在範例性實施

例中，可經由源極線（EN）32將N+源極區120耦接至電氣接地（V_{ss}）。可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位、施加至P+汲極區124的電壓電位、及施加至位元線（CN）30而至P-本體區122的第二部分之電壓電位從該保持操作期間所施加的電壓電位提高。在範例性實施例中，可將施加至字線（WL）28（其可被電容耦接至P-本體區122的第一部分）的電壓電位提高至-1.0V。可將經由載子注入線（EP）34施加至P+汲極區124的電壓電位提高至1.4V。可將施加至位元線（CN）30而至P-本體區122的第二部分之電壓電位提高至1.4V。

在此種偏壓下，當邏輯低位準（例如，二進制「0」資料狀態）被儲存於記憶體胞元12中時，P-本體區122的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）可流動朝向P-本體區122的第二部分。流動至P-本體區122的第二部分之預定量的多數電荷載子（例如，表示邏輯低位準（例如，二進制「0」資料狀態））可降低在P-本體區122的第二部分之電壓電位。並且，流動至P-本體區122的第二部分之預定量的多數電荷載子可降低在P-本體區122的第二部分與P+汲極區124間之接面的電壓電位阻障。然而，P-本體區122的第二部分與P+汲極區124之間的接面可維持反向偏壓或變成微弱的正向偏壓（例如，高於反向偏壓電壓及低於正向偏壓臨限電壓電位）。當P-本體區122的第二部分與P+汲極區124之間的接面被反向

偏壓或微弱地正向偏壓時可能產生小量的電壓電位與電流或沒有電壓電位與電流（例如，相較於參考電壓電位或電流）。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線（CN）30（被耦接至 P-本體區 122 的第二部分）偵測到該小量的電壓電位或電流（例如，相較於參考電壓電位或電流）或沒有電壓電位或電流。

在另一範例性實施例中，當邏輯高位準（例如，二進制「1」資料狀態）被儲存於記憶體胞元 12 中時，P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子（例如，其可表示邏輯高位準（例如，二進制「1」資料狀態））可流動朝向 P-本體區 122 的第二部分。流動至 P-本體區 122 的第二部分之預定量的多數電荷載子可降低在 P-本體區 122 的第二部分之電壓電位。流動至 P-本體區 122 的第二部分之預定量的多數載子可降低在 P-本體區 122 的第二部分與 P+汲極區 124 間之接面的電壓電位阻障。可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面正向偏壓（例如，高於正向偏壓臨限電壓電位）。當 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面被正向偏壓時可能產生預定量的電壓電位及/或電流。在資料寫入及感測電路 36 中的資料感測放大器可經由位元線（CN）30 及解耦電阻器 40（被耦接至 P-本體區 122 的第二部分）偵測到在該 P-本體區 122 的第二部分之該產生的電壓電位或電流（例如，相較於參考電壓電位或電流）。

與讀取操作同時地，可將控制信號配置成實施再新操

作。再新操作可再新記憶體胞元 12 中所儲存的資料狀態（例如，邏輯低位準（例如，二進制「0」資料狀態）或邏輯高位準（例如，二進制「1」資料狀態））。在範例性實施例中，當邏輯低位準被儲存於記憶體胞元 12 中時且在讀取操作期間的偏壓下，可將 P-本體區 122 的第一部分與 N+源極區 120 之間的接面正向偏壓。P-本體區 122 的第一部分中所累積/儲存之預定量的剩餘多數電荷載子（例如，電洞）可經由 N+源極區 120 從該 P-本體區 122 的第一部分耗盡。並且，如以上所討論，P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）可從該 P-本體區 122 的第一部分流動至 P-本體區 122 的第二部分且因此降低在該 P-本體區 122 的第二部分之電壓電位。因此，P-本體區 122 的第一部分中所累積/儲存之多數電荷載子（例如，電洞）可從該 P-本體區 122 的第一部分耗盡且可將邏輯低位準（例如，二進制「0」資料狀態）再新。

在另一範例性實施例中，當邏輯高位準（例如，二進制「1」資料狀態）被儲存於記憶體胞元 12 中時且在讀取操作期間的偏壓下，可將 P-本體區 122 的第二部分與 P+汲極區 124 之間的接面正向偏壓。預定量的多數電荷載子（例如，電洞）可經由 P-本體區 122 的第二部分從 P+汲極區 124 流動至該 P-本體區 122 的第一部分。從 P+汲極區 124 之預定量的多數電荷載子之流動可逐漸降低在 P+汲極區 124 的電壓電位。也可將在 P-本體區 122 的第二部分之電壓電位逐漸降低。並且，可將 P-本體區 122 的第一部分與 N+源

極區 120 之間的接面正向偏壓且因此預定量的電子可從 N+ 源極區 120 流動至 P-本體區 122 的第一部分。電子的流動可促進多數電荷載子（例如，電洞）流動至 P-本體區 122 的第一部分。可將施加至字線（WL）28（例如，其可被電容耦接至 P-本體區 122 的第一部分）的電壓電位從 -1.0V 降低至 -2.0V 且因此可將預定量的多數電荷載子累積/儲存於該 P-本體區 122 的第一部分中。因此，可將 P-本體區 122 的第一部分中所累積/儲存之預定量的多數電荷載子（例如，電洞）恢復至該 P-本體區 122 的第一部分且可將邏輯低位準（例如，二進制「0」資料狀態）再新。

在這一點上應注意到的是，提供依據以上所述之本揭示的用以再新半導體記憶體裝置之技術可能在某程度上包含輸入資料的處理以及輸出資料的產生。此輸入資料處理及輸出資料產生可用硬體或軟體加以實施。例如，可將特定電子組件使用於半導體記憶體裝置或類似或相關電路以供實施與提供依據以上所述之本揭示的用以再新半導體記憶體裝置之技術關聯的功能。替代地，依據指令操作的一或更多個處理器可實施與提供依據以上所述之本揭示的用以再新半導體記憶體裝置之技術關聯的功能。如果是這種情況，在本揭示之範圍內的是，此種指令可被儲存於一或更多處理器可讀取媒體（例如，磁碟或其他儲存媒體）上、或經由一或更多載波中所包含的一或更多信號被傳輸至一或更多個處理器。

本揭示在範圍上不限於本文中所描述的特定實施例。

的確，本揭示的其他各種實施例及對本揭示的修改（除了本文中所描述者以外）從前述說明及隨附圖式將對熟習本技藝之人士而言顯而易見。因此，此種其他實施例及修改意圖落在本揭示的範圍內。進一步而言，儘管本揭示已經在特定實施方式的上下文中於特定環境中針對特定目的地加以描述於本文中，熟習本技藝之人士將認知的是，其用處不限於此且可將本揭示可針對任何數量之目的而有益地實施於任何數量的環境中。因此，以下所陳述的申請專利範圍應鑑於本文中所描述的本揭示之充分廣度及精神來加以詮釋。

【圖式簡單說明】

爲了促進進一步理解本揭示，現在參照隨附的圖式，其中相似的元件參照相似的數字。不應將這些圖式詮釋成限制本揭示，但意圖僅爲範例性。

第1圖顯示了依據本揭示的實施例之包括記憶體胞元陣列、資料寫入及感測電路、及記憶體胞元選擇及控制電路的半導體記憶體裝置之方塊圖。

第2圖顯示了依據本揭示的實施例之記憶體胞元陣列的記憶體胞元之剖面圖。

第3圖顯示了依據本揭示的替代實施例之記憶體胞元陣列的記憶體胞元之剖面圖。

第4圖顯示了依據本揭示的實施例之記憶體胞元陣列的記憶體胞元之示意圖。

第 5 圖顯示了依據本揭示實施例的如第 4 圖中所示具有複數個記憶體胞元之記憶體胞元陣列的至少一部分之示意圖。

第 6 圖顯示了依據本揭示實施例的用以對如第 5 圖中所示之記憶體胞元實施各種操作的控制信號電壓波形。

第 7 圖顯示了依據本揭示的替代實施例之記憶體胞元陣列的記憶體胞元之示意圖。

第 8 圖顯示了依據本揭示替代實施例的如第 7 圖中所示具有複數個記憶體胞元之記憶體胞元陣列的至少一部分之示意圖。

第 9 圖顯示了依據本揭示實施例的用以對如第 8 圖中所示之記憶體胞元實施各種操作的控制信號電壓波形。

第 10 圖顯示了依據本揭示的替代實施例之記憶體胞元陣列的記憶體胞元之示意圖。

第 11 圖顯示了依據本揭示替代實施例的如第 10 圖中所示具有複數個記憶體胞元之記憶體胞元陣列的至少一部分之示意圖。

第 12 圖顯示了依據本揭示替代實施例的用以對如第 11 圖中所示之記憶體胞元實施各種操作的控制信號電壓波形。

。

第 13 圖顯示了依據本揭示的替代實施例之記憶體胞元陣列的記憶體胞元之示意圖。

第 14 圖顯示了依據本揭示替代實施例的如第 13 圖中所示具有複數個記憶體胞元之記憶體胞元陣列的至少一部分

之示意圖。

第 15 圖顯示了依據本揭示實施例的用以對如第 14 圖中所示之記憶體胞元實施各種操作的控制信號電壓波形。

【主要元件符號說明】

- 10：半導體記憶體裝置
- 12：記憶體胞元
- 14a：第一雙極電晶體
- 14b：第二雙極電晶體
- 20：記憶體胞元陣列
- 28：字線
- 28a：第一字線
- 28b：第二字線
- 30：位元線
- 32：源極線
- 34：載子注入線
- 36：資料寫入及感測電路
- 38：記憶體胞元選擇及控制電路
- 40：解耦電阻器
- 120：N+源極區
- 122：P-本體區
- 124：P+汲極區
- 130：P-基板
- 402、1002：恆定電源

七、申請專利範圍：

1. 一種半導體記憶體裝置，包含：

以列及行的陣列所配置之複數個記憶體胞元，各個記憶體胞元包含：

第一區，耦接至源極線；

第二區，耦接至載子注入線；

本體區，電容耦接至至少一個字線且設置於該第一區與該第二區之間；及

位元線，經由解耦電阻器耦接至該本體區的至少一部分。

2. 如申請專利範圍第 1 項之半導體記憶體裝置，其中該第一區為 N 摻雜區且該第二區為 P 摻雜區。

3. 如申請專利範圍第 1 項之半導體記憶體裝置，其中該本體區為未摻雜區。

4. 如申請專利範圍第 1 項之半導體記憶體裝置，其中該本體區包含第一部分及第二部分。

5. 如申請專利範圍第 4 項之半導體記憶體裝置，其中該本體區的第一部分及該本體區的第二部分為該本體區的不同部分。

6. 如申請專利範圍第 4 項之半導體記憶體裝置，其中該解耦電阻器係耦接至該本體區的第二部分。

7. 如申請專利範圍第 6 項之半導體記憶體裝置，其中該解耦電阻器係經由該位元線耦接至該本體區的第二部分。

8.如申請專利範圍第1項之半導體記憶體裝置，其中該至少一個字線包含電容耦接至該本體區的複數個字線。

9.如申請專利範圍第8項之半導體記憶體裝置，其中該複數個字線係電容耦接至該本體區的複數個側部分。

10.如申請專利範圍第8項之半導體記憶體裝置，其中該複數個字線的各者係電容耦接至在該本體區之共同側上的不同部分。

11.如申請專利範圍第8項之半導體記憶體裝置，其中該複數個字線的該各者係電容耦接至該本體區的相對側部分。

12.如申請專利範圍第8項之半導體記憶體裝置，其中該複數個字線包含第一字線及第二字線。

13.如申請專利範圍第12項之半導體記憶體裝置，其中該第一字線係電容耦接至該本體區的第一部分且該第二字線係電容耦接至該本體區的第二部分。

14.如申請專利範圍第1項之半導體記憶體裝置，其中該解耦電阻器具有造成流動經過該解耦電阻器的電流介於表示邏輯低位準的電流與表示邏輯高位準的電流之間的電阻。

15.一種偏壓半導體記憶體裝置的方法，包含下列步驟：

施加複數個電壓電位至以列及行的陣列所配置之複數個記憶體胞元，其中施加該複數個電壓電位至該複數個記憶體胞元包含：

經由該陣列的各別源極線施加第一電壓電位至第一區；

經由該陣列的各別載子注入線施加第二電壓電位至第二區；

經由該陣列之被電容耦接至該本體區的至少一個各別字線施加第三電壓電位至本體區的第一部分；及

經由該陣列的各別位元線及解耦電阻器施加第四電壓電位至該本體區的第二部分；

其中該本體區係設置於該第一區與該第二區之間。

16.如申請專利範圍第15項之方法，其中該各別源極線係耦接至電氣接地。

17.如申請專利範圍第16項之方法，其中施加至該本體區的第二部分之該第四電壓電位為恆定電壓電位。

18.如申請專利範圍第17項之方法，進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯低位準操作。

19.如申請專利範圍第17項之方法，進一步包含維持在保持操作期間施加至該各別載子注入線的該第二電壓電位以便實施寫入邏輯低位準操作。

20.如申請專利範圍第17項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

21. 如申請專利範圍第 17 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施讀取操作。

22. 如申請專利範圍第 16 項之方法，其中該解耦電阻器及該各別位元線係耦接至該各別載子注入線。

23. 如申請專利範圍第 22 項之方法，進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯低位準操作。

24. 如申請專利範圍第 22 項之方法，進一步包含維持在保持操作期間施加至該各別載子注入線的該第二電壓電位以便實施寫入邏輯低位準操作。

25. 如申請專利範圍第 22 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

26. 如申請專利範圍第 22 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施讀取操作。

27. 如申請專利範圍第 16 項之方法，其中施加至該第二區的該第二電壓電位為恆定電壓電位。

28. 如申請專利範圍第 27 項之方法，進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓

電位與施加至該各別位元線的該第四電壓電位以便實施寫入邏輯低位準操作。

29.如申請專利範圍第 27 項之方法，進一步包含維持在保持操作期間施加至該各別位元線的該第四電壓電位以便實施寫入邏輯高位準操作。

30.如申請專利範圍第 27 項之方法，進一步包含增加在保持操作期間施加至該至少一個各別位元線的該第三電壓電位以便實施寫入邏輯高位準操作。

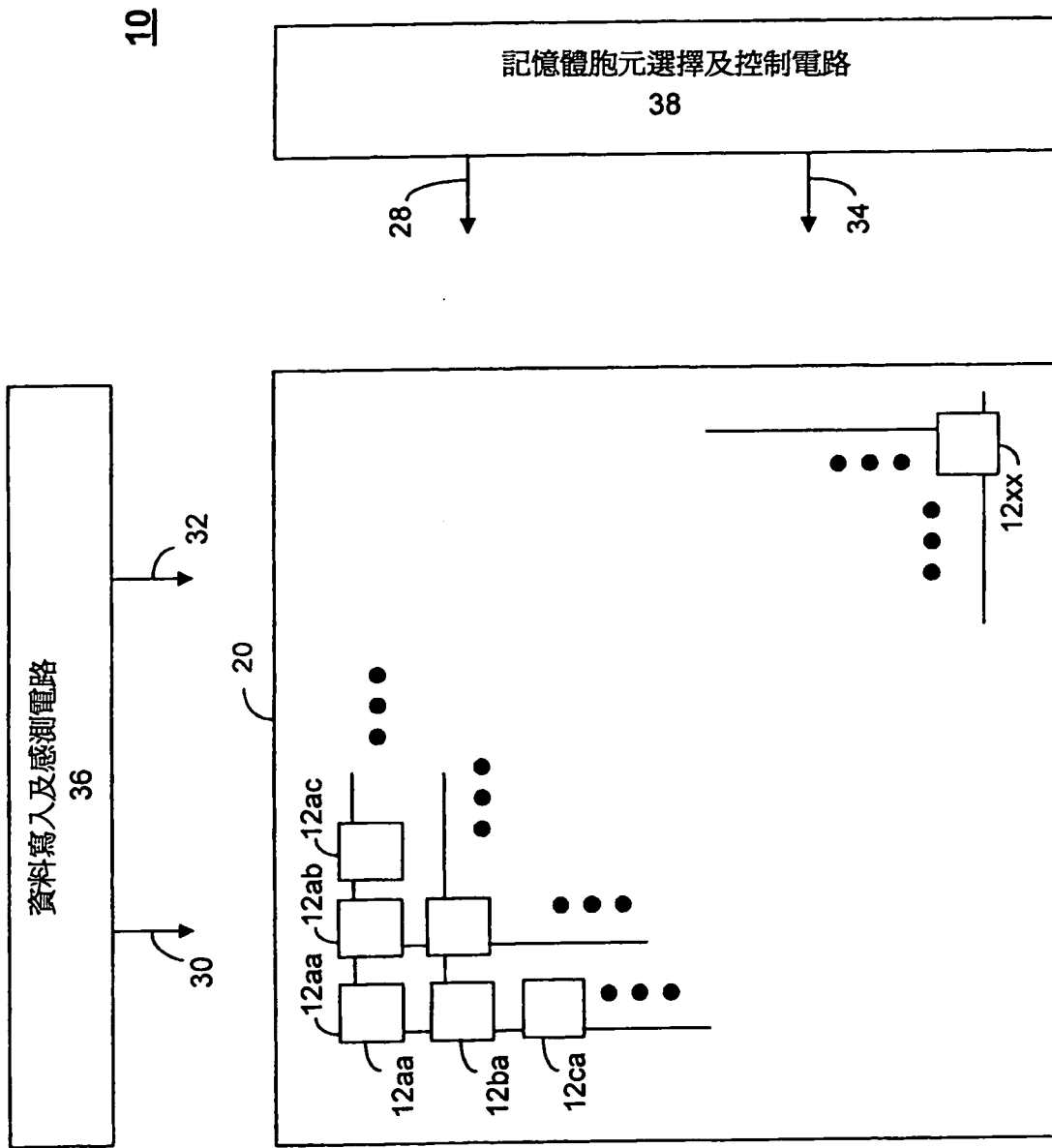
31.如申請專利範圍第 27 項之方法，進一步包含增加在保持操作期間施加至該至少一個各別字線的該第三電壓電位與施加至該各別位元線的該第四電壓電位以便實施讀取操作。

32.如申請專利範圍第 16 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位、施加至該至少一個各別字線的該第三電壓電位、及施加至該各別位元線的該第四電壓電位以便實施寫入邏輯低位準操作。

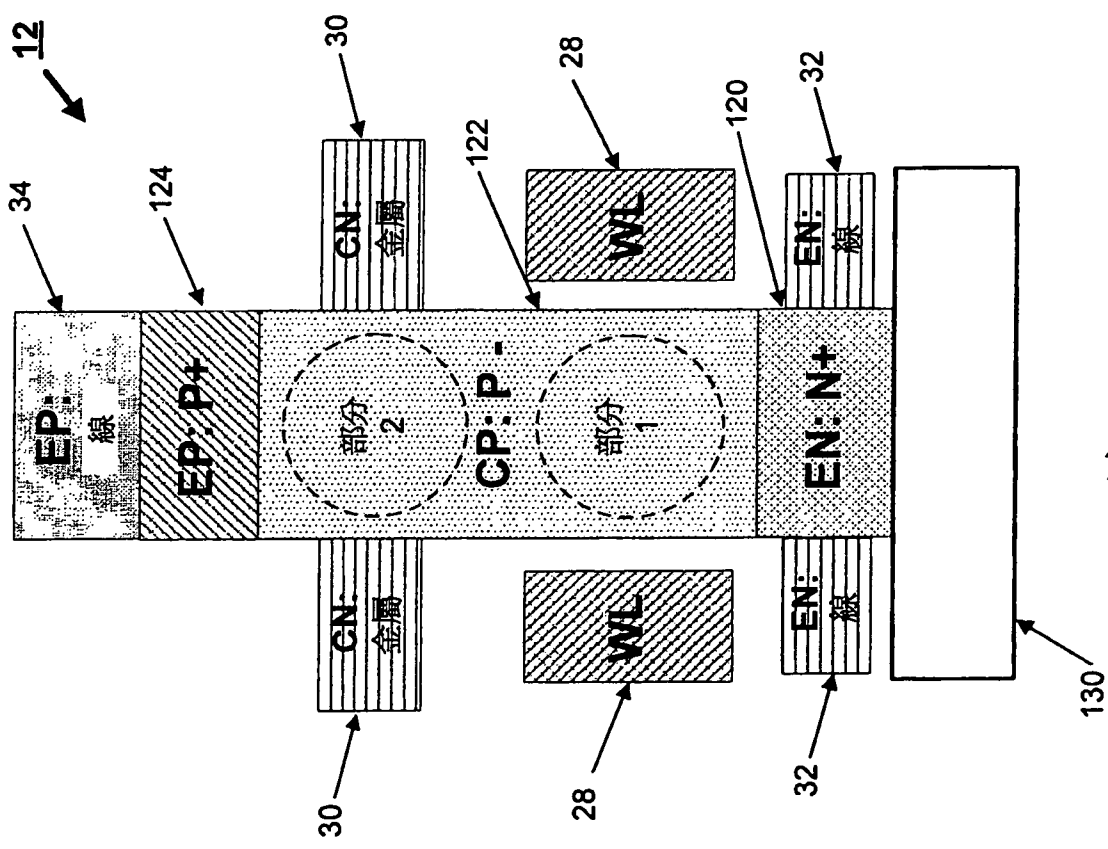
33.如申請專利範圍第 16 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

34.如申請專利範圍第 16 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位與施加至該至少一個各別字線的該第三電壓電位以便實施寫入邏輯高位準操作。

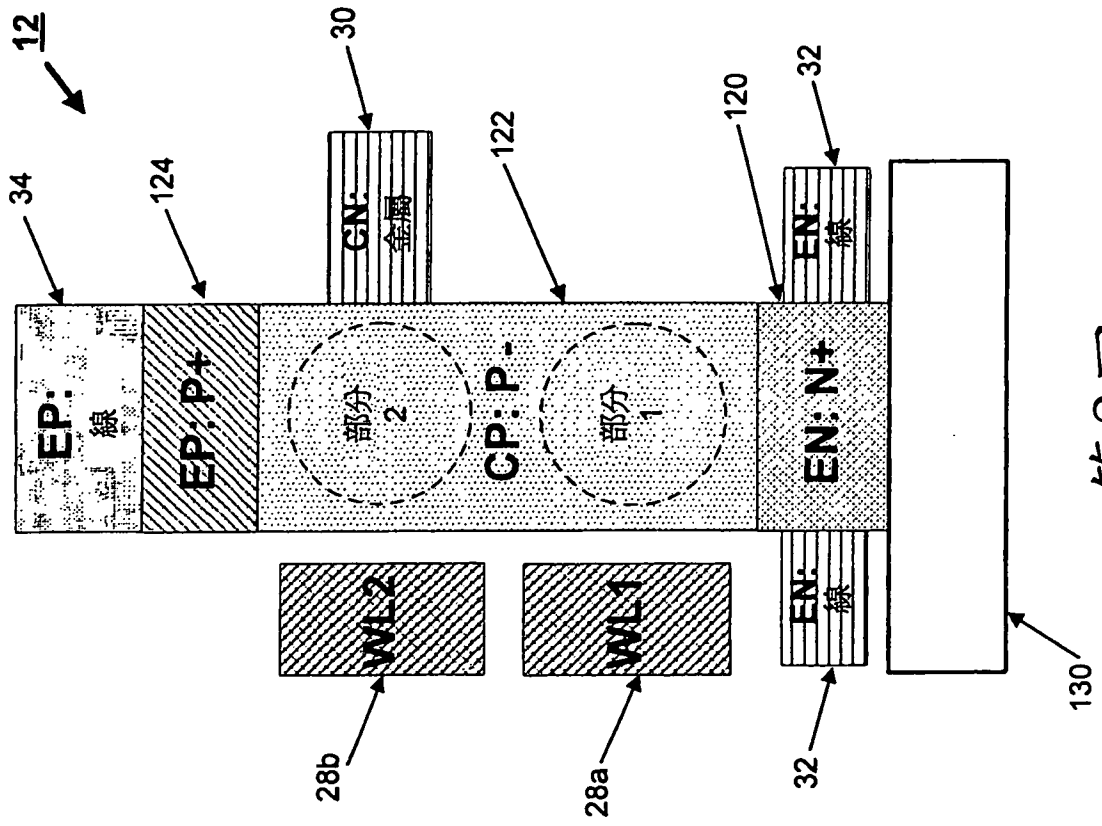
35. 如申請專利範圍第 17 項之方法，進一步包含增加在保持操作期間施加至該各別載子注入線的該第二電壓電位、施加至該至少一個各別字線的該第三電壓電位、及施加至該各別位元線的該第四電壓電位以便實施讀取操作。



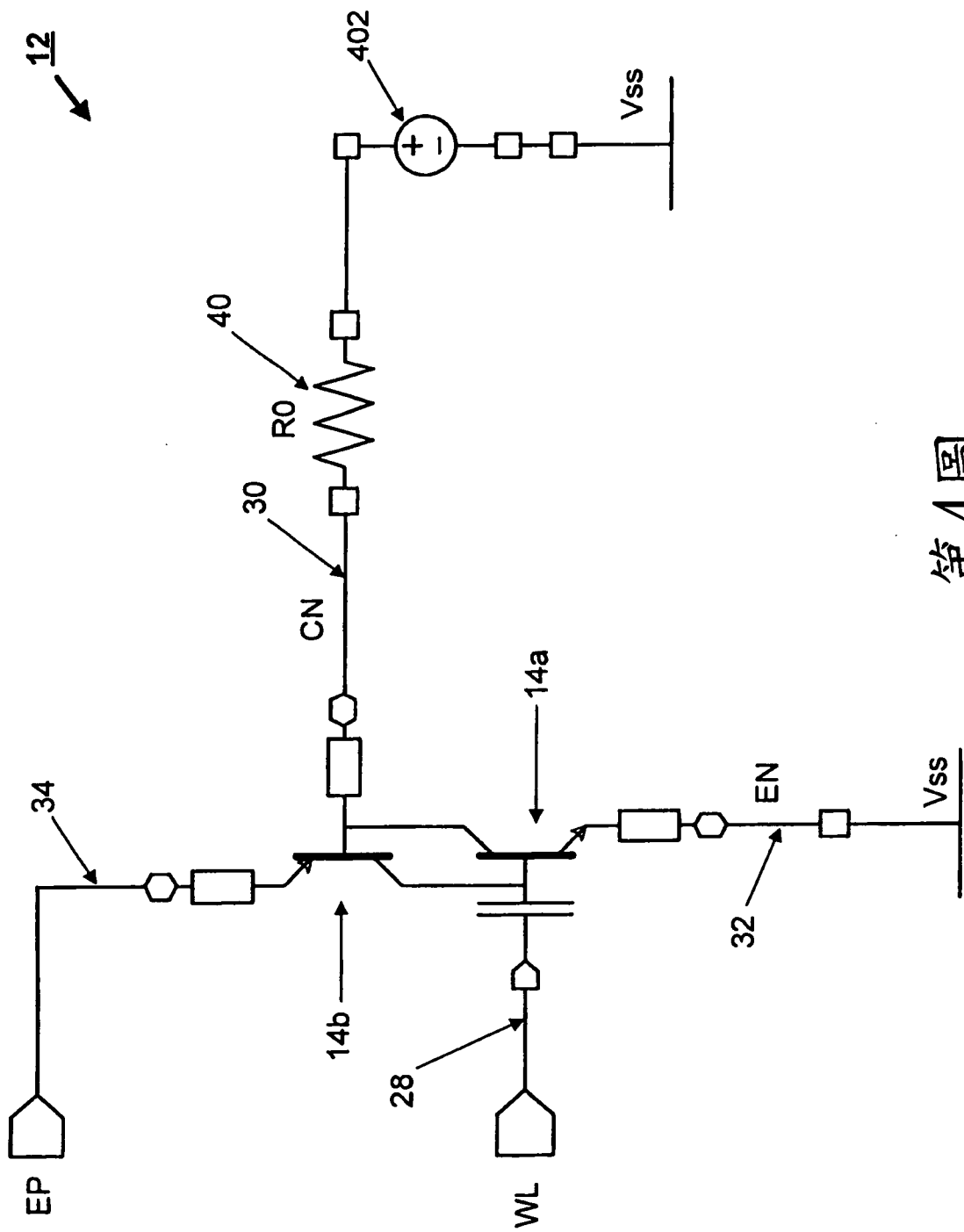
第1圖



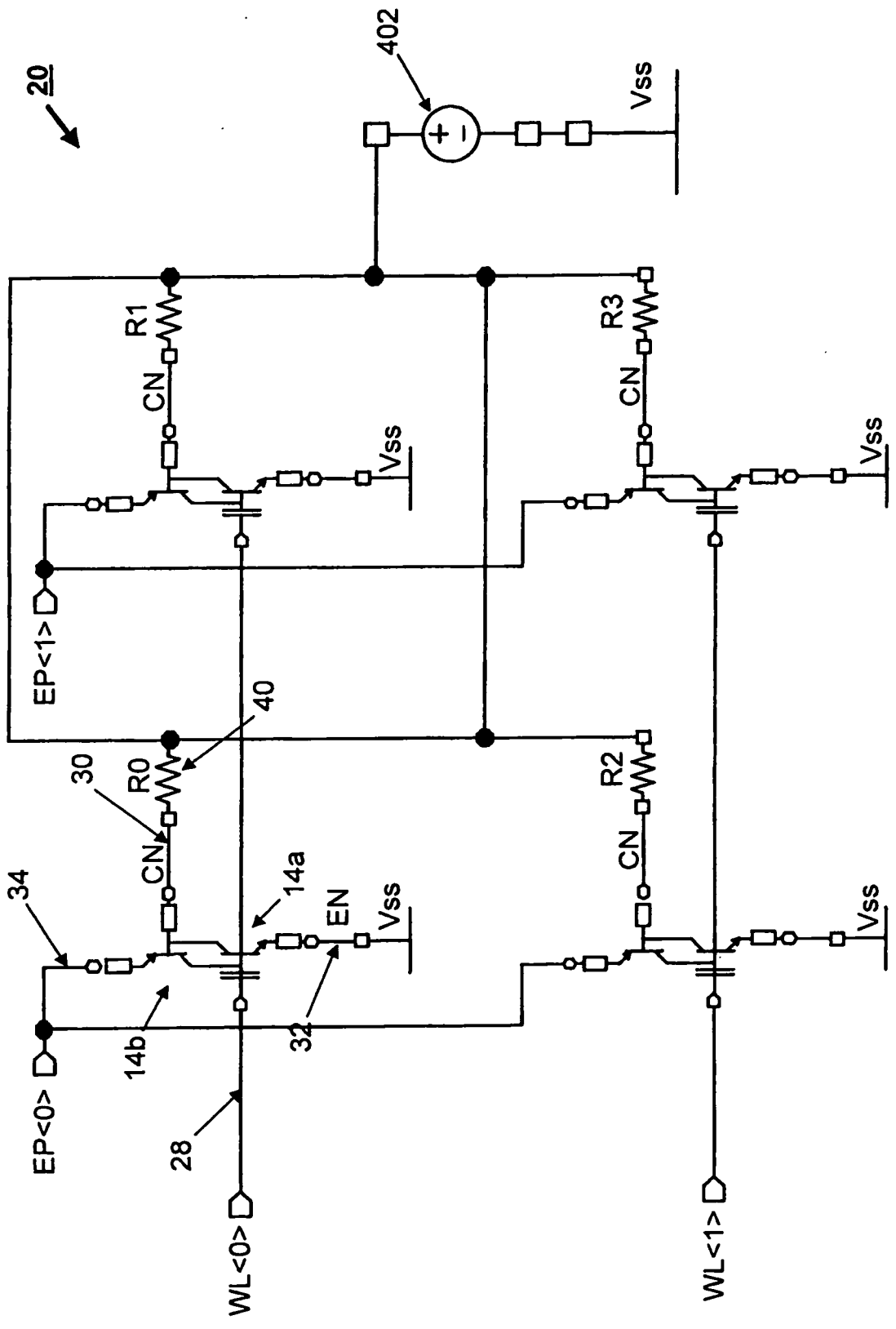
第2圖



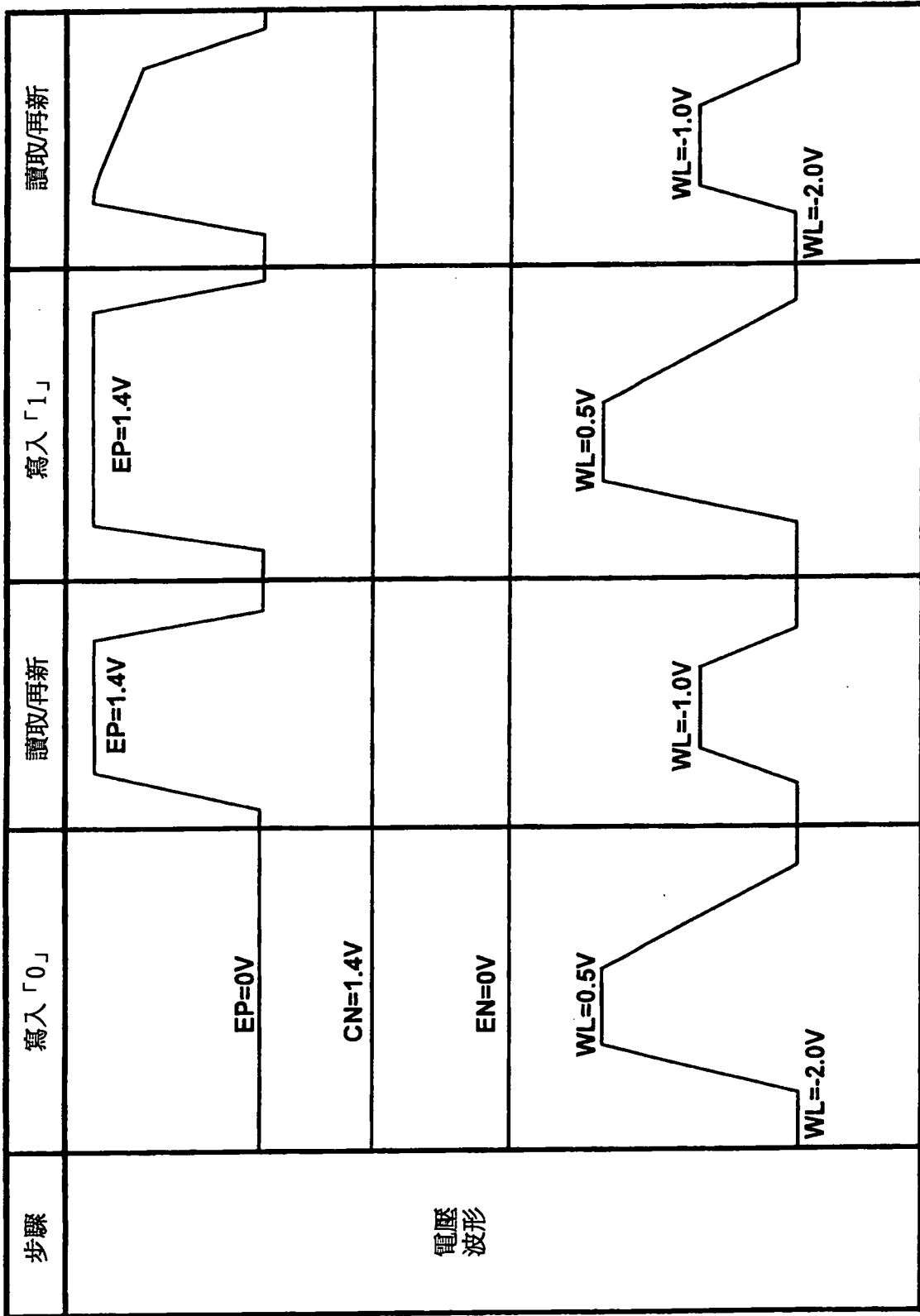
第3圖



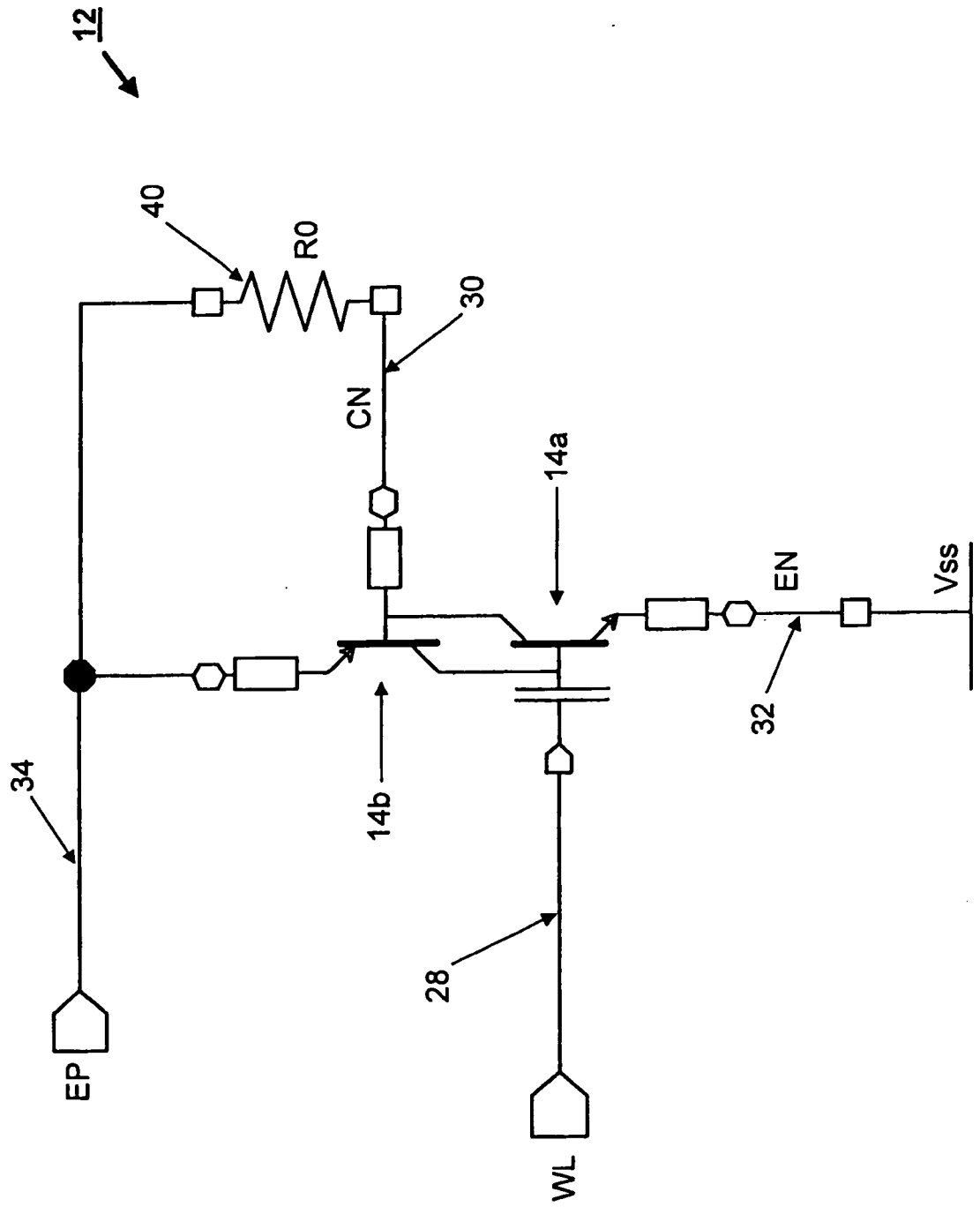
第4圖



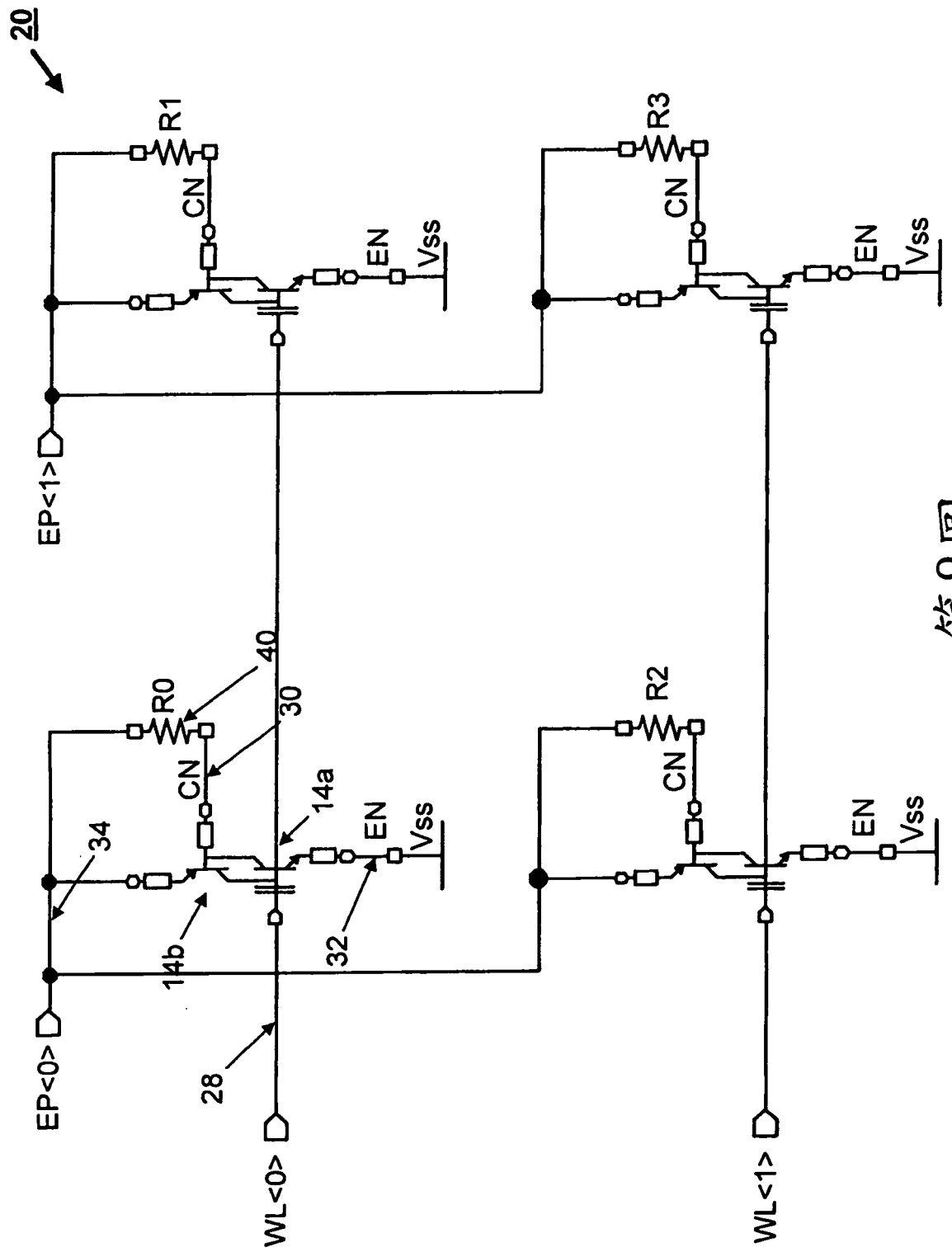
第5圖



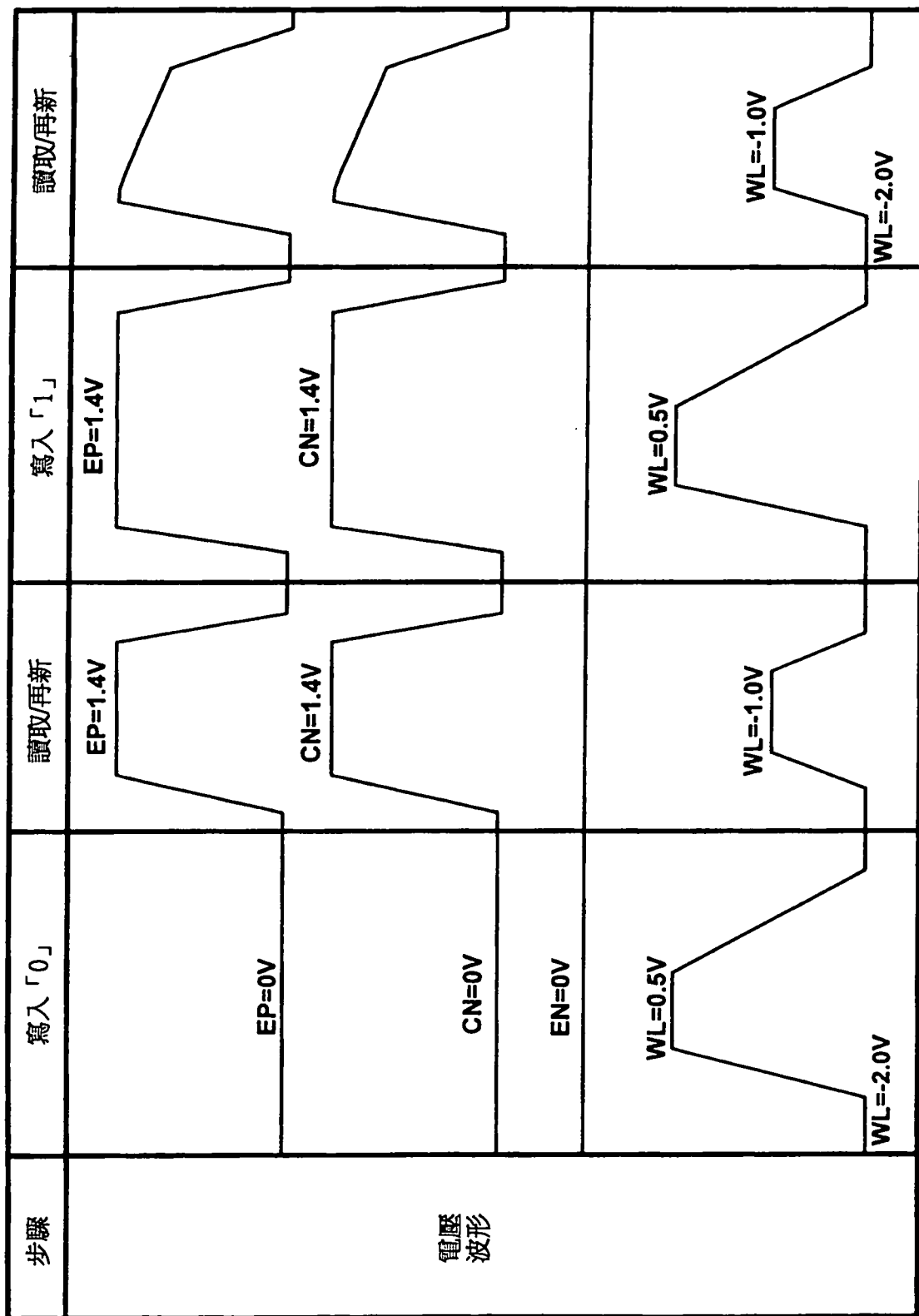
第6圖



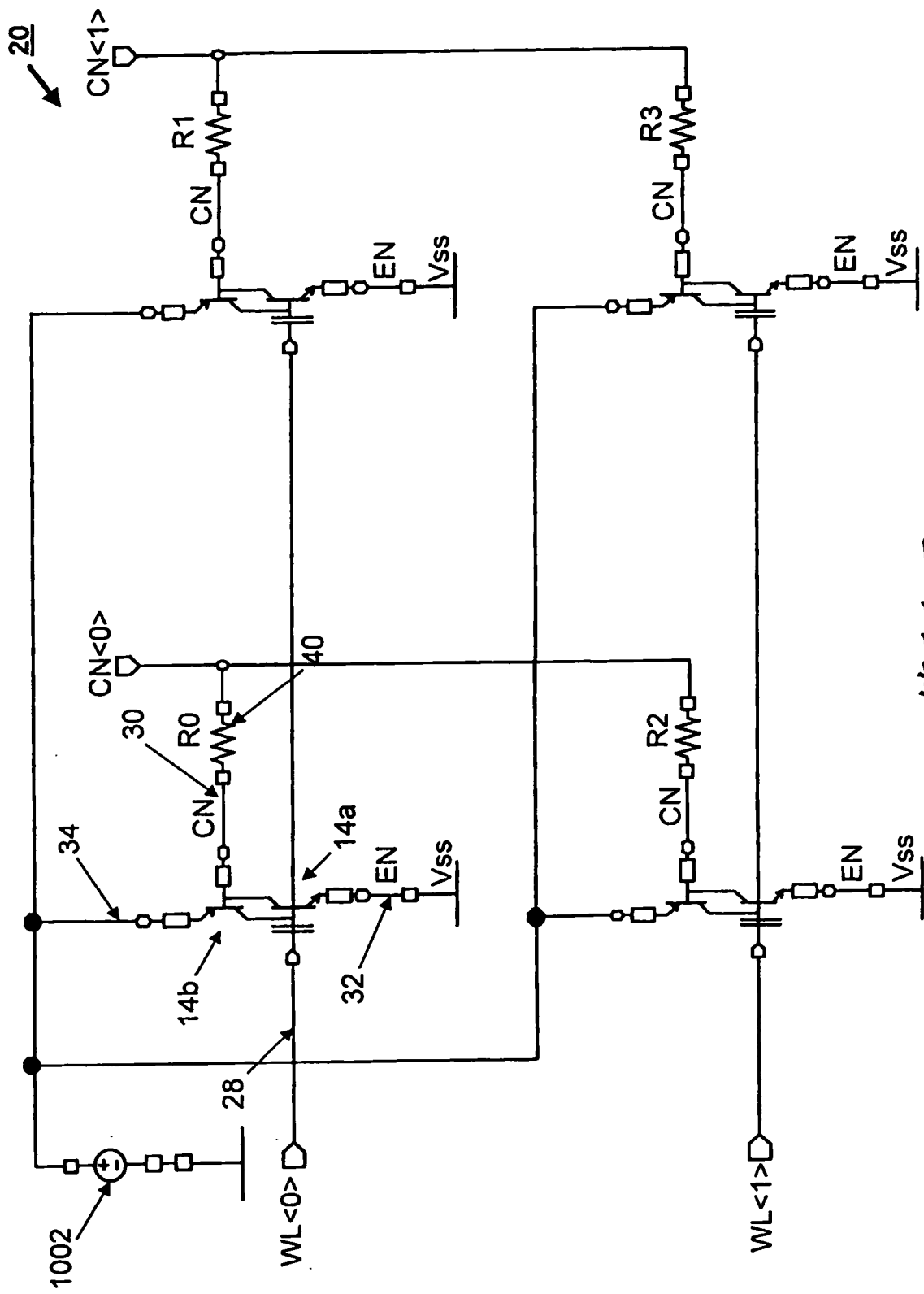
第7圖



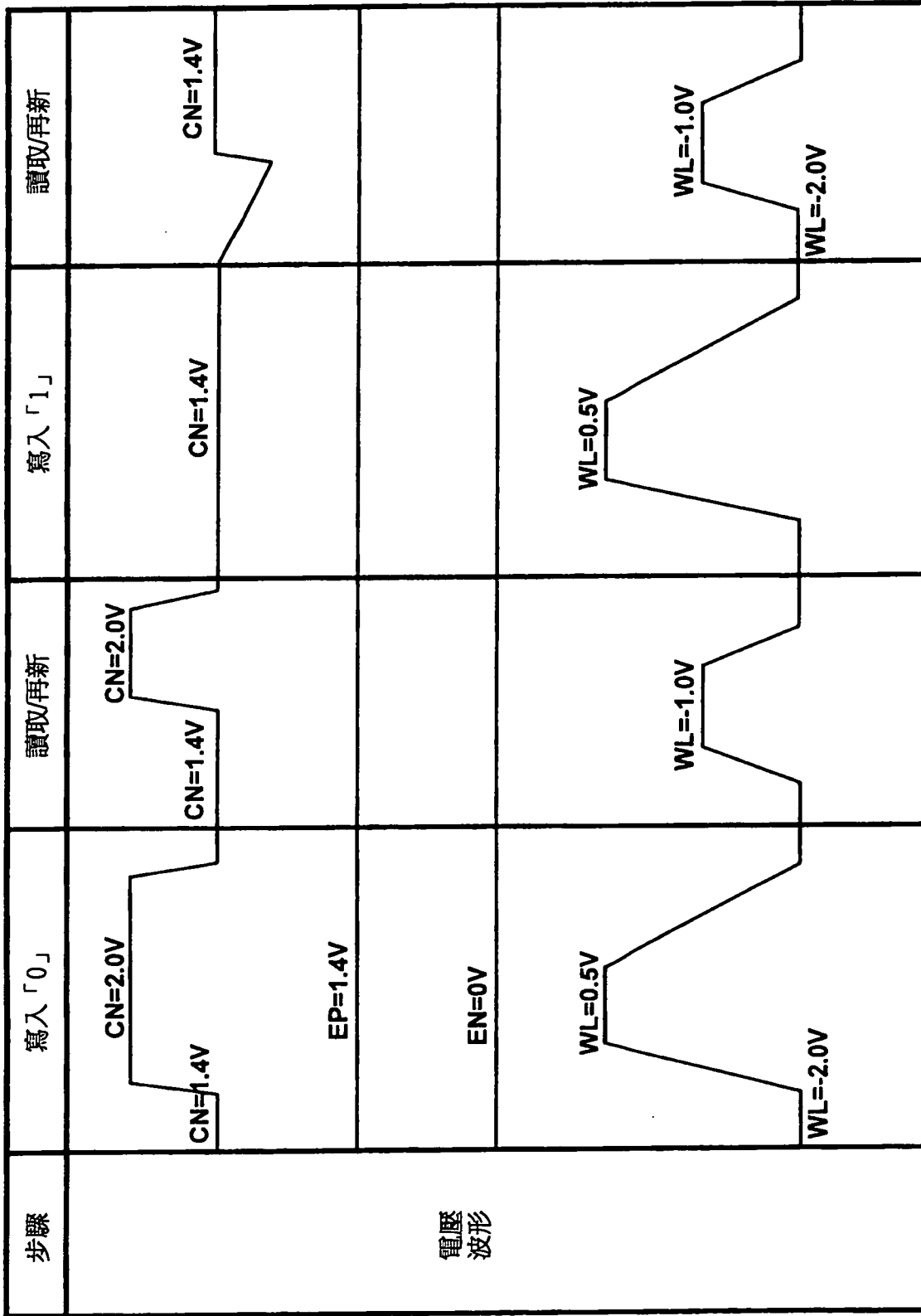
第8圖



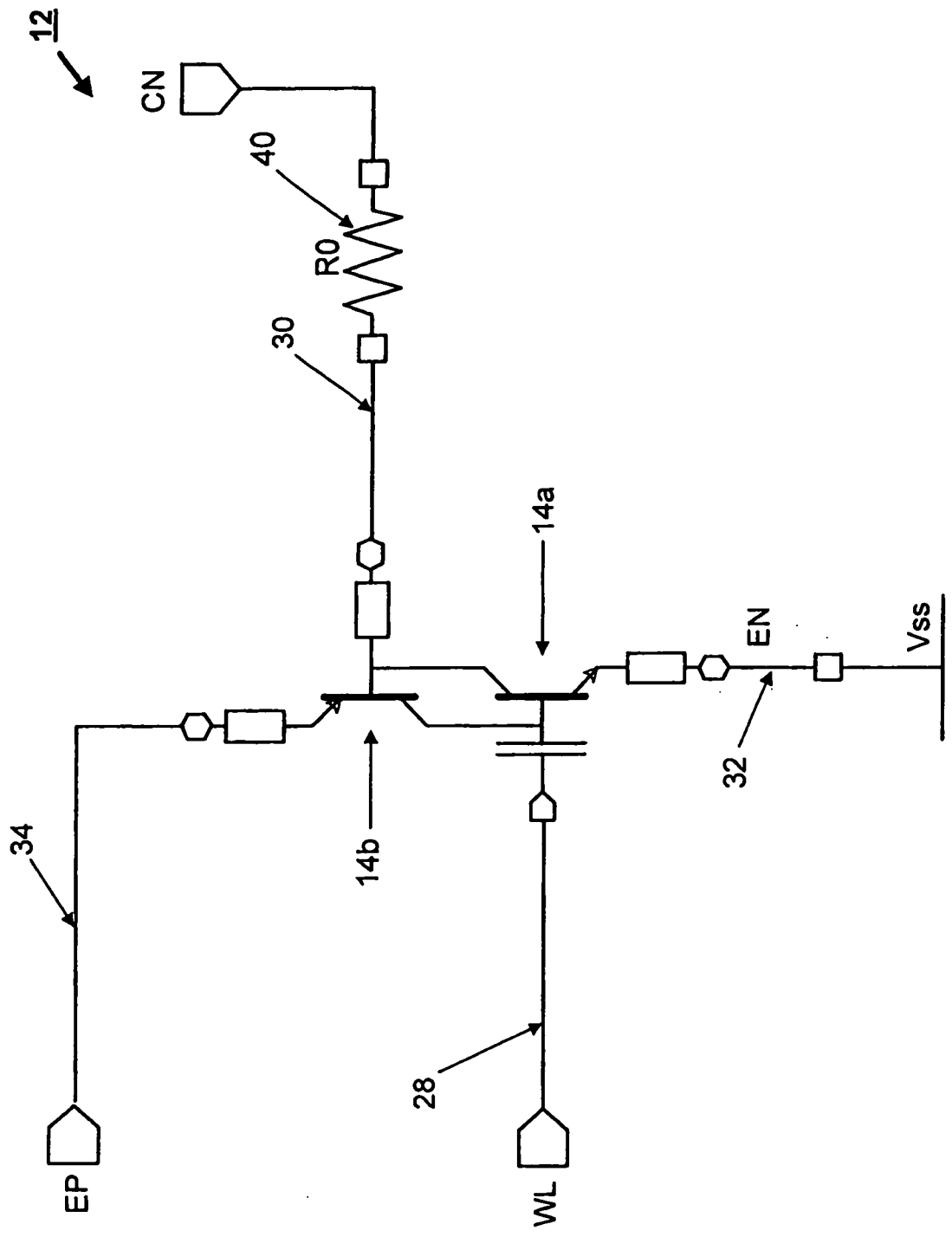
第9圖



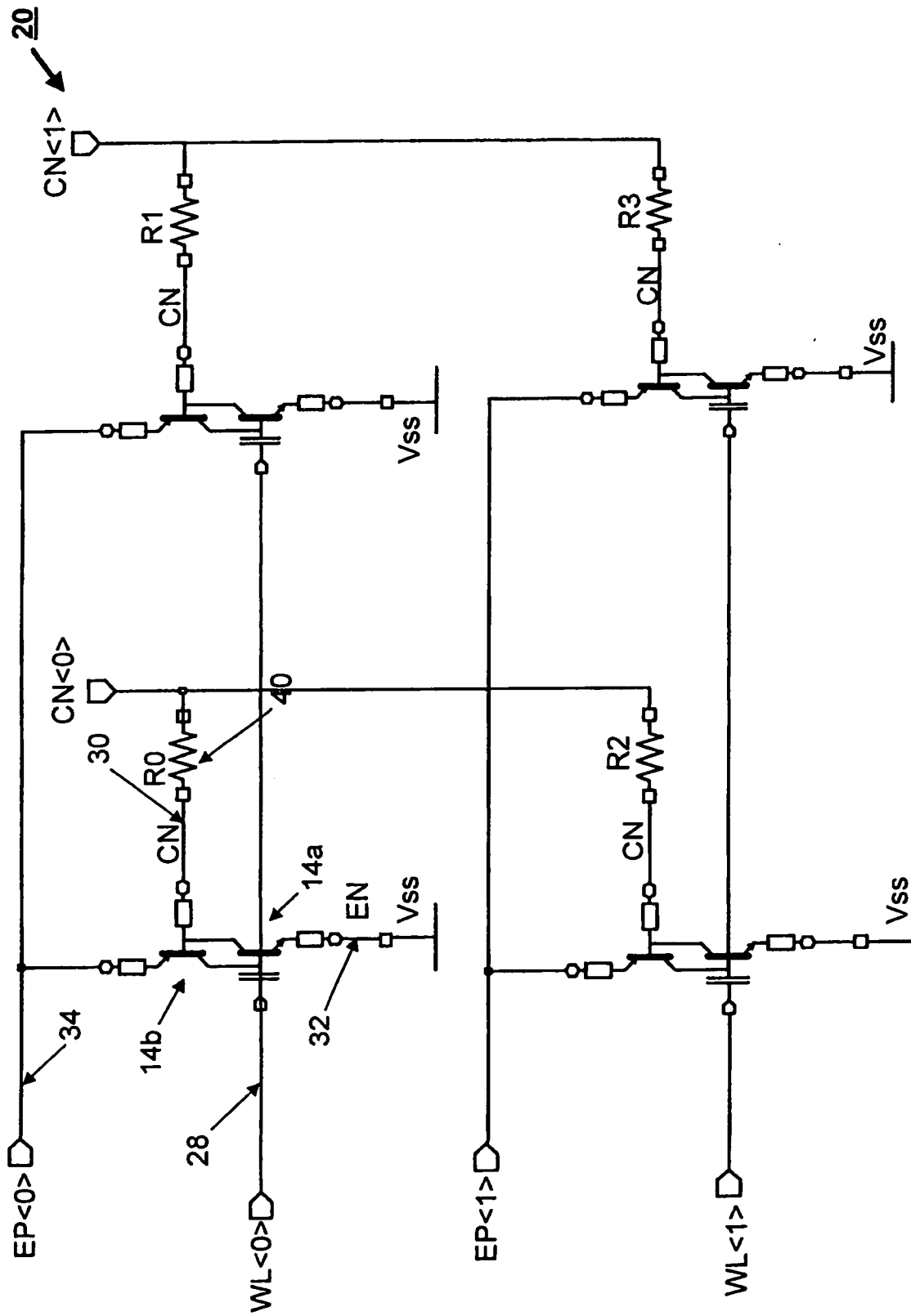
第11圖



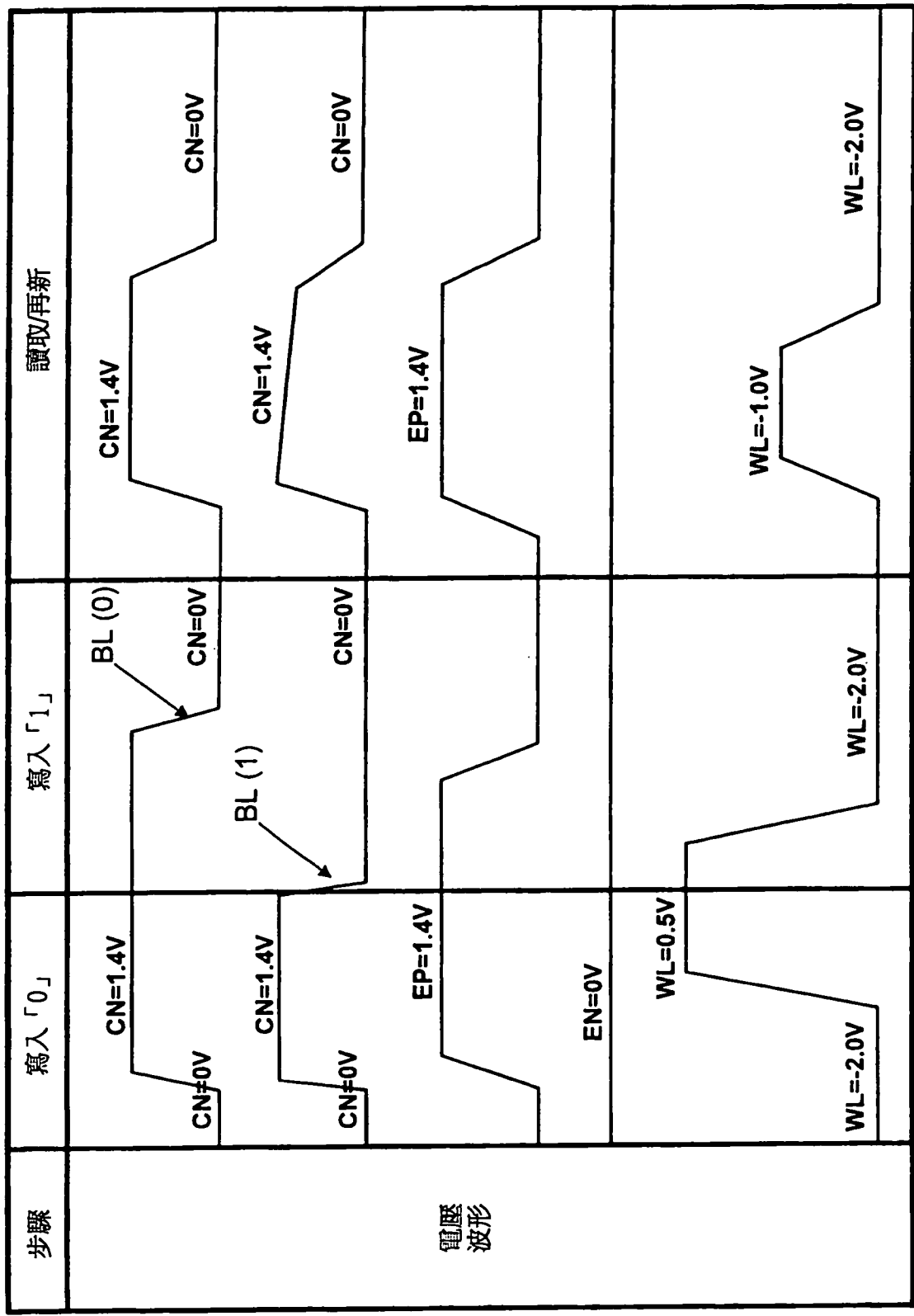
第12圖



第13圖



第14圖



第15圖