

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2014-523062
(P2014-523062A)

(43) 公表日 平成26年9月8日(2014.9.8)

(51) Int.Cl.	F I	テーマコード (参考)
G 1 1 C 5/00 (2006.01)	G 1 1 C 5/00 3 0 2 Z	5 B 0 1 8
G 1 1 C 16/06 (2006.01)	G 1 1 C 17/00 6 3 6	5 B 0 6 0
G 0 6 F 12/06 (2006.01)	G 1 1 C 17/00 6 3 9 C	5 B 1 2 5
G 0 6 F 12/16 (2006.01)	G 0 6 F 12/06 5 2 5 A	
	G 0 6 F 12/16 3 2 0 E	

審査請求 未請求 予備審査請求 未請求 (全 40 頁)

(21) 出願番号 特願2014-518658 (P2014-518658)
 (86) (22) 出願日 平成24年6月21日 (2012.6.21)
 (85) 翻訳文提出日 平成26年2月6日 (2014.2.6)
 (86) 国際出願番号 PCT/US2012/043465
 (87) 国際公開番号 W02013/003181
 (87) 国際公開日 平成25年1月3日 (2013.1.3)
 (31) 優先権主張番号 61/503, 531
 (32) 優先日 平成23年6月30日 (2011.6.30)
 (33) 優先権主張国 米国 (US)
 (31) 優先権主張番号 2124/MUM/2011
 (32) 優先日 平成23年7月26日 (2011.7.26)
 (33) 優先権主張国 インド (IN)
 (31) 優先権主張番号 13/247, 532
 (32) 優先日 平成23年9月28日 (2011.9.28)
 (33) 優先権主張国 米国 (US)

(71) 出願人 511226960
 サンディスク テクノロジーズ インコーポレイテッド
 アメリカ合衆国、75024、テキサス州、プレーノー、ノース・ダラス・パークウェイ 6900、ツアー・レガシー・タウン・センター
 (74) 代理人 100075144
 弁理士 井ノ口 壽
 (72) 発明者 ドブリュー, マヌエル アントニオ
 アメリカ合衆国、95762、カリフォルニア州、エルドラドヒルズ、ハンティントン サークル 2166

最終頁に続く

(54) 【発明の名称】 メモリコアのためのスマートブリッジ

(57) 【要約】

機器は、メモリコア（例えば、NANDフラッシュメモリコア）を含む第1の半導体装置を備える。また、機器は、メモリコアに連結された周辺回路を含む第2の半導体装置も備える。この第2の半導体装置はメモリコントローラの第1の直列化/非直列化通信インターフェイスに結合された第2の直列化/非直列化通信インターフェイスを含んでよい。別の機器は、第1のメモリコアを含む第1のメモリダイと、第2のメモリコアを含む第2のメモリダイと、第1のメモリダイおよび第2のメモリダイに結合された周辺ダイとを備える。周辺ダイは、第1のメモリコアに対応する周辺回路と、第2のメモリコアに対応する周辺回路とを含む。周辺ダイは、メモリコントローラに応じて、第1のメモリコアで第1のメモリ操作を開始し、かつ第2のメモリコアで第2のメモリ操作を開始するように構成される。

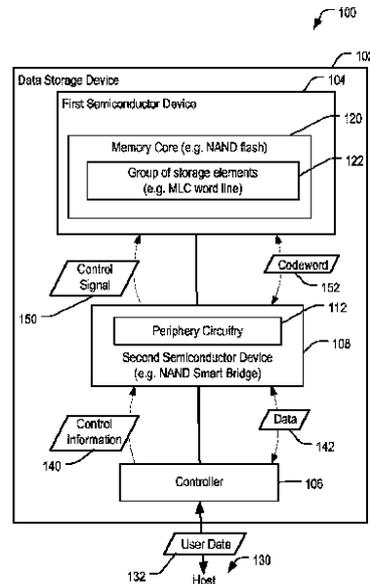


FIG. 1

【特許請求の範囲】**【請求項 1】**

機器であって、
NANDフラッシュメモリコアを含む第1の半導体装置と、
前記NANDフラッシュメモリコアに連結された周辺回路を含む第2の半導体装置と、
を備える機器。

【請求項 2】

請求項1記載の機器において、
前記第2の半導体装置は、NANDスマートブリッジを備える機器。

【請求項 3】

請求項1記載の機器において、
前記NANDスマートブリッジは、NAND管理装置を備える機器。

【請求項 4】

請求項1記載の機器において、
前記周辺回路は、誤り訂正符号化(ECC)エンジンを含む機器。

【請求項 5】

請求項1記載の機器において、
前記周辺回路は、マルチポートスタティックランダムアクセスメモリ(SRAM)を含む機器。

【請求項 6】

請求項5記載の機器において、
前記周辺回路は、前記マルチポートSRAMで複数のワード線データを同時に処理するように構成される機器。

【請求項 7】

請求項6記載の機器において、
前記周辺回路は、干渉状態、プログラムディスタ urb状態、およびリードディスタ urb状態のうちの少なくともいずれか1つを検出するために、前記NANDフラッシュメモリコアからの複数のワード線データを処理するように構成される機器。

【請求項 8】

請求項6記載の機器において、
複数のワード線データは異なる読み出し電圧セットにより読み出される単一ワード線に相当し、前記周辺回路は複数のワード線データの誤り訂正処理を遂行するように構成される機器。

【請求項 9】

請求項6記載の機器において、
前記周辺回路は、特定のデータパターンを検出するために複数のワード線データを処理するように構成される機器。

【請求項 10】

請求項4記載の機器において、
前記周辺回路は、前記NANDフラッシュメモリコアに蓄積されるデータをスクランブルするために、複数のワード線データを処理するように構成される機器。

【請求項 11】

請求項5記載の機器において、
前記周辺回路は、前記マルチポートSRAMをキャッシュメモリとして稼働させるように構成される機器。

【請求項 12】

請求項11記載の機器において、
前記周辺回路は、制御ロジックを含む機器。

【請求項 13】

請求項12記載の機器において、

10

20

30

40

50

前記制御ロジックは、有限な状態マシンとマイクロプログラムエンジンのうちの少なくともいずれか1つを備える機器。

【請求項14】

請求項1記載の機器において、

前記周辺回路は、前記NANDフラッシュメモリコアの動作を検査するように構成された検査エンジンを含む機器。

【請求項15】

請求項1記載の機器において、

前記周辺回路は、アドレスの少なくとも一部分を復号化し、かつNANDフラッシュメモリコアの行を選択するように構成された行デコーダを含む機器。

10

【請求項16】

請求項1記載の機器において、

前記周辺回路は、前記NANDフラッシュメモリコアのワード線、ビット線、およびソース線のうちの少なくともいずれか1つに印加される電圧を生成するように構成されたチャージポンプを含む機器。

【請求項17】

請求項1記載の機器において、

前記第1の半導体装置は第1のダイであり、前記第2の半導体装置は第2のダイである機器。

【請求項18】

20

請求項17記載の機器において、

前記第1のダイと前記第2のダイは共にパッケージされる機器。

【請求項19】

請求項17記載の機器において、

第2のNANDフラッシュメモリコアを含む第3のダイをさらに備え、前記周辺回路は、前記NANDフラッシュメモリコアの動作を制御し、かつ前記第2のNANDフラッシュメモリコアの動作を制御する制御信号を生成するように構成される機器。

【請求項20】

請求項19記載の機器において、

前記周辺回路は、

30

前記第1のNANDフラッシュメモリコアに蓄積される第1のデータを符号化するように構成された第1の誤り訂正符号化(ECC)エンジンと、

前記第2のNANDフラッシュメモリコアに蓄積される第2のデータを符号化するように構成された第2のECCエンジンと、

を備える機器。

【請求項21】

請求項20記載の機器において、

前記第1のECCエンジンは、前記第2のECCエンジンが第2のデータを符号化するときとほぼ同時に第1のデータを符号化するように構成される機器。

【請求項22】

40

請求項19記載の機器において、

前記制御信号は、前記NANDフラッシュメモリコアと前記第2のNANDフラッシュメモリコアに、同時プログラミング操作、同時読み出し操作、同時プログラミングおよび読み出し操作、または同時消去操作を遂行させる機器。

【請求項23】

請求項1記載の機器において、

プロセッサと、ホストインターフェイスと、前記第2の半導体装置に至るインターフェイスとを含むメモリコントローラをさらに備える機器。

【請求項24】

請求項23記載の機器において、

50

前記周辺回路は第1の誤り訂正符号化(ECC)操作を遂行するように構成され、前記メモリコントローラは第2のECC操作を遂行するように構成され、第1のECC操作は第2のECC操作とは異なる誤り訂正符号を使用する機器。

【請求項25】

NANDスマートブリッジを操作する方法であって、

第1の半導体装置にあるNANDフラッシュメモリコアに蓄積するために第2の半導体装置でデータを受信するステップと、

前記第2の半導体装置から前記第1の半導体装置にあるNANDフラッシュメモリコアへ制御信号を送信するステップと、を含み、

前記第2の半導体装置は、前記NANDフラッシュメモリコアのための周辺回路を備える方法。

10

【請求項26】

請求項25記載の方法において、

データは、前記第2の半導体装置に結合されたメモリコントローラから受信される方法

。

【請求項27】

請求項25記載の方法において、

前記周辺回路は、プロセッサ、誤り訂正符号化(ECC)エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ(SRAM)のうちの少なくともいずれか1つを含む方法。

20

【請求項28】

請求項25記載の方法において、

前記第2の半導体装置から前記NANDフラッシュメモリコアへコードワードを送信するステップをさらに含み、

コードワードは受信されるデータに相当し、前記NANDフラッシュメモリコアは制御信号に応じてコードワードを蓄積する方法。

【請求項29】

NANDスマートブリッジ操作の方法において、

第2の半導体装置から第1の半導体装置にあるNANDフラッシュメモリコアへ制御信号を送信するステップと、

30

前記NANDフラッシュメモリコアから前記第2の半導体装置にて前記NANDフラッシュメモリコアのための前記第2の半導体装置の中にある周辺回路で受信されるコードワード表現を受信するステップと、

を含む方法。

【請求項30】

請求項29記載の方法において、

前記周辺回路は誤り訂正符号化(ECC)エンジンを含み、前記ECCエンジンでコードワード表現の復号化操作を開始するステップをさらに含む方法。

【請求項31】

請求項30記載の方法において、

40

前記ECCエンジンで生成されるデータを前記第2の半導体装置に結合されたメモリコントローラへ送信するステップをさらに含む方法。

【請求項32】

請求項29記載の方法において、

前記周辺回路は、プロセッサ、誤り訂正符号化(ECC)エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ(SRAM)のうちの少なくともいずれか1つを含む方法。

【請求項33】

機器であって、

メモリコアを含む第1の半導体装置と、

50

前記メモリコアに連結された周辺回路を含む第2の半導体装置と、を備え、
前記第2の半導体装置は、メモリコントローラの第1の直列化/非直列化通信インターフェイスに結合された第2の直列化/非直列化通信インターフェイスを含む機器。

【請求項34】

請求項33記載の機器において、

前記第1の半導体装置は、前記第2の半導体装置に結合される機器。

【請求項35】

請求項34記載の機器において、

前記第1の半導体装置は、ワイヤボンドにより前記第2の半導体装置に結合される機器

。

【請求項36】

請求項33記載の機器において、

前記第1の半導体装置と前記第2の半導体装置は、共通のパッケージの中にある機器。

【請求項37】

請求項33記載の機器において、

前記周辺回路は、プロセッサ、誤り訂正符号化(ECC)エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ(SRAM)のうちの少なくともいずれか1つを含む機器。

【請求項38】

請求項33記載の機器において、

前記メモリコアはフラッシュメモリコアであり、前記メモリコントローラはフラッシュメモリコントローラである機器。

【請求項39】

請求項38記載の機器において、

前記フラッシュメモリコントローラは、プロセッサと、ホストインターフェイスと、前記第1の直列化/非直列化通信インターフェイスとを備える機器。

【請求項40】

請求項33記載の機器において、

前記第2の半導体装置は、誤り訂正符号化(ECC)エンジンとマルチポートスタティックランダムアクセスメモリ(SRAM)とを含む機器。

【請求項41】

請求項40記載の機器において、

前記第2の半導体装置は第1の誤り訂正符号化(ECC)操作を遂行するように構成され、前記メモリコントローラは第2のECC操作を遂行するように構成され、第1のECC操作は第2のECC操作より高度な誤り訂正能力を有するように構成される機器。

【請求項42】

請求項33記載の機器において、

前記第1の半導体装置はNANDフラッシュ製造技術により形成された構造体を含み、前記第2の半導体装置は相補型金属酸化膜半導体(CMOS)製造技術により形成された構造体を含む機器。

【請求項43】

請求項33記載の機器において、

第2のメモリコアを含む第3の半導体装置をさらに備え、前記周辺回路は、前記第1のメモリコアの動作を制御し、かつ前記第2のメモリコアの動作を制御する制御信号を生成するように構成される機器。

【請求項44】

請求項43記載の機器において、

前記第1のメモリ装置は、前記第3のメモリ装置の上に積み重ねられる機器。

【請求項45】

請求項43記載の機器において、

10

20

30

40

50

前記第2の半導体装置は、前記第2の直列化/非直列化通信インターフェイスにより前記メモリコントローラに結合され、かつ前記メモリコアにさらに結合される機器。

【請求項46】

請求項33記載の機器において、
前記第2の半導体装置は、NAND管理装置である機器。

【請求項47】

請求項33記載の機器において、
前記第2の直列化/非直列化通信インターフェイスはデータを直列データシンボル流として前記第1の直列化/非直列化通信インターフェイスへ送信するように構成される機器。

10

【請求項48】

請求項47記載の機器において、
データ信号流内の各データシンボルは、前記第1の直列化/非直列化通信インターフェイスと前記第2の直列化/非直列化通信インターフェイスとの間に結合された1対の通信線に印加される差動信号を備える機器。

【請求項49】

請求項33記載の機器において、
前記第2の半導体装置は、前記第1の半導体装置より小さい機器。

【請求項50】

請求項33記載の機器において、
前記第2の半導体装置は、相補型金属酸化膜半導体(CMOS)マルチレベル金属相互接続製造技術により形成された構造体を含む機器。

20

【請求項51】

方法であって、
第2の半導体装置の直列化/非直列化通信インターフェイスで直列データシンボル流を受信するステップと、
メモリコアに蓄積されるデータを生成するために直列データシンボル流を非直列化するステップと、
前記第2の半導体装置から前記メモリコアへ制御信号を送信するステップと、を含み、
前記第2の半導体装置は、第1の半導体装置にあるメモリコアのための周辺回路を含む方法。

30

【請求項52】

請求項51記載の方法において、
前記直列データシンボル流は、第2の直列化/非直列化通信インターフェイスにより前記第2の半導体装置に結合されたメモリコントローラから受信される方法。

【請求項53】

請求項51記載の方法において、
前記周辺回路は、プロセッサ、誤り訂正符号化(ECC)エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ(SRAM)のうちの少なくともいずれか1つを含む方法。

40

【請求項54】

請求項51記載の方法において、
前記第2の半導体装置から前記メモリコアへコードワードを送信するステップをさらに含み、コードワードは前記メモリコアに蓄積されるデータに相当し、前記メモリコアは制御信号に応じてコードワードを蓄積する方法。

【請求項55】

方法であって、
第1の半導体装置にあるメモリコアから読み出されるデータを第2の半導体装置で受信するステップと、
前記第2の半導体装置でデータを処理するステップと、

50

直列化 / 非直列化通信インターフェイスにより前記第 2 の半導体装置に結合されたメモリコントローラへ処理されたデータを送信するステップと、を含み、
データは、前記第 2 の半導体装置にあるメモリコアのための周辺回路で受信される方法。

【請求項 5 6】

請求項 5 5 記載の方法において、
前記周辺回路は誤り訂正符号化 (E C C) エンジンを含み、受信されるデータはコードワード表現を含み、前記データを処理するステップは前記 E C C エンジンでコードワード表現の復号化操作を開始することを含む方法。

【請求項 5 7】

請求項 5 5 記載の方法において、
前記周辺回路は、プロセッサ、誤り訂正符号化 (E C C) エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ (S R A M) のうちの少なくともいずれか 1 つを含む方法。

【請求項 5 8】

機器であって、
第 1 のメモリコアを備える第 1 のメモリダイと、
第 2 のメモリコアを備える第 2 のメモリダイと、
前記第 1 のメモリダイと前記第 2 のメモリダイとに結合された周辺ダイと、を備え、
前記周辺ダイは、前記第 1 のメモリコアに対応する周辺回路と前記第 2 のメモリコアに対応する周辺回路とを備え、さらにメモリコントローラに応じて、前記第 1 のメモリコアで第 1 のメモリ操作を開始し、かつ前記第 2 のメモリコアで第 2 のメモリ操作を開始するように構成される機器。

【請求項 5 9】

請求項 5 8 記載の機器において、
前記周辺ダイは、第 1 のメモリ操作を遂行し、かつそれとほぼ同時に第 2 のメモリ操作を遂行するように構成される機器。

【請求項 6 0】

請求項 5 8 記載の機器において、
前記周辺ダイは前記メモリコントローラからデータを受信するように構成され、第 1 のメモリ操作はデータの第 1 の部分を前記第 1 のメモリコアに蓄積することを含み、第 2 のメモリ操作はデータの第 2 の部分を前記第 2 のメモリコアに蓄積することを含む機器。

【請求項 6 1】

請求項 5 8 記載の機器において、
前記周辺ダイは蓄積済みデータを取り出す要求を前記メモリコントローラから受信するように構成され、第 1 のメモリ操作は前記第 1 のメモリコアから蓄積済みデータの第 1 の部分を読み出すことを含み、第 2 のメモリ操作は前記第 2 のメモリコアから蓄積済みデータの第 2 の部分を読み出すことを含む機器。

【請求項 6 2】

請求項 5 8 記載の機器において、
前記周辺ダイは蓄積済みデータを消去する要求を前記メモリコントローラから受信するように構成され、第 1 のメモリ操作は前記第 1 のメモリコアから蓄積済みデータの第 1 の部分を消去することを含み、第 2 のメモリ操作は前記第 2 のメモリコアから蓄積済みデータの第 2 の部分を消去することを含む機器。

【請求項 6 3】

請求項 5 8 記載の機器において、
第 1 のメモリ操作は第 1 のデータの書き込み操作を含み、第 2 のメモリ操作は第 2 のデータの読み出し操作を含み、前記周辺ダイは書き込み操作を遂行し、かつそれとほぼ同時に読み出し操作を遂行するように構成される機器。

【請求項 6 4】

請求項 5 8 記載の機器において、
前記周辺ダイは、

第 1 の誤り訂正符号化 (E C C) エンジンと、
第 2 の E C C エンジンと、

前記第 1 の E C C エンジンで第 1 の E C C 操作を遂行し、かつそれとほぼ同時に前記
第 2 の E C C エンジンで第 2 の E C C 操作を遂行するように構成された制御回路と、
を備える機器。

【請求項 6 5】

請求項 6 4 記載の機器において、

第 1 の E C C 操作は前記第 1 の E C C エンジンで第 1 のデータを符号化することを含み、
第 2 の E C C 操作は前記第 2 の E C C エンジンで第 2 のデータを符号化することを含む
機器。

10

【請求項 6 6】

請求項 6 5 記載の機器において、

第 1 のデータは前記メモリコントローラから受信されるデータの第 1 の部分であり、第
2 のデータは前記メモリコントローラから受信されるデータの第 2 の部分である機器。

【請求項 6 7】

請求項 6 5 記載の機器において、

前記周辺ダイは、第 1 の E C C 操作によって生成される第 1 のコードワードを前記第 1
のメモリコアに蓄積し、かつ第 2 の E C C 操作によって生成される第 2 のコードワードを
前記第 2 のメモリコアに蓄積するように構成される機器。

20

【請求項 6 8】

請求項 6 4 記載の機器において、

第 1 の E C C 操作は前記第 1 の E C C エンジンで第 1 のデータを復号化することを含み
、第 2 の E C C 操作は前記第 2 の E C C エンジンで第 2 のデータを復号化することを含む
機器。

【請求項 6 9】

請求項 6 8 記載の機器において、

第 1 のデータは前記メモリコントローラが要求するデータの第 1 の部分に相当し、第 2
のデータは前記メモリコントローラが要求するデータの第 2 の部分に相当する機器。

30

【請求項 7 0】

請求項 6 8 記載の機器において、

前記周辺ダイは、前記第 1 の E C C 操作によって復号化される第 1 のコードワードの第
1 の表現を前記第 1 のメモリコアから取り出し、かつ第 2 の E C C 操作によって復号化さ
れる第 2 のコードワードの第 2 の表現を前記第 2 のメモリコアから取り出すように構成さ
れる機器。

【請求項 7 1】

方法であって、

周辺ダイに結合されたメモリコントローラから前記周辺ダイにて要求を受信するステッ
プと、

40

前記要求に応じて、

第 1 のメモリコアを備える第 1 のメモリダイで第 1 のメモリ操作を開始するステップ
と、

第 2 のメモリコアを備える第 2 のメモリダイで第 2 のメモリ操作を開始するステップ
と、を含み、

前記周辺ダイは、前記第 1 のメモリコアに対応する周辺回路と前記第 2 のメモリコアに
対応する周辺回路とを備える方法。

【請求項 7 2】

請求項 7 1 記載の方法において、

前記周辺ダイは、第 1 のメモリ操作を遂行し、かつそれとほぼ同時に第 2 のメモリ操作

50

を遂行するように構成される方法。

【請求項 7 3】

請求項 7 1 記載の方法において、

前記要求はデータを蓄積する要求であり、第 1 のメモリ操作はデータの第 1 の部分を前記第 1 のメモリコアに蓄積することを含み、第 2 のメモリ操作はデータの第 2 の部分を前記第 2 のメモリコアに蓄積することを含む方法。

【請求項 7 4】

請求項 7 1 記載の方法において、

前記要求は蓄積済みデータを取り出す要求であり、第 1 のメモリ操作は前記第 1 のメモリコアから蓄積済みデータの第 1 の部分を読み出すことを含み、第 2 のメモリ操作は前記第 2 のメモリコアから蓄積済みデータの第 2 の部分を読み出すことを含む方法。

10

【請求項 7 5】

請求項 7 1 記載の方法において、

前記要求は蓄積済みデータを消去する要求であり、第 1 のメモリ操作は前記第 1 のメモリコアで蓄積済みデータの第 1 の部分を消去することを含み、第 2 のメモリ操作は前記第 2 のメモリコアで蓄積済みデータの第 2 の部分を消去することを含む方法。

【請求項 7 6】

請求項 7 1 記載の方法において、

第 1 のメモリ操作は第 1 のデータの書き込み操作を含み、第 2 のメモリ操作は第 2 のデータの読み出し操作を含み、書き込み操作は読み出し操作を遂行するときとほぼ同時に遂行される方法。

20

【請求項 7 7】

請求項 7 1 記載の方法において、

前記周辺ダイは、第 1 の誤り訂正符号化 (E C C) エンジンと第 2 の E C C エンジンとを含み、前記第 1 の E C C エンジンで第 1 の E C C 操作を遂行し、かつそれとほぼ同時に前記第 2 の E C C エンジンで第 2 の E C C 操作を遂行するステップをさらに含む方法。

【請求項 7 8】

請求項 7 7 記載の方法において、

第 1 の E C C 操作は前記第 1 の E C C エンジンで第 1 のデータを符号化することを含み、第 2 の E C C 操作は前記第 2 の E C C エンジンで第 2 のデータを符号化することを含む方法。

30

【請求項 7 9】

請求項 7 8 記載の方法において、

第 1 のデータは前記メモリコントローラから受信されるデータの第 1 の部分であり、第 2 のデータは前記メモリコントローラから受信されるデータの第 2 の部分である方法。

【請求項 8 0】

請求項 7 8 記載の方法において、

第 1 のメモリ操作は第 1 の E C C 操作によって生成される第 1 のコードワードを前記第 1 のメモリコアに蓄積することを含み、第 2 のメモリ操作は第 2 の E C C 操作によって生成される第 2 のコードワードを前記第 2 のメモリコアに蓄積することを含む方法。

40

【請求項 8 1】

請求項 7 7 記載の方法において、

第 1 の E C C 操作は前記第 1 の E C C エンジンで第 1 のデータを復号化することを含み、第 2 の E C C 操作は前記第 2 の E C C エンジンで第 2 のデータを復号化することを含む方法。

【請求項 8 2】

請求項 8 1 記載の方法において、

第 1 のデータは前記メモリコントローラが要求するデータの第 1 の部分に相当し、第 2 のデータは前記メモリコントローラが要求するデータの第 2 の部分に相当する方法。

【請求項 8 3】

50

請求項 8 1 記載の方法において、

第 1 のメモリ操作は第 1 の ECC 操作によって復号化される第 1 のコードワードの第 1 の表現を前記第 1 のメモリコアから取り出すことを含み、第 2 のメモリ操作は第 2 の ECC 操作によって復号化される第 2 のコードワードの第 2 の表現を前記第 2 のメモリコアから取り出すことを含む方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的にデータの蓄積および取り出しに関する。

【背景技術】

【0002】

(関連出願の相互参照)

本願は、その全体が本願明細書において参照により援用されている、2011年6月30日に出願された米国仮特許出願第61/503,531号(特許文献1)および2011年7月26日に出願されたインド特許出願第2124/MUM/2011号(特許文献2)の優先権を各々主張する、2011年9月28日に出願された米国特許出願第13/247,532号(特許文献3)、2011年9月28日に出願された米国特許出願第13/247,592号(特許文献4)、および2011年9月28日に出願された米国特許出願第13/247,635号(特許文献5)の優先権を主張する。

【0003】

メモリ装置にデータを蓄積する能力は技術の進歩にともない絶えず向上している。例えば、フラッシュメモリは1つ以上のメモリコアを含んでよい半導体装置で不揮発性データ蓄積を可能にする。例示して説明するように、1つ以上のNANDフラッシュメモリコアを含むメモリダイは従来、各メモリコアにつき1つ以上のチャージポンプ、状態マシン、行デコーダなどの周辺回路を含む。周辺回路はメモリダイがメモリコントローラからの制御信号に応じてデータを蓄積したり取り出したりすることを可能にする。ただし、普通ならフラッシュデータ蓄積素子に使うよいメモリダイのスペースが周辺回路によって占有される。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国仮特許出願第61/503,531号

【特許文献2】インド特許出願第2124/MUM/2011号

【特許文献3】米国特許出願第13/247,532号

【特許文献4】米国特許出願第13/247,592号

【特許文献5】米国特許出願第13/247,635号

【発明の概要】

【0005】

スマートブリッジ装置は、スマートブリッジ装置とは別のダイに位置するメモリコア(例えば、NANDフラッシュメモリコア)のための周辺回路を含む。スマートブリッジ装置ではメモリコア技術(例えば、NANDフラッシュ技術)ではなくCMOS技術を用いて周辺回路を実装してよい。スマートブリッジ装置はメモリコントローラとのシリアル通信を可能にするために直列化/非直列化通信インターフェイスを含んでよい。メモリコアの蓄積能力を向上させるために、メモリコアと同じダイに従来実装されてきたデータラッチや状態マシンなどの回路はスマートブリッジ装置で実装されてよい。複数のメモリコアと複数のスマートブリッジ装置を含む実施例でECC能力を向上させるために、メモリコントローラで従来実装されてきたECCエンジンなどの回路もスマートブリッジ装置で実装されてよい。

【0006】

スマートブリッジ装置は、スマートブリッジ装置とは別のダイに位置する複数のメモリ

10

20

30

40

50

コアのための周辺回路を含んでよい。スマートブリッジ装置はメモリコントローラに応じてメモリコアで同時メモリ操作を遂行してよい。

【図面の簡単な説明】

【0007】

【図1】メモリコアを含む第1の半導体装置とメモリコアのための周辺回路を含むスマートブリッジ装置とを有するデータ蓄積装置を含むシステムの特定の説明的な一実施形態のブロック図である。

【図2】図1のデータ蓄積装置の特定の—実施形態を示すブロック図である。

【図3】図1のデータ蓄積装置に含めることができるダイ構成の特定の—実施形態の上面図および側面図を示す概略図である。

10

【図4】図3のダイ構成を含むパッケージの特定の—実施形態を示す概略図である。

【図5】図1のデータ蓄積装置に含めることができるダイ構成の特定の別の実施形態の上面図および側面図を示す概略図である。

【図6】メモリコアダイに結合されかつコントローラダイに結合された周辺ダイを含むシステムのブロック図である。

【図7】複数のホストインターフェイスと1つ以上のメモリコアのための周辺回路とを含むスマートブリッジ装置を各々含むパッケージの2つの実施形態のブロック図である。

【図8】NANDフラッシュメモリコア技術を用いて製造される装置、三次元(3D)メモリコア技術を用いて製造される装置、およびスマートブリッジCMOS技術を用いて製造される装置の実施形態を示す概略図である。

20

【図9】スマートブリッジ装置で遂行されてよい方法の第1の実施形態のフローチャートである。

【図10】スマートブリッジ装置で遂行されてよい方法の第2の実施形態のフローチャートである。

【図11】スマートブリッジ装置で遂行されてよい方法の第3の実施形態のフローチャートである。

【図12】スマートブリッジ装置で遂行されてよい方法の第4の実施形態のフローチャートである。

【図13】スマートブリッジ装置で遂行されてよい方法の第5の実施形態のフローチャートである。

30

【発明を実施するための形態】

【0008】

図1には機器100の特定の—実施形態が示されている。機器100はデータ蓄積装置102を含む。データ蓄積装置102は第1の半導体装置104と第2の半導体装置108とを含む。第1の半導体装置104はメモリコア120(例えば、NANDフラッシュメモリコア)を含み、メモリコア120は蓄積素子(例えば、典型的な蓄積素子群122)を含む。蓄積素子群122の一例はマルチレベルセル(MLC)ワード線である。データ蓄積装置102はコントローラ106をさらに含み、データ蓄積装置102は典型的なホスト130へ選択的に接続される。

【0009】

40

第2の半導体装置108は周辺回路112を含む。周辺回路112は第1の半導体装置104のNANDフラッシュメモリコア120に連結される。また、第2の半導体装置108はNAND管理装置機能を遂行するNANDスマートブリッジを備えてよい。例えば、周辺回路112を含む第2の半導体装置108は第1の半導体装置104のメモリコア120に対して管理機能を遂行してよい。

【0010】

周辺回路112は様々な構成部品(例えば、誤り訂正エンジン、マルチポートスタティックランダムアクセスメモリ(SRAM)、有限な状態マシンやマイクロプログラムエンジンなどの制御ロジック、メモリコア120に連結されたデコーダ(例えば、アドレスの少なくとも一部分を復号化し、かつメモリコア120の行を選択するように構成された行デ

50

コード)など)を含んでよい。また、周辺回路112は他の素子(例えば、メモリコア120のワード線、ビット線、およびソース線のうちの少なくともいずれか1つに印加される電圧を生成するように構成されたチャージポンプ)を含んでよい。周辺回路112の実施例のさらなる詳細を図2に関連して説明する。

【0011】

特定の一実施形態において、第1の半導体装置104は第1のダイであり、第2の半導体装置108は第2のダイである。第1のダイと第2のダイは1つのパッケージに共にパッケージされてよい。この場合、第1の半導体装置104と第2の半導体装置108はデータ蓄積装置102の中で1つのパッケージに配置されてよい。

【0012】

コントローラ106は、プロセッサと、ホストインターフェイスと、第2の半導体装置108に至るインターフェイスとを含むメモリコントローラであってよい。コントローラ106はホスト130へユーザデータ132を伝達してよい。また、コントローラ106は第2の半導体装置108へ制御情報140を送信し、かつ第2の半導体装置108へデータ142を送信してよい。つまり、コントローラ106はホスト130と通信し、かつ第2の半導体装置108と通信してよい。

【0013】

作動中に第2の半導体装置108はコントローラ106からデータ142を受信してよく、データ142は第1の半導体装置104のメモリコア120に蓄積されるよう配置されてよい。第2の半導体装置108から第1の半導体装置104のメモリコア120へ制御信号150を送信するには、第2の半導体装置108内の周辺回路112が使用されてよい。周辺回路112は第1の半導体装置104へ制御信号150を送信してよく、かつ第1の半導体装置104のメモリコア120へコードワード152を送信してよい。

【0014】

コードワード152は受信されたデータ142に相当し、受信されたデータ142から得られてよい。例えば、周辺回路112内の誤り訂正符号化(ECC)エンコーダは受信されたデータ142を処理してよく、コードワード152を生成してよい。周辺回路112はコードワード152をメモリコア120へ送信し、コードワード152はメモリコア120に蓄積されてよい。第1の半導体装置104内のメモリコア120は制御信号150に応じてコードワード152をメモリ120に蓄積する。例えば、制御信号150は蓄積素子群122に対する書き込み操作を指示してよく、コードワード152は蓄積素子群122に蓄積されてよい。

【0015】

メモリ読み出し操作のときに第2の半導体装置108は第1の半導体装置104のメモリコア120へ読み出し制御信号150を送信してよい。読み出し制御信号150を送信した第2の半導体装置108はメモリコア120からコードワード表現を受信してよい。コードワード表現はメモリコア120に対応する周辺回路112で受信される。コードワード表現152が受信されると、周辺回路112内の回路(例えば、ECCデコーダ)が受信したコードワード表現152を処理し、コントローラ106へ伝達されるデータを生成してよい。例えば、周辺回路112内のECCデコーダはコードワード表現152を受信してよく、コントローラ106へ伝達されるデータ142を生成してよい。つまり、第1の半導体装置104のメモリコア120に対して読み出し操作と書き込み操作を遂行するには、第2の半導体装置108(例えば、NANDスマートブリッジ)が使用されてよい。また、第2の半導体装置108はコントローラ106と通信してよく、コントローラ106は次に外部ホスト130と通信してよい。

【0016】

第1の半導体装置104は第1の種類の工程技術を用いて製造されてよく、第2の半導体装置108は第2の種類の工程技術を用いて製造されてよい。例えば、第1の工程技術はNANDフラッシュ工程技術であってよく、第2の半導体技術は多金属相互接続CMOS技術であってよい。第1および第2の半導体装置104および108それぞれに対する

10

20

30

40

50

異なる工程技術の使用は、メモリコア120に関する設計ルールの緩和を可能にする。メモリコア120の設計ルール緩和はセルとワード線の間隔が拡大された装置の設計を可能にし、セル間/ワード線間干渉を軽減する。つまり、第1の半導体装置104は、メモリコアと同じダイに周辺回路を含むデータ蓄積装置より優れた性能および耐久性を達成するように設計できる。

【0017】

また、第2の半導体装置108を使用することにより、追加のECCエンコーダおよびデコーダ、またはより高度な誤り訂正能力を有するECCエンコーダ/デコーダを、第2の半導体装置108の周辺回路112内に配置できる。つまり、第1の半導体装置104の大部分はメモリコア120に割り当てることができ、追加的機構および機能を提供する追加回路は第2の半導体装置108で実装される。また、周辺回路112は処理能力と誤り訂正処理能力を向上させるためにSRAMなどの追加メモリを含んでよい。SRAMは、隣接するワード線に蓄積されたデータを解析すること、異なる読み出し電圧によるワード線の多数読み出しを支援し管理すること、ならびに新規誤り訂正アルゴリズムを実装することに役立てることができる。

10

【0018】

第2の半導体装置108の第2の製造工程は、特定の回路構成部品（例えば、第2の半導体装置108に配置される周辺回路112内の構成部品）により、装置を効果的に製造するものが選ばれてよい。例えば、周辺回路112のアナログおよびその他の回路の実施例にはマルチレベル金属相互接続CMOS工程を使用できる。また、標準CMOS工程による周辺回路112の実施例は、小さい装置サイズを維持しながら相当量のSRAMと新機能の追加を可能にする。

20

【0019】

図1には1つのコントローラ106と1つの第2の半導体装置108と1つのメモリコア120が示されているが、第2の半導体装置108が複数のメモリコア120に対応できること、またコントローラ106が複数の第2の半導体装置108に対応できることは理解されるはずである。また、メモリコア120に対応するECCエンコーダとECCデコーダに関して周辺回路112を説明してきたが、周辺回路112が複数のメモリコア（例えば、図1に示す1つのメモリコア120以外のコア）に対応するために複数のECCエンコーダと複数のECCデコーダを含んでよいことも理解されるはずである。つまり、周辺回路112はメモリ装置（例えば、第1の半導体装置104）の1つまたは複数のメモリコアに対応するためのECC処理能力を含んでよい。

30

【0020】

図2には機器100の特定の一実施形態のさらなる詳細が示されている。図2は図1に示した種々の構成部品を示し、そのような共通の構成部品は図1と同じ参照番号を有する。例えば、メモリダイ104、NANDフラッシュメモリコア120、周辺回路112、およびコントローラ106は図1と同じ参照番号を有する。また、これらの構成部品の各々は図1で説明したものと同一構造および能力を有する。

【0021】

図2はさらに、第1の半導体装置104（図2ではメモリダイ104と称する）のNANDフラッシュメモリコア120の行および列を示している。例えば、メモリダイ104内のNANDフラッシュメモリコア120はワード線206とビット線204によりアドレスできる蓄積素子を含む。特定のワード線およびビット線に対応する典型的なセル202が示されている。メモリダイ104はNANDスマートブリッジインターフェイス208をさらに含む。NANDスマートブリッジインターフェイス208は第2の半導体装置108（図2ではNANDスマートブリッジ装置108と称する）のコアインターフェイス210に結合される。

40

【0022】

NANDスマートブリッジ装置108は、周辺回路112と、コアインターフェイス210と、コントローラインターフェイス214とを含む。特定の一実施形態において、コ

50

ントローラインターフェイス 214 は直列化 / 非直列化 (SERDES) インターフェイスである。周辺回路 112 は、プロセッサ 212 と、行デコーダ 220 と、チャージポンプ 222 と、状態マシン 224 と、マルチポート SRAM 226 と、ECC エンジン 228 と、NAND フラッシュメモリコア 120 の動作を検査するように構成された検査エンジン 230 とを含む。周辺回路 112 には様々な構成部品が見られるが、周辺回路 112 がこれより少ない構成部品を含んでよいこと、あるいはこれより多くの構成部品を含んでよいことは理解されるはずである。例えば、周辺回路 112 は、プロセッサ、ECC エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ (SRAM) のうちの少なくともいずれか 1 つを含んでよい。

【0023】

コントローラ 106 は、メモリインターフェイス 240 と、プロセッサ 242 と、ECC エンジン 244 と、ホストインターフェイス 246 とを含む。コントローラ 106 のホストインターフェイス 246 はホスト (例えば、図 1 の典型的なホスト 130) へ選択的に結合されてよい。特定の一実施形態において、メモリインターフェイス 240 は直列化 / 非直列化 (SERDES) インターフェイスを使用するシリアルであってよい。メモリインターフェイス 240 は NAND スマートブリッジ 108 のコントローラインターフェイス 214 と通信する。例えば、メモリインターフェイス 240 とコントローラインターフェイス 214 は図 2 に示すように差動信号方式によりデータシンボル流 216 を互いにやり取りしてよい。データ信号流 216 内の各データシンボルは、第 1 の直列化 / 非直列化 (SERDES) 通信インターフェイス (メモリインターフェイス 240 とコントローラインターフェイス 214 のいずれか一方) と第 2 の直列化 / 非直列化 (SERDES) 通信インターフェイス (例えば、メモリインターフェイス 240 とコントローラインターフェイス 214 のいずれか他方) との間に結合された 1 対の通信線に印加される差動信号を備えてよい。一部の実施例では、コアインターフェイス 210 と NAND スマートブリッジインターフェイス 208 もまた差動信号プロトコル (例えば、直列化 / 非直列化 (SERDES) 通信インターフェイス (図示せず)) により通信する。

【0024】

特定の一実施形態において、コントローラ 106 はフラッシュメモリコントローラであり、メモリダイ 104 の NAND フラッシュメモリコア 120 との関連で使用され、NAND スマートブリッジ 108 経由で NAND フラッシュメモリコア 120 と通信する。例えば、コントローラ 106 は既に説明したように直列化 / 非直列化 (SERDES) インターフェイス 240 を使用して NAND スマートブリッジ 108 と通信してよい。NAND スマートブリッジ 108 とコントローラ 106 はいずれも ECC エンジン (例えば、ECC エンジン 228 と ECC エンジン 244) を含んでいるが、それぞれの装置 (すなわち、NAND スマートブリッジ 108 とコントローラ 106) の ECC エンジンは類似する種類の ECC エンジンであってよく、あるいは異なる種類の ECC エンジンであってよい (例えば、リード・ソロモン (RS) エンジン、ボース・チャンドリ・オッカングム (BCH) エンジン、接続もしくは畳み込み符号エンジン (例えば、ターボ符号エンジン)、または他種の ECC エンジン)。例えば、NAND スマートブリッジ 108 内の ECC エンジン 228 として改良された誤り訂正能力を有する ECC エンジンが実装されてよく、コントローラ 106 内の ECC エンジン 244 として標準レベルの誤り訂正能力を有する ECC エンジンが実装されてよい。ECC エンジン 228 内で改良された誤り訂正 ECC 処理を使用することにより、コントローラ 106 は複数の NAND スマートブリッジ装置を管理でき、あるいは複数の NAND スマートブリッジ装置と連係でき、それぞれの NAND スマートブリッジ装置は複数のメモリ装置に対応できる。例えば、改良された誤り訂正 ECC エンジン 228 を使用することによりコントローラ 106 内の ECC エンジン 244 の処理負担を軽減でき、コントローラ 106 は複数の装置に対応できる。

【0025】

作動中にコントローラ 106 はホスト装置 (例えば、図 1 のホスト 130) から命令および / またはデータを受信してよい。メモリダイ 104 との相互作用のために、命令および

10

20

30

40

50

び/またはデータはホストインターフェイス246で受信されてよい。コントローラ106は、例えばECCエンジン244で符号化操作を遂行することにより受信した命令および/またはデータを処理し、かつ処理されたデータをメモリインターフェイス240経由でNANDスマートブリッジ108へ送信するように構成されてよい。

【0026】

NANDスマートブリッジ108はコントローラインターフェイス214に結合された差動通信線対経由で受信されるデータシンボル流216に応じてよい。NANDスマートブリッジ108はコントローラインターフェイス214で受信されるデータシンボル流216を処理し、周辺回路112の1つ以上の構成部品に働きかけるように構成されてよい。例えば、NANDスマートブリッジ108は、NANDフラッシュメモリコア120にデータを蓄積する命令を受信する場合に、受信されたデータの少なくとも一部分をマルチポートSRAM 226でキャッシュし、かつNANDフラッシュメモリコア120に蓄積されるデータをECCエンジン228で符号化し、かつ命令と符号化されたデータをコアインターフェイス210経由でメモリダイ104へ送信することによりNANDフラッシュメモリコア120でデータ蓄積操作を開始するように構成されてよい。

10

【0027】

また、NANDスマートブリッジ108では1つ以上の別の構成部品が稼動してよい。例えば、NANDフラッシュメモリコア120の特定の行206を選択するには行デコード220が使用されてよい。別の例として、メモリダイ104ではなくNANDスマートブリッジ108でチャージポンプ222が作動されてよい。周辺回路112が、キャッシュ方針(例えば、最低使用頻度(LRU)置換方針)に従って、マルチポートSRAM 226にデータを蓄積し、かつマルチポートSRAM 226からデータを取り出すように構成される場合は、マルチポートSRAM 226がキャッシュメモリとして使用されてよい。周辺回路112の動作(例えば、読み出しコマンドまたは書き込みコマンドに応じて遂行される操作の順序の決定)は、状態マシン224やマイクロプロセッサ212によって、またはこれらの組み合わせによって、制御されてよい。

20

【0028】

NANDフラッシュメモリコア120は、NANDスマートブリッジ108からのデータおよび命令に応じて、データ(例えば、図1のコードワード152)を選択されたワード線(例えば、ワード線(WL(i)))に蓄積してよい。別の例として、NANDフラッシュメモリコア120は読み出しコマンドに応じて1つ以上のビット線BL 204をイネーブルし、メモリセル(例えば、典型的なセル202)からNANDスマートブリッジ108にデータを提供してECCエンジン228で誤り訂正処理を行うために、検知操作を開始してよい。例えば、NANDフラッシュメモリコア120に蓄積されるデータは、蓄積に先立ちECCエンジン228にて第1のECC符号化操作を使用し符号化されてよい。周辺回路112は誤り訂正(ECC)エンジン228を含み、ECCエンジン228で受信されたコードワード表現の復号化操作を開始するように構成される。周辺回路112はさらにECCエンジン228で生成されたデータを、第2の半導体装置(すなわち、NANDスマートブリッジ108)に結合されたコントローラ106へ送信してよい。例えば、NANDフラッシュメモリコア120から読み出されたデータはECCエンジン228を用いて復号化されてよい。ECCエンジン228におけるデータ復号化の後、データはECCエンジン228で部分的に再符号化され、コントローラ106へ転送されてよい。別の実施例において、NANDスマートブリッジ108における第1のECC操作から得られる復号化データは、ECCエンジン244によって復号化できるコードワードであってよい。第2のデータ復号化はECCエンジン244にて第2のECC操作として遂行されてよい。第1のECC操作は第2のECC操作とは異なる誤り訂正符号を使用してよい。

30

40

【0029】

コントローラ106とメモリダイ104との間にNANDスマートブリッジ108が位置することにより、普通ならコントローラ106またはメモリダイ104にて遂行された

50

ものであってよい操作を、NANDスマートブリッジ108で遂行することが可能になる。例えば、NANDスマートブリッジ108はコントローラ直列化/非直列化(SERDES)通信インターフェイス214で直列データシンボル流216を受信してよい。メモリコア120に蓄積されるデータを生成するために、コントローラSERDESインターフェイス214は直列データシンボル流216を非直列化してよい。NANDスマートブリッジ108は制御信号とコードワードをNANDスマートブリッジ108からメモリコア120へ送信してよい。例えば、制御信号とコードワードはメモリコア120に蓄積されるデータに相当してよい。例示すると、コードワードがメモリコントローラで生成される従来のシステムとは対照的に、コントローラインターフェイス214経由で受信されるデータはECCエンジン228で符号化され、コードワードが生成されてよい。コードワードはコアインターフェイス210経由で送出され、NANDフラッシュメモリコア120に蓄積される。直列データシンボル流216はメモリコントローラ106からコントローラインターフェイス214経由で受信されてよい。

10

【0030】

別の例として、NANDスマートブリッジ108はメモリダイ104のメモリコア120からデータを受信してよい。このデータはメモリコア120に対応する周辺回路112で受信されてよい。データはNANDスマートブリッジ108で処理されてよい。例えば、データは、(データがメモリコントローラで復号化される従来のシステムとは対照的に、)ECCエンジン228で少なくとも部分的には復号化される。処理されたデータは、コントローラインターフェイス214によりNANDスマートブリッジ108に結合されたコントローラ106へ送信されてよい。

20

【0031】

例えば、受信されるデータはコードワード表現を含んでよく、NANDスマートブリッジ108はECCエンジン228でコードワード表現の復号化操作を開始してよい。受信されるデータは、誤り訂正と復号化を可能にするための冗長データを含むコードワードとしてメモリコア120に予め蓄積されていたものであってよい。データはコードワード表現として取り出されてよく、コードワード表現は1つ以上の破損ビットを含むことがある。ECCエンジン228の入力でコードワード表現を受信し、復号化操作を遂行するための制御信号を受信したECCエンジン228が復号化操作を開始してよい。ECCエンジン228は復号化データの出力を生成するように構成されるか、あるいはECCエンジン228の誤り訂正能力を超えた場合などに復号化操作の誤り状況を伝える指示を生成するように構成されてよい。ECCエンジン228で生成されたデータはコントローラ106へ送信されてよい。コントローラ106はさらなるデータ処理(例えば、ECCエンジン244における第2の復号化)を遂行するように構成されてよく、外部ホスト装置(例えば、ホストインターフェイス246を通じた図1のホスト130)にデータを提供してよい。

30

【0032】

また、NANDスマートブリッジ108の周辺回路112はマルチポートSRAM 226で複数のワード線データを同時に処理するように構成されてよい。例えば、プロセッサ212または状態マシン224は、干渉状態、プログラムディスタ urb状態、およびリードディスタ urb状態のうちの少なくともいずれか1つを検出するために、NANDフラッシュメモリコア120からの複数のワード線データを処理するように構成されてよい。例示すると、1つ以上の検出される状態はNANDフラッシュメモリコア120の隣接するワード線のセルに蓄積される値に相当してよい。別の例として、異なる読み出し電圧セットにより読み出される単一ワード線に相当する複数のワード線データはNANDフラッシュメモリコア120からマルチポートSRAM 226に読み込まれてよく、周辺回路112はマルチポートSRAM 226で複数のワード線データの誤り訂正処理を遂行するように構成されてよい。別の例として、周辺回路112は、特定のデータパターンを検出するために、マルチポートSRAM 226で複数のワード線データを処理するように構成されてよい。別の例として、周辺回路112は、NANDフラッシュメモリコア12

40

50

0に蓄積されるデータをスクランブルするために、マルチポートSRAM 226で複数のワード線データを処理するように構成されてよい。

【0033】

図3にはマルチダイ構成を有する機器300の特定の説明的な一実施形態が上面図と側面図で描かれている。機器300は、第1のメモリコアを含む第1のメモリダイ304と、第2のメモリコアを含む第2のメモリダイ306と、第3のメモリコアを含む第3のメモリダイ308と、第4のメモリコアを含む第4のメモリダイ310とを含む。例えば、メモリコアはNANDフラッシュメモリコアであってよい。第1のメモリダイ304と第2のメモリダイ306は第1の周辺ダイ312に結合されている(図3にはNANDスマートブリッジ(NSB)312が示されているが、NSB 312は周辺ダイの一例であり、他種の周辺ダイを使用することもでき、ここでは周辺ダイ312として説明されている)。第3のメモリダイ308と第4のメモリダイ310は第2の周辺ダイ314(例えば、NANDスマートブリッジ)に結合されている。第1の周辺ダイ312と第2の周辺ダイ314はコントローラダイ302に結合されている。コントローラダイ302はホスト装置へ至る物理インターフェイス360に結合されてよい。

10

【0034】

機器300の構成は図1~2に示す機器100の構成に相当してよい。例えば、コントローラダイ302はコントローラ106に相当してよい。第1の周辺ダイ312はNANDスマートブリッジ108の第1の実例に相当してよく、第2の周辺ダイ314はNANDスマートブリッジ108の第2の実例に相当してよい。それぞれのメモリダイ304~310はメモリダイ104に相当してよく、フラッシュメモリコアダイであってよい。図に示されているように、第1の周辺ダイ312はワイヤボンダ352により第1のメモリダイ304にある第1の典型的なパッドセット360に結合されている。第1の周辺ダイ312はまた、ワイヤボンダ352により第2のメモリダイ306にある第2の典型的なパッドセット362に結合されている。第2の周辺ダイ314はワイヤボンダ352により第3のメモリダイ308にある第3の典型的なパッドセット364に結合されている。第2の周辺ダイ314はワイヤボンダ352により第4のメモリダイ310にある第4の典型的なパッドセット366に結合されている。第1の周辺ダイ312と第2の周辺ダイ314はワイヤボンダ352によりコントローラダイ302に各々結合されている。図3のダイ間接続はワイヤボンダ352として示されているが、1つ以上の他の技法を(例えば、フリップチップパンプ、スルーシリコンビア、1つ以上の他の電氣的接続法、または任意のこれらの組み合わせ)を使用し、ダイ302~314のうちの2つ以上の間の電氣的結合を実現することもできる。

20

30

【0035】

拡大図で示された第1の周辺ダイ312は、コントローラインターフェイス340と、第1のメモリコアに対応する周辺回路と、第2のメモリコアに対応する周辺回路とを含む。例えば、第1の周辺ダイ312はNANDスマートブリッジを含んでよく、このNANDスマートブリッジは制御ロジック342と、第1のECCエンジン344と、第2のECCエンジン346と、第1のコアインターフェイス348と、第2のコアインターフェイス350とを含む。第1のECCエンジン344は第1のメモリダイ304にある第1のメモリコアに対応する第1の周辺回路(例えば、図1~2の周辺回路112)の一部分であってよい。第1のコアインターフェイス348は、第1の周辺ダイ312が第1のメモリダイ304にある第1のメモリコアとの間で制御信号とデータをやり取りすることを可能にするように構成されてよい。第2のECCエンジン346は第2のメモリダイ306にある第2のメモリコアに対応する第2の周辺回路の一部分であってよい。第2のコアインターフェイス350は、第1の周辺ダイ312が第2のメモリダイ306にある第2のメモリコアとの間で制御信号とデータをやり取りすることを可能にするように構成されてよい。

40

【0036】

第1の周辺ダイ312はコントローラダイ302にあるメモリコントローラに応じてよ

50

い。例えば、第1の周辺ダイ312は、コントローラダイ302から受信する命令に応じて、第1のメモリコアで第1のメモリ操作を開始し、かつ第2のメモリコアで第2のメモリ操作を開始するように構成されてよい。つまり、第1の周辺ダイ312は、命令（例えば、第1のメモリダイ304にある第1のメモリコアに第1のデータワードを書き込み、かつ第2のメモリダイ306にある第2のメモリコアに第2のデータワードを書き込む書き込み命令）をコントローラダイ302から受信するように構成されてよい。第1の周辺ダイ312が生成する制御信号は、第1のメモリダイ304にある第1のメモリコアと第2のメモリダイ306にある第2のメモリコアに、同時プログラミング操作、同時読み出し操作、同時プログラミングおよび読み出し操作、または同時消去操作を遂行させてよい。

10

【0037】

第2の周辺ダイ314は第1の周辺ダイ312と概ね同様に構成されてよい。第2の周辺ダイ314はコントローラダイ302に応じて、第3のメモリダイ308にある第3のメモリコアと第4のメモリダイ310にある第4のメモリコアでメモリ操作を遂行してよい。

【0038】

拡大図で示されたコントローラダイ302はメモリコントローラを含み、このメモリコントローラは、第1のNANDスマートブリッジインターフェイス（NSB I/F）などの第1のポート320と、第2のNANDスマートブリッジインターフェイス（NSB I/F）などの第2のポート322と、プロセッサ324と、ECCエンジン326と、ホストインターフェイス328とを有する。

20

【0039】

コントローラダイ302と第1の周辺ダイ312および第2の周辺ダイ314それぞれとの通信は直列化/非直列化通信インターフェイス経由で実現されてよい。例えば、第1の周辺ダイ312のコントローラインターフェイス340は、コントローラダイ302の第1のポート320に結合された直列化/非直列化通信インターフェイスであってよい。第1のポート320もまた直列化/非直列化（SERDES）通信インターフェイスであってよい。一部の実施形態では、第1のコアインターフェイス348と第2のコアインターフェイス350が直列化/非直列化通信インターフェイスを含んでよい。ただし、別の実施形態では、第1の周辺ダイ312と第1および第2のメモリダイ304、306のメモリコアとの通信が直列化/非直列化通信インターフェイス以外の通信インターフェイスを介して行われてよい。

30

【0040】

第1の周辺ダイ312と第2の周辺ダイ314はそれぞれ1つ以上のメモリコアの動作を制御する制御信号を生成するように構成される。例えば、第1の周辺ダイ312は、第1のメモリダイ304にある第1のメモリコアの動作を制御し、かつ第2のメモリダイ306にある第2のメモリコアの動作を制御する制御信号を生成するように構成される。第1の周辺ダイ312と第2の周辺ダイ314はコントローラダイ302に応じてよい。例えば、第1の周辺ダイ312はコントローラダイ302にあるメモリコントローラに応じて、第1のメモリダイ304にある第1のメモリコアで第1のメモリ操作を開始し、第2のメモリダイ306にある第2のメモリコアで第2のメモリ操作を開始してよい。第1の周辺ダイ312は、第1のメモリ操作を遂行し、かつそれとほぼ同時に第2のメモリ操作を遂行するように構成されてよい。例えば、第1の周辺ダイ312は、コントローラダイ302にあるメモリコントローラからデータを受信し、データの第1の部分を第1のメモリダイ304にある第1のメモリコアに蓄積する第1のメモリ操作を開始し、それと同時にデータの第2の部分を第2のメモリダイ306にある第2のメモリコアに蓄積する第2のメモリ操作を開始するように構成されてよい。

40

【0041】

別の例として、第1の周辺ダイ312は、蓄積済みのデータを取り出す要求をコントローラダイ302にあるメモリコントローラから受信するように構成されてよい。第1の周

50

辺ダイ 3 1 2 は、第 1 のメモリダイ 3 0 4 にある第 1 のメモリコアから蓄積済みデータの第 1 の部分を読み出すことを含む第 1 のメモリ操作を開始することにより、また第 2 のメモリダイ 3 0 6 にある第 2 のメモリコアから蓄積済みデータの第 2 の部分を読み出すことを含む第 2 のメモリ操作を開始することにより、蓄積済みデータを取り出す要求に応じてよい。第 1 の周辺ダイ 3 1 2 は、蓄積データの第 1 の部分と蓄積データの第 2 の部分を処理し、処理された第 1 および第 2 の部分を組み合わせるコントローラダイ 3 0 2 に提供するように構成されてよい。

【 0 0 4 2 】

別の例として、周辺ダイ 3 1 2 は、蓄積済みのデータを消去する要求をコントローラダイ 3 0 2 にあるメモリコントローラから受信するように構成されてよい。これに応じて、周辺ダイ 3 1 2 は第 1 のメモリダイ 3 0 4 にある第 1 のメモリコアから蓄積済みデータの第 1 の部分を消去することを含む第 1 のメモリ操作を開始してよい。周辺ダイ 3 1 2 はまた、第 2 のメモリダイ 3 0 6 にある第 2 のメモリコアから蓄積済みデータの第 2 の部分を消去することを含む第 2 のメモリ操作を開始してよい。第 1 および第 2 の消去操作は一期間中に行われてよい。

【 0 0 4 3 】

周辺ダイ 3 1 2 はまた、異なるメモリダイで異種操作を同時に遂行するように構成されてよい。一例として、周辺ダイ 3 1 2 は、第 1 のメモリダイ 3 0 4 への第 1 のデータの書き込み操作を含む第 1 のメモリ操作と、第 2 のメモリダイ 3 0 6 からの第 2 のデータの読み出し操作を含む第 2 のメモリ操作とを開始してよい。周辺ダイ 3 1 2 は、書き込み操作を遂行し、かつそれとほぼ同時に読み出し操作を遂行するように構成されてよい（つまり、書き込み操作と読み出し操作は一期間中に行われてよい）。

【 0 0 4 4 】

第 1 の周辺ダイ 3 1 2 の制御ロジック 3 4 2 は制御回路を含んでよく、この制御回路は、第 1 の E C C エンジン 3 4 4 で第 1 の E C C 操作を開始し、かつそれとほぼ同時に第 2 の E C C エンジン 3 4 6 で第 2 の E C C 操作を開始するように構成される。例えば、第 1 の E C C 操作は第 1 の E C C エンジン 3 4 4 で第 1 のデータを符号化することを含んでよく、第 2 の E C C 操作は第 2 の E C C エンジン 3 4 6 で第 2 のデータを符号化することを含んでよい。例示すると、第 1 のデータはコントローラダイ 3 0 2 にあるメモリコントローラから受信されるデータの第 1 の部分であってよく、第 2 のデータはコントローラダイ 3 0 2 にあるメモリコントローラから受信されるデータの第 2 の部分であってよい。受信されたデータの第 1 の部分と第 2 の部分は、制御ロジック 3 4 2 により第 1 の E C C エンジン 3 4 4 と第 2 の E C C エンジン 3 4 6 へそれぞれ配信されてよい。

【 0 0 4 5 】

制御ロジック 3 4 2 は、第 1 の E C C エンジン 3 4 4 で受信されたデータの第 1 の部分の符号化操作を開始し、かつそれとほぼ同時に第 2 の E C C エンジン 3 4 6 で受信されたデータの第 2 の部分の符号化操作を開始するように構成されてよい。符号化 E C C 操作の結果、第 1 および第 2 のコードワードが生成されてよい。第 1 の周辺ダイ 3 1 2 は第 1 の E C C 操作によって生成された第 1 のコードワードを第 1 のメモリダイ 3 0 4 にある第 1 のメモリコアに蓄積するように構成されてよく、制御ロジック 3 4 2 は第 1 のコアインターフェイス 3 4 8 経由による第 1 のコードワードの転送を制御する。同様に、第 1 の周辺ダイ 3 1 2 は第 2 の E C C 操作によって生成された第 2 のコードワードを第 2 のメモリダイ 3 0 6 にある第 2 のメモリコアに蓄積するように構成されてよく、制御ロジック 3 4 2 は第 2 のコアインターフェイス 3 5 0 経由による第 2 のコードワードの転送を制御する。

【 0 0 4 6 】

第 1 の周辺ダイ 3 1 2 は、第 1 の E C C エンジン 3 4 4 で第 1 のデータを復号化し、かつそれとほぼ同時に第 2 の E C C エンジン 3 4 6 で第 2 のデータを復号化するように構成されてよい。例えば、第 1 の周辺ダイ 3 1 2 は第 1 のデータ（例えば、第 1 のコードワード表現）を第 1 のコアインターフェイス 3 4 8 経由で取り出すように構成されてよい。第 1 の周辺ダイ 3 1 2 は第 2 のメモリダイ 3 0 6 から第 2 のデータ（例えば、第 2 のコード

10

20

30

40

50

ワード表現)を第2のコアインターフェイス350経由で受信するように構成されてよい。制御ロジック342は、第1および第2のデータを受信し、第1のデータを第1のECCエンジン344の入力へ誘導し、かつ第2のデータを第2のECCエンジン346の入力へ誘導するように構成されてよい。第1のデータと第2のデータはほぼ同時に復号化される。第1のECCエンジン344と第2のECCエンジン346における復号化操作によって出力される復号化データは、制御ロジック342によりコントローラインターフェイス340経由でコントローラダイ302へ配信されてよい。

【0047】

機器300の側面図に示されているように、コントローラダイ302は第1のメモリダイ304の上に積み重ねられている。第1のメモリダイ304は第2のメモリダイ306の上に積み重ねられている。第2のメモリダイ306は第3のメモリダイ308の上に積み重ねられ、第3のメモリダイ308は第4のメモリダイ310の上に積み重ねられている。第2の周辺ダイ314はワイヤボンディングによりコントローラダイ302、第3のメモリダイ308、および第4のメモリダイ310に結合されている。ワイヤボンディングにより典型的なパッドセット360、362、364、366を各周辺ダイ312、314に接続できるようにするために、それぞれのメモリダイ304~310は互いにずらされている。

【0048】

機器300の上面図に示されているように、コントローラダイ302と、第1の周辺ダイ312と、第2の周辺ダイ314はそれぞれ、各メモリダイ304、306、308、および310より小さい。それぞれの周辺ダイ312、314は2つのメモリダイに結合された状態で示されているが、別の実施形態において、それぞれの周辺ダイ312、314を1つのメモリダイあるいは3つ以上のメモリダイに結合してよい。例えば、3つのメモリダイでほぼ同時のメモリアクセスおよび操作を可能にするために、第1の周辺ダイ312は第3のECCエンジンと第3のコアインターフェイスとをさらに含んでよい。メモリダイ304、306、308、および310は1つのフラッシュメモリコアを各々有するものとして説明されているが、別の実施形態において、メモリダイ304、306、308、および310のうちのいずれか1つ以上は複数のフラッシュメモリコアを含んでよく、あるいは他種のメモリの1つ以上のコア(例えば、三次元(3D)メモリのコア)を含んでよい。フラッシュメモリと3Dメモリの説明例は図8で説明される。

【0049】

図4は、典型的なパッケージ構成(例えば、システム・イン・パッケージ(SiP)構成)による図3の機器300を示す。コントローラダイ302、第1のメモリダイ304、第2のメモリダイ306、第3のメモリダイ308、および第4のメモリダイ310は、基板上(例えば、プリント回路板362上)に積み重ねられた状態で示されている。周辺ダイ314もプリント回路板362に結合されている。また、コントローラダイ302、第1のメモリダイ304、第2のメモリダイ306、第3のメモリダイ308、および第4のメモリダイ310は、ワイヤボンディングにより(あるいは第4のメモリダイ310の場合は直接電氣的結合(例えば、表面実装)により)プリント回路板362に電氣的に結合された状態で各々示されている。プリント回路板362は物理インターフェイス360に結合されている。例えば、物理インターフェイス360は、ユニバーサルシリアルバス(USB)物理インターフェイス、セキュアデジタル(SD)インターフェイス、ホスト装置(例えば、図1の典型的ホスト装置130)との通信を可能にする1つ以上の他の物理インターフェイスまたは任意のこれらの組み合わせを含んでよい。

【0050】

パッケージ400は共通のパッケージ(それぞれのダイ302~314を含む単一のパッケージ400)であり、プリント回路板362と物理インターフェイス360とをさらに含む。別の実施形態において、ダイ302~314は別の構成により単一のパッケージに含まれてよい。例えば、別の実施例において、パッケージ400はプリント回路板362を含まなくてもよい。別の例として、物理インターフェイス360は、ダイ302~3

10

20

30

40

50

14のいずれか1つ以上にてパッケージ400の外部から到達可能な電気接点(例えば、パッドまたは導電性パンプ)として、実装されてよい。

【0051】

図5は、異なる物理的構成により図3の機器300の構成品を含む機器500を示す。機器500は、上面図と側面図で積み重ねられた状態で示されたコントローラダイ302と、第1の周辺ダイ312と、第2の周辺ダイ314と、第1のメモリダイ304と、第2のメモリダイ306と、第3のメモリダイ308と、第4のメモリダイ310とを含む。第1の周辺ダイ312と第2の周辺ダイ314は、第1のメモリダイ304の上に積み重ねられた状態で示されている。コントローラダイ302と周辺ダイ312、314との間のワイヤボンドの長さが短縮されているために、第1の周辺ダイ312および第2の周辺ダイ314とコントローラダイ302との通信は図3の構成より高速および/または確実であってよい。

10

【0052】

コントローラダイ302はホスト装置に至る物理インターフェイス360に結合されてよい。図5の機器500は、単一のパッケージ(例えば、図4の説明的なパッケージ400)に組み込まれてよい。

【0053】

図6には別々のダイにメモリコアとメモリコアの周辺回路(例えば、NANDスマートブリッジ装置)とを含むシステム600の特定の一実施形態が示されている。システム600は、メモリサブシステム602、604、606および608からなる回路網に結合されたルータ装置620を含む。それぞれのメモリサブシステム602~608(例えば、典型的メモリサブシステム604)は、コントローラダイ610と、第1のNANDスマートブリッジ装置612と、第2のNANDスマートブリッジ装置614と、第1のメモリコアダイ616と、第2のメモリコアダイ618とを含む。ルータ装置620は、システム600の複数のコントローラダイ間の分散処理またシステム600の複数のANDスマートブリッジ装置間の分散処理のために、メッセージ(例えば、制御信号および/またはデータ)を1つ以上のコントローラダイ(例えば、典型的コントローラダイ610)へ配信するように構成されてよい。

20

【0054】

例えば、コントローラダイ610は、ルータ装置620から制御情報および/またはデータを受信し、かつコントローラダイ610が制御情報および/またはデータの意図された受け手であるか否かを判断するように構成されてよい。コントローラダイ610は、受信した制御情報および/またはデータを、1つ以上の他のコントローラダイまたは他のメモリサブシステムへ渡すように構成されてよい。コントローラダイ610は、制御情報および/またはデータの意図された受け手であると判断した場合に、メモリコアダイ616および618のいずれか一方または両方でメモリ操作を開始するために、NANDスマートブリッジ装置612、614のいずれか一方または両方へ制御命令を送信するように構成されてよい。

30

【0055】

例示すると、コントローラダイ610は、図3に関して説明したように、受信されたデータワードの第1の部分を第1のNANDスマートブリッジ装置612へ送信し、かつ受信されたデータワードの第2の部分を第2のNANDスマートブリッジ装置614へ送信することにより、受信されたデータワードの蓄積操作を開始するように構成されてよい。NANDスマートブリッジ装置612、614は、データワードの第1の部分とデータワードの第2の部分のECC符号化操作を同時に開始するように構成されてよい。NANDスマートブリッジ装置612は第1のECC符号化操作の符号化結果を第1のメモリコアダイ616に蓄積し、それと同時に第2のNANDスマートブリッジ装置614は第2のECC操作の符号化結果を第2のメモリコアダイ618に蓄積するように構成されてよい。

40

【0056】

50

コントローラダイ610は、自身がメモリ読み出し操作の意図された受け手であると識別し、かつメモリアダイ616、618に予め蓄積されているデータワードを回収するように構成されてよい。コントローラダイ610は、要求されたデータワードの第1の部分と要求されたデータワードの第2の部分とに相当するデータを、それぞれ第1のメモリアダイ616と第2のメモリアダイ618から読み出すために、NANDスマートブリッジ装置612、614へ読み出し命令を送信するように構成されてよい。コントローラダイ610は、第1のNANDスマートブリッジ装置612と第2のNANDスマートブリッジ装置614から復号化された取得された情報を受信し、かつ受信した部分を組み合わせ、かつ図3に関して説明したような第2のECC復号化操作を遂行し、かつルータ装置620を通じて要求側へ結果を返すように構成されてよい。それぞれのメモリサブシステム602、606および608は典型的サブシステム604について説明した通りに作動してよい。

10

【0057】

コントローラダイ610とNANDスマートブリッジ装置612、614とを含む分散アーキテクチャを用いて複数の並列メモリアクセス操作を可能にすることにより、システム600はルータ620から見て高度なデータ処理能力を実現する。システム600はまた、メモリサブシステム602~608の1つ以上の追加または削除による設計の柔軟性を可能にしてよい。

【0058】

図7には、スマートブリッジ装置712を含むパッケージされた装置700が第1のメモリコントローラインターフェイス718を使用する第1の構成702と第2のメモリコントローラインターフェイス720を使用する第2の構成704で示されている。パッケージされた装置700はスマートブリッジ装置712に結合された1つ以上のメモリアダイ710を含む。スマートブリッジ装置712は、コアインターフェイス714と、周辺回路716と、第1のメモリコントローラインターフェイス718と、第2のメモリコントローラインターフェイス720とを含む。一例として、1つ以上のメモリダイ710の各々は図2のメモリダイ104に相当してよく、コアインターフェイス714は図2のコアインターフェイス210に相当してよく、周辺回路716は図2の周辺回路112に相当してよい。

20

【0059】

1つ以上のメモリダイ710とスマートブリッジ装置712は、1組の導電性接点またはピンとして示されたコントローラ物理インターフェイス722を有するパッケージに收容されている。第1の構成702で第1のメモリコントローラインターフェイス718はワイヤボンダなどの導電線724によりコントローラ物理インターフェイス722に結合される。第1のメモリコントローラインターフェイス718は、従来のインターフェイスまたは「レガシー」コントローラインターフェイスであってよく、あたかもパッケージされた装置700が従来のNANDフラッシュメモリダイであるかのように、外部メモリコントローラがパッケージされた装置700と通信することを可能にする。第2の構成704で第2のメモリコントローラインターフェイス720は導電線726によりコントローラ物理インターフェイス722に結合された直列化/非直列化インターフェイスである。第2の構成704はパッケージされた装置700が高速シリアルインターフェイス経由でメモリコントローラと通信することを可能にする。

30

40

【0060】

特定のメモリコントローラ装置との通信を可能にするために第1の実施例702か第2の実施例704が選ばれてよい。図7はメモリコントローラインターフェイス718、720のいずれか一方のみが導電線724または726により物理インターフェイス722に結合される様子を示しているが、別の実施形態において、パッケージされた装置700は切り替え機構を含んでよく、この切り替え機構は、パッケージされた装置700に結合されるメモリコントローラの能力に応じてメモリコントローラインターフェイス718、720のいずれか一方を物理インターフェイス722に動作可能に結合することが可能な

50

ように構成できる。

【 0 0 6 1 】

図 8 には、NANDフラッシュメモリコア 802 の第 1 のレイアウトの特定の説明的な一実施形態が示されている。3Dメモリコア 804 の第 2 のレイアウトと、相補型金属酸化膜半導体 (CMOS) のための複数のメタライゼーション層相互接続を含むスマートブリッジ装置 806 の第 3 のレイアウトも示されている。NANDフラッシュメモリコア 802 と、3Dメモリコア 804 と、スマートブリッジ装置 806 は、説明を簡潔にするために簡略化された形式で示され、必ずしも一定の縮尺で描かれていない。

【 0 0 6 2 】

NANDフラッシュメモリコア 802 は、基板 810 と、第 1 のソースゲート (SG) 812、第 2 のソースゲート 814、第 1 の NANDフラッシュメモリセル 816、および第 2 の NANDフラッシュメモリセル 818 を含む構造体とを含む。NANDフラッシュメモリコア 802 は、第 1 のメタライゼーション層 (M0) 820 と、第 2 のメタライゼーション層 (M1) 822 と、第 3 のメタライゼーション層 (M2) 824 とを有する。構造体 812 ~ 818 とメタライゼーション層 820 ~ 824 は誘電材料によって分離されている。

10

【 0 0 6 3 】

NANDフラッシュメモリセル 816 および 818 は、第 2 のソースゲート 814 により選択的にソース線から分離されるかまたはソース線に結合される NANDフラッシュストリングの典型的なセルである。僅か 2 つのセル 816、818 が示されているにすぎないが、NANDフラッシュストリングはいくつものセル (例えば、64 個のセル) を有してよい。それぞれのセル 816 および 818 はトンネル絶縁体 (例えば、トンネル酸化物) 830 により基板 810 から絶縁された導電性フローティングゲート (例えば、ポリシリコンゲート) 834 を含む。フローティングゲート 834 の上には絶縁層 836 が配置され、絶縁層 836 の上にはコントロールゲート (例えば、ポリシリコンゲート) 838 が配置されている。コントロールゲート 838 の上には導電性ワード線 (WL) 840 (例えば、金属線) が配置されている。ソースゲート 812、814 はセル 816、818 に類似する構造を有する。NANDフラッシュストリングの構造体の間には基板 810 の高濃度にドーパされた領域 (例えば、典型的なドーパされた領域 832) が配置されている。例えばドーパされた領域 832 は高濃度の電子ドナーを有する基板 810 の一部分であってよい (すなわち、n+領域)。

20

30

【 0 0 6 4 】

第 1 のメタライゼーション層 M0 820 はソース線を含み、このソース線は、典型的な相互接続、または M0 層 820 と基板 810 のソース領域との間に電気的接続を提供するビアにより、図に示された NANDフラッシュストリングの第 1 の端にてソースに結合される。第 2 のメタライゼーション層 M1 822 はビット線を含み、このビット線はドレインゲート (図示せず) により NANDフラッシュストリングの第 2 の端に結合される。第 3 のメタライゼーション層 M2 824 はセルソース線 (CELLSRC) と p ウェル線 (CPWELL) とを含む。

【 0 0 6 5 】

NANDフラッシュメモリコア 802 は、NANDフラッシュメモリコア 802 を含むパッケージの高さ制限などの条件を満たすように設計されてよい。例えば、1 パッケージの中で複数のメモリコアダイを積み重ねることによって記憶密度を増加させることができる。各メモリコアダイの厚さはメモリコアに含まれる追加のメタライゼーション層 820 ~ 824 ごとに増すために、各 NANDフラッシュメモリコアに使用するメタライゼーション層をできる限り減らすことにより、複数 NANDフラッシュメモリコアのパッケージでより高い記憶密度を得ることができる。NANDフラッシュメモリコアの製造コストは使用するメタライゼーション層が増えるごとに増加することがある。したがって、使用するメタライゼーション層を減らすことで NANDフラッシュメモリコアの製造コストを抑えることができる。

40

50

【0066】

3Dメモリコア804は、基板842と、基板842上の絶縁層844と、3Dメモリの典型的な垂直段で基板842の上に積み重ねられたメモリセル846、847および848とを含む。第1のメモリセル846は第1の金属層850と第2の金属層852との間に位置し、第2のメモリセル847は第2の金属層852と第3の金属層854との間に位置し、第3のメモリセル848は第3の金属層854と第4の金属層856との間に位置する。それぞれのセル846～848はダイオード型の構造を有し、高濃度の電子ドナーを含む第1の層858(n+層)と、低濃度の電子ドナーを含む第2の層860(n-層)と、高濃度のホールドナーを含む第3の層862(p+層)と、絶縁層または導電層として機能するように構成できる制御層864とを含む。例えば、第3の金属層854と第4の金属層856との間に電流を流す電気伝導特性を有するように構成された制御層864により、第3のメモリセル848に第1のデータ値が蓄積されてよい。第3の金属層854と第4の金属層856との間で電流の流れを阻止するかまたは大幅に低減する電気絶縁特性を有するように構成された制御層864により、第3のメモリセル848に第2のデータ値が蓄積されてよい。

10

【0067】

3Dメモリコア804では、それぞれの垂直段でメモリセルの数を増やすことによって蓄積容量を増大させることができる。ただし、各段のセル数を増やすと段の高さが増し、比較的薄い(すなわち、基板842からの距離が小さい)構造を使用するロジックに比べて高い(すなわち、基板842からの距離が大きい)金属および半導体の積層になる。メモリセル構造と薄いロジック構造(例えば、トランジスタ)の高さの格差のために、単一ダイ上でのロジックと3Dメモリセルとの組み合わせは設計上の課題を投げかける可能性がある。

20

【0068】

スマートブリッジ装置806は誘電体層875～881によって分離された複数のメタライゼーション層882～888を基板870上に含む。ロジック構造は、基板870のドーパされた領域から成るソース874を有するトランジスタとして示されている。ソース874と第3のメタライゼーション層(M3)884との間に導電経路を提供するビア872が示されている。トランジスタはまた、第2のメタライゼーション層(M2)883に結合されたドレインと、第1のメタライゼーション層(M1)882に結合されたゲートとを含む。

30

【0069】

メタライゼーション層の各追加によりロジック構造間で信号を配信する線の数が増えるために、複数のメタライゼーション層882～888はNANDフラッシュメモリコア802に比べて高密度のロジック構造(例えば、トランジスタ)を基板870上に形成することを可能にする。例えば、金属線の厚さと隣接する線間の間隔に関する設計基準はビアの配置を制約するばかりでなく、NANDフラッシュメモリコア802に形成されるロジック構造の利用可能な信号経路数を制限することがある。NANDフラッシュメモリコア802の利用可能なメタライゼーション層820～822が僅か3つにすぎないため、信号配信のための相互接続の配置はスマートブリッジ装置806より分散されることがある(すなわち、単位面積当たりの相互接続数と信号数が減る)。結果的に、NANDフラッシュメモリコア802におけるロジック構造の寸法が、スマートブリッジ装置806のものより大きくなる可能性がある。

40

【0070】

NANDフラッシュメモリコアに従来配置されていた周辺回路をスマートブリッジ装置806で実装することによって様々な利点を得られてよい。例えば、小さい装置は大きい装置より少ない電力を通常使用するため、消費電力を減らすことができる。別の例として、広い面積にまたがる大きい装置には高速動作のための大きいドライバが必要であるため、動作速度の改善、ドライバサイズの縮小およびドライバ消費電力の削減、またはその両方を達成できる。

50

【 0 0 7 1 】

別の例として、NANDフラッシュメモリコア802では実装が困難なことがある多数の信号経路を要する構造（例えば、デュアルポートSRAM）でも、スマートブリッジ装置806の複数のメタライゼーション層を使用して比較的容易に実装できる。

【 0 0 7 2 】

メモリ操作の処理能力を向上させるために、デュアルポートSRAMはキャッシュとして使用できる。例えば、デュアルポートSRAMを使用することにより、スマートブリッジ装置806は書き込み操作のときにメモリコントローラから受信したデータをNANDフラッシュメモリコア802で蓄積する準備が整うまで保持できる。別の例として、SRAMはスマートブリッジ装置806におけるデータの処理および分析に役立てることができる。例えば説明的で非限定的な例として分析（例えば、干渉、プログラムディスタ urb、および/またはリードディスタ urb）のための複数のワード線読み出し、誤り訂正を可能にするための異なる読み出し電圧によるワード線の複数の読み出し結果、蓄積されるデータの分析（特定のデータパターン）、蓄積されるデータのスクランプリングを可能にすることなどに役立てることができる。

10

【 0 0 7 3 】

別の例として、NANDフラッシュメモリコアに従来配置されていた周辺回路をスマートブリッジ装置806で実装すればNANDフラッシュメモリコア802のスペースが空くため、記憶素子を追加することで蓄積容量を増やすことができる。周辺回路をスマートブリッジ装置806で実装すれば、蓄積容量がほぼ同等の従来のフラッシュメモリコアに比べてNANDフラッシュメモリコア802のサイズを縮小することができる。周辺回路をスマートブリッジ装置806で実装すれば、従来のNANDフラッシュメモリコアに比べてNANDフラッシュメモリコア802のピッチ（例えば、セルとセルとの間隔）を広げることにもできる。従来のNANDフラッシュメモリコアに比べてNANDフラッシュメモリコア802内のセルの間隔を広げることによって、NANDフラッシュメモリコア802では従来のNANDフラッシュメモリコアに比べてクロスカップリング現象、プログラムディスタ urb現象、リードディスタ urb現象、および/またはデータ誤りを引き起こすことがある他の現象を減らすことができる。従来のNANDフラッシュメモリコアに比べてNANDフラッシュメモリコア802で発生する誤りが少なければ、より簡素なECCエンジンを使用でき（サイズ、コスト、および/または消費電力を低減）、装置の寿命を延ばすことができ、またはその両方ができる。

20

30

【 0 0 7 4 】

スマートブリッジ装置806で実装できる周辺回路のもうひとつの例として、NANDフラッシュメモリコア802のチャージポンプがある。チャージポンプのサイズは比較的大きいため、従来のNANDフラッシュメモリコアではチャージポンプの数が比較的少なく、ビット線とソース線の間と比較的長いNANDストリングを使用する（例えば、64セル/ストリング）。スマートブリッジ装置806には従来のNANDフラッシュメモリコアで利用できるより多くのチャージポンプを組み込んで、より多くの電荷を提供することができる。結果的に使用するNANDストリングは短くなり（例えば、32セル/ストリング）、少ないチャージポンプを長いNANDストリングに結合して使用する従来のNANDフラッシュメモリコアに比べて読み出し時間とプログラミング時間は改善されてよい。

40

【 0 0 7 5 】

NANDフラッシュメモリコア802に関して様々な利点を説明してきたが、3Dメモリコア804の周辺回路をスマートブリッジ装置806に移すことで同様の利点を得ることもできる。図1～2のシステム100、図3の機器300、図4のパッケージ400、図5の機器500、図6のシステム600、図7のパッケージされた装置700、または任意のこれらの組み合わせで、同様の利点を得ることができる。

【 0 0 7 6 】

図9は、説明的で非限定的な例として図1～2の第2の半導体装置108、図3～5の

50

周辺ダイ 3 1 2 もしくは 3 1 4、図 6 の N A N D スマートブリッジ装置 6 1 2 もしくは 6 1 4、または図 7 のスマートブリッジ 7 1 2 などの装置を操作する方法の特定の一実施形態のフローチャートである。9 0 2 では、第 1 の半導体装置にある N A N D フラッシュメモリコアに蓄積するために第 2 の半導体装置でデータが受信される。例えば、第 1 の半導体装置は図 1 の第 1 の半導体装置 1 0 4 であってよく、第 2 の半導体装置は図 1 の第 2 の半導体装置 1 0 8 であってよい。別の例として、第 1 の半導体装置は図 3 ~ 5 の第 1 のメモリダイ 3 0 4 または第 2 のメモリダイ 3 0 6 であってよく、第 2 の半導体装置は図 3 ~ 5 の第 1 の周辺ダイ 3 1 2 であってよい。別の例として、第 1 の半導体装置は図 3 ~ 5 の第 3 のメモリダイ 3 0 8 または第 4 のメモリダイ 3 1 0 であってよく、第 2 の半導体装置は図 3 ~ 5 の第 2 の周辺ダイ 3 1 4 であってよい。別の例として、第 1 の半導体装置は図 6 の第 1 のメモリコアダイ 6 1 6 であってよく、第 2 の半導体装置は図 6 の第 1 の N A N D スマートブリッジ装置 6 1 2 であってよい。別の例として、第 1 の半導体装置は図 6 の第 2 のメモリコアダイ 6 1 8 であってよく、第 2 の半導体装置は図 6 の第 2 の N A N D スマートブリッジ装置 6 1 4 であってよい。別の例として、第 1 の半導体装置は図 7 のメモリコアダイ 7 1 0 であってよく、第 2 の半導体装置は図 7 のスマートブリッジ装置 7 1 2 であってよい。データを第 2 の半導体装置に結合されたメモリコントローラ（例えば、図 1 のコントローラ 1 0 6 ）から受信してよい。

【 0 0 7 7 】

第 2 の半導体装置は N A N D フラッシュメモリコアのための周辺回路を含む。例えば、周辺回路は、プロセッサ、誤り訂正符号化（E C C）エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ（S R A M）のうちの少なくともいずれか 1 つを含んでよい。例示すると、説明的で非限定的な例として、周辺回路は図 1 もしくは図 2 に示された周辺回路 1 1 2 に相当してよく、図 3 の第 1 の E C C エンジン 3 4 4 もしくは第 2 の E C C エンジン 3 4 6 を含んでよく、または図 7 の周辺回路 7 1 6 に相当してよい。

【 0 0 7 8 】

9 0 4 では、第 2 の半導体装置から第 1 の半導体装置にある N A N D フラッシュメモリコアへ制御信号が送信される。例えば、制御信号は図 1 の制御信号 1 5 0 であってよい。制御信号はデータ蓄積操作を開始することを N A N D フラッシュメモリコアに命令してよい。

【 0 0 7 9 】

9 0 6 では、第 2 の半導体装置から N A N D フラッシュメモリコアへコードワードを送信してよい。コードワードは受信されるデータに相当することができる。例えば、コードワードは第 2 の半導体装置で遂行される E C C 操作の出力であることができる。N A N D フラッシュメモリコアは制御信号に応じてコードワードを蓄積してよい。

【 0 0 8 0 】

図 1 0 は、説明的で非限定的な例として図 1 ~ 2 の第 2 の半導体装置 1 0 8、図 3 ~ 5 の周辺ダイ 3 1 2 もしくは 3 1 4、図 6 の N A N D スマートブリッジ装置 6 1 2 もしくは 6 1 4、または図 7 のスマートブリッジ 7 1 2 などの装置を操作する方法の特定の一実施形態のフローチャートである。1 0 0 2 では、第 2 の半導体装置から第 1 の半導体装置にある N A N D フラッシュメモリコアへ制御信号が送信される。例えば、制御信号は図 1 の制御信号 1 5 0 であってよい。別の例として、第 1 の半導体装置は図 3 ~ 5 の第 1 のメモリダイ 3 0 4 または第 2 のメモリダイ 3 0 6 であってよく、第 2 の半導体装置は図 3 ~ 5 の第 1 の周辺ダイ 3 1 2 であってよい。別の例として、第 1 の半導体装置は図 3 ~ 5 の第 3 のメモリダイ 3 0 8 または第 4 のメモリダイ 3 1 0 であってよく、第 2 の半導体装置は図 3 ~ 5 の第 2 の周辺ダイ 3 1 4 であってよい。別の例として、第 1 の半導体装置は図 6 の第 1 のメモリコアダイ 6 1 6 であってよく、第 2 の半導体装置は図 6 の第 1 の N A N D スマートブリッジ装置 6 1 2 であってよい。別の例として、第 1 の半導体装置は図 6 の第 2 のメモリコアダイ 6 1 8 であってよく、第 2 の半導体装置は図 6 の第 2 の N A N D スマートブリッジ装置 6 1 4 であってよい。別の例として、第 1 の半導体装置は図 7 のメモリ

コアダイ 7 1 0 であってよく、第 2 の半導体装置は図 7 のスマートブリッジ装置 7 1 2 であってよい。

【 0 0 8 1 】

方法はまた、1 0 0 4 で N A N D フラッシュメモリコアから第 2 の半導体装置にてコードワード表現を受信することを含む。例えば、コードワード表現は図 1 のメモリコア 1 2 0 から取り出されてよく、1 つ以上のビット誤りを含むことがある。

【 0 0 8 2 】

コードワード表現は N A N D フラッシュメモリコアのための周辺回路で受信される。周辺回路は、プロセッサ、誤り訂正符号化 (E C C) エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ (S R A M) のうちの少なくともいずれか 1 つを含んでよい。例えば、説明的で非限定的な例として周辺回路は図 1 もしくは図 2 に示された周辺回路 1 1 2 であってよく、図 3 の第 1 の E C C エンジン 3 4 4 もしくは第 2 の E C C エンジン 3 4 6 を含んでよく、または図 7 の周辺回路 7 1 6 に相当してよい。

10

【 0 0 8 3 】

1 0 0 6 では、E C C エンジンで生成されたデータが第 2 の半導体装置に結合されたメモリコントローラへ送信されてよい。例えば、周辺回路は図 2 の誤り訂正符号化 (E C C) エンジン 2 2 8 を含んでよい。復号化されたデータを取り戻すために E C C エンジン 2 2 8 でコードワード表現の復号化操作が開始されてよく、復号化されたデータは図 2 のコントローラ 1 0 6 へ送信されてよい。別の例として、説明的で非限定的な例としてメモリ

20

【 0 0 8 4 】

図 1 1 は、説明的で非限定的な例として図 1 ~ 2 の第 2 の半導体装置 1 0 8 、図 3 ~ 5 の周辺ダイ 3 1 2 もしくは 3 1 4 、図 6 の N A N D スマートブリッジ装置 6 1 2 もしくは 6 1 4 、または図 7 のスマートブリッジ 7 1 2 などの装置を操作する方法の特定の一実施形態のフローチャートである。1 1 0 2 では、第 2 の半導体装置の直列化 / 非直列化通信インターフェイスで直列データシンボル流が受信される。第 2 の半導体装置は第 1 の半導体装置にあるメモリコアのための周辺回路を含む。周辺回路は、プロセッサ、誤り訂正符号化 (E C C) エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティック

ランダムアクセスメモリ (S R A M) のうちの少なくともいずれか 1 つを含んでよい。例えば、第 2 の半導体装置は図 2 に示された第 2 の半導体装置 1 0 8 であってよい。別の例として、第 1 の半導体装置は図 3 ~ 5 の第 1 のメモリダイ 3 0 4 または第 2 のメモリダイ 3 0 6 であってよく、第 2 の半導体装置は図 3 ~ 5 の第 1 の周辺ダイ 3 1 2 であってよい。別の例として、第 1 の半導体装置は図 3 ~ 5 の第 3 のメモリダイ 3 0 8 または第 4 のメモリダイ 3 1 0 であってよく、第 2 の半導体装置は図 3 ~ 5 の第 2 の周辺ダイ 3 1 4 であってよい。別の例として、第 1 の半導体装置は図 6 の第 1 のメモリコアダイ 6 1 6 であってよく、第 2 の半導体装置は図 6 の第 1 の N A N D スマートブリッジ装置 6 1 2 であってよい。別の例として、第 1 の半導体装置は図 6 の第 2 のメモリコアダイ 6 1 8 であってよく、第 2 の半導体装置は図 6 の第 2 の N A N D スマートブリッジ装置 6 1 4 であってよい。別の例として、第 1 の半導体装置は図 7 のメモリコアダイ 7 1 0 であってよく、第 2 の半導体装置は図 7 のスマートブリッジ装置 7 1 2 であってよい。

30

40

【 0 0 8 5 】

1 1 0 4 では、メモリコアに蓄積されるデータを生成するために直列データシンボル流が非直列化される。直列データシンボル流は第 2 の直列化 / 非直列化通信インターフェイスにより第 2 の半導体装置に結合されたメモリコントローラから受信されてよい。例えば、直列データシンボル流は図 2 のデータシンボル流 2 1 6 であってよい。

【 0 0 8 6 】

1 1 0 6 では、第 2 の半導体装置からメモリコアへ制御信号が送信される。例えば、制御信号は図 1 の制御信号 1 5 0 であってよい。メモリコアは制御信号に応じてデータ蓄積

50

操作を開始してよい。

【 0 0 8 7 】

1 1 0 8では、第2の半導体装置からメモリコアへコードワードを送信してよい。コードワードはメモリコアに蓄積されるデータに相当してよい。例えば、コードワードは周辺回路内のECCエンジンで生成されてよい。メモリコアは制御信号に応じてコードワードを蓄積してよい。

【 0 0 8 8 】

図12は、説明的で非限定的な例として図1~2の第2の半導体装置108、図3~5の周辺ダイ312もしくは314、図6のNANDスマートブリッジ装置612もしくは614、または図7のスマートブリッジ712で遂行されてよい方法の特定の一実施形態のフローチャートである。この方法は、1202で第1の半導体装置にあるメモリコアから読み出されたデータを第2の半導体装置で受信することを含む。データはメモリコアのための周辺回路で受信される。周辺回路は、第2の半導体装置(例えば、図1~2の周辺回路112)であり、プロセッサ、誤り訂正符号化(ECC)エンジン、行デコーダ、チャージポンプ、およびマルチポートスタティックランダムアクセスメモリ(SRAM)のうちの少なくともいずれか1つを含んでよい。例えば、第1の半導体装置は図1~2の第1の半導体装置104であってよく、第2の半導体装置は図1~2の第2の半導体装置108であってよい。別の例として、第1の半導体装置は図3~5の第1のメモリダイ304または第2のメモリダイ306であってよく、第2の半導体装置は図3~5の第1の周辺ダイ312であってよい。別の例として、第1の半導体装置は図3~5の第3のメモリダイ308または第4のメモリダイ310であってよく、第2の半導体装置は図3~5の第2の周辺ダイ314であってよい。別の例として、第1の半導体装置は図6の第1のメモリコアダイ616であってよく、第2の半導体装置は図6の第1のNANDスマートブリッジ装置612であってよい。別の例として、第1の半導体装置は図6の第2のメモリコアダイ618であってよく、第2の半導体装置は図6の第2のNANDスマートブリッジ装置614であってよい。別の例として、第1の半導体装置は図7のメモリコアダイ710であってよく、第2の半導体装置は図7のスマートブリッジ装置712であってよい。

【 0 0 8 9 】

1204では、第2の半導体装置でデータが処理される。例えば、受信されるデータはコードワード表現を含む(例えば、受信されるデータは1つ以上のビット誤りを有するコードワードを含んでよい)。周辺回路は、説明的で非限定的な例として誤り訂正符号化(ECC)エンジン(例えば、図2のECCエンジン228、図3の第1のECCエンジン344、または図3の第2のECCエンジン346)を含んでよい。第2の半導体装置でデータを処理することは、ECCエンジンでコードワード表現の復号化操作を開始することを含んでよい。

【 0 0 9 0 】

1206では、直列化/非直列化通信インターフェイスにより第2の半導体装置に結合されたメモリコントローラへ処理されたデータが送信される。例えば、処理されたデータはデータシンボル流216として図2のコントローラインターフェイス214からメモリインターフェイス240へ送信されてよい。別の例として、説明的で非限定的な例としてのメモリコントローラは、図1のコントローラ106であってよく、あるいは図3~5のコントローラダイ302または図6のコントローラダイ610で実装されてよい。

【 0 0 9 1 】

図13は、説明的で非限定的な例として図1~2の第2の半導体装置108、図3~5の周辺ダイ312もしくは314、図6のNANDスマートブリッジ装置612もしくは614、または図7のスマートブリッジ712で遂行されてよい方法の特定の一実施形態のフローチャートである。1302では周辺ダイで要求が受信される。要求は周辺ダイに結合されたメモリコントローラから受信される。例えば、メモリコントローラはコントローラ106であってよく、周辺ダイは図1~2の第2の半導体装置108であってよい。

10

20

30

40

50

別の例として、コントローラは図3～5のコントローラダイ302で実装されてよく、周辺ダイは図3～5の第1の周辺ダイ312または第2の周辺ダイ314であってよい。別の例として、メモリコントローラは図6のコントローラダイ610で実装されてよく、周辺ダイは図6の第1のNANDスマートブリッジ装置612または第2のNANDスマートブリッジ装置614であってよい。別の例として、周辺ダイは図7のスマートブリッジ装置712であってよい。

【0092】

周辺ダイは第1のメモリコアに対応する周辺回路と、第2のメモリコアに対応する周辺回路とを含む。例えば、周辺ダイは、第1のメモリコアダイ304にある第1のメモリコアのための周辺回路と第2のメモリコアダイ306にある第2のメモリコアのための周辺回路とを含む、図3の第1の周辺ダイ312であってよい。

10

【0093】

この方法は、要求に応じて、1304で第1のメモリコアを含む第1のメモリダイで第1のメモリ操作を開始することと、1306で第2のメモリコアを含む第2のメモリダイで第2のメモリ操作を開始することを含む。周辺ダイは、第1のメモリ操作を遂行し、かつそれとほぼ同時に第2のメモリ操作を遂行するように構成されてよい。第1のメモリコアと第2のメモリコアは、説明的で非限定的な例として、図1～2の第1の半導体装置104で、図3～5のメモリコアダイ304～310のうちのいずれか1つ以上で、図6のメモリコアダイ616、618のうちのいずれか1つ以上で、または図7の1つ以上のメモリコアダイ710で実装されてよい。

20

【0094】

一例として、要求がデータを蓄積する要求ならば、第1のメモリ操作はデータの第1の部分を第1のメモリコアに蓄積することを含んでよく、第2のメモリ操作はデータの第2の部分を第2のメモリコアに蓄積することを含んでよい。別の例として、要求が蓄積済みデータを取り出す要求ならば、第1のメモリ操作は第1のメモリコアから蓄積済みデータの第1の部分を読み出すことを含んでよく、第2のメモリ操作は第2のメモリコアから蓄積済みデータの第2の部分を読み出すことを含んでよい。第3の例として、要求が蓄積済みデータを消去する要求ならば、第1のメモリ操作は第1のメモリコアでデータを消去することを含んでよく、第2のメモリ操作は第2のメモリコアでデータを消去することを含んでよい。

30

【0095】

別の例として、第1のメモリ操作と第2のメモリ操作は異種メモリ操作であってよい。例示すると、第1のメモリ操作は第1のデータの書き込み操作を含んでよく、第2のメモリ操作は第2のデータの読み出し操作を含んでよい。書き込み操作は読み出し操作が遂行されるときとほぼ同時に遂行されてよい。

【0096】

周辺ダイは、第1の誤り訂正符号化(ECC)エンジンと第2のECCエンジン(例えば、図3の第1のECCエンジン344と第2のECCエンジン346)とを含んでよい。第1のECC操作は第1のECCエンジンで遂行されてよく、それとほぼ同時に第2のECC操作が第2のECCエンジンで遂行されてよい。例えば、第1のECC操作は第1のECCエンジンで第1のデータを符号化することを含んでよく、第2のECC操作は第2のECCエンジンで第2のデータを符号化することを含んでよい。第1のデータはメモリコントローラから受信されるデータの第1の部分であってよく、第2のデータはメモリコントローラから受信されるデータの第2の部分であってよい。第1のメモリ操作は第1のECC操作によって生成される第1のコードワードを第1のメモリコアに蓄積することを含んでよい。第2のメモリ操作は第2のECC操作によって生成される第2のコードワードを第2のメモリコアに蓄積することを含んでよい。

40

【0097】

別の例として、第1のECC操作は第1のECCエンジンで第1のデータを復号化することを含んでよく、第2のECC操作は第2のECCエンジンで第2のデータを復号化する

50

ることを含んでよい。第1のデータはメモリコントローラが要求するデータの第1の部分に相当してよく、第2のデータはメモリコントローラが要求するデータの第2の部分に相当してよい。第1のメモリ操作は第1のECC操作によって復号化される第1のコードワードの第1の表現を第1のメモリコアから取り出すことを含んでよい。第2のメモリ操作は第2のECC操作によって復号化される第2のコードワードの第2の表現を第2のメモリコアから取り出すことを含んでよい。

【0098】

図に示された種々の構成はブロック構成として描かれ、一般的な用語で説明されているが、これらの構成は、スマートブリッジ装置108がこれらの構成に関わる特定の機能を遂行することを可能にするように構成された1つ以上のマイクロプロセッサ、状態マシン、または他の回路を含んでよい。例えば、周辺回路112は、スマートブリッジ装置108が図1のメモリコア120でメモリ操作を行うことを可能にする物理的構成であってよく、例えばハードウェアコントローラ、状態マシン、論理回路、または他の構造であってよい。

10

【0099】

スマートブリッジ装置108は、1つ以上のメモリコントローラと通信を行い、かつ1つ以上のメモリコアで操作を開始するために、専用のハードウェア(すなわち、回路)を含んでよい。これの代わりにまたはこれに加えて、スマートブリッジ装置108はマイクロプロセッサまたはマイクロコントローラを使用して1つ以上のメモリコントローラと通信し、かつ1つ以上のメモリコアで操作を開始してよい。特定の一実施形態において、スマートブリッジ装置108は図2のプロセッサ212によって実行される命令を含み、この命令はメモリコア120に蓄積される。これの代わりにまたはこれに加えて、スマートブリッジ装置108に含まれてよいプロセッサによって実行される命令は、メモリコア120とは別の独立したメモリ位置(例えば、読み出し専用メモリ(ROM))に蓄積されてよい。

20

【0100】

特定の一実施形態において、スマートブリッジ装置108は、1つ以上の外部装置に選択的に結合されるように構成された可搬型装置で実装されてよい。ただし、別の実施形態において、スマートブリッジ装置108は、1つ以上のホスト装置の中(例えば、ホスト可搬型通信装置の筐体の中)に取り付けられてよいし、または組み込まれてよい。例えば、スマートブリッジ装置108はパッケージされた機器の中(例えば、無線電話機、個人用携帯情報端末(PDA)、ゲーム装置もしくはコンソール、可搬型ナビゲーション装置、または内部不揮発性メモリを使用する他の装置の中)にあつてよい。特定の一実施形態において、スマートブリッジ装置108は、不揮発性メモリ(例えば、三次元(3D)メモリ、フラッシュメモリ(例えば、NAND、NOR、マルチレベルセル(MLC)、分割ビット線NOR(DINOR)、AND、高容量結合比(HiCR)、非対称コンタクトレスタランジスタ(ACT)、または他のフラッシュメモリ)、消去可能でプログラム可能な読み出し専用メモリ(EPROM)、電気的に消去可能でプログラム可能な読み出し専用メモリ(EEPROM)、読み出し専用メモリ(ROM)、ワンタイムプログラマブルメモリ(OTP)、または任意の他種メモリ)に結合されてよい。

30

40

【0101】

ここに記載された実施形態の説明は種々の実施形態を全般的に理解するためのものである。本願明細書の開示から別の実施形態を導き出し利用することもでき、本願明細書の開示の範囲から逸脱することなく構造的および論理的な代替および変更を行うことはできる。本願明細書の開示は種々実施形態の全ての後続の適応または変形例を対象として含む。したがって、本願明細書の開示と図は制限的ではなく説明的とみなすべきものである。

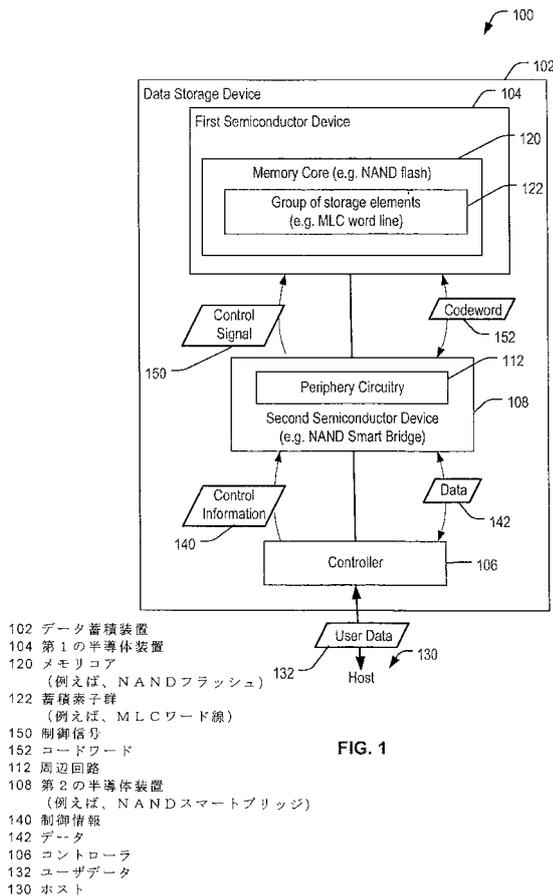
【0102】

前に開示された題材は制限的ではなく説明的とみなすべきものであり、添付の特許請求の範囲は本願明細書の開示の範囲内にある全てのそのような修正、改良、および他の実施形態を対象として含む。したがって、法律で許される最大限の範囲において、本発明の範

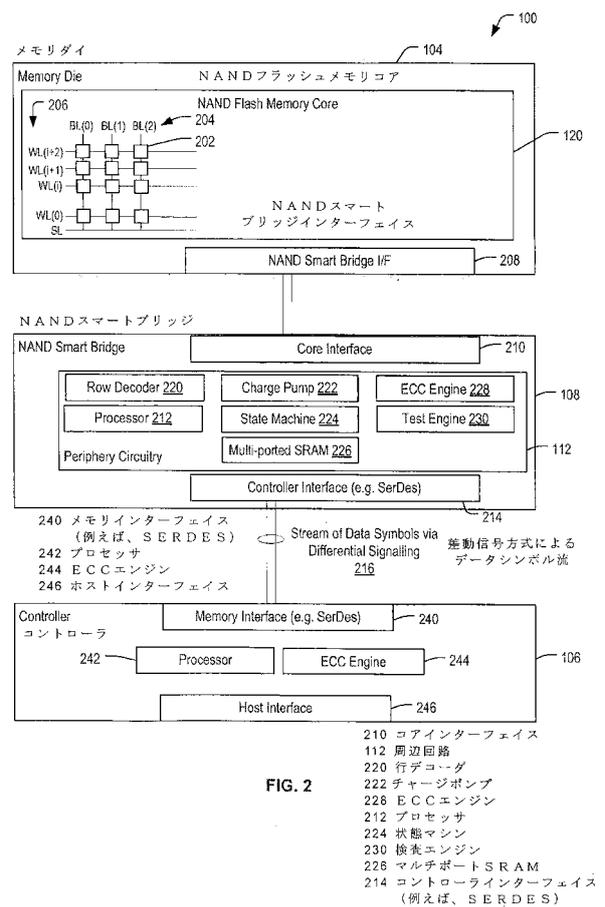
50

図は特許請求の範囲およびその同等物の最も広義な解釈によって決定され、前述した詳細な説明によって制限または限定されない。

【 図 1 】



【 図 2 】



【 図 3 】

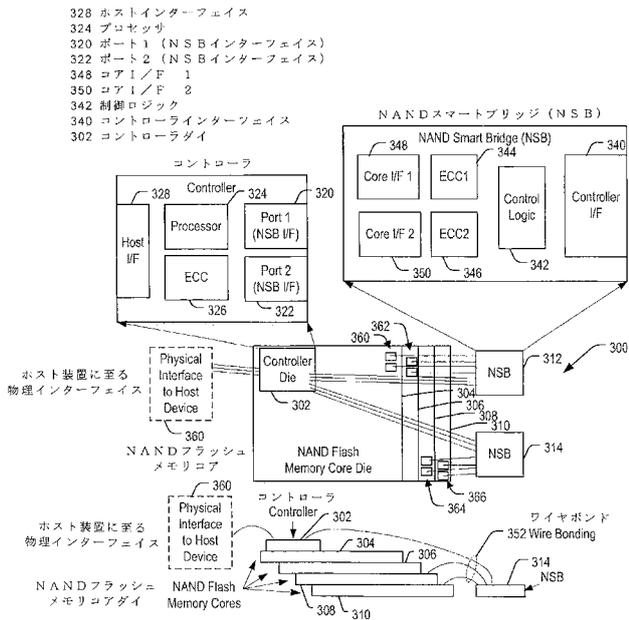


FIG. 3

【 図 5 】

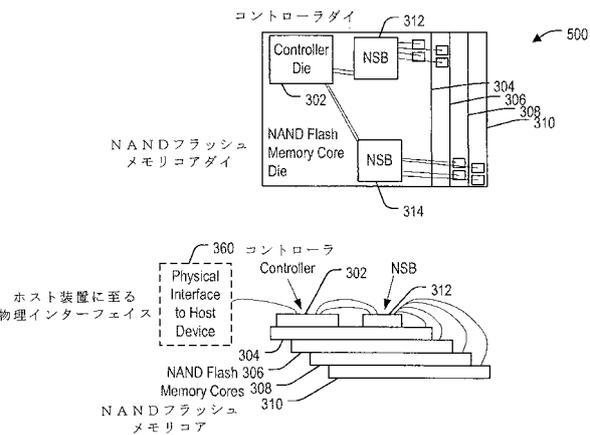


FIG. 5

【 図 4 】

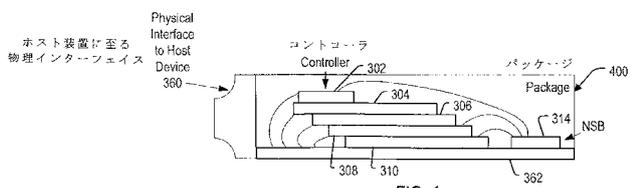


FIG. 4

【 図 6 】

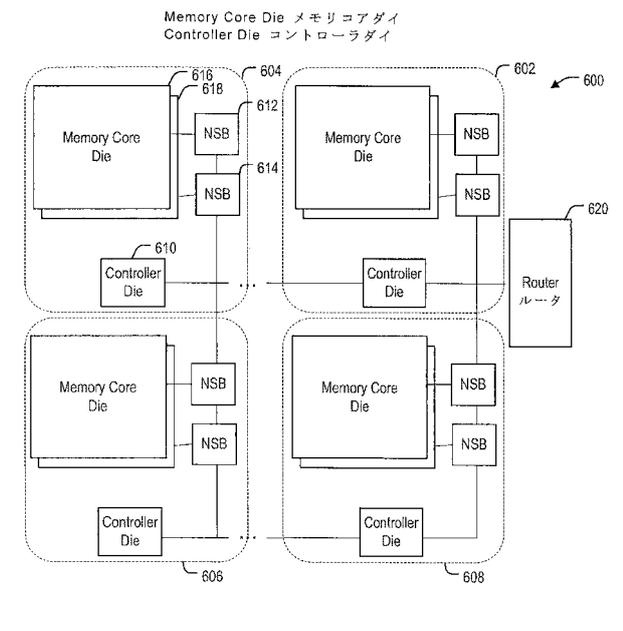


FIG. 6

【 図 7 】

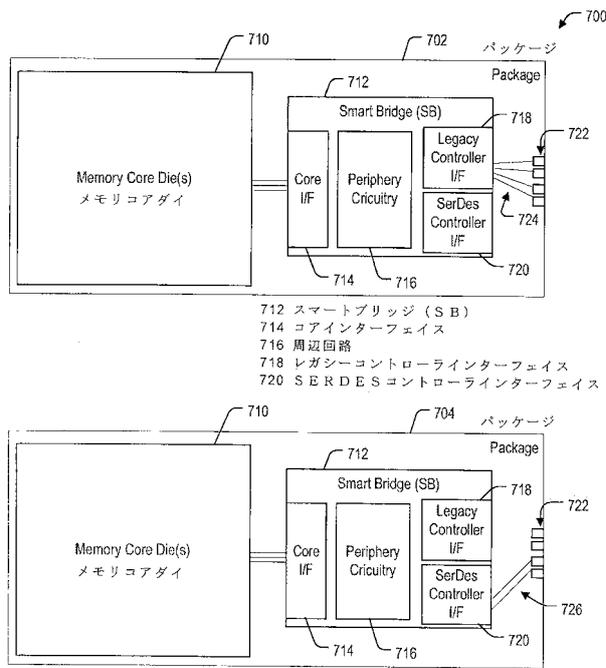


FIG. 7

【 図 8 】

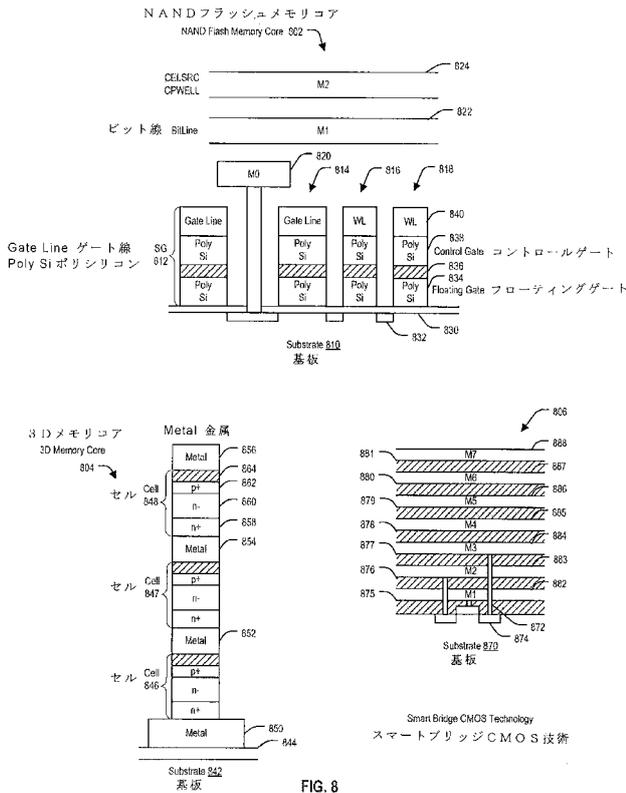


FIG. 8

【 図 9 】

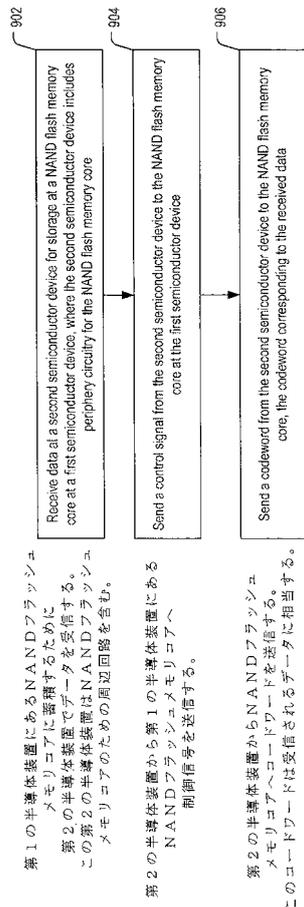


FIG. 9

【 図 10 】

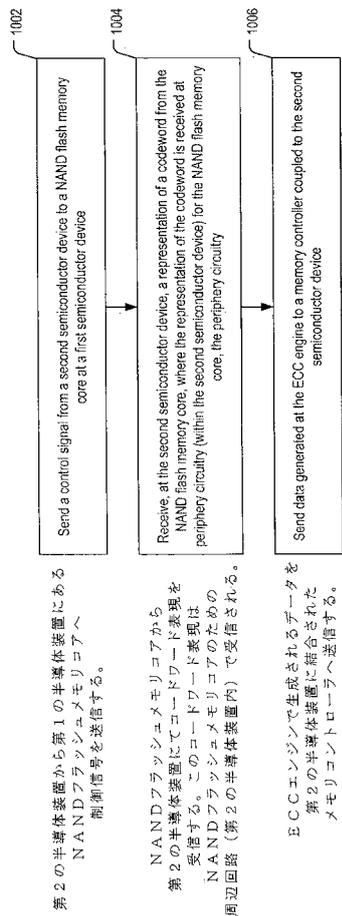


FIG. 10

【 図 11 】

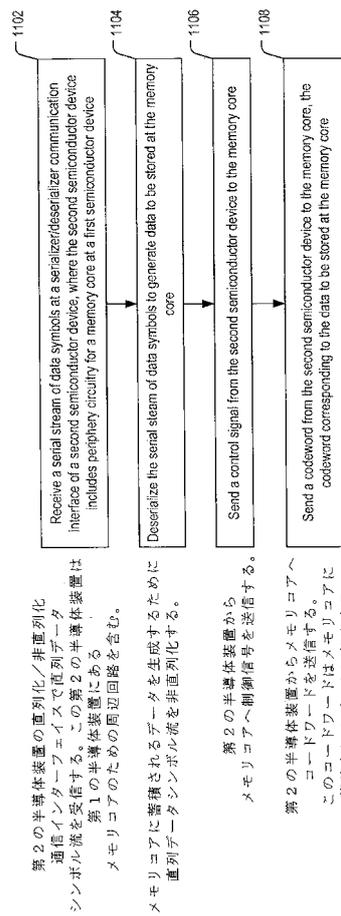
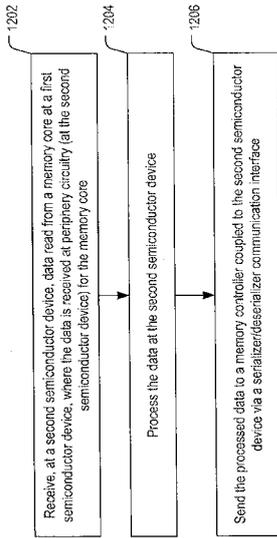


FIG. 11

【 図 1 2 】



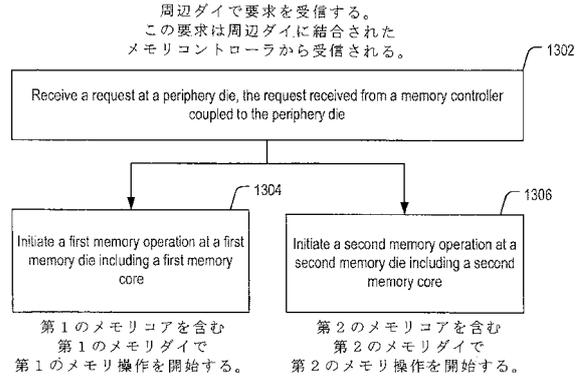
第1の半導体装置にあるメモリアコアから読み出されたデータを第2の半導体装置で受信する。このデータはメモリアコアのための（第2の半導体装置にある）周辺回路で受信される。

第2の半導体装置でデータを処理する。

直列化/非直列化通信インターフェースにより第2の半導体装置に結合されたメモリアコントローラへ処理されたデータを送信する。

FIG. 12

【 図 1 3 】



第1のメモリアコアを含む第1のメモリダイで第1のメモリ操作を開始する。

第2のメモリアコアを含む第2のメモリダイで第2のメモリ操作を開始する。

FIG. 13

【 手続補正書 】

【 提出日 】平成26年4月30日 (2014.4.30)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

機器であって、

第1のメモリアコアを備える第1のメモリダイ (304) と、

第2のメモリアコアを備える第2のメモリダイ (306) と、

前記第1のメモリダイ (304) と前記第2のメモリダイ (306) とに結合された周辺ダイ (314) と、を備え、

前記周辺ダイ (314) は、

前記第1のメモリアコアに対応する周辺回路 (312) と前記第2のメモリアコアに対応する周辺回路 (312) と、

第1の誤り訂正符号化 (ECC) エンジン (344) と、

第2のECCエンジン (346) と、

前記第1のECCエンジン (344) で第1のECC操作を遂行し、かつそれとほぼ同時に前記第2のECCエンジン (346) で第2のECC操作を遂行するように構成された制御回路 (342) と、を備え、

前記周辺ダイ (314) は、さらにメモリコントローラ (302) に応じて、前記第1のメモリアコアで第1のメモリ操作を開始し、かつ前記第2のメモリアコアで第2のメモリ操作を開始するように構成される機器。

【請求項 2】

請求項 1 記載の機器において、

前記周辺ダイ (3 1 4) は、第 1 のメモリ操作を遂行し、かつそれとほぼ同時に第 2 のメモリ操作を遂行するように構成される機器。

【請求項 3】

請求項 1 記載の機器において、

第 1 のメモリ操作は第 1 のデータの書き込み操作を含み、第 2 のメモリ操作は第 2 のデータの読み出し操作を含み、前記周辺ダイ (3 1 4) は書き込み操作を遂行し、かつそれとほぼ同時に読み出し操作を遂行するように構成される機器。

【請求項 4】

請求項 1 記載の機器において、

第 1 の E C C 操作は前記第 1 の E C C エンジン (3 4 4) で第 1 のデータを符号化することを含み、第 2 の E C C 操作は前記第 2 の E C C エンジン (3 4 6) で第 2 のデータを符号化することを含む機器。

【請求項 5】

請求項 4 記載の機器において、

第 1 のデータは前記メモリコントローラ (3 0 2) から受信されるデータの第 1 の部分であり、第 2 のデータは前記メモリコントローラ (3 0 2) から受信されるデータの第 2 の部分である機器。

【請求項 6】

請求項 4 記載の機器において、

前記周辺ダイ (3 1 4) は、第 1 の E C C 操作によって生成される第 1 のコードワードを前記第 1 のメモリコアに蓄積し、かつ第 2 の E C C 操作によって生成される第 2 のコードワードを前記第 2 のメモリコアに蓄積するように構成される機器。

【請求項 7】

請求項 1 記載の機器において、

第 1 の E C C 操作は前記第 1 の E C C エンジン (3 4 4) で第 1 のデータを復号化することを含み、第 2 の E C C 操作は前記第 2 の E C C エンジン (3 4 6) で第 2 のデータを復号化することを含む機器。

【請求項 8】

請求項 7 記載の機器において、

前記周辺ダイ (3 1 4) は、前記第 1 の E C C 操作によって復号化される第 1 のコードワードの第 1 の表現を前記第 1 のメモリコアから取り出し、かつ第 2 の E C C 操作によって復号化される第 2 のコードワードの第 2 の表現を前記第 2 のメモリコアから取り出すように構成される機器。

【請求項 9】

方法であって、

周辺ダイ (3 1 4) に結合されたメモリコントローラ (3 0 2) から前記周辺ダイ (3 1 4) にて要求を受信するステップと、

前記要求に応じて、

第 1 のメモリコアを備える第 1 のメモリダイ (3 0 4) で第 1 のメモリ操作を開始するステップと、

第 2 のメモリコアを備える第 2 のメモリダイ (3 0 6) で第 2 のメモリ操作を開始するステップと、

第 1 の第 1 の誤り訂正符号化 (E C C) エンジン (3 4 4) で第 1 の E C C 操作を遂行し、かつそれとほぼ同時に第 2 の E C C エンジン (3 4 6) で第 2 の E C C 操作を遂行するステップと、を含み、

前記周辺ダイ (3 1 4) は、前記第 1 の E C C エンジン (3 4 4) と、前記第 2 の E C C エンジン (3 4 6) と、前記第 1 のメモリコアに対応する周辺回路と、前記第 2 のメモリコアに対応する周辺回路とを備える方法。

【請求項 10】

請求項 9 記載の方法において、

前記周辺ダイ (3 1 4) は、第 1 のメモリ操作を遂行し、かつそれとほぼ同時に第 2 のメモリ操作を遂行するように構成される方法。

【請求項 11】

請求項 9 記載の方法において、

第 1 のメモリ操作は第 1 のデータの書き込み操作を含み、第 2 のメモリ操作は第 2 のデータの読み出し操作を含み、書き込み操作は読み出し操作を遂行するときとほぼ同時に遂行される方法。

【請求項 12】

請求項 9 記載の方法において、

第 1 の E C C 操作は前記第 1 の E C C エンジン (3 4 4) で第 1 のデータを符号化することを含み、第 2 の E C C 操作は前記第 2 の E C C エンジン (3 4 6) で第 2 のデータを符号化することを含む方法。

【請求項 13】

請求項 12 記載の方法において、

第 1 のデータは前記メモリコントローラ (3 0 2) から受信されるデータの第 1 の部分であり、第 2 のデータは前記メモリコントローラ (3 0 2) から受信されるデータの第 2 の部分である方法。

【請求項 14】

請求項 12 記載の方法において、

第 1 のメモリ操作は第 1 の E C C 操作によって生成される第 1 のコードワードを前記第 1 のメモリコアに蓄積することを含み、第 2 のメモリ操作は第 2 の E C C 操作によって生成される第 2 のコードワードを前記第 2 のメモリコアに蓄積することを含む方法。

【請求項 15】

請求項 9 記載の方法において、

第 1 の E C C 操作は前記第 1 の E C C エンジン (3 4 4) で第 1 のデータを復号化することを含み、第 2 の E C C 操作は前記第 2 の E C C エンジン (3 4 6) で第 2 のデータを復号化することを含む方法。

【 国際調査報告 】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2012/043465

A. CLASSIFICATION OF SUBJECT MATTER INV. G06F11/10 G06F12/02 G06F13/16 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2008/320214 A1 (MA ABRAHAM C [US] ET AL) 25 December 2008 (2008-12-25)	1-19, 25-40, 42-63, 71-76
Y	page 1, paragraphs 5-7,13-14 page 4, paragraph 67-74 page 8, paragraph 120-123; figures 1,3,5,6	20-24, 41, 64-70, 77-83
X	----- US 2011/040924 A1 (SELINGER ROBERT D [US]) 17 February 2011 (2011-02-17) page 1, paragraph 19 - page 8, paragraph 73; figures 1,2a,3-7 ----- -/--	1,25,29, 33,51, 55,58,71
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 September 2012		Date of mailing of the international search report 27/09/2012
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Bauer, Regine

1

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2012/043465

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	US 2009/063923 A1 (GOWER KEVIN C [US] ET AL) 5 March 2009 (2009-03-05) page 1, paragraph 3-5 page 3, paragraph 34-37 page 7, paragraph 64 page 9, paragraph 72-75 page 11, paragraph 89-100; figures 1,5-7 -----	20-24, 41, 64-70, 77-83 1-19, 25-40, 42-63, 71-76

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/US2012/043465

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2008320214 A1	25-12-2008	CN 101644995 A DE 102009026178 A1 TW M369528 U US 2008320214 A1	10-02-2010 25-03-2010 21-11-2009 25-12-2008
US 2011040924 A1	17-02-2011	US 2011040924 A1 WO 2011019600 A1	17-02-2011 17-02-2011
US 2009063923 A1	05-03-2009	NONE	

フロントページの続き

(31)優先権主張番号 13/247,592

(32)優先日 平成23年9月28日(2011.9.28)

(33)優先権主張国 米国(US)

(31)優先権主張番号 13/247,635

(32)優先日 平成23年9月28日(2011.9.28)

(33)優先権主張国 米国(US)

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA

(72)発明者 スカラ, スティーブン

アメリカ合衆国、94539、カリフォルニア州、フリーモント、バゴサ ウェイ 293

(72)発明者 パンテラキス, ディミトリス

アメリカ合衆国、95054、カリフォルニア州、サンタクララ、ホープ ドライブ 1668、
#1734

(72)発明者 ナーヤル, ラーダクリシュナン

インド、PIN - 695004、ケララ、トリバンドラム、パットム、チトラ ナガー、CNRA
- 27、「チャイトラ」

(72)発明者 パンチョリー, ディパック

インド、560037、パンガロール、オフ ウィンド トンネル ロード、ポスト、ヨムルール
、チャラガッタ、スパンダナ、SG - 202

Fターム(参考) 5B018 GA02 HA14 NA06

5B060 CA12

5B125 BA01 CA07 DE06 DE08 DE17 EF02 EF03 EK01 FA01 FA07