



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0005593
(43) 공개일자 2010년01월15일

(51) Int. Cl.

G11C 16/34 (2006.01) G11C 16/10 (2006.01)

G11C 16/08 (2006.01) G11C 16/30 (2006.01)

(21) 출원번호 10-2008-0065687

(22) 출원일자 2008년07월07일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김무성

경기 용인시 수지구 성북동 대우푸르지오 105동 1101호

(74) 대리인

권혁수, 송윤호, 오세준

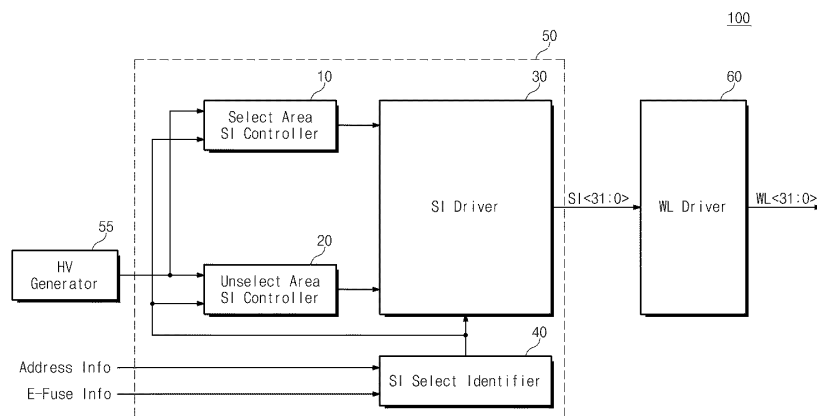
전체 청구항 수 : 총 16 항

(54) 플래시 메모리 장치 및 그것의 프로그램 방법

(57) 요약

본 발명은 플래시 메모리 장치에 관한 것이다. 본 발명에 따른 플래시 메모리 장치는 입력된 워드라인 어드레스를 중심으로 상위 M개 및 하위 N개의 워드라인 어드레스를 포함하는 선택영역과 그 외 워드라인 어드레스를 포함하는 비선택영역을 상기 입력된 워드라인 어드레스를 통하여 판별하는 판별부; 및 상기 선택영역 내의 어드레스에는 제1 전압을 워드라인 드라이버에 제공하고, 상기 비선택영역 내의 어드레스에는 제2 전압을 상기 워드라인 드라이버에 제공하는 고전압 생성부를 포함한다. 따라서, 본 발명은 이미 프로그램된 메모리 셀들과 아직 프로그램되지 않은 메모리 셀들에 인가되는 패스 전압을 다르게 인가하여 패스 전압 윈도우를 크게 한다. 또한, 본 발명은 전체 워드라인 어드레스를 복수의 영역(Zone)들로 구분하고, 각각의 영역에는 인가되는 로컬 전압의 레벨이 서로 다르게 인가된다.

대표도



특허청구의 범위

청구항 1

입력된 워드라인 어드레스를 중심으로 상위 M개 및 하위 N개의 워드라인 어드레스를 포함하는 선택영역과 그 외 워드라인 어드레스를 포함하는 비선택영역을 상기 입력된 워드라인 어드레스를 통하여 판별하는 판별부; 및 프로그램 동작 시에, 상기 판별된 워드 라인 어드레스에 따라, 상기 선택 영역 내의 워드 라인으로 제 1 패스 전압을 제공하는, 그리고 상기 비선택 영역 내의 워드 라인으로 제 2 패스 전압을 제공하는 고전압 생성부를 포함하는 플래시 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 선택영역과 상기 비선택영역을 포함하는 모든 워드라인 어드레스는 복수의 존(Zone)들로 구분되는 플래시 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 선택영역은 복수의 존(Zone)들로 구분되는 플래시 메모리 장치.

청구항 4

제 3 항에 있어서,

상기 복수의 존들에 각각 포함된 선택영역 내 워드라인 어드레스들의 패스 전압은 서로 다른 플래시 메모리 장치.

청구항 5

제 1 항에 있어서,

상기 제1 및 제2 패스 전압은 복수의 패스 전압들 중 어느 하나를 포함하는 플래시 메모리 장치.

청구항 6

제 1 항에 있어서,

상기 선택영역은 상기 워드라인 어드레스에 따라 서로 다른 개수의 상위 및 하위 어드레스를 포함하는 플래시 메모리 장치.

청구항 7

제 1 항에 있어서,

상기 입력된 워드라인에는 프로그램 전압이 인가되는 플래시 메모리 장치.

청구항 8

제 1 항에 있어서,

상기 M 및 N에 관한 정보는 E-Fuse 및 불휘발성 메모리 중 어느 하나에 저장되는 플래시 메모리 장치.

청구항 9

제 8 항에 있어서,

상기 불휘발성 메모리는 낸드 플래시 메모리, 노아 플래시 메모리, PRAM, MRAM 중 적어도 어느 하나를 포함하는 플래시 메모리 장치.

청구항 10

제 1 항에 있어서,
상기 M 및 N은 자연수이고, 전체 워드라인 수보다 작은 플래시 메모리 장치.

청구항 11

M 및 N을 결정하여 셋팅하는 단계;
프로그램될 워드라인 어드레스 정보를 입력하는 단계;
상기 프로그램될 워드라인 어드레스 정보와 상기 상위 M개 및 하위 N의 워드라인 어드레스를 포함하는 선택영역과 그 밖의 비선택영역을 판별하는 단계; 및
프로그램 동작 시에, 상기 판별된 워드 라인 어드레스에 따라, 상기 선택영역의 어드레스에는 제1 패스 전압이 인가되고, 상기 비선택영역의 어드레스에는 제2 패스 전압이 인가되는 단계를 포함하는 플래시 메모리의 프로그램 방법.

청구항 12

제 11 항에 있어서,
상기 입력된 워드라인에는 프로그램 전압이 인가되는 플래시 메모리의 프로그램 방법.

청구항 13

제 11 항에 있어서,
상기 선택영역과 상기 비선택영역을 포함하는 모든 워드라인 어드레스는 복수의 존(Zone)들로 구분되는 플래시 메모리의 프로그램 방법.

청구항 14

제 13 항에 있어서,
상기 복수의 존들에 각각 포함된 선택영역 내의 워드라인 어드레스들은 서로 다른 패스 전압이 인가되는 플래시 메모리의 프로그램 방법.

청구항 15

제 12 항에 있어서,
상기 선택영역은 상기 입력된 워드라인 어드레스에 따라 서로 다른 상수 M 및 N을 포함하는 플래시 메모리의 프로그램 방법.

청구항 16

제 11 항에 있어서,
상기 M 및 N은 자연수이고, 전체 워드라인 수보다 작은 플래시 메모리의 프로그램 방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 플래시 메모리에 관한 것으로, 더욱 상세하게는 다양한 전압 레벨의 패스 전압을 인가할 수 있는 플래시 메모리 장치 및 그것의 프로그램 방법에 관한 것이다.

배경기술

- <2> 최근의 플래시 메모리 장치는 디자인 룰(Design Rule)이 계속 감소됨에 따라 패스 전압(VPASS) 윈도우(Window) 확보가 큰 이슈(issue)가 되고 있다.
- <3> 예를 들면, 플래시 메모리의 프로그램 동작에 있어서 선택된 워드 라인(Word Line)에는 프로그램 전압(Vpgm)이 인가되고, 비선택된 워드 라인에는 패스 전압(VPASS)이 인가된다.
- <4> 패스 전압이 낮아서 발생하는 프로그램 전압 디스터브(Vpgm Disturb)는 프로그램 전압이 인가되는 워드 라인에 연결된 복수의 메모리 셀들 중 프로그램 금지된 셀들이 프로그램되어 페일(fail)되는 것이다. 패스 전압이 높아져서 발생하는 패스 전압 디스터브(VPASS Disturb)는 동일한 셀 스트링에 연결된 메모리 셀들 중 패스 전압이 인가되는 셀들이 프로그램되어 페일되는 것이다.
- <5> 즉, 패스 전압 윈도우란 패스 전압 디스터브 및 프로그램 전압 디스터브가 발생하지않는 패스 전압의 적절한 범위를 의미한다. 따라서, 패스 전압 윈도우가 크면 클수록 플래시 메모리 장치의 신뢰성은 향상된다.
- <6> 그러나, 실제로 플래시 메모리 장치가 포함된 웨이퍼가 펌아웃(Fab-out)되어야 패스 전압의 윈도우를 알 수 있다. 만약 패스 전압의 윈도우가 충분하지 않다면, 리비전(Revision)을 통하여 수 차례의 플래시 메모리의 프로그램 방법이 수정되어야 하므로, 플래시 메모리 장치의 개발 일정이 많이 지연되는 문제가 발생된다.

발명의 내용

해결 하고자하는 과제

- <7> 본 발명은 상술한 문제점을 해결하기 위하여 제안된 것으로, 본 발명의 목적은 다양한 전압 레벨의 패스 전압을 인가할 수 있는 플래시 메모리의 프로그램 방법과 이를 구현할 수 있는 플래시 메모리 장치를 제공한다.

과제 해결수단

- <8> 본 발명에 따른 플래시 메모리 장치는 입력된 워드라인 어드레스를 중심으로 상위 M개 및 하위 N개의 워드라인 어드레스를 포함하는 선택영역과 그 외 워드라인 어드레스를 포함하는 비선택영역을 상기 입력된 워드라인 어드레스를 통하여 판별하는 판별부; 및 상기 선택영역 내의 어드레스에는 제1 전압을 워드라인 드라이버에 제공하고, 상기 비선택영역 내의 어드레스에는 제2 전압을 상기 워드라인 드라이버에 제공하는 고전압 생성부를 포함한다.
- <9> 실시예에 있어서, 상기 선택영역과 상기 비선택영역을 포함하는 모든 워드라인 어드레스는 복수의 존(Zone)들로 구분된다.
- <10> 실시예에 있어서, 상기 선택영역은 복수의 존(Zone)들로 구분된다.
- <11> 실시예에 있어서, 상기 복수의 존들에 각각 포함된 선택영역 내 워드라인 어드레스들의 패스 전압은 서로 다르다.
- <12> 실시예에 있어서, 상기 제1 및 제2 전압은 복수의 패스 전압들 중 어느 하나를 포함한다.
- <13> 실시예에 있어서, 상기 선택영역은 상기 워드라인 어드레스에 따라 서로 다른 개수의 상위 및 하위 어드레스를 포함한다.
- <14> 실시예에 있어서, 상기 입력된 워드라인 어드레스에는 프로그램 전압이 인가된다.
- <15> 실시예에 있어서, 상기 M 및 N은 E-Fuse 및 불휘발성 메모리 중 어느 하나에 저장된다.
- <16> 실시예에 있어서, 상기 불휘발성 메모리는 낸드 플래시 메모리, 노아 플래시 메모리, PRAM, MRAM 중 적어도 어느 하나를 포함한다.
- <17> 실시예에 있어서, 상기 M 및 N은 자연수이고, 전체 워드라인 어드레스보다 작다.
- <18> 본 발명의 또 다른 실시예에 따른 플래시 메모리의 프로그램 방법은 M 및 N을 결정하여 셋팅하는 단계; 프로그램될 워드라인 어드레스 정보를 입력하는 단계; 상기 프로그램될 워드라인 어드레스 정보와 상기 상위 M개 및 하위 N의 워드라인 어드레스를 포함하는 선택영역과 그 밖의 비선택영역을 판별하는 단계; 및 상기 선택영역의 어드레스에는 제1 패스 전압이 인가되고, 상기 비선택영역의 어드레스에는 제2 패스 전압이 인가되는 단계를 포함한다.

- <19> 실시예에 있어서, 상기 입력된 워드라인 어드레스에는 프로그램 전압이 인가된다.
- <20> 실시예에 있어서, 상기 선택영역과 상기 비선택영역을 포함하는 모든 워드라인 어드레스는 복수의 존(Zone)들로 구분된다.
- <21> 실시예에 있어서, 상기 복수의 존들에 각각 포함된 선택영역 내의 워드라인 어드레스들은 서로 다른 패스 전압이 인가된다.
- <22> 실시예에 있어서, 상기 선택영역은 상기 입력된 워드라인 어드레스에 따라 서로 다른 상수 M 및 N을 포함한다.
- <23> 실시예에 있어서, 상기 M 및 N은 자연수이고, 전체 워드라인 어드레스보다 작다.

발명의 실시를 위한 구체적인 내용

- <24> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명한다.
- <25> 프로그램 전압이 인가되는 메모리 셀을 중심으로 이미 프로그램된 메모리 셀들과 아직 프로그램되지 않은 메모리 셀들에 동일한 패스 전압을 인가하는 경우 이미 프로그램된 메모리 셀과 아직 프로그램되지 않은 메모리 셀은 서로 다른 문턱전압을 가지게 된다. 즉, 프로그램된 메모리 셀과 프로그램되지 않은 메모리 셀에 동일한 패스 전압을 인가하면, 패스 전압 윈도우가 작아진다.
- <26> 따라서, 본 발명은 이미 프로그램된 메모리 셀들과 아직 프로그램되지 않은 메모리 셀들에 인가되는 패스 전압을 다르게 인가하여 패스 전압 윈도우를 크게 한다. 또한, 본 발명은 전체 워드라인 어드레스를 복수의 영역(Zone)들로 구분하고, 각각의 영역에는 인가되는 로컬 전압의 레벨이 서로 다르게 인가된다.
- <27> 구체적으로, 본 발명은 프로그램 전압이 인가되는 워드 라인을 기준으로 상위 M개 및 하위 N개의 워드 라인에 연결된 메모리 셀들에 패스 전압 윈도우가 최대로 되도록 서로 다른 전압 레벨의 패스 전압들 중 어느 하나를 인가한다. 그리고, 그 이외의 메모리 셀들에는 복수의 패스 전압들 중 어느 하나를 인가한다.
- <28> 비선택영역에 인가되는 패스 전압은 패스 전압 윈도우에 큰 영향을 미치지 않는다. 선택영역에 인가되는 패스 전압이 패스 전압 윈도우를 결정한다.
- <29> 도 1은 본 발명의 예시적인 실시예들에 따른 불휘발성 메모리 장치를 개략적으로 보여주는 블록도이다. 도 1을 참조하면, 본 발명에 따른 불휘발성 메모리 장치(100)는 플래시 메모리 장치이다. 본 발명에 따른 불휘발성 메모리 장치(100)는 SI 제어기(50), 워드라인 드라이버(W/L Driver ; 60), 고전압 발생기(HV Generator ; 55), 메모리 셀 어레이(65), 감지증폭 및 래치(Sense Amp & Latch ; 70), 패스페일 체커(Pass/Fail Checker ; 75), 제어로직(Control Logic ; 80) 및 데이터 입출력 회로(85)를 포함한다.
- <30> 본 발명에 따른 불휘발성 메모리 장치(100)는 행들(또는 워드 라인들)과 열들(또는 비트 라인들)의 매트릭스 형태로 배열된 메모리 셀들을 갖는 메모리 셀 어레이(65)을 포함한다.
- <31> 메모리 셀 어레이(65)에 포함된 메모리 셀들 각각은 1-비트 데이터를 저장한다. 또는, 메모리 셀들 각각은 n-비트 데이터(n=2 또는 그보다 큰 정수)를 저장한다. 워드라인 드라이버(60)는 워드라인 어드레스에 응답하여 워드 라인들 중 적어도 하나를 선택하고, 선택된 워드 라인을 고전압 발생기(55)로부터 전송된 복수의 고전압들 중 어느 하나를 SI 제어기(50)의 제어에 응답하여 연결한다.
- <32> 감지증폭 및 래치(70)는 제어 로직(80)에 의해서 제어되며, 읽기/검증 동작시 메모리 셀 어레이(65)로부터 데이터를 읽는다.
- <33> 읽기 동작시 읽혀진 데이터는 데이터 입출력 회로(85)를 통해 외부로 출력되는 반면에, 검증 동작시 읽혀진 데이터는 패스페일 체커(75)로 출력된다. 감지증폭 및 래치(70)는 프로그램 동작시 메모리 셀 어레이(65)에 쓰일 데이터를 데이터 입출력 회로(80)를 통해 입력받고, 입력된 데이터에 따라 비트 라인들을 프로그램 전압(예를 들면, 접지 전압) 또는 프로그램 금지 전압(예를 들면, 전원 전압)으로 각각 구동한다.
- <34> 패스페일 체커(75)는 프로그램/소거 검증 동작시 감지증폭 및 래치(70)로부터 출력되는 데이터 값들이 동일한 데이터(예를 들면, 패스 데이터 값)을 갖는 지의 여부를 판별하며, 판별 결과로서 패스/페일 신호(PF)를 제어로직(80)으로 출력한다. 워드라인 드라이버(60)는 메모리 장치(100)의 워드 라인을 제어한다. 고전압 발생기(55)는 전원전압(VDD)보다 더 높은 복수의 고전압을 생성한다. SI 제어기(50)는 제어 로직(80)으로부터 어드레스 정

보 및 E-FUSE 정보를 입력받아 SI<31:0> 신호를 워드라인 드라이버(60)에 출력한다.

- <35> 도 2에서는 도 1에 도시된 SI 제어기(50)를 개략적으로 보여준다.
- <36> 도 1 및 도 2를 참조하면, 본 발명의 실시예에 따른 SI 제어기(50)는 고전압 발생기(55)로부터 생성된 복수의 고전압 중 어느 하나를 플래시 메모리 장치의 워드 라인을 제어하는 워드라인 드라이버(60)에 제공한다. SI 제어기(50)는 선택영역 SI 제어기(10), 비선택영역 SI 제어기(20), SI 드라이버(30) 및 SI 선택판별부(40)를 포함한다.
- <37> 선택영역 SI 제어기(10)는 SI 선택판별부(40)로부터 전송된 활성화 신호에 응답하여 복수의 고전압 중 어느 하나를 SI 드라이버(30)에 제공한다. 선택영역 SI 제어기(10)의 구조는 도 2에서 상세히 설명된다.
- <38> 비선택영역 SI 제어기(20)는 SI 선택판별부(40)로부터 전송된 활성화 신호에 응답하여 복수의 고전압 중 어느 하나를 SI 드라이버(30)에 제공한다. 비선택영역 SI 제어기(20)의 구조는 도 3에서 상세히 설명된다.
- <39> SI 선택판별부(40)는 어드레스(Address) 정보 및 E-Fuse 정보를 바탕으로 해당 어드레스가 선택 영역인지 비선택영역인지를 판별한다. 선택영역은 입력된 어드레스를 중심으로 상위 M개 및 하위 N개의 어드레스를 포함한다. 비선택영역은 상기 선택영역 이외의 어드레스를 포함한다. E-Fuse의 정보는 M 및 N에 관한 정보를 포함한다. 또한, 본 발명의 실시예에 따른 E-Fuse는 플래시 메모리와 같은 불휘발성 메모리로 대체될 수 있다.
- <40> SI 드라이버(30)는 SI 선택판별부(40)의 판별 결과에 따라 선택영역 SI 제어기(10) 또는 비선택영역 SI 제어기(20)의 출력 중 어느 하나를 워드라인 드라이버(60)에 제공한다. SI 드라이버(30)의 구조는 도 4에서 상세히 설명된다.
- <41> 도 3는 도 2에 도시된 선택영역 SI 제어기(10)를 상세히 도시한 블록도이다.
- <42> 도 3를 참조하면, 본 발명의 실시예에서는 총 워드라인 어드레스의 개수를 32로 가정한다. 도 3에는 본 발명에 따른 1개의 선택영역 SI 제어기(10)가 도시되었으나, 워드 라인 드라이버(60)에는 32 bit를 공급하기 위하여 32개의 선택영역 SI 제어기(10)가 필요하다.
- <43> 본 발명에 따른 선택영역 SI 제어기(10)는 제1 내지 제7 고전압 스위치(HV Switch1-7)와 제1 내지 제7 NMOS 트랜지스터(TR1-7)를 포함한다. 제1 내지 제7 NMOS 트랜지스터(TR1-7)의 드레인 단자는 공통으로 출력단자에 연결되어 Sel_out 신호를 출력한다.
- <44> 제1 고전압 스위치(HV Switch1)는 전원전압(VppH)과 프로그램 전압 활성화 신호(Vpgm_en)를 입력받고, 제1 NMOS 트랜지스터(TR1)의 게이트 단자에 연결된다. 제1 NMOS 트랜지스터(TR1)는 프로그램 전압(Vpgm)과 출력단자 사이에 연결되며, 제1 고전압 스위치(HV Switch1)에 의하여 제어된다.
- <45> 제2 고전압 스위치(HV Switch2)는 전원전압(VppH)과 제1 패스 전압 활성화 신호(VPASS1_en)를 입력받고, 제2 NMOS 트랜지스터(TR2)의 게이트 단자에 연결된다. 제2 NMOS 트랜지스터(TR2)는 제1 패스 전압(VPASS1)과 출력단자 사이에 연결되며, 제2 고전압 스위치(HV Switch2)에 의하여 제어된다.
- <46> 제3 고전압 스위치(HV Switch3)는 전원전압(VppH)과 제2 패스 전압 활성화 신호(VPASS2_en)를 입력받고, 제3 NMOS 트랜지스터(TR3)의 게이트 단자에 연결된다. 제3 NMOS 트랜지스터(TR3)는 제2 패스 전압(VPASS2)과 출력단자 사이에 연결되며, 제3 고전압 스위치(HV Switch3)에 의하여 제어된다.
- <47> 제4 고전압 스위치(HV Switch4)는 전원전압(VppH)과 제3 패스 전압 활성화 신호(VPASS3_en)를 입력받고, 제4 NMOS 트랜지스터(TR4)의 게이트 단자에 연결된다. 제4 NMOS 트랜지스터(TR4)는 제3 패스 전압(VPASS3)과 출력단자 사이에 연결되며, 제4 고전압 스위치(HV Switch4)에 의하여 제어된다.
- <48> 제5 고전압 스위치(HV Switch5)는 전원전압(VppH)과 제1 로컬 전압 활성화 신호(VLocal1_en)를 입력받고, 제5 NMOS 트랜지스터(TR5)의 게이트 단자에 연결된다. 제5 NMOS 트랜지스터(TR5)는 제1 로컬 전압(VLocal1)과 출력단자 사이에 연결되며, 제5 고전압 스위치(HV Switch5)에 의하여 제어된다.
- <49> 제6 고전압 스위치(HV Switch6)는 전원전압(VppH)과 제2 로컬 전압 활성화 신호(VLocal2_en)를 입력받고, 제6 NMOS 트랜지스터(TR6)의 게이트 단자에 연결된다. 제6 NMOS 트랜지스터(TR6)는 제2 로컬 전압(VLocal2)과 출력단자 사이에 연결되며, 제6 고전압 스위치(HV Switch6)에 의하여 제어된다.
- <50> 제7 고전압 스위치(HV Switch7)는 전원전압(VppH)과 제3 로컬 전압 활성화 신호(VLocal3_en)를 입력받고, 제7 NMOS 트랜지스터(TR7)의 게이트 단자에 연결된다. 제7 NMOS 트랜지스터(TR7)는 제3 로컬 전압(VLocal3)과 출력

단자 사이에 연결되며, 제7 고전압 스위치(HV Switch7)에 의하여 제어된다.

- <51> 본 발명에 따른 선택영역 SI 제어기(10)는 SI 선택판별부(40)의 판별 결과에 응답하여 프로그램 전압(Vpgm), 제1 내지 제3 패스 전압(VPASS1-VPASS3) 및 제1 내지 제3 로컬 전압(VLocal1- VLocal3) 중 어느 하나를 SI 드라이버(30)에 제공한다.
- <52> 본 발명에 따른 제1 내지 제3 로컬 전압(VLocal1- VLocal3)은 패스 전압 윈도우를 확대하기 위하여 프로그램될 메모리 셀을 중심으로 선택영역 내 이미 프로그램된 메모리 셀 또는 아직 프로그램되지 않은 메모리 셀에 인가되는 패스 전압이다.
- <53> 도 4는 도 2에 도시된 비선택영역 SI 제어기(20)를 상세히 도시한 블록도이다.
- <54> 도 4를 참조하면, 본 발명의 실시예에서는 총 워드라인 어드레스의 개수를 32로 가정한다. 도 4에는 본 발명에 따른 1개의 비선택영역 SI 제어기(20)가 도시되었으나, 워드 라인 드라이버(60)에는 32 bit를 공급하기 위하여 32개의 비선택영역 SI 제어기(20)가 필요하다.
- <55> 본 발명에 따른 비선택영역 SI 제어기(20)는 제1 내지 제3 고전압 스위치(HV Switch1-3), 제1 내지 제4 NMOS 트랜지스터(NTR1-4) 및 저항(R)을 포함한다. 제1 내지 제3 NMOS 트랜지스터(NTR1-3)의 드레인 단자는 공통으로 출력단자에 연결되어 Unsel_out 신호를 출력한다.
- <56> 제1 고전압 스위치(HV Switch1)는 전원전압(VppH)과 제4 패스 전압 활성화 신호(VPASS4_en)를 입력받고, 제1 NMOS 트랜지스터(NTR1)의 게이트 단자에 연결된다. 제1 NMOS 트랜지스터(NTR1)는 제4 패스 전압(VPASS4)과 출력단자 사이에 연결되며, 제1 고전압 스위치(HV Switch1)에 의하여 제어된다.
- <57> 제2 고전압 스위치(HV Switch2)는 전원전압(VppH)과 제5 패스 전압 활성화 신호(VPASS5_en)를 입력받고, 제2 NMOS 트랜지스터(NTR2)의 게이트 단자에 연결된다. 제2 NMOS 트랜지스터(NTR2)는 제5 패스 전압(VPASS5)과 출력단자 사이에 연결되며, 제2 고전압 스위치(HV Switch2)에 의하여 제어된다.
- <58> 제3 고전압 스위치(HV Switch3)는 전원전압(VppH)과 제6 패스 전압 활성화 신호(VPASS6_en)를 입력받고, 제3 NMOS 트랜지스터(NTR3)의 게이트 단자에 연결된다. 제3 NMOS 트랜지스터(NTR3)는 제6 패스 전압(VPASS6)과 출력단자 사이에 연결되며, 제3 고전압 스위치(HV Switch3)에 의하여 제어된다.
- <59> 저항(R)은 출력 단자와 제4 NMOS 트랜지스터(NTR4)의 소오스 단자 사이에 연결된다. 제4 NMOS 트랜지스터(NTR4)는 저항(R)과 그라운드 전압(VSS) 사이에 연결되며, 디폴드 활성화 신호(Default_en)에 의하여 제어된다.
- <60> 본 발명에 따른 비선택영역 SI 제어기(20)는 SI 선택판별부(40)의 판별 결과에 응답하여 제4 내지 제6 패스 전압(VPASS4-VPASS6) 중 어느 하나를 SI 드라이버(30)에 제공한다.
- <61> 도 5는 도 2에 도시된 SI 드라이버(30)를 상세히 도시한 블록도이다.
- <62> 도 5를 참조하면, 본 발명의 실시예에서는 총 워드라인 어드레스의 개수를 32로 가정한다. 도 5에는 본 발명에 따른 1개의 SI 드라이버(30)가 도시되었으나, 워드 라인 드라이버(60)에는 32 bit를 공급하기 위하여 32개의 SI 드라이버(30)가 필요하다.
- <63> 본 발명에 따른 SI 드라이버(30)는 제1 및 제2 고전압 스위치(HV Switch1-2), 그리고 제1 및 제2 NMOS 트랜지스터(TR_1-2)를 포함한다. 제1 및 제2 NMOS 트랜지스터(TR_1-2)의 드레인 단자는 공통으로 출력단자에 연결되어 SI<N> 신호를 출력한다.
- <64> 제1 고전압 스위치(HV Switch1)는 전원전압(VppH)과 SI 선택 판별부(40)으로부터 전송된 선택 활성화 신호(Select_en)를 입력받고, 제1 NMOS 트랜지스터(TR_1)의 게이트 단자에 연결된다. 제1 NMOS 트랜지스터(TR_1)는 선택영역 SI 제어기(10)의 출력(Sel_out)과 출력단자 사이에 연결되며, 제1 고전압 스위치(HV Switch1)에 의하여 제어된다.
- <65> 제2 고전압 스위치(HV Switch2)는 전원전압(VppH)과 SI 선택 판별부(40)으로부터 전송된 비선택 활성화 신호(Unsel_en)를 입력받고, 제2 NMOS 트랜지스터(TR_2)의 게이트 단자에 연결된다. 제2 NMOS 트랜지스터(TR_2)는 비선택영역 SI 제어기(20)의 출력(Unsel_out)과 출력단자 사이에 연결되며, 제2 고전압 스위치(HV Switch2)에 의하여 제어된다.
- <66> 도 6은 본 발명에 따른 제2 실시예를 도시한 그래프이다. 본 발명은 워드 라인 어드레스를 0에서 31까지라고 가정한다. 도 6를 참조하면, 도시된 그래프의 X축은 선택된 워드라인 어드레스이고, Y축은 개별적으로 제어가능한

위드라인 어드레스이다.

수학식 1

<67> $A - N < S < A + M$ (단, M,N 상수, $S \geq 0$)

<68> 수학식 1을 참조하면, 선택영역(S)는 어드레스(A)와 상수 N의 차로부터 어드레스(A)와 상수 M의 합까지이다.

<69> 본 발명에 실시예에 따른 전체 위드라인 어드레스(TA)는 4개의 존(Zone1-4)으로 구분된다. 즉, 수학식 2를 참조하면, 수학식 2는 전체 위드 라인 어드레스(TA)를 4등분하여 영역(Zone)을 구분한 것이다.

수학식 2

<70> $0 \leq \text{Zone1} \leq \text{TA}/4$

<71> $\text{TA}/4 < \text{Zone2} \leq \text{TA}/2$

<72> $\text{TA}/2 < \text{Zone3} \leq 3\text{TA}/4$

<73> $3\text{TA}/4 < \text{Zone4} \leq \text{TA}$

<74> 제1 존(Zone1)은 선택된 위드라인 어드레스를 기준으로 0부터 7까지이고, 제2 존(Zone2)은 선택된 위드라인 어드레스를 기준으로 8부터 15까지이고, 제3 존(Zone3)은 선택된 위드라인 어드레스를 기준으로 16부터 23까지이고, 제4 존(Zone4)은 선택된 위드라인 어드레스를 기준으로 24부터 31까지이다.

<75> 즉, 본 발명은 위드라인 어드레스를 4개의 존으로 구분하고, 4개의 존 각각에 인가되는 패스 전압을 다르게 설정한다. 예를 들면, 제1 존(Zone1)은 도 6에서 도시되고, 제3 존(Zone3)은 도 7에서 도시된다. 구체적으로, 도 6 및 도 7에는 제1 및 제3 존(Zone1,Zone3)에서 각각 인가되는 복수의 패스 전압들을 도시된다.

<76> 예를 들면, 전체 위드라인 어드레스는 32이고, 선택된 위드라인 어드레스가 15이면, 수학식 1 및 수학식 2에 따라 선택된 위드라인 어드레스는 제2 존(Zone2)에 해당된다. M 및 N은 5라고 가정하면, 선택영역(S)은 위드라인 어드레스 10부터 20까지이다.

<77> 도 7은 도 6에 도시된 제1 존(Zone1)에 따른 패스 전압을 도시한 그래프이고, 도 8은 도 6에 도시된 제3 존(Zone3)에 따른 패스 전압을 도시한 그래프이다.

<78> 도 7 및 도 8을 참조하면, X축에는 선택된 위드라인 어드레스가 도시되고, Y축에는 패스 전압의 전압레벨이 도시되고, 도 8은 도 6에 도시된 제3 존(Zone3)에 따른 패스 전압을 도시한 그래프이다.

<79> 예를 들면, 선택된 위드라인 어드레스가 제1 존(Zone1)인 경우 도 7에 도시된 바와 같은 패스 전압이 비선택된 위드라인 어드레스에 인가되고, 선택된 위드라인 어드레스가 제3 존(Zone3)인 경우 도 8에 도시된 바와 같은 패스 전압이 비선택된 위드라인 어드레스에 인가된다.

<80> 본 발명의 실시예에 따른 선택영역(S)은 상한 어드레스(A+M)과 하한 어드레스(A-N)에 따라 복수의 존(Zone)을 포함한다. 따라서, 선택영역(S)는 존(Zone)에 따라 패스 전압이 서로 다르게 인가된다.

<81> 도 6 내지 도 8을 참조하면, 선택영역(S)의 하한 어드레스(A-N)가 제1 존(Zone1)에 있는 경우(즉, $0 \leq A-N \leq \text{TA}/4$), 제1 존(Zone1)에 포함된 어드레스에는 도 7에 도시된 바와 같이 패스 전압이 인가되고, 제2 존(Zone2)에 포함된 어드레스에는 제2 존(Zone2)에 따른 패스 전압(미도시)이 인가되고, 제3 존(Zone3)에 포함된 어드레스에는 도 8에 도시된 바와 같이 패스 전압이 인가된다.

<82> 선택영역(S)의 하한 어드레스(A-N)가 제2 존(Zone2)에 있는 경우(즉, $\text{TA}/4 \leq A-N < \text{TA}/2$), 제2 존(Zone2)에 포함된 어드레스에는 제2 존(Zone2)에 따른 패스 전압(미도시)이 인가되고, 제3 존(Zone3)에 포함된 어드레스에는 도 8에 도시된 바와 같이 패스 전압이 인가되고, 제4 존(Zone4)에 포함된 어드레스에는 제4 존(Zone4)에 따른 패스 전압(미도시)이 인가된다.

<83> 선택영역(S)의 하한 어드레스(A-N)가 제3 존(Zone3)에 있는 경우(즉, $\text{TA}/2 \leq A-N < 3\text{TA}/4$), 제3 존(Zone3)에 포함된 어드레스에는 도 8에 도시된 바와 같이 패스 전압이 인가되고, 제4 존(Zone4)에 포함된 어드레스에는 제4 존(Zone4)에 따른 패스 전압(미도시)이 인가된다.

<84> 선택영역(S)의 하한 어드레스(A-N)가 제4 존(Zone4)에 있는 경우(즉, $3\text{TA}/4 \leq A-N < \text{TA}$), 제4 존(Zone4)에 포

함된 어드레스에는 제4 존(Zone4)에 따른 패스 전압(미도시)이 인가된다.

- <85> 예를 들면, 도 6을 참조하면, 제1 어드레스(A1)는 10이고, 제2 존(Zone2)에 존재한다. M, N을 8이라고 하면, 선택영역(S)는 2에서 18 사이이다.
- <86> 선택영역 중 제1 존(Zone1)에 해당하는 2에서 7 사이는 도 7에 도시된 바와 같은 제1 존(Zone1)에 따른 패스 전압이 인가되고, 선택영역 중 제2 존(Zone2)에 해당하는 8에서 15 사이는 제2 존(Zone2)에 따른 패스 전압이 인가되고, 선택영역 중 제3 존(Zone3)에 해당하는 16에서 18 사이는 도 8에 도시된 바와 같은 제3 존(Zone3)에 따른 패스 전압이 인가된다.
- <87> 제2 어드레스(A2)는 18이고, 제3 존(Zone3)에 존재한다. M, N을 8이라고 하면, 선택영역(S)는 10에서 26 사이이다. 선택영역 중 제2 존(Zone2)에 해당하는 10에서 15 사이는 제2 존(Zone2)에 따른 패스 전압이 인가되고, 선택영역 중 제3 존(Zone3)에 해당하는 16에서 23 사이는 도 8에 도시된 바와 같은 제3 존(Zone3)에 따른 패스 전압이 인가되고, 선택영역 중 제4 존(Zone4)에 해당하는 24에서 26 사이는 제4 존(Zone4)에 따른 패스 전압이 인가된다.
- <88> 제3 어드레스(A2)는 24이고, 제3 존(Zone4)에 존재한다. M, N을 8이라고 하면, 선택영역(S)는 16에서 31 사이이다. 선택영역 중 제3 존(Zone3)에 해당하는 16에서 23 사이는 도 8에 도시된 바와 같은 제3 존(Zone3)에 따른 패스 전압이 인가되고, 선택영역 중 제4 존(Zone4)에 해당하는 24에서 31 사이는 제4 존(Zone4)에 따른 패스 전압이 인가된다.
- <89> 도 9은 본 발명에 따른 제3 실시예를 도시한 그래프이다. 본 발명은 워드라인 어드레스에 따라 선택영역의 범위를 서로 다르게 한다. 즉, 선택영역은 워드라인 어드레스에 따라 서로 다른 개수의 상위 및 하위 어드레스를 포함한다.
- <90> 도 9을 참조하면, 워드라인 어드레스가 0에서 15 사이인 경우, 선택영역은 상위 어드레스 M1에서 하위 어드레스 N1까지이다. 워드라인 어드레스가 16에서 31 사이인 경우, 선택영역은 상위 어드레스 M2에서 하위 어드레스 N2까지이다.
- <91> 도 9에 도시된 선택된 워드라인 어드레스는 두 개의 선택영역으로 도시되었으나, 이것은 전체 워드라인 어드레스마다 서로 다른 선택영역을 가질 수 있다.
- <92> 도 10은 본 발명에 따른 불휘발성 메모리 장치의 프로그램 동작을 도시한 순서도이다.
- <93> 도 10을 참조하면, 본 발명에 따른 불휘발성 메모리 장치의 프로그램 동작은
- <94> 도 6에 도시된 상수 M, 상수 N 및 도 6 내지 도 8에 도시된 존(zone)의 수를 결정하여 셋팅하는 단계(S01), 프로그램될 어드레스 정보를 입력하는 단계(S02), 상기 프로그램될 어드레스 정보를 바탕으로 도 6에 도시된 선택영역(S)을 구성하는 단계(S03), 선택영역 내의 모든 어드레스에는 존(zone)에 따라 패스 전압이 인가되고, 비선택영역 내의 모든 어드레스에는 미리 결정된 패스 전압이 인가되는 단계(S04), 그리고 프로그램 동작을 수행하는 단계(S05)를 포함한다.
- <95> 따라서, 본 발명에 따른 플래시 메모리의 프로그램방법은 패스 전압 윈도우를 최대로 하기 위하여 선택영역의 어드레스에 다양한 전압 레벨의 패스 전압을 인가한다.
- <96> 플래시 메모리 장치는 전력이 차단되어도 저장된 데이터를 유지할 수 있는 불 휘발성 메모리 장치이다. 셀룰러 폰, PDA 디지털 카메라, 포터블 게임 콘솔, 그리고 MP3와 같은 모바일 장치들의 사용 증가에 따라, 플래시 메모리 장치는 데이터 스토리지 뿐만 아니라 코드 스토리지로서 보다 널리 사용된다. 플래시 메모리 장치는, 또한, HDTV, DVD, 라우터, 그리고 GPS와 같은 홈 어플리케이션에 사용될 수 있다. 본 발명에 따른 메모리 시스템을 포함한 컴퓨팅 시스템이 도 11에 개략적으로 도시되어 있다. 본 발명에 따른 컴퓨팅 시스템은 버스(100)에 전기적으로 연결된 중앙처리장치(130), 사용자 인터페이스(140), 베이스밴드 칩셋(baseband chipset)과 같은 모뎀(120), 메모리 제어기(110), 그리고 플래시 메모리 장치(100)를 포함한다. 메모리 제어기(110)는 플래시 메모리 장치(100)를 제어하며, 플래시 메모리 장치(100)는 도 1에 도시된 것과 실질적으로 동일하게 구성될 것이다. 플래시 메모리 장치(100)에는 중앙처리장치(130)에 의해서 처리된/처리될 N-비트 데이터(N은 1 또는 그 보다 큰 정수)가 메모리 제어기(110)를 통해 저장될 것이다. 본 발명에 따른 컴퓨팅 시스템이 모바일 장치인 경우, 컴퓨팅 시스템의 동작 전압을 공급하기 위한 배터리(150)가 추가적으로 제공될 것이다. 비록 도면에는 도시되지 않았지만, 본 발명에 따른 컴퓨팅 시스템에는 응용 칩셋(application chipset), 카메라 이미지 프로세서(Camera Image Processor: CIS), 모바일 디램, 등이 더 제공될 수 있음은 이 분야의 통상적인 지식을 습득한 자

들에게 자명하다. 메모리 제어기(110)와 플래시 메모리 장치(100)는, 예를 들면, 데이터를 저장하는 데 불 휘발성 메모리를 사용하는 SSD(Solid State Drive/Disk)를 구성할 수 있다. 예시적인 SSD가 미국특허공개번호 제 2006-0152981호에 게재되어 있으며, 이 분야의 레퍼런스로 포함된다. 또는, 메모리 제어기(110)와 플래시 메모리 장치(100)는 데이터를 저장하는 데 불 휘발성 메모리를 메모리 카드를 구성할 수 있다.

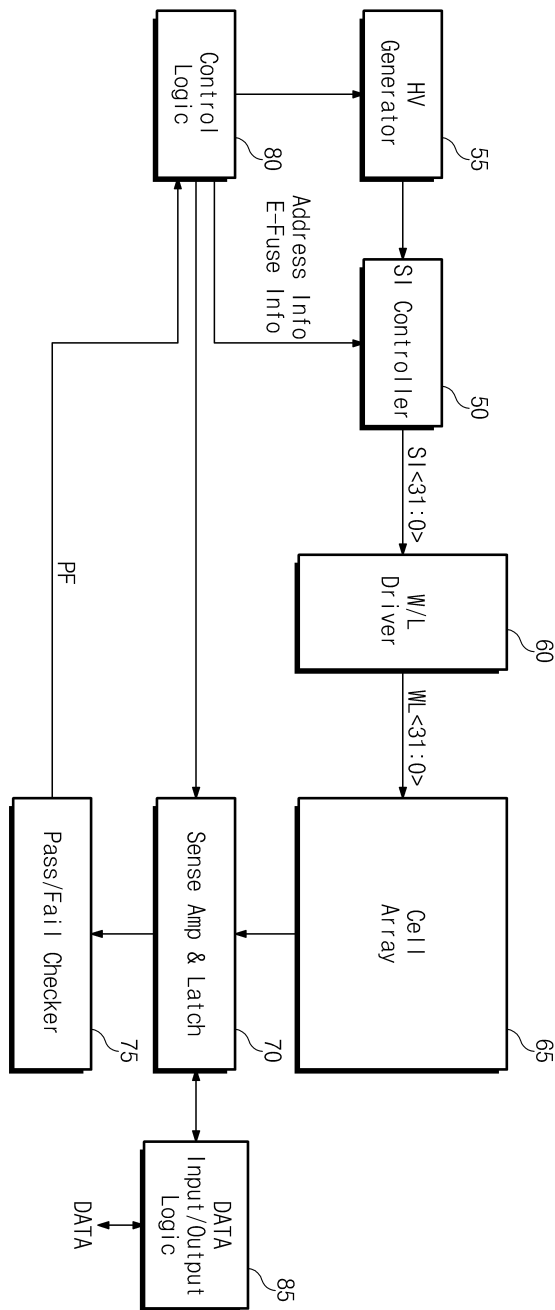
- <97> 도 12는 본 발명의 다른 예시적인 실시예들에 따른 메모리 기반 저장 장치를 보여주는 블록도이다.
- <98> 도 12에 도시된 메모리 기반 저장 장치(300)는 메모리(200)와 메모리 제어기(210)가 카드를 구성하도록 구현된다. 예를 들면, 카드(300)는 플래시 메모리 카드와 같은 메모리 카드일 수 있다. 즉, 카드(300)는 디지털, 카메라, 개인 컴퓨터 등과 같은 전자 장치를 사용하기 위한 어떤 산업 표준을 만족하는 카드일 수 있다. 메모리 제어기(210)가 카드(300)에 의해 또 다른 (예를 들면, 외부) 장치로부터 수신된 제어 신호들에 기초하여 메모리(200)를 제어할 수 있다는 것이 이해될 것이다.
- <99> 본 발명의 범위 또는 기술적 사상을 벗어나지 않고 본 발명의 구조가 다양하게 수정되거나 변경될 수 있음은 이 분야에 숙련된 자들에게 자명하다. 상술한 내용을 고려하여 볼 때, 만약 본 발명의 수정 및 변경이 아래의 청구항들 및 동등물의 범주 내에 속한다면, 본 발명이 이 발명의 변경 및 수정을 포함하는 것으로 여겨진다.

도면의 간단한 설명

- <100> 도 1은 본 발명의 예시적인 실시예들에 따른 플래시 메모리 장치를 개략적으로 보여주는 블록도이다.
- <101> 도 2는 본 발명의 예시적인 실시예들에 따른 도 1에 도시된 SI 제어기를 개략적으로 보여주는 블록도이다.
- <102> 도 3는 도 2에 도시된 선택영역 SI 제어기(10)를 상세히 도시한 블록도이다.
- <103> 도 4는 도 2에 도시된 비선택영역 SI 제어기(20)를 상세히 도시한 블록도이다.
- <104> 도 5는 도 2에 도시된 SI 드라이버(30)를 상세히 도시한 블록도이다.
- <105> 도 6은 본 발명에 따른 제2 실시예를 도시한 그래프이다.
- <106> 도 7은 도 6에 도시된 제1 존(Zone1)에 따른 패스 전압을 도시한 그래프이다.
- <107> 도 8은 도 6에 도시된 제3 존(Zone3)에 따른 패스 전압을 도시한 그래프이다.
- <108> 도 9은 본 발명에 따른 제3 실시예를 도시한 그래프이다.
- <109> 도 10은 본 발명에 따른 불휘발성 메모리 장치의 프로그램 동작을 도시한 순서도이다.
- <110> 도 11은 본 발명에 따른 메모리 시스템을 포함한 컴퓨팅 시스템을 개략적으로 도시한다.
- <111> 도 12는 본 발명의 다른 예시적인 실시예들에 따른 메모리 기반 저장 장치를 보여주는 블록도이다.

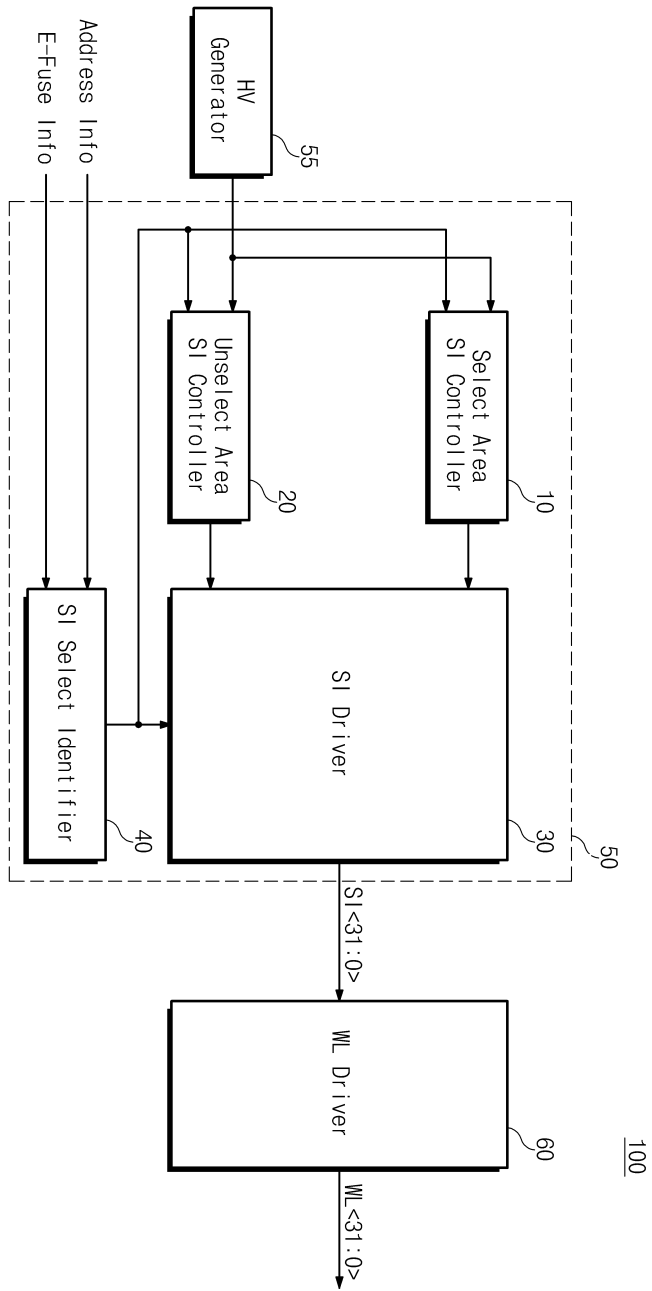
도면

도면1



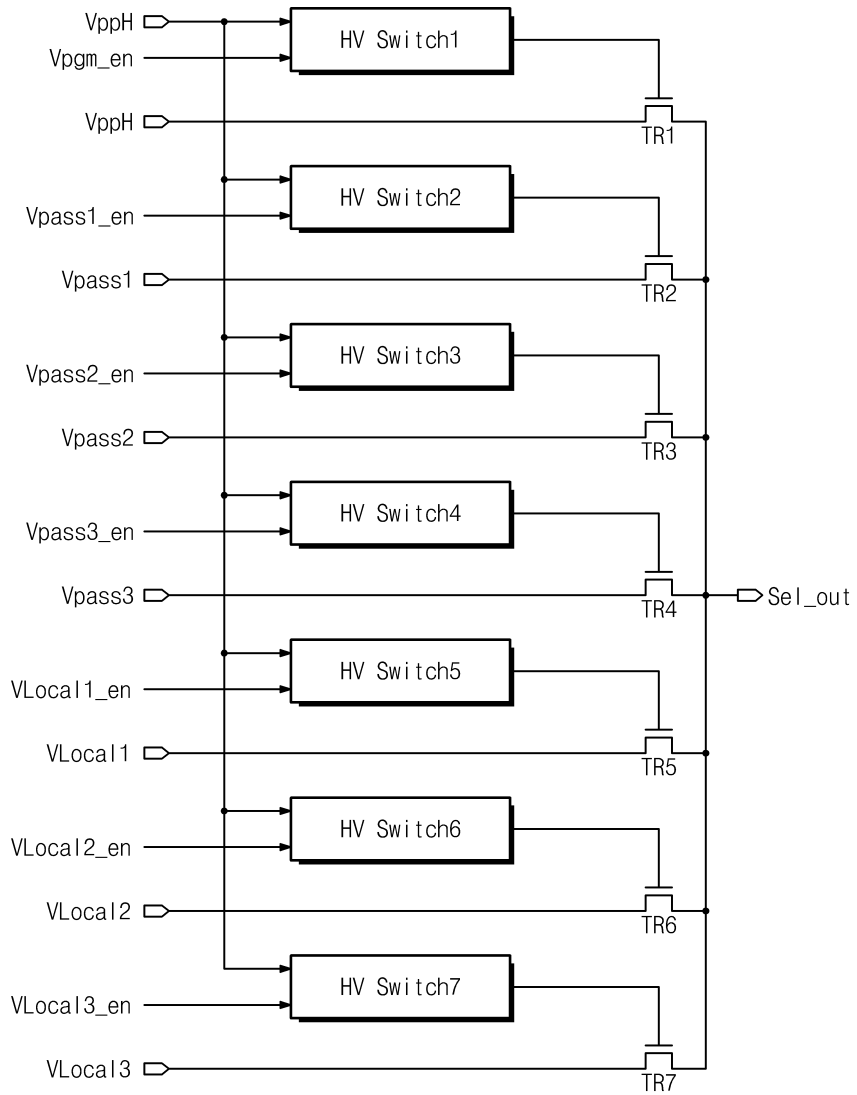
100

도면2

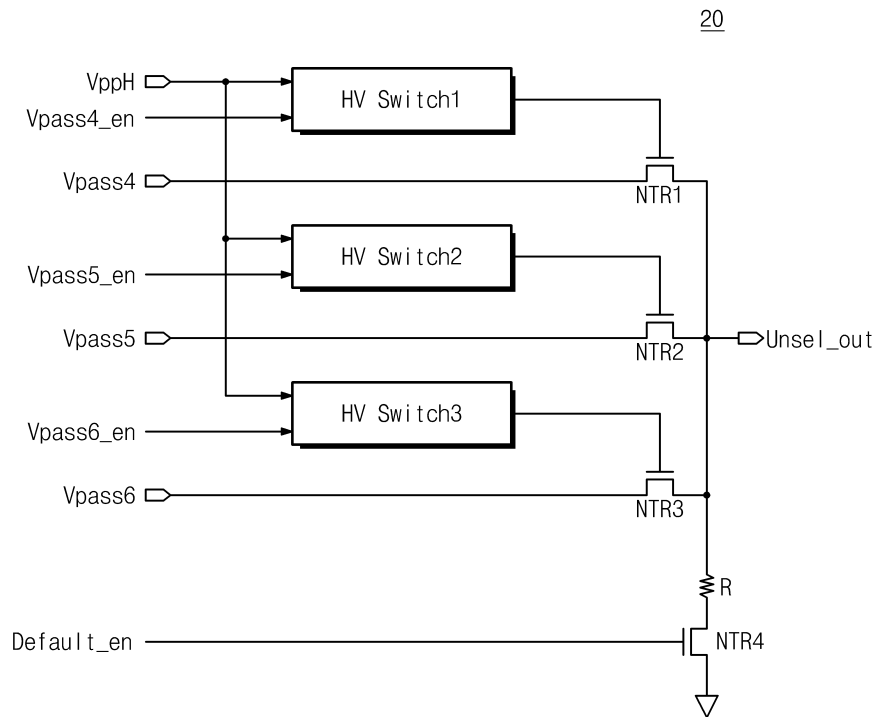


도면3

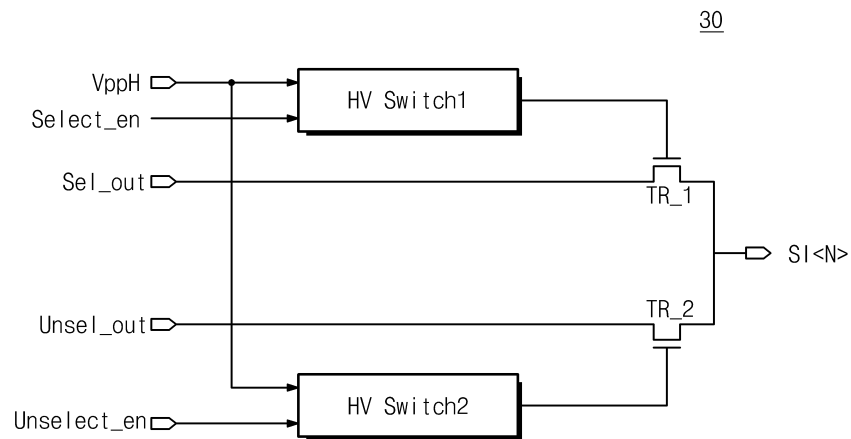
10



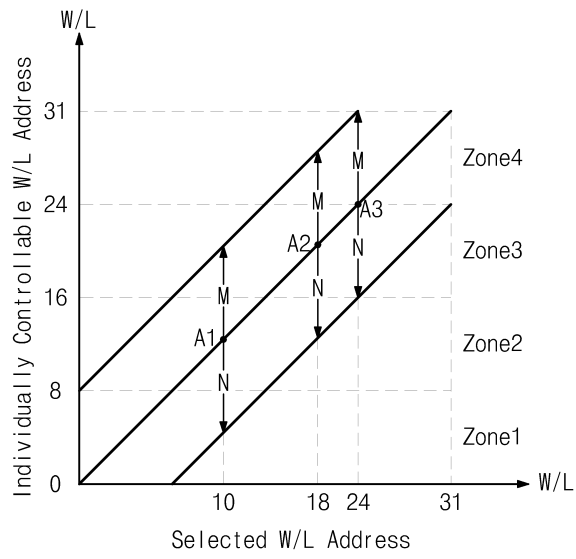
도면4



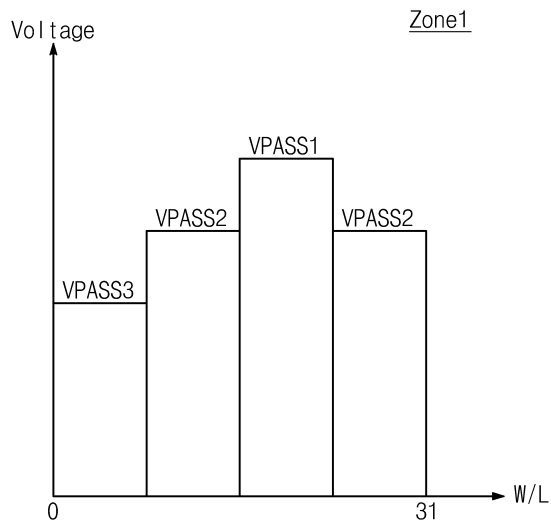
도면5



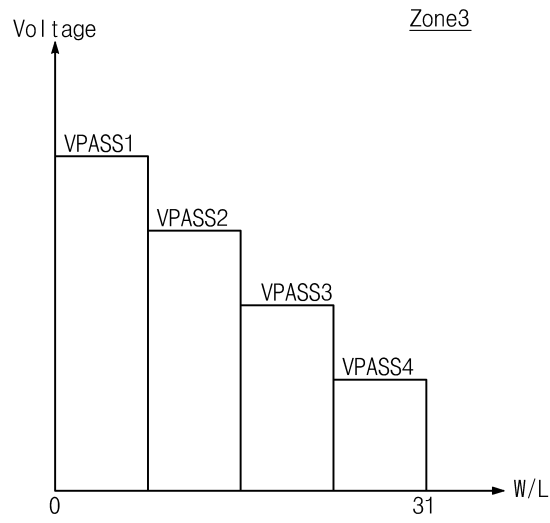
도면6



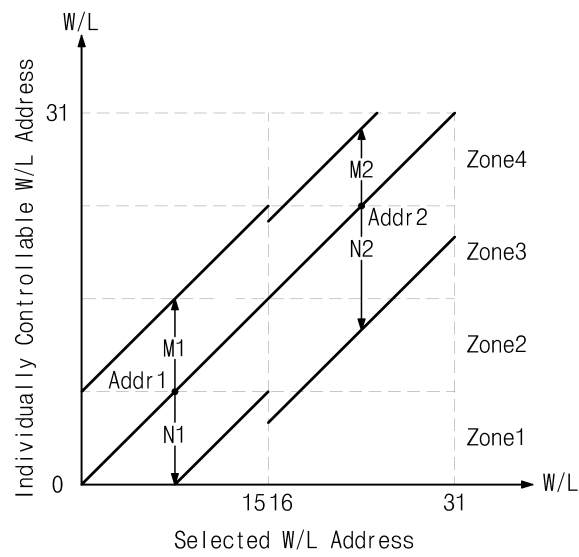
도면7



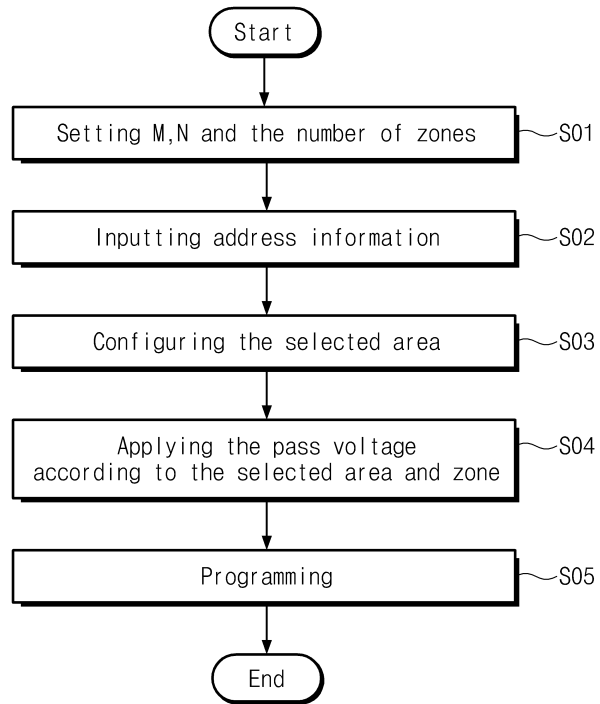
도면8



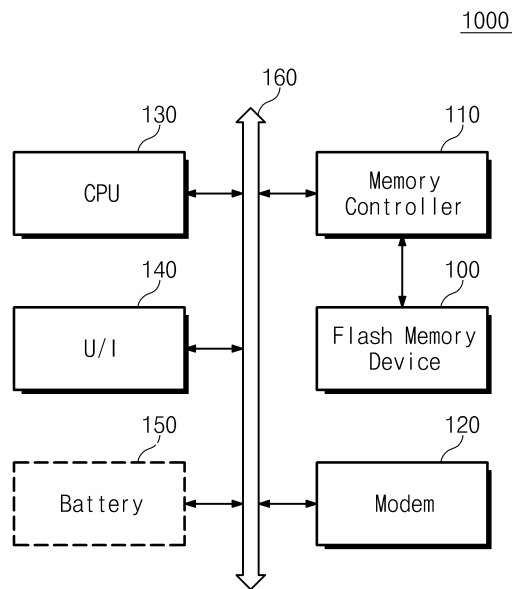
도면9



도면10



도면11



도면12

