(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。Int. Cl.[7]
H01L 21/20

(11) 공개번호 10-2005-0091051
(43) 공개일자 2005년09월14일

(21) 출원번호 10-2005-7012470
(22) 출원일자 2005년06월30일
번역문 제출일자 2005년06월30일
(86) 국제출원번호 PCT/US2003/034673
국제출원일자 2003년10월30일
(87) 국제공개번호 WO 2004/061920
국제공개일자 2004년07월22일

(30) 우선권주장 10/335,447 2002년12월31일 미국(US)

(71) 출원인 어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 94088-3453 서니베일 원 에이엠디 플레이스 메일 스톱68

(72) 발명자 왕 하이홍
미국 캘리포니아 94555 프레몬트 도나휴 테라스 34170
베세르 폴 알.
미국 캘리포니아 94087 써니베일 요크타운 드라이브 1087
구 정숙
미국 캘리포니아 94305 스탠포드 에스콘디도 빌리지 #디 100
엔고 민흐 반
미국 캘리포니아 94539 프레몬트 캐논 하이츠 드라이브 40986
파톤 에릭 엔.
미국 캘리포니아 95037 모르간 힐 리오 그란데 코트 498
치앙 키
미국 캘리포니아 95129 산 호세 템즈 드라이브 1119

(74) 대리인 박장원

심사청구 : 없음

(54) 두꺼운 스트레인드 실리콘 층 형성 방법 및 두꺼운스트레인드 실리콘 층이 합체된 반도체 구조들

요약

스트레인드 실리콘 층(50)은 실리콘 게르마늄 층(40) 위에 성장되며, 실리콘 게르마늄 층(52)은 스트레인드 실리콘(50)과 함께 단일 연속 제자리 증착 공정으로 스트레인드 실리콘(50) 위에 형성된다. 셀로우 트렌치 고립들(48)은 스트레인드 실리콘 층(50)이 형성되기 이전에 실리콘 게르마늄의 하부 층(40)에서 형성된다. 두 개의 실리콘 게르마늄 층들(40, 52)는, 스트레인드 실리콘 층(50)의 인장 변형을 유지하고 공정 동안 온도 변화에 기인한 부정합 전위의 형성을 방지하기 위해 제공되는 스트레인드 실리콘 층(50)의 양 표면에 듀얼 기판을 효과적으로 제공한다. 결과적으로 추후의 공정 동안 심각한 부정합 전위 없이 성장될 수 있는 스트레인드 실리콘(50)의 임계 두께는 실질적으로 실리콘 게르마늄 층들(40, 52)의 주어진 게르마늄 함량의 2배가 된다. 스트레인드 실리콘 층(50)을 형성하기 이전에 셀로우 트렌치 고립들(48)을 형성함으로써, 스트레인드 실리콘(50) 층이 극도의 열적 스트레스를 받는 것을 방지하고, 나아가 부정합 전위의 형성을 감소시킨다.

대표도

도 4

명세서

기술분야

본 발명은 반도체 집적 회로에 관한 것으로, 특히 스트레인드 실리콘(Strained Silicon)이 합체된 반도체 디바이스들에 관한 것이다.

배경기술

전자 디바이스들에서의 향상된 성능에 대한 지속적인 요구는, 개별적인 반도체 회로 소자들의 사이즈가 감소되는 방향으로 실리콘 공정 및 디바이스 기술의 진보를 통해 대처되어왔다. 그러나, 경제적이고 물리적인 제약들은 디바이스 사이즈가 지속적으로 감소되는 것을 더 어렵게 하고 있으며, 그에 따라 디바이스 성능 향을 지속시킬 수 있는 대안적인 솔루션들이 추구되고 있다.

MOSFET들의 성능을 향상시키기 위한 하나의 선택은, 저항 및 전력 소모를 감소시키고 유도 전류, 주파수 응답 및 동작 속도를 향상시키기 위하여 실리콘의 캐리어 이동도를 높이는 것이다. 최근의 관심사가 되었던 캐리어 이동도를 향상시키는 방법은, 실리콘 물질을 인장 변형(tensile strain)을 가하여 사용하는 것이다. "스트레인드(strained)" 실리콘은 실리콘 게르마늄 기판 위에 실리콘 층을 성장시킴으로써 형성될 수 있다. 실리콘 게르마늄 격자는 그 격자 내의 더 큰 게르마늄 원자들의 존재로 인하여, 일반적으로 고유의 실리콘 격자보다 더 큰 공간을 차지한다. 실리콘 격자의 원자들이 더 넓게 퍼져 있는 실리콘 게르마늄 격자와 함께 정렬되기 때문에, 실리콘 층에서 인장 변형이 생성된다. 실리콘 원자들은 본질적으로 서로로부터 이탈되는 성질을 지닌다. 실리콘 격자에 인가되는 인장 변형량은 실리콘 게르마늄 격자 내에서 게르마늄 비율에 따라 증가한다.

안정된 실리콘은 동일한 6개의 가전자대(valence band)를 가진다. 실리콘 격자에 인장 변형을 인가함으로써 가전자대 중에 네개는 에너지를 증가시키고 나머지 두개는 에너지를 감소시킨다. 양자 효과의 결과, 전자가 더 낮은 에너지 대를 통과할 때 효과적으로 30퍼센트 영향을 덜 받는다. 따라서 더 낮은 에너지 대는 전자 흐름에 더 작은 저항을 제공한다. 게다가, 전자들은 실리콘 원자의 핵으로부터 더 작은 진동 에너지를 받아서, 안정된 실리콘에서 보다 500내지 1000배 적은 비율로 산란(scatter)한다. 결과적으로, 캐리어 이동도는 안정된 실리콘에서보다 스트레인드 실리콘에서 극적으로 증가되어 전자에 대해서는 80% 이상 그리고 홀에 대해서는 20% 이상의 이동도 증가 가능성을 제공한다. 이동도의 증가는 전류계가 1.5MV/cm 이 될 때까지 지속됨이 발견됐다. 이러한 인자(factor)들은 디바이스 크기의 추가적인 감소없이 35%의 디바이스 속도 증가를 가능하게 하거나, 성능의 감소없이 전력 소모를 25% 감소시킬 것으로 생각된다.

스트레인드 실리콘 층을 사용하는 MOSFET의 예시가 도 1에 도시된다. MOSFET은 스트레인드 실리콘 에피택셜 층(12)이 형성되는 실리콘 게르마늄 층(10)을 포함하는 기판에서 제조된다. MOSFET은 딥 소스 및 드레인 영역들(14), 셀로우 소스(shallow source) 및 드레인 확장 영역들(16), 게이트 산화물 층(18), 스페이서들(22, 24)에 의해 둘러싸이는 게이트(20), 규화물 소스 및 드레인 컨택들(26), 규화물 게이트 컨택(28), 및 셀로우 트렌치 고립(30)을 포함하는 종래의 MOSFET 구조들 사용한다. MOSFET의 채널 영역은 스트레인드 실리콘 물질을 포함하며, 소스와 드레인 사이에 향상된 캐리어 이동도를 제공한다.

스트레인드 실리콘의 이론적인 이점들이 보장되는 반면, 스트레인드 실리콘의 제조 및 공정은 다수의 문제점들을 나타낸다. 하나의 문제는 온도 변화로 인하여 스트레인드 실리콘에서 "부정합 전위(misfit dislocation)"가 형성되는 것이다. 부정합 전위들은 실리콘 격자에 인가되는 스트레인을 효과적으로 해제(release)시키는 실리콘 격자의 전위이다. 부정합 전위들은 주로 스트레인드 실리콘 격자와 그 하부에 놓이는 실리콘 게르마늄 지지 층의 격자와의 사이의 부정합에 의해 야기된다. 스트레인드 실리콘 층에서의 부정합 전위량은 열적 인자들로 인하여 증가될 수 있다. 부정합 전위가 열적 인자들에 의해 야기될 수 있는 하나의 경우는, 스트레인드 실리콘 층의 증착 후 쿨링하는 동안 발생한다. 부정합 전위가 발생할 수 있는 다른 하나의 경우는, 셀로우 트렌치 고립들을 형성하는 동안에서와 같이, 높은 온도, 예컨대 1000℃ 및 그보다 높은 온도에 노출되는 동안에 발생한다. 그러한 높은 온도는 실리콘 게르마늄 기판의 게르마늄 함량(content)을 공핍시켜, 그 위에 놓여진 스트레인드 실리콘에서 부정합 전위를 생성하는 것으로 생각된다. 부정합 전위를 형성하는 속도는 온도 증가에 따라 지수적으로 상승한다.

스트레인드 실리콘 층은 임계 두께를 가지며, 이 임계 두께를 초과할 경우 부정합 전위가 더욱 현저하게 나타나게 되는 것으로 판명되었다. 임계 두께는 실리콘 격자에 인가되는 인장 변형량에 의존하며, 그에 따라 하부의 실리콘 게르마늄 층의 게르마늄 함량에 의존한다. 예를 들어, 약 20%의 게르마늄 함량을 가지는 실리콘 게르마늄 층은 현저한 부정합 전위의 위험 없이 약 200 옹스트롬의 임계 두께를 지원할 수 있으나, 약 30%의 게르마늄 함량을 가지는 실리콘 게르마늄 층은 단지 약 80 옹스트롬의 임계 두께를 지원할 수 있다.

따라서, MOSFET 설계에 현재의 스트레인드 실리콘 기술을 적용하는 것은, 스트레인드 실리콘 캐리어 이동도는 저변층의 게르마늄 함량의 증가에 의해 향상되나 스트레인드 실리콘의 임계 두께는 저변층의 게르마늄 함량의 증가에 의해 감소된다는 점에서, 대립되는 제한에 의해 방해받는다. 이러한 대립들은 실제적인 적용이 달성되기 어렵게 한다. 예를 들어, MOSFET 성능을 실질적으로 향상시키는데 적어도 약 70 옹스트롬의 스트레인드 실리콘이 요구된다는 것이 경험적으로 판명되었다. 그러나, 공정 동안 실리콘의 소모를 감안할 때, 그 두께의 약 두 배의 층이 초기에 형성되어야 하며, 그러한 두께의 층에서 부정합 전위를 방지하기 위하여, 그 하부 층의 게르마늄 함량은 약 20%로 제한되어야 한다. 스트레인드 실리콘 층에 인가되는 결과적인 스트레인은 홀 이동도에 상대적으로 적은 영향을 미치는 것으로 밝혀졌으며, 그에 따라 PMOS 디바이스에서 스트레인드 실리콘의 실질적인 적용이 어렵다. 상기 사항에 외에도, 스트레인드 실리콘의 인장 변형 및 그로 인한 캐리어 이동도는, 셀로우 트렌치 고립을 형성하는 동안과 같이 공정 시 일반적으로 발생되는 온도의 증가 및 감소 모두에 의해 야기되는 부정합 전위의 형성에 의해 더욱 저하될 수 있다. 따라서, 비록 스트레인드 실리콘 기술의 제한적인 인자들은 일부 적용들에서 제한적인 캐리어 이동도 향상을 얻기 위하여 조절될 수 있기는 하지만은, 현재의 기술은 이동도-감소 결함들 및 스트레인 완화를 초래함이 없이 현저한 캐리어 이동도 향상을 얻기에 충분한 스트레인을 제공하기 위한 방법을 제시하지 못한다.

발명의 상세한 설명

따라서 본 발명의 목적은 종래의 임계 두께보다 더 큰 두께를 갖지만은 그러나 종래의 임계 두께보다 더 큰 두께를 가지는 스트레인드 실리콘의 특성인 부정합 전위량을 갖지 않는 스트레인드 실리콘 층을 제공하기 위한 것이다.

본 발명의 다른 목적은 종래 임계 두께보다 더 큰 두께를 가지는 스트레인드 실리콘 층이 합체된 MOSFET 디바이스를 제공하기 위한 것이다.

본 발명의 실시예들에 따르면, 셀로우 트렌치 고립들은 실리콘 게르마늄 층에 스트레인드 실리콘 층을 성장시키기 이전에 실리콘 게르마늄 층에 형성된다. 그 후, 스트레인드 실리콘 층이 실리콘 게르마늄의 층 위에 형성되며, 제2 실리콘 게르마늄 층이 단일 연속 제자리(in situ) 증착 공정으로, 스트레인드 실리콘 층 위에 형성된다. 이러한 구조는 스트레인드 실리콘 층의 인장 변형을 유지하고, 부정합 전위의 형성을 방지하기 위하여 스트레인드 실리콘 층의 양 표면에 듀얼 기판을 효과적으로 제공한다. 결과적으로, 후속적인 가열 및 쿨링으로 인한 심각한 부정합 전위가 발생되기 쉬운 실질적인 위험 없이 성장될 수 있는 스트레인드 실리콘의 두께는, 실리콘 게르마늄 층의 주어진 게르마늄 함량에 대해 실질적으로 두 배이다. 게다가, 스트레인드 실리콘 층이 성장되기 이전의 셀로우 트렌치 고립의 형성은, 스트레인드 실리콘 층을 셀로우 트렌치 고립 성장의 열적 사이클에 종속시킬 필요가 없으며, 그에 따라 스트레인드 실리콘 층을 더 보호한다.

본 발명의 일 실시예에 따르면, 스트레인드 실리콘 층은 듀얼 실리콘 게르마늄 층을 사이에 형성된다. 우선 제1 실리콘 게르마늄 층을 가지는 기판이 제공된다. 이어서, 스트레인드 실리콘 층이 제 1 실리콘 게르마늄 층 위에 형성되며, 제2 실리콘 게르마늄 층이 단일 연속 제자리 증착 공정으로 스트레인드 실리콘 층 위에 형성된다. 제1 및 제2 실리콘 게르마늄 층은, 스트레인드 실리콘 층의 인장 변형을 유지하고, 스트레인드 실리콘 층의 후속적인 쿨링 및 가열 동안 부정합 전위의 형성을 방지한다.

본 발명의 추가적인 실시예에 따르면, 반도체 구조는 제1 실리콘 게르마늄 층, 제1 실리콘 게르마늄 층 위에 성장된 스트레인드 실리콘 층, 및 상기 스트레인드 실리콘 층 위에 성장된 제2 실리콘 게르마늄 층을 포함한다. 제1 및 제2 실리콘 게르마늄 층들은 스트레인드 실리콘 층의 인장 변형을 지지하고, 스트레인드 실리콘 층에서 부정합 전위가 형성되는 것을 방지한다.

본 발명의 다른 실시예에 따르면, 두꺼운 스트레인드 실리콘 층을 포함하는 반도체 디바이스가 형성된다. 우선 제1 실리콘 게르마늄 층을 가지는 기판이 제공된다. 셀로우 트렌치 고립은 제1 실리콘 게르마늄 층에 형성된다. 이어서, 스트레인드 실리콘 층이 제1 실리콘 게르마늄 층 위에 형성되고, 제2 실리콘 게르마늄 층이 스트레인드 실리콘 층과 함께 단일 연속 제자리 증착 공정으로 스트레인드 실리콘 층 위에 형성된다. 제1 및 제2 실리콘 게르마늄 층들은 스트레인드 실리콘 층의

인장 변형을 지지하고, 스트레인드 실리콘 층의 후속적인 쿨링 및 가열 동안 스트레인드 실리콘 층에서 부정합 전위의 형성을 방지한다. 이어서, 제2 실리콘 게르마늄 층이 제거되고, 스트레인드 실리콘 층을 포함하는 MOSFET이 셀로우 트렌치 고립들 사이에 형성된다.

본 발명의 다른 실시예에 따르면, MOSFET은 채널 영역, 채널 영역 위에 형성되는 게이트 절연체, 게이트 절연체 위에 형성되는 게이트, 및 채널 영역의 반대 측에 위치된 소스 및 드레인 영역들을 포함한다. MOSFET의 적어도 하나의 채널 영역은, 스트레인드 실리콘 층이 형성되는 실리콘 게르마늄 층의 게르마늄 함량에 따라 결정되는 임계 두께보다 더 큰 두께를 가지는 스트레인드 실리콘 층으로 구성된다.

도면의 간단한 설명

본 발명의 실시예들이 후술하는 도면들과 일치되게 설명된다:

도 1은 종래의 공정에 따라 형성되는 스트레인드 실리콘 층을 사용하는 MSOFET을 도시한다.

도 2a, 2b, 2c, 2d, 2f, 2e, 2g, 2h, 2i, 2j, 2k 및 2L은 본 발명의 바람직한 제1 실시예에 따르는 MOSFET을 제조하는 동안 형성되는 구조를 도시한다;

도 3은 대안적인 실시예에 따라 형성되는 구조를 도시한다;

도 4는 바람직한 제1 실시예 및 대안적인 실시예들을 포괄하는 공정 흐름을 도시한다;

도 5는 바람직한 제2 실시예 및 대안적인 실시예들을 포괄하는 공정 흐름을 도시한다.

실시예

도 2a-2L은 본 발명의 바람직한 실시예에 따르는 스트레인드 실리콘 MOSFET을 제조하는 동안 형성된 구조들을 도시한다. 도 2a는 실리콘 게르마늄 층(40)을 포함하는 구조를 도시한다. 바람직하게, 실리콘 게르마늄 층(40)은 혼합물 $Si_{1-x}Ge_x$를 가지고, 여기서 x는 약 0.3이며, 더욱 일반적으로 0.1 내지 0.4의 범위 내에 있다. 실리콘 게르마늄 층(40)은 일반적으로 실리콘 웨이퍼(도시되지 않음) 위에 성장되며, 실리콘 웨이퍼에 의해 지지된다. 실리콘 게르마늄은 예컨대, 600-900℃의 기판 온도, 30mPa의 Si_2H_6 부분 압력, 60mPa의 GeH_4 부분 압력을 가지는 소스 기체로서 Si_2H_6(디실란) 및 GeH_4(게르만)을 사용하여 화학 증기 증착에 의해 성장될 수 있다. Si_2H_6(디실란)은 대안적인 공정들에서 사용될 수 있다. 실리콘 게르마늄 층(40)의 성장은 이러한 비율을 사용하여 초기화될 수 있고, 대안적으로 GeH_4의 부분 압력은, 이후에 형성되는 스트레인드 실리콘 층과 접합을 형성할 상부 부분에 바람직한 게르마늄 함량(예컨대, 30%)을 가지는 경도 혼합물(gradient composition)을 형성하기 위하여 더 낮은 압력 또는 영 압력으로부터 시작하여 점진적으로 증가될 수 있다.

하부 반사방지 코팅(BARC)으로도 언급되는 하부 하드마스크 층(42)과, 상부 하드마스크 층(44)을 포함하는 이중층 하드마스크 구조가 실리콘 게르마늄 층(40) 위에 형성된다. 하부 하드마스크 층(42)은 일반적으로 실리콘 산화물(예컨대, SiO_2)이며, 상부 하드마스크 층(44)은 일반적으로 실리콘 질화물(예컨대, Si_3N_4)이다.

도 2b는 테이퍼(taper) 형상의 측벽들을 가지는 트렌치들(46)을 형성하기 위하여 이중층 하드마스크를 사용하는 실리콘 게르마늄 층(40)의 패터닝 이후의 도 2a의 구조를 도시한다. 도 2c는 실리콘 게르마늄 층(40)으로부터 이중층 하드마스크 물질들을 제거한 후, 트렌치 내에 셀로우 트렌치 고립(48)을 형성한 도 2b의 구조를 도시한다. 셀로우 트렌치 고립은 실리콘 게르마늄의 간단한 열적 산화를 수행한 후, 저기압 CVD(LPCVD) TEOS 또는 대기압 오존 TEOS에 의한 것과 같이 트렌치를 채우기에 충분한 두께로 실리콘 산화물 층을 증착함으로써 형성될 수 있다. 이어서, 실리콘 산화물 층은 화학적 기계적 연마 또는 에치 백 공정에 의해 밀도가 높아지고 평탄화되며, 실리콘 게르마늄 층(40)의 표면과 근사한 레벨인 셀로우 트렌치 고립(48)을 남겨둔다. 셀로우 트렌치 고립들(48)을 형성하는 것과 연관된 일반적인 공정은 1000℃를 초과하는 온도를 사용할 수 있다. 스트레인드 실리콘을 형성하기 이전에 셀로우 트렌치 고립(48)을 형성함으로써, 스트레인드 실리콘에는 그러한 온도가 가해지지 않으며, 그에 따라 부정합 전위의 잠재적인 원인이 되는 셀로우 트렌치 고립 공정이 제거된다.

도 2d는 실리콘 게르마늄 층(40)의 표면으로부터 물질을 제거하기 위하여 에치 백 공정을 수행한 이후의 도 2c의 구조를 도시한다. 도 2e는 실리콘 게르마늄(40) 위에 스트레인드 실리콘 층(50)을 형성하고, 스트레인드 실리콘 층(50) 위에 상부 실리콘 게르마늄 층(52)을 형성한 후의 도 2d의 구조를 도시한다. 도 2d의 구조를 생성하는 에치 백은, 셀로우 트렌치 고립(48)의 상부 표면에 비해 실리콘 게르마늄 층(40)의 상부 표면을 더 낮추기 위해 실리콘 게르마늄 층(40)의 일부분을 제거하여, 셀로우 트렌치 고립들(480)의 상부 표면들이 그 후에 형성된 상부 실리콘 게르마늄 층(52)의 상부 표면과 근사한 레벨이 되도록 한다. 그러나, 제거된 양은 변화될 수 있다.

스트레인드 실리콘 층(50)은 예컨대, 30mPa의 부분 압력을 가지는 소스 기체로서 Si_2H_6와, 약 600 내지 900℃의 기판 온도를 사용하여, 화학 증기 증착(CVD) 공정을 통해 선택적인 에피택셜 성장에 의해 바람직하게 성장된다. 스트레인드 실리콘 층(50) 및 상부 실리콘 게르마늄 층(52)은, 바람직하게는 상부 실리콘 게르마늄 층(52)을 형성하기 이전에 스트레인드 실리콘 층(50)의 최소한의 쿨링 또는 가열을 사용하여 단일 연속 제자리 공정으로 성장된다. 이는, 스트레인드 실리콘 층의 상당한 온도 변화 없이 증착된 물질의 혼합물을 실리콘에서 바람직한 게르마늄 함량을 가지는 실리콘 게르마늄으로 변화시키기 위하여, 스트레인드 실리콘의 바람직한 두께가 성장된 후 게르마늄 소스 기체(예컨대, 게르만)를 증착 챔버에 유입시킴으로써 수행될 수 있다. 스트레인드 실리콘 층 위에 성장된 실리콘 게르마늄의 두께를 고려, 적절한 양의 실리콘 게르마늄을 스트레인드 실리콘 층의 상부 표면에 존재시켜 온도 변화가 발생할 때 스트레인드 실리콘 층을 지지하게 하는 방식으로, 최적의 스트레인드 실리콘 증착 온도와 최적의 실리콘 게르마늄 증착 온도 사이에서의 모든 온도 변화를 완만하게 하는 것이, 또한 바람직할 수 있다. 상부 실리콘 게르마늄 층(52)은 스트레인드 실리콘 층(50)에서 유도된 인장 변형을 최대한 지지하기 위하여 스트레인드 실리콘 층(50)과의 접합에서 하부 실리콘 게르마늄 층(40)과 동일한 게르마늄 용량(예컨대, 약 30%)을 갖도록 형성되나, 그 후 필요에 따라 변화될 수 있다. 상부 실리콘 게르마늄 층(52)의 두께는 특정 적용에 따라 결정될 수 있다.

상기 언급한 바와 같이, 약 30%의 게르마늄 함량을 가지는 실리콘 게르마늄 층은, 쿨링 또는 그 후의 열적 공정 동안 상당한 부정합 전위의 위험 없이 약 80 옹스트롬의 스트레인드 실리콘 층을 지지할 수 있다. 대조적으로, 바람직한 실시예의 스트레인드 실리콘 층(50)은 하부 및 상부 실리콘 게르마늄 층(40, 52)에 의해 그들의 양 표면에서 지지되며, 각각은 약 30%의 게르마늄 함량을 가진다. 따라서, 스트레인드 실리콘 층(50)은, 쿨링 또는 그 후의 열적 공정 동안 상당한 부정합 전위의 위험 없이, 일반적으로 약 140 옹스트롬을 초과하며 잠재적으로 약 160 옹스트롬일 수도 있는, 약 80 옹스트롬보다 큰 두께를 갖도록 형성될 수 있다.

도 2f는 제2 실리콘 게르마늄 층의 제거 후, 서로 다른 물질의 여러 층이 형성된 도 2의 구조를 도시한다. 상부 실리콘 게르마늄 층은 실리콘과 비교하여 실리콘 게르마늄에 대해 매우 높은 식각 선택성을 가지는 선택적인 습식 식각에 의해 제거될 수 있다. 대안적으로, 실리콘 게르마늄은 핫 스팀을 이용하는 것과 같이 매우 제어가능한 산화 공정을 거쳐 산화된 후, HF 용액으로 제거된다. 추가적인 공정에 앞서 쿨링 시 상부 실리콘 게르마늄 층의 존재는 쿨링 시 부정합 전위 형성에 대한 부가적인 저항을 제공한다. 형성된 물질 층은 스트레인드 실리콘 층(50) 위에 형성된 게이트 절연층(54)을 포함한다. 게이트 절연층(54)은 일반적으로 실리콘 산화물이지만, 산화물-질화물-산화물(ONO)과 같은 다른 물질로 될 수 있다. 산화물은 스트레인드 실리콘 층의 열적 산화에 의해 성장될 수 있거나, 화학적 증기 증착에 의해 증착될 수 있다. 게이트 절연층(54) 위에 형성되는 것은 게이트 전도층(56)이다. 게이트 전도층(56)은 일반적으로 폴리실리콘을 포함하나, 대안적으로 게르마늄과 함께 주입된 폴리실리콘과 같은 다른 물질을 포함할 수 있다. 게이트 전도층(56) 위에 놓이는 것은, 하부 반사 방지 코팅(BARC)이라고도 언급되는 하부 하드마스크 층(58)과, 상부 하드마스크 층(60)을 포함하는 이중층 하드마스크 구조이다. 하부 하드마스크 층(58)은 일반적으로 실리콘 산화물(예컨대, SiO_2)이며, 상부 하드마스크 층(60)은 일반적으로 실리콘 질화물(예컨대, Si_3N_4)이다.

도 2g는 게이트(62) 및 자기-정렬 게이트 절연체(64)를 형성하기 위하여 게이트 전도층 및 게이트 절연층의 패터닝 이후의 도 2f의 구조를 도시한다. 패터닝은 포토레지스트 마스크를 식각 마스크로서 사용하여 상부 하드마스크 층을 패터닝하고, 패터닝된 상부 하드마스크 층을 식각 마스크로서 사용하여 하부 하드마스크 층을 패터닝하고, 패터닝된 하부 하드마스크 층을 식각 마스크로서 사용하여 게이트 전도성 층을 패터닝하고, 게이트(62)를 하드마스크로서 사용하여 게이트 절연층을 패터닝하는 일련의 이방성 식각을 사용하여 수행된다.

도 2h는 게이트(62) 및 게이트 절연체(64) 주변에 얇은 제1 게이트 스페이서(66)를 형성한 후의 도 2g의 구조를 도시한다. 얇은 제1 게이트 스페이서(60)는 균일한 보호 물질 층을 증착한 후, 이방성 식각에 의해 비-수직 평면으로부터 보호된 물질을 제거하기 위하여 게이트(62) 및 게이트 절연체(64) 주위에 형성되는 얇은 제1 게이트 스페이서(66)를 남도록 함으로써 바람직하게 형성된다. 얇은 제1 게이트 스페이서(66)는 실리콘 산화물 또는 실리콘 질화물로 바람직하게 형성된다.

도 2i는 채널 영역의 반대 측의 스트레인드 실리콘 층(50)에 셀로우 소스 및 드레인 확장 영역(68)을 형성하기 위한 불순물 주입 이후의 도 2h의 구조를 도시한다. 할로 영역들(도시되지 않음)은 셀로우 소스 및 드레인 확장 영역의 주입 이전에 주입될 수 있다. 할로 영역들은 전도성이 소스 및 드레인 확장 영역(68)의 불순물과 반대되는 불순물로 도핑되는 영역들이다. 상기 할로 영역들은 소스 및 드레인 확장 영역(68)의 종단에서 공핍 영역들을 줄임으로써 짧은 채널 "펀치쓰루" 효과를 억제시키는데 기여한다. 할로 영역들은, 할로 영역들이 어닐링 이후에 소스 및 드레인 확장 영역(68)의 단부들의 예상되는 위치들을 지나 게이트(62) 아래로 확장되도록, 저에너지를 사용하여 작은 각도로 기판 표면에 바람직하게 주입된다. 소스 및 드레인 확장 영역(68)과 같이, 할로 영역들은 채널 영역의 반대 측면에 형성되며, 형성될 소스 및 드레인 확장 영역들의 종단을 지나 채널 영역으로 확장된다.

도 2j는 게이트(62) 및 얇은 제1 스페이서(66) 주변에 제2 스페이서(70)를 형성한 후, 스트레인드 실리콘(60) 및 실리콘 게르마늄(40) 층들에서 딥 소스 및 드레인 영역들을 형성하기 위한 불순물을 주입에 의한 도 2i의 구조를 도시한다. 제2 스페이서(70)는 딥 소스 및 드레인 영역들(72)의 주입 동안 불순물 마스크로서 제공되어, MOSFET의 채널 영역에 관한 소스 및 드레인 영역들(72)의 위치를 정의한다. 딥 소스 및 드레인 영역들(72)의 깊이는 스트레인드 실리콘 층(50)을 지나 하부 실리콘 게르마늄 층(40)으로 확장된다.

도 2k는 스트레인드 실리콘 층(50) 및 실리콘 게르마늄 층(40)을 어닐링하고, 셀로우 소스 및 드레인 확장 영역(68)과 딥 소스 및 드레인 영역(72)에 주입되는 불순물을 활성화시키기 위하여 고속 열적 어닐링(RTA)을 수행한 이후의 도 2j의 구조를 도시한다. 어닐링하는 동안, 주입된 불순물의 일부 확산은 스트레인드 실리콘 층(50) 및 실리콘 게르마늄 층(40)에서 발생된다.

도 2L은 소스 및 드레인 영역들(72)에 규화물 컨택들(74)을 형성하고, 게이트(62)에 규화물 컨택(76)을 형성한 이후의 도 2k의 구조를 도시한다. 규화물 컨택은 반도체 물질 및 금속을 포함하는 혼합물로 형성된다. 일반적으로 코발트(Co)와 같은 금속이 사용되나, 니켈(Ni)과 같은 금속들 또한 사용될 수 있다. 규화물 컨택들은 기판 위에 얇은 균일한 금속층을 증착하고, 이어서 금속과 저변 반도체 물질 사이의 컨택 지점에 규화물 형성을 촉진하기 위해 어닐링하며, 그 후 잔여 금속을 제거함으로써 형성된다.

도 2a-2L의 실시예에 대한 대안이 도 3에서 도시된다. 도 3의 실시예는, 도 2d의 구조를 생성하기 위해 도 2c의 실리콘 게르마늄 층에서 수행되는 에치 백 공정이 생략된다는 점에서 도 2a-2L의 실시예와 다르다. 그 결과, 하부 실리콘 게르마늄 층(40)의 상부 표면은 셀로우 트렌치 고립(48)의 상부 표면과 거의 유사한 레벨이며, 실리콘 게르마늄 층(40) 위에서 선택적인 성장에 의해 후속적으로 형성된 스트레인드 실리콘 층(50)은 셀로우 트렌치 고립(48)의 상부 표면 위로 확장된다. 선택적인 성장 공정이 사용되기 때문에, 실리콘 성장은 실리콘 산화물 셀로우 트렌치 고립(48)에서 거의 또는 전혀 발생되지 않는다. 따라서, 셀로우 트렌치 고립(48) 위의 영역들은 빈 상태로 유지되고, BPSG와 같은 보호층이 적용될 때 이후의 공정에서 채워진다.

따라서, 디바이스 구조는 도 2a-2L의 실시예로 제한되지 않는다. 도 4는 도 2a-2L의 바람직한 실시예, 상기 언급된 대안적인 실시예들 및 다른 대안들을 포괄하는 스트레인드 실리콘 층을 형성하기 위한 흐름도를 도시한다. 우선 기판이 제공된다(단계 80). 상기 기판은 제1 실리콘 게르마늄 층을 포함한다. 이어서, 스트레인드 실리콘 층이 제1 실리콘 게르마늄 층 위에 형성된다(단계 82). 바람직하게, 스트레인드 실리콘 층은, 제1 실리콘 게르마늄 층의 게르마늄 함량에 따라 결정되는 종래의 임계 두께를 초과하는 두께를 가진다. 이어서, 제2 실리콘 게르마늄 층은 스트레인드 실리콘과 함께 단일 연속 제자리 증착 공정으로 스트레인드 실리콘 층 위에 형성된다(단계 84). 제1 및 제2 실리콘 게르마늄 층은 스트레인드 실리콘 층의 인장 변형을 유지하고, 스트레인드 실리콘 층이 임계 두께를 초과하는 두께를 가지는 경우에도 스트레인드 실리콘 층에 부정합 전위가 형성되는 것을 방지한다.

도 5는 도 2a-2L의 바람직한 실시예, 도 3의 대안적인 실시예 및 다른 대안적인 실시예들을 포괄하는 반도체 디바이스를 형성하기 위한 공정 흐름을 도시한다. 우선 기판이 제공된다(단계 90). 상기 기판은 제1 실리콘 게르마늄 층을 포함한다. 이어서, 셀로우 트렌치 고립은 실리콘 게르마늄 층에 형성된다(단계 92). 이어서, 스트레인드 실리콘 층은 제1 실리콘 게르마늄 층 위에 형성되고(단계 94), 제2 실리콘 게르마늄 층은 스트레인드 실리콘 층과 함께 단일 연속 제자리 증착 공정으로 스트레인드 실리콘 층 위에 형성된다(단계 96). 에치 백 공정은 스트레인드 실리콘 층의 형성 이전에 제1 실리콘 게르마늄 층 위에 형성될 수 있다. 이어서, 제2 실리콘 게르마늄 층이 제거되며(단계 98), 스트레인드 실리콘 층을 포함하는 MOSFET이 셀로우 트렌치 고립들 사이에 형성된다(단계 100).

추가적인 실시예에 따르면, 부가적인 피쳐들을 구현하는 것이 바람직할 수 있다. 일 실시예로서, 산화물 또는 산화물-질화물-산화물 게이트 절연층은 하부 실리콘 게르마늄 층의 격자 상수에 필적하는 격자 상수를 가지는 결정성 높은-k 유전

층으로 대체되며, 그에 따라 스트레인드 실리콘 층의 인장 변형을 부가적으로 지지한다. 예를 들어, 20%의 실리콘 게르마늄 층에 대하여, 결정성 $DyScO_3$ 또는 $GaScO_3$의 게이트 절연층은 적절한 격자를 제공한다. 그러한 결정들은 분자 빔 에피택시(molecular beam epitaxy: MBE)에 의해 성장될 수 있다. 추가적인 실시예로서, 결정성 높은-k 유전층은 실리콘 온 절연체(silicon on insulator) 구조에서 유전체 기판으로서 사용될 수 있고, 그러한 구조에서 게이트 절연 물질로서 사용될 수도 있다.

상기 공정들에서 설명된 작업들은 다른 작업들에 대해 반드시 배타적인 것은 아니며, 오히려 추가적인 작업들이 형성될 특정 구조에 따른 상기 공정들에 통합될 수 있다는 것이 본 기술분야에서 통상의 지식을 가진자에게 명백할 것이다. 예를 들어, 공정 작업들 사이의 방어층들 및 보호층들의 형성 및 제거, 포토레지스트 마스크들 및 다른 마스크 층들의 형성 및 제거, 도핑 및 반대-도핑, 세정, 평탄화, 및 다른 작업들과 같은 중간 공정 작업들은, 특별히 상기 설명된 작업들과 함께 수행될 수 있다. 더욱이, 상기 공정은 전체 웨이퍼와 같은 전체 기판에서 수행될 필요가 없으며, 오히려 기판의 부분들에서 선택적으로 수행될 수 있다. 따라서, 도면에서 도시되고 상기에서 설명된 실시예들이 현재 바람직한 반면, 이러한 실시예들은 단지 예시적인 방식으로 제시되었다고 이해되어야 한다. 본 발명은 특정 실시예로 제한되지 않으나, 청구범위 및 이와 균등한 범위 내에서 다양한 변형물, 조합물, 및 변환물들로 확장된다.

(57) 청구의 범위

청구항 1.

제1 실리콘 게르마늄(40)을 포함하는 기판을 제공하는 단계와;

상기 제1 실리콘 게르마늄(40)에 스트레인드 실리콘 층(50)을 형성하는 단계와; 그리고

상기 스트레인드 실리콘 층(50)과 함께 단일 연속 제자리 증착 공정으로 상기 스트레인드 실리콘 층(50)에 제2 실리콘 게르마늄(52) 층을 형성하는 단계를 포함하며,

여기서 상기 제1 실리콘 게르마늄 층(40) 및 제2 실리콘 게르마늄 층(52)은 스트레인드 실리콘 층(50)의 인장 변형을 지지하고, 상기 스트레인드 실리콘 층(50)에 부정합 전위가 형성되는 것을 방지하는 것을 특징으로 하는 스트레인드 실리콘 층 형성 방법.

청구항 2.

제 1항에 있어서, 상기 제1 실리콘 게르마늄 층(40)은 혼합물 $Si_{1-x}Ge_x$을 가지며, 여기서 x는 0.1 내지 0.4의 범위 내에 있는 것을 특징으로 하는 스트레인드 실리콘 층 형성 방법.

청구항 3.

제 1항에 있어서, 상기 스트레인드 실리콘 층(50)은 제1 실리콘 게르마늄 층(40)의 게르마늄 함량에 따라 결정되는 임계 두께를 초과하는 두께를 가지는 것을 특징으로 하는 스트레인드 실리콘 층 형성 방법.

청구항 4.

제1 실리콘 게르마늄 층(40)을 포함하는 기판을 제공하는 단계와;

상기 제1 실리콘 게르마늄 층(40)에 셸로우 트렌치 고립들(48)을 형성하는 단계와;

상기 제1 실리콘 게르마늄 층(40)에 스트레인드 실리콘 층(50)을 형성하는 단계와; 그리고

상기 스트레인드 실리콘 층(50)과 함께 단일 연속 제자리 증착 공정으로 상기 스트레인드 실리콘 층(50)에 제2 실리콘 게르마늄 층(52)을 형성하는 단계를 포함하며,

여기서, 상기 제1 실리콘 게르마늄 층(40) 및 제2 실리콘 게르마늄 층(52)은 상기 스트레인드 실리콘 층(50)의 인장 변형을 지지하고, 상기 스트레인드 실리콘 층(50)에 부정합 전위가 형성되는 것을 방지하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 5.

제 4항에 있어서, 상기 스트레인드 실리콘 층(50)은 상기 제1 실리콘 게르마늄 층(40)의 게르마늄 함량에 따라 결정되는 임계 두께를 초과하는 두께를 갖는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 6.

제 4항에 있어서,

상기 제2 실리콘 게르마늄 층(52)을 제거하는 단계와; 그리고

상기 셀로우 트렌치 고립들(48) 사이에 스트레인드 실리콘 층(50)을 포함하는 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET)를 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 7.

제 4항에 있어서, 상기 스트레인드 실리콘 층(50)을 형성하는 단계 이전에, 상기 셀로우 트렌치 고립들(48)의 상부 표면에 비해 제1 실리콘 게르마늄 층(40)의 상부 표면을 더 낮추기 위하여 상기 제1 실리콘 게르마늄 층(40)의 일부분을 제거하는 단계를 수행하는 것을 특징으로 하는 반도체 디바이스 형성 방법.

청구항 8.

제1 실리콘 게르마늄 층(40)과;

상기 제1 실리콘 게르마늄 층(40)에 형성되는 스트레인드 실리콘 층(50)과; 그리고

상기 스트레인드 실리콘 층(50)에 형성되는 제2 실리콘 게르마늄 층(52)을 포함하여 구성되어,

여기서 상기 제1 실리콘 게르마늄 층(40) 및 제2 실리콘 게르마늄 층(52)은 상기 스트레인드 실리콘 층(50)에서의 인장 변형을 지지하고, 상기 스트레인드 실리콘 층(50)에 부정합 전위가 형성되는 것을 방지하는 것을 특징으로 하는 반도체 구조.

청구항 9.

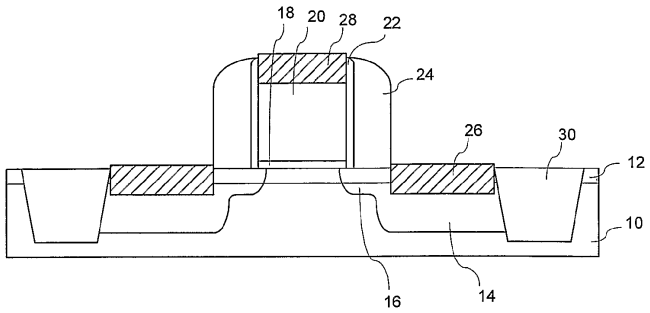
제 8항에 있어서, 상기 스트레인드 실리콘 층은 상기 제1 실리콘 게르마늄 층의 게르마늄 함량에 따라 결정되는 임계 두께를 초과하는 두께를 갖는 것을 특징으로 하는 반도체 구조.

청구항 10.

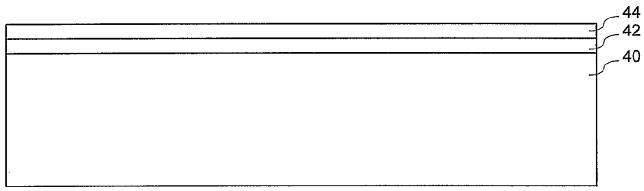
제 8항에 있어서, 상기 제2 실리콘 게르마늄 층(52) 및 상기 스트레인드 실리콘 층(50)을 통해 상기 제1 실리콘 게르마늄 층(40)으로 확장되는 셀로우 트렌치 고립들(48)을 더 포함하는 것을 특징으로 하는 반도체 구조.

도면

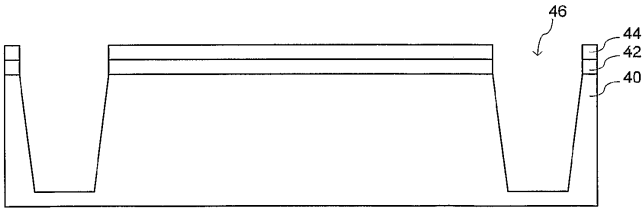
도면1



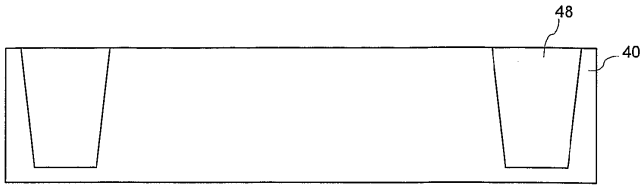
도면2a



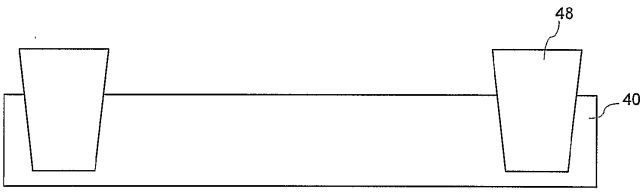
도면2b



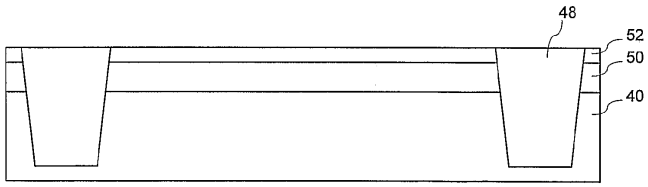
도면2c



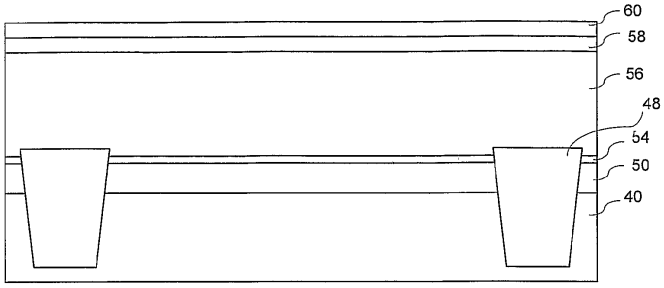
도면2d



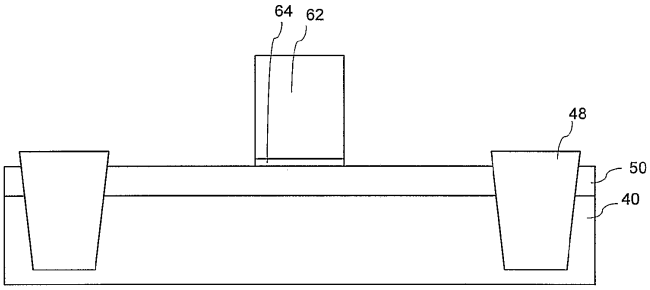
도면2e



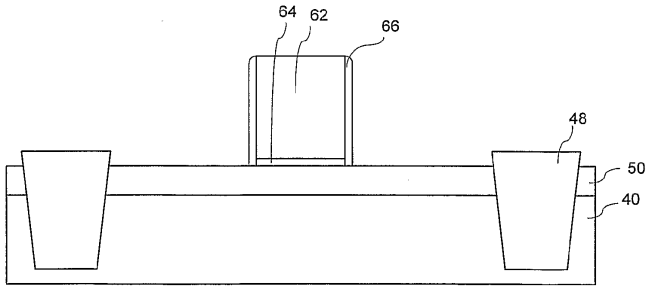
도면2f



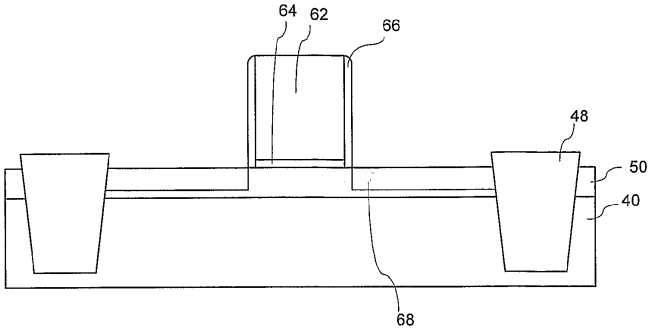
도면2g



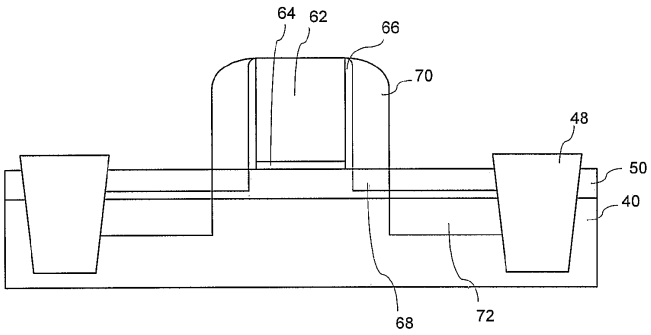
도면2h



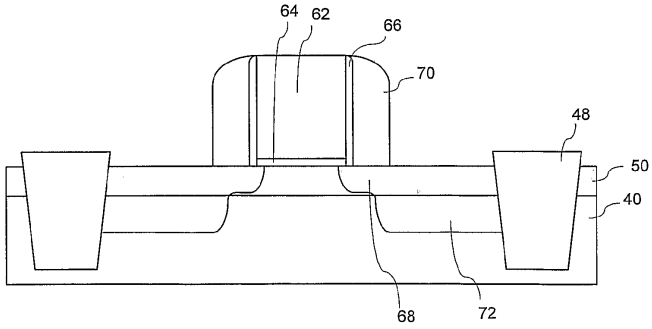
도면2i



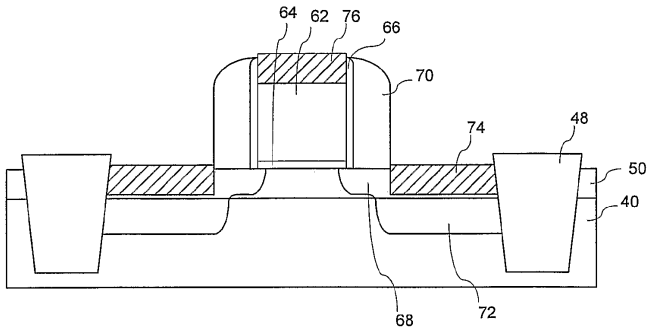
도면2j



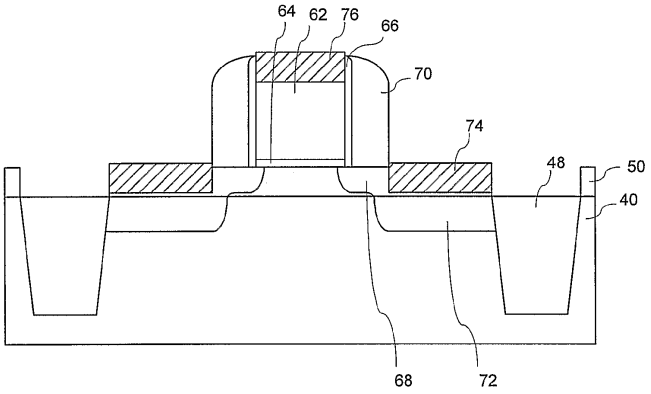
도면2k



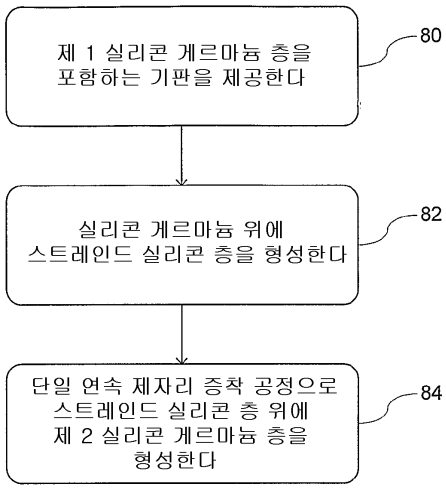
도면2l



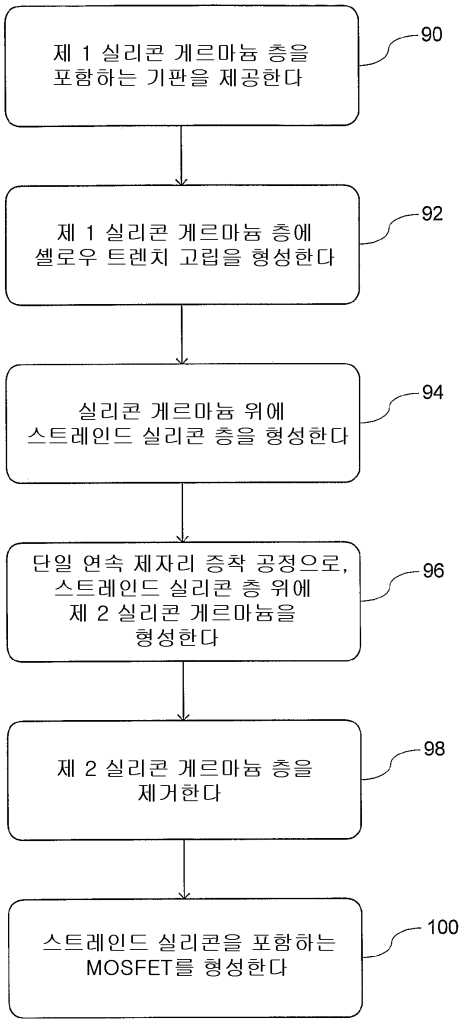
도면3



도면4


제 1 실리콘 게르마늄 층을
포함하는 기판을 제공한다
80
실리콘 게르마늄 위에
스트레인드 실리콘 층을 형성한다
82
단일 연속 제자리 증착 공정으로
스트레인드 실리콘 층 위에
제 2 실리콘 게르마늄 층을
형성한다
84

도면5


제 1 실리콘 게르마늄 층을
포함하는 기판을 제공한다
90
제 1 실리콘 게르마늄 층에
셀로우 트렌치 고립을 형성한다
92
실리콘 게르마늄 위에
스트레인드 실리콘 층을 형성한다
94
단일 연속 제자리 증착 공정으로,
스트레인드 실리콘 층 위에
제 2 실리콘 게르마늄을
형성한다
96
제 2 실리콘 게르마늄 층을
제거한다
98
스트레인드 실리콘을 포함하는
MOSFET를 형성한다
100